



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0102666
(43) 공개일자 2024년07월03일

(51) 국제특허분류(Int. Cl.)
G11C 11/412 (2006.01) G06F 7/52 (2006.01)
(52) CPC특허분류
G11C 11/412 (2013.01)
G06F 7/52 (2013.01)
(21) 출원번호 10-2022-0184931
(22) 출원일자 2022년12월26일
심사청구일자 2022년12월26일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
김경록
울산광역시 울주군 언양읍 유니스트길 50
김명
울산광역시 울주군 언양읍 유니스트길 50
(뒷면에 계속)
(74) 대리인
특허법인더웨이브

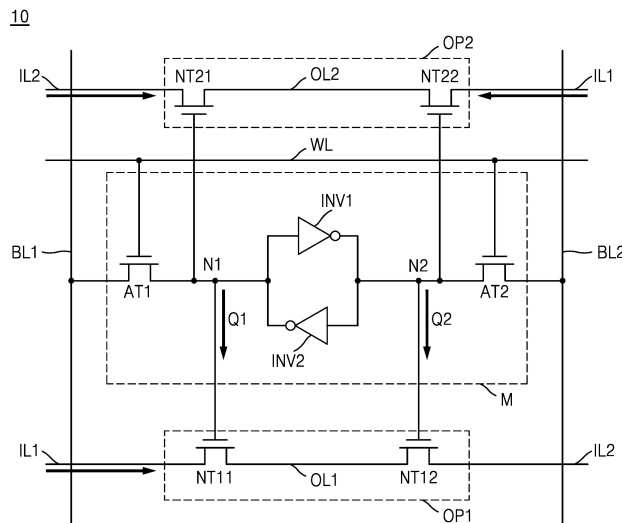
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 3진 메모리 셀을 포함하고 3진 연산을 처리하는 메모리 장치

(57) 요약

본 개시의 실시예들에 따르면, 제1 노드(N1) 및 제2 노드(N2) 중 적어도 하나에 전압을 인가하여 3진 데이터인 저장값을 저장하는 3진 메모리 셀, 상기 제1 노드(N1)에 게이트가 각각 연결된 제1-1 트랜지스터(NT11)와 제1-2 트랜지스터(NT12), 및 상기 제2 노드(N2)에 게이트가 각각 연결된 제2-1 트랜지스터(NT21)와 제2-2 트랜지스터(NT22),를 포함하는, 3진 메모리 셀을 포함하고 3진 연산을 처리하는 메모리 장치를 개시한다.

대표도 - 도1



(72) 발명자

최영은

울산광역시 울주군 언양읍 유니스트길 50

김우석

울산광역시 울주군 언양읍 유니스트길 50

이 발명을 지원한 국가연구개발사업

과제고유번호 1711160124

과제번호 2021-0-02092-002

부처명 과학기술정보통신부

과제관리(전문)기관명 정보통신기획평가원

연구사업명 ICT첨단유망기술육성사업

연구과제명 트랜지스터-안테나 융합소자 기반 다중-픽셀 플라즈모닉 THz 검출기 모듈 및 보안용
검색 시제품 개발

기 여 율 1/1

과제수행기관명 (주)엘라이트

연구기간 2022.04.01 ~ 2022.12.31

명세서

청구범위

청구항 1

제1 노드 및 제2 노드에서 교차 연결되는 제1 인버터 및 제2 인버터를 포함하고, 상기 제1 및 제2 인버터에 3진 데이터인 저장값을 저장하는 3진 메모리 셀,

상기 제1 노드에 게이트가 각각 연결된 제1-1 트랜지스터와 제1-2 트랜지스터, 및

상기 제2 노드에 게이트가 각각 연결된 제2-1 트랜지스터와 제2-2 트랜지스터를 포함하는, 3진 메모리 셀을 포함하고 3진 곱연산을 처리하는 메모리 장치.

청구항 2

제1항에 있어서,

상기 제1-1 트랜지스터, 제1-2 트랜지스터, 상기 제2-1 트랜지스터 또는 상기 제2-2 트랜지스터는

3진 데이터인 입력값에 대응하여, 외부의 펄스 생성기에서 생성된 전기 신호를 적어도 하나의 입력 라인을 통해 드레인 부분에서 수신하는, 3진 메모리 셀을 포함하고 3진 곱연산을 처리하는 메모리 장치.

청구항 3

제2항에 있어서,

상기 제1-1 트랜지스터, 제1-2 트랜지스터, 상기 제2-1 트랜지스터 또는 상기 제2-2 트랜지스터는

3진 데이터인 저장값에 대응하여, 상기 제1 노드, 제2 노드 중 적어도 하나에 인가된 전압에 응답하여 드레인 부분의 전기 신호를 소스 부분으로 전달하는, 3진 메모리 셀을 포함하고 3진 곱연산을 처리하는 메모리 장치.

청구항 4

제3항에 있어서,

상기 3진 메모리 셀은,

워드 라인을 통한 제어 신호에 기초하여, 3진 메모리 셀을 포함하고 3진 곱연산을 처리하는 메모리 장치.

청구항 5

제2항에 있어서,

3진 데이터인 제1 입력값에 대응하여, 제1 입력 라인을 통해 전기 신호가 상기 제1-1 트랜지스터, 및 상기 제2-2 트랜지스터의 드레인 부분으로 전달되고,

3진 데이터인 제2 입력값에 대응하여, 제2 입력 라인을 통해 전기 신호가 제1-2 트랜지스터 및 상기 제2-1 트랜지스터의 드레인 부분으로 전달되고,

3진 데이터인 제3 입력값에 대응하여, 상기 제1 및 제2 입력 라인을 통해 전기 신호가 전달되지 않는, 3진 메모리 셀을 포함하고 3진 곱연산을 처리하는 메모리 장치.

청구항 6

제3항에 있어서,

3진 데이터인 제1 저장값에 따라 상기 제1 노드에 공급 전압이 인가되고 상기 제1 노드에 인가된 전압에 응답하여, 상기 제1-1 트랜지스터 및 제2-1 트랜지스터는 드레인 부분의 전기 신호를 소스 부분으로 전달하고 제1 출력 라인을 통해 출력하고,

3진 데이터인 제2 저장값에 따라 상기 제2 노드에 공급 전압이 인가되고 상기 제2 노드에 인가된 전압에 응답하

여, 상기 제1-2 트랜지스터 및 상기 제2-2 트랜지스터는 드레인 부분의 전기 신호를 소스 부분으로 전달하고 제 2 출력 라인을 통해 출력하고,

3진 데이터인 제3 저장값에 따라 상기 제1 노드 및 제2 노드에 중간 전압이 인가되고 상기 제1-1 트랜지스터 및 제1-2 트랜지스터, 상기 제2-1 트랜지스터 및 제2-2 트랜지스터는 OFF 상태가 되고 상기 제1 및 제2 출력 라인을 통해 출력이 없는, 3진 메모리 셀을 포함하고 3진 곱연산을 처리하는 메모리 장치.

청구항 7

제6항에 있어서,

상기 제1 출력 라인을 통해 출력되는 상태, 상기 제2 출력 라인을 통해 출력되는 상태, 아무런 출력이 없는 상태 중 하나는 3진 데이터의 출력값들 중 하나로 치환되는, 3진 메모리 셀을 포함하고 3진 곱연산을 처리하는 메모리 장치.

청구항 8

제2항에 있어서,

상기 입력값은, -1, 0, 1 중 적어도 하나인, 3진 메모리 셀을 포함하고 3진 곱연산을 처리하는 메모리 장치.

청구항 9

제3항에 있어서,

상기 저장값은, -1, 0, 1 중 적어도 하나인, 3진 메모리 셀을 포함하고 3진 곱연산을 처리하는 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명의 기술적 사상은 메모리 장치에 관한 것으로서 자세하게는, 3진 메모리 셀에 저장된 값과 주변 트랜지스터를 통해 입력되는 값에 대한 곱연산을 처리하는 메모리 장치에 관한 것이다.

배경 기술

[0002] 본 명세서에 전체로서 참조되어 포함되는, 동일 출원인의 발명인 공개특허공보 제10-1689159호(본 명세서에서, '선행발명'으로 지칭된다)에서 3진(ternary) 논리 회로가 제안된 바 있다. 예를 들면, 3진 논리 회로로서 인버터는 3진 논리값들, 즉 0/1/2 논리값들에 각각 대응하는 접지 전압(GND), 중간 전압(VDD/2) 및 양의 공급 전압(VDD)이 입력되면, 2/1/0 논리값들에 각각 대응하는 양의 공급 전압(VDD), 중간 전압(VDD/2) 및 접지 전압(GND)을 출력할 수 있다. 이와 같은 3진 논리 회로는 0/1 논리값들에 대응하는 접지 전압(GND) 및 양의 공급 전압(VDD)을 사용하는 일반적인 2진(binary) 논리 회로와 비교할 때, 보다 많은 양의 정보들을 처리할 수 있는 장점을 제공할 수 있고, 저장된 데이터를 논리 연산한 값을 출력하는 로직-인-메모리 구조에서도 유리할 수 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상은, 3진 논리 회로의 증가된 정보 처리 능력을 활용하여 메모리 소자에 저장된 3진 논리값들과 입력값을 3진 곱 연산하여 출력하기 위한, 3진 메모리 셀 및 이를 포함하는 메모리 장치를 제공한다.

과제의 해결 수단

[0004] 상기와 같은 목적을 달성하기 위하여, 본 발명의 기술적 사상의 일 측면에 따른 3진 메모리 셀을 포함하고 3진 연산을 처리하는 메모리 장치는 제1 노드(N1) 및 제2 노드(N2) 중 적어도 하나에 전압을 인가하여 3진 데이터인 저장값을 저장하는 3진 메모리 셀, 상기 제1 노드(N1)에 게이트가 각각 연결된 제1-1 트랜지스터(NT11)와 제1-2 트랜지스터(NT12), 및 상기 제2 노드(N2)에 게이트가 각각 연결된 제2-1 트랜지스터(NT21)와 제2-2 트랜지스터(NT22)를 포함할 수 있다.

- [0005] 상기 제1-1 트랜지스터(NT11), 제1-2 트랜지스터(NT12), 상기 제2-1 트랜지스터(NT21) 또는 상기 제2-2 트랜지스터(NT22)는 3진 데이터인 입력값에 대응하여, 펄스 생성기에서 생성된 전기 신호를 적어도 하나의 입력 라인을 통해 드레인 부분에서 수신할 수 있다.
- [0006] 상기 제1-1 트랜지스터(NT11), 제1-2 트랜지스터(NT12), 상기 제2-1 트랜지스터(NT21) 또는 상기 제2-2 트랜지스터(NT22)는 3진 데이터인 저장값에 대응하여, 상기 제1 노드(N1), 제2 노드(N2) 중 적어도 하나에 인가된 전압에 응답하여 드레인 부분의 전기 신호를 소스 부분으로 전달하여 적어도 하나의 출력 라인으로 축적하는, 3진 메모리 셀을 포함하고 3진 연산을 처리하는 메모리 장치.
- [0007] 상기 3진 메모리 셀은, 상기 제1 노드(N1) 및 상기 제2 노드(N2)에서 교차 연결되는 제1 인버터 및 제2 인버터를 포함할 수 있다.
- [0008] 상기 메모리 장치는, 3진 데이터인 제1 입력값에 대응하여, 제1 입력 라인(IL1)을 통해 전기 신호가 상기 제1-1 트랜지스터(NT11), 및 상기 제2-2 트랜지스터(NT22)의 드레인 부분으로 전달되고, 3진 데이터인 제2 입력값에 대응하여, 제2 입력 라인(IL2)을 통해 전기 신호가 제1-2 트랜지스터(NT12) 및 상기 제2-1 트랜지스터(NT21)의 드레인 부분으로 전달되고, 3진 데이터인 제3 입력값에 대응하여, 상기 제1 및 제2 입력 라인(IL2)을 통해 전기 신호가 전달되지 않을 수 있다.
- [0009] 상기 메모리 장치는, 3진 데이터인 제1 저장값에 따라 상기 제1 노드(N1)에 공급 전압이 인가되고 상기 제1 노드(N1)에 인가된 전압에 응답하여, 상기 제1-1 트랜지스터(NT11) 및 제2-1 트랜지스터(NT21)는 드레인 부분의 전기 신호를 소스 부분으로 전달하고 제1 출력 라인(OL1)을 통해 축적하고, 3진 데이터인 제2 저장값에 따라 상기 제2 노드(N2)에 공급 전압이 인가되고 상기 제2 노드(N2)에 인가된 전압에 응답하여, 상기 제1-2 트랜지스터(NT12) 및 상기 제2-2 트랜지스터(NT22)는 드레인 부분의 전기 신호를 소스 부분으로 전달하고 제2 출력 라인을 통해 축적하고, 3진 데이터인 제3 저장값에 따라 상기 제1 노드(N1) 및 제2 노드(N2)에 중간 전압이 인가되고 상기 제1-1 트랜지스터(NT11) 및 제1-2 트랜지스터(NT12), 상기 제2-1 트랜지스터(NT21) 및 제2-2 트랜지스터(NT22)는 OFF 상태가 되고 상기 제1 및 제2 출력 라인을 통해 축적이 없을 수 있다.
- [0010] 상기 메모리 장치는, 상기 제1 출력 라인(OL1)을 통해 축적되는 상태, 상기 제2 출력 라인을 통해 축적되는 상태, 아무런 출력이 없는 상태 중 하나는 3진 데이터의 출력값들 중 하나로 치환될 수 있다.
- [0011] 상기 입력값은, -1, 0, 1 중 적어도 하나 일 수 있다.
- [0012] 상기 저장값은, -1, 0, 1 중 적어도 하나 일 수 있다.

발명의 효과

- [0013] 본 발명의 예시적 실시예에 따른 3진 메모리 셀을 이용하여 3진 곱 연산을 수행하는 메모리 장치에 의하면, 3진 데이터의 저장값과 3진 데이터의 입력값에 대한 3진 곱 연산을 제공하는 메모리 장치가 제공될 수 있다.
- [0014] 또한, 본 발명의 예시적 실시예에 따른 3진 메모리 셀을 이용하여 3진 곱 연산을 수행하는 메모리 장치에 의하면, 3진 메모리 셀에 저장되는 정보가 메모리 장치 내부에서 3진 곱 연산됨으로써 메모리 장치 외부의 처리 연산을 대폭 감소시킬 수 있다.
- [0015] 본 발명의 예시적 실시예들에서 얻을 수 있는 효과는 이상에서 언급한 효과들로 제한되지 아니하며, 언급되지 아니한 다른 효과들은 이하의 기재로부터 본 발명의 예시적 실시예들이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 도출되고 이해될 수 있다. 즉, 본 발명의 예시적 실시예들을 실시함에 따른 의도하지 아니한 효과들 역시 본 발명의 예시적 실시예들로부터 당해 기술분야의 통상의 지식을 가진 자에 의해 도출될 수 있다.

도면의 간단한 설명

- [0016] 도 1은 본 개시의 다양한 실시 예들에 따른 3진 데이터를 처리하는 메모리 장치(10)를 도시한다.
- 도 2a는, 3진 데이터 중 제1 값이 출력되는 실시예의 회로도이고, 도 2b는 제1 값에 대응하는 트랜지스터의 소스 부분의 전압 신호 그래프이다.
- 도 3a는, 3진 데이터 중 제2 값이 출력되는 실시예의 회로도이고, 도 3b는 제2 값에 대응하는 트랜지스터의 소스 부분의 전압 신호 그래프이다.

도 4는, 3진 데이터 중 제3 값이 출력되는 실시예의 회로도이다.

도 5는, 3진 데이터 중 제3 값이 출력되는 다른 실시예의 회로도이다.

도 6은, 본 개시의 실시예들에 따른 복수의 메모리 장치(10')들을 포함하여 구현된 메모리 장치(1)를 도시한다.

도 7은 본 개시의 실시예에 따라서, 도출되는 출력값을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 본 개시에서 사용되는 용어들은 단지 특정한 실시 예를 설명하기 위해 사용된 것으로, 다른 실시 예의 범위를 한정하려는 의도가 아닐 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다. 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 용어들은 본 개시에 기재된 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가질 수 있다. 본 개시에 사용된 용어들 중 일반적인 사전에 정의된 용어들은, 관련 기술의 문맥상 가지는 의미와 동일 또는 유사한 의미로 해석될 수 있으며, 본 개시에서 명백하게 정의되지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다. 경우에 따라서, 본 개시에서 정의된 용어일지라도 본 개시의 실시 예들을 배제하도록 해석될 수 없다.
- [0018] 이하에서 설명되는 본 개시의 다양한 실시 예들에서는 하드웨어적인 접근 방법을 예시로서 설명한다. 하지만, 본 개시의 다양한 실시 예들에서는 하드웨어와 소프트웨어를 모두 사용하는 기술을 포함하고 있으므로, 본 개시의 다양한 실시 예들이 소프트웨어 기반의 접근 방법을 제외하는 것은 아니다.
- [0019] 아래에서는 첨부한 도면을 참조하여 본 개시가 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 다양한 실시예들을 상세히 설명한다. 그러나 본 개시의 기술적 사상은 다양한 형태로 변형되어 구현될 수 있으므로 본 명세서에서 설명하는 실시예들로 제한되지 않는다. 본 명세서에 개시된 실시예들을 설명함에 있어서 관련된 공지 기술을 구체적으로 설명하는 것이 본 개시의 기술적 사상의 요지를 흐릴 수 있다고 판단되는 경우 그 공지 기술에 대한 구체적인 설명을 생략한다. 동일하거나 유사한 구성요소는 동일한 참조 번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0020] 본 명세서에서 어떤 요소가 다른 요소와 "연결"되어 있다고 기술될 때, 이는 "직접적으로 연결"되어 있는 경우 뿐 아니라 그 중간에 다른 요소를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 어떤 요소가 다른 요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 요소 외에 또 다른 요소를 배제하는 것이 아니라 또 다른 요소를 더 포함할 수 있는 것을 의미한다.
- [0021] 일부 실시예들은 기능적인 블록 구성들 및 다양한 처리 단계들로 설명될 수 있다. 이러한 기능 블록들의 일부 또는 전부는 특정 기능을 실행하는 다양한 개수의 하드웨어 및/또는 소프트웨어 구성들로 구현될 수 있다. 예를 들어, 본 개시의 기능 블록들은 하나 이상의 마이크로프로세서들에 의해 구현되거나, 소정의 기능을 위한 회로 구성들에 의해 구현될 수 있다. 본 개시의 기능 블록들은 다양한 프로그래밍 또는 스크립팅 언어로 구현될 수 있다. 본 개시의 기능 블록들은 하나 이상의 프로세서들에서 실행되는 알고리즘으로 구현될 수 있다. 본 개시의 기능 블록이 수행하는 기능은 복수의 기능 블록에 의해 수행되거나, 본 개시에서 복수의 기능 블록이 수행하는 기능들은 하나의 기능 블록에 의해 수행될 수도 있다. 또한, 본 개시는 전자적인 환경 설정, 신호 처리, 및/또는 데이터 처리 등을 위하여 종래 기술을 채용할 수 있다.
- [0022] 또한, 본 개시에서, 특정 조건의 만족(satisfied), 충족(fulfilled) 여부를 판단하기 위해, 초과 또는 미만의 표현이 사용되었으나, 이는 일 예를 표현하기 위한 기재일 뿐 이상 또는 이하의 기재를 배제하는 것이 아니다. '이상'으로 기재된 조건은 '초과', '이하'로 기재된 조건은 '미만', '이상 및 미만'으로 기재된 조건은 '초과 및 이하'로 대체될 수 있다.
- [0023] 본 개시에서 “학습”, “러닝” 등의 용어는 인간의 교육 활동과 같은 정신적 작용을 지칭하도록 의도된 것이 아닌 절차에 따른 컴퓨팅(computing)을 통하여 기계 학습(machine learning)을 수행함을 일컫는 용어로 해석한다.
- [0024] 도 1은 본 개시의 다양한 실시 예들에 따른 3진 데이터를 처리하는 메모리 장치(10)를 도시한다.
- [0025] 메모리 장치(10)은 로직-인-메모리(logic-in-memory; LIM) 구조를 가질 수 있다. 로직-인-메모리(LIM)는 메모리 소자에 저장된 값과, 입력된 값을 논리 연산한 결과를 출력하는 메모리를 지칭할 수 있고, 논리 연산 회로에 메모리 기능을 탑재한 것으로도 지칭될 수 있다. 예를 들면, 도 1에 도시된 바와 같이, 메모리 장치(10)은 연산

회로(OP)를 포함할 수 있다. 연산 회로(OP)는 제1 연산 회로(OP1) 및 제2 연산 회로(OP2)를 포함할 수 있다. 제1 연산 회로(OP1) 및 제2 연산 회로(OP2)는 제1 입력 라인(IL1) 및 제2 입력 라인(IL2)과 연결될 수 있다. 연산 회로(OP)는 메모리 셀(M)에 저장된 3진 값(본 명세서에서, 저장값으로 지칭될 수 있다) 및 적어도 하나의 입력 라인(IL)을 통해서 제공되는 3진 값(본 명세서에서, 입력값으로 지칭될 수 있다)을 곱 연산할 수 있고, 곱 연산의 결과 값(본 명세서에서, 결과값으로 지칭될 수 있다)을 제1 연산 회로(OP1) 또는 제2 연산 회로(OP2)를 통해서 제공할 수 있다.

[0026] 이에 따라 로직-인-구조의 메모리 장치(10)는 3진 값을 저장하는 메모리 셀(M)에 기인하는 증가된 용량을 가질 뿐만 아니라, 증가된 양의 데이터에 대한 3진 곱 연산을 수행하여 3진 곱 연산을 위한 로직-인-메모리를 실현함으로써 메모리 셀(M)에 저장된 3진 값의 곱 연산에 소요되는 시간을 단축시킬 수 있고, 로직-인-구조의 메모리 장치(10) 외부의 논리 소자들(예컨대, 3진 논리 소자들)을 현저하게 감소시킬 수 있다.

[0027] 로직-인-구조의 메모리 장치(10)의 메모리 셀(M)은 워드 라인(WL)에 연결될 수 있고, 제1 비트 라인(BL1)과 제2 비트 라인(BL2)에 연결될 수 있으며, 제1 입력 라인(IL1) 및 제2 입력 라인(IL2)에 연결될 수 있다. 본 개시의 일 실시 예에 따르면, 제1 비트 라인(BL1)과 제2 비트 라인(BL2)의 전압은 VDD로 프리 차지될 수 있다. 메모리 셀(M)은 3개의 상이한 상태들을 가질 수 있고, 이에 따라 3개의 상이한 상태들에 대응하는 3진 논리 값들을 저장할 수 있으며, 이에 따라 3진 메모리 셀로서 지칭될 수 있다. 본 명세서에서, 메모리 셀(M)이 저장 가능한 3진 논리 값들은 '-1', '0' 및 '1'로서 지칭될 수 있고, '-1/0/1'로서 총괄적으로 지칭될 수도 있으며, 단순히 3진 값들로서 지칭될 수도 있다.

[0028] 메모리 셀(M)은 적어도 하나의 비트 라인(BL)을 통해서 제공되는 3진 논리 값을 저장하기 위한 구조를 가질 수 있다. 메모리 셀(M)은 교차 연결된 한 쌍의 인버터들을 포함할 수 있고, 인버터들 각각은 턴-오프시 정전류를 통과시키도록 구성된 풀업 소자 및 풀업 소자를 포함할 수 있다.

[0029] 메모리 장치(10)는 제1 인버터(INV1), 제2 인버터(INV2), 제1 액세스 트랜지스터(AT1), 제2 액세스 트랜지스터(AT2)를 포함하는 메모리 셀(M)과, 제1 연산 회로(OP1), 및 제2 연산 회로(OP2)를 포함할 수 있다. 제1 인버터(INV1) 및 제2 인버터(INV2)는 제1 노드(N1) 및 제2 노드(N2)에서 교차 연결될 수 있고, 이에 따라 -1/0/1 중 하나의 논리값을 저장할 수 있다. 본 명세서에서, 제1 노드(N1)가 양의 공급 전압(VDD)이고, 제2 노드(N2)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))일 때, 메모리 셀(M)은 논리값 1을 저장하는 것으로 지칭될 수 있다(Q=1). 또한, 본 명세서에서, 제1 노드(N1) 및 제2 노드(N2)가 중간 전압(예컨대, VDD/2)(또는, (VDD+VSS)/2)일 때, 메모리 셀(M)은 논리값 0을 저장하는 것으로 지칭될 수 있다(Q=0). 또한, 본 명세서에서, 제1 노드(N1)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))이고, 제2 노드(N2)가 양의 공급 전압(VDD)일 때, 메모리 셀(M)은 논리값 -1을 저장하는 것으로 지칭될 수 있다(Q=-1).

[0030] 제1 액세스 트랜지스터(AT1)는 제1 노드(N1) 및 제1 비트 라인(BL1)에 연결될 수 있고, 워드 라인(WL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 제1 액세스 트랜지스터(AT1)는 워드 라인(WL)의 전압에 따라 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 접속시키거나 단선(disconnection)시킬 수 있다. 예를 들면, 제1 액세스 트랜지스터(AT1)는 NFET(N-channel Field Effect Transistor)일 수 있고, 활성화된 워드 라인(WL), 즉 하이 레벨인 워드 라인(WL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 접속시킬 수 있는 한편, 비활성화된 워드 라인(WL), 즉 로우 레벨인 워드 라인(WL)의 전압에 응답하여 제1 노드(N1) 및 제1 비트 라인(BL1)을 전기적으로 단선시킬 수 있다. 제2 액세스 트랜지스터(AT2)는, 제1 액세스 트랜지스터(AT1)와 유사하게, 제2 노드(N2) 및 제2 비트 라인(BL2)에 연결될 수 있고, 워드 라인(WL)에 연결된 게이트(또는 제어 단자)를 가질 수 있다. 본 명세서에서, 본 발명의 실시예들은 제1 액세스 트랜지스터(AT1) 및 제2 액세스 트랜지스터(AT2)는 NFET인 것으로 가정되어 설명될 것이나, PFET(P-channel Field Effect Transistor), 트랜스미션 게이트 등인 경우에도 본 발명의 실시예들이 적용될 수 있는 점은 이해될 것이다.

[0031] 제1 및 제2 연산 회로(OP1, OP2)는 제1 입력 라인(IL1) 또는 제2 입력 라인(IL2)를 통해 3진 데이터인 입력값에 대응하는 펄스 신호를 수신할 수 있다. 본 명세서에서, 제1 입력 라인(IL1)을 통해 펄스 신호를 수신할 때, 메모리 장치(10)는 논리값 (1)을 입력하는 것으로 지칭될 수 있다. 또한, 본 명세서에서, 제2 입력 라인(IL2)을 통해 펄스 신호를 수신할 때, 메모리 장치(10)는 논리값 (-1)을 입력하는 것으로 지칭될 수 있다. 또한, 본 명세서에서, 제1 입력 라인(IL1) 또는 제2 입력 라인(IL2)을 통해 펄스 신호를 수신하지 않을 때, 메모리 장치(10)는 논리값 0을 입력하는 것으로 지칭될 수 있다. 메모리 장치(10)는, 펄스 생성기를 통해서 입력하고자 하는 신호에 대응하는 펄스 신호가 입력될 수 있다. 펄스 신호가 수신되지 않을 때, 제1 입력 라인(IL1)과 제2 입력 라인(IL2)의 전압은 VDD로 프리 차지될 수 있다.

- [0032] 제1 연산 회로(OP1)는 제1-1 트랜지스터(NT11), 제1-2 트랜지스터(NT12)를 포함할 수 있다. 제1-1 트랜지스터(NT11)는, 제1 노드(N1)와 연결된 게이트, 제1 입력 라인(IL1)과 연결된 드레인을 가질 수 있다. 제1-1 트랜지스터(NT11)에는, 제1 입력 라인(IL1)을 통해 펄스 신호가 입력된다. 제1-2 트랜지스터(NT12)는, 제2 노드(N2)와 연결된 게이트, 제2 입력 라인(IL2)과 연결된 드레인을 가질 수 있다. 제1-2 트랜지스터(NT12)에는, 제2 입력 라인(IL2)을 통해 펄스 신호가 입력된다.
- [0033] 제2 연산 회로(OP2)는 제2-1 트랜지스터(NT21), 제2-2 트랜지스터(NT22)를 포함할 수 있다. 제2-1 트랜지스터(NT21)는, 제2 노드(N2)와 연결된 게이트, 제2 입력 라인(IL2)과 연결된 드레인을 가질 수 있다. 제2-1 트랜지스터(NT21)에는, 제2 입력 라인(IL2)을 통해 펄스 신호가 입력된다. 제2-2 트랜지스터(NT22)는, 제1 노드(N1)와 연결된 게이트, 제1 입력 라인(IL1)과 연결된 드레인을 가질 수 있다. 제2-2 트랜지스터(NT22)에는, 제2 입력 라인(IL2)을 통해 펄스 신호가 입력된다.
- [0034] 본 명세서에서, 논리값 1이 저장된 상태 즉, 제1 액세스 트랜지스터(AT1)에 의해 제1 노드(N1)에 전압이 인가되면, 제1 노드(N1)의 전압에 응답하여, 제1-1 트랜지스터(NT11)의 드레인과 소스가 전기적으로 접속되고, 제2-1 트랜지스터(NT21)의 드레인과 소스가 전기적으로 접속될 수 있다. 제1 노드(N1)에 접지 전압이 인가되면, 제1-1 트랜지스터(NT11)의 드레인과 소스가 단전되고, 제2-1 트랜지스터(NT21)의 드레인과 소스가 단전될 수 있다.
- [0035] 드레인으로 입력된 펄스 신호가 제1-1 트랜지스터(NT11), 제1-2 트랜지스터(NT12), 제2-1 트랜지스터(NT21), 제2-2 트랜지스터(NT22) 중 적어도 하나의 소스 부분으로 전달된 전기 신호를 통해서, 3진 데이터인 -1/0/1을 출력할 수 있다.
- [0036] 본 명세서에서, 논리값 1이 저장된 상태에서, 논리값 1이 입력되게 되면, 입력값에 대응하여 제1 입력 라인(IL1)을 통해 펄스 신호가 입력되고, 논리값 1과 1의 곱한 값에 대응하여 제1-1 트랜지스터(NT11)의 드레인에서 소스로 펄스 신호가 전달될 수 있다. 메모리 장치(10)에 입력된 펄스 신호에 결과로 제1-1 트랜지스터(NT11)의 소스에 전달된 전기 신호를 통해서, 결과값 1이 출력될 수 있다. 제1-1 트랜지스터(NT11)의 소스 부분에 인가된 출력 신호는 입력값 1과 저장값 1의 곱연산한 결과값인 1을 지칭할 수 있다. 제1-1 트랜지스터(NT11)의 소스 부분에 인가된 출력 신호는 제1 출력 라인(OL1)를 통해 출력되어 축적 또는 감소될 수 있다.
- [0037] 본 명세서에서, 논리값 1이 저장된 상태에서, 논리값 -1이 입력되게 되면, 입력값 -1과 대응하여 제2 입력 라인(IL2)을 통해 펄스 신호가 입력되고, 논리값 1과 -1의 곱한 값(-1)에 대응하여 제2-1 트랜지스터(NT21)의 드레인에서 소스로 펄스 신호가 전달될 수 있다. 메모리 장치(10)에 입력된 펄스 신호에 결과로 제2-1 트랜지스터(NT11)의 소스에 전달된 전기 신호를 통해서, 결과값 -1이 출력될 수 있다. 제2-1 트랜지스터(NT21)의 소스 부분에 인가된 출력 신호는 입력값 -1과 저장값 1의 곱연산한 결과값인 -1을 지칭할 수 있다. 제2-1 트랜지스터(NT21)의 소스 부분에 인가된 출력 신호는 제2 출력 라인(OL2)를 통해서 출력되어 축적 또는 감소될 수 있다.
- [0038] 본 명세서에서, 논리값 1이 저장된 상태에서, 논리값 0이 입력되게 되면, 아무런 펄스 신호가 입력되지 않고, 트랜지스터들의 소스에는 아무런 전기 신호가 전달되지 않게 된다.
- [0039] 본 명세서에서, 논리값 -1이 저장된 상태 즉, 제2 액세스 트랜지스터(AT2)에 의해 제2 노드(N2)에 전압이 인가되면, 제2 노드(N2)의 전압에 응답하여, 제1-2 트랜지스터(NT12)의 드레인과 소스가 전기적으로 접속되고, 제2-2 트랜지스터(NT22)의 드레인과 소스가 전기적으로 접속될 수 있다. 제2 노드(N2)에 접지 전압이 인가되면, 제1-2 트랜지스터(NT12)의 드레인과 소스가 전기적으로 단전되고, 제2-2 트랜지스터(NT22)의 드레인과 소스가 단전될 수 있다.
- [0040] 본 명세서에서, 논리값 -1이 저장된 상태에서, 논리값 1이 입력되게 되면, 제1 입력 라인(IL1)을 통해 펄스 신호가 입력되고, 제2-2 트랜지스터(NT22)의 드레인에서 소스로 펄스 신호가 전달될 수 있다. 제2-2 트랜지스터(NT22)의 소스에 전달된 전기 신호를 통해서, 결과값 -1이 출력될 수 있다. 제2-2 트랜지스터(NT22)의 소스 부분에 인가된 출력 신호는 입력값 1과 저장값 -1의 곱연산한 결과값인 -1을 지칭할 수 있다. 제2-2 트랜지스터(NT22)의 소스 부분에 인가된 출력 신호는 제2 출력 라인(OL2)를 통해서 출력되어 축적 또는 감소될 수 있다.
- [0041] 본 명세서에서, 논리값 -1이 저장된 상태에서, 논리값 -1이 입력되게 되면, 제2 입력 라인(IL2)을 통해 펄스 신호가 입력되고, 제1-2 트랜지스터(NT12)의 드레인에서 소스로 펄스 신호가 전달될 수 있다. 제1-2 트랜지스터(NT12)의 소스에 전달된 전기 신호를 통해서, 결과값 1이 출력될 수 있다. 제1-2 트랜지스터(NT12)의 소스 부분에 인가된 출력 신호는 입력값 -1과 저장값 -1의 곱연산한 결과값인 1을 지칭할 수 있다. 제1-2 트랜지스터(NT12)의 소스 부분에 인가된 출력 신호는 제1 출력 라인(OL1)를 통해 출력되어 축적 또는 감소될 수 있다.

- [0042] 본 명세서에서, 논리값 -1이 저장된 상태에서, 논리값 0이 입력되게 되면, 아무런 펄스 신호가 입력되지 않고, 트랜지스터들의 소스에는 아무런 전기 신호가 전달되지 않게 된다.
- [0043] 본 명세서에서, 논리값 0이 저장된 상태 즉, 제1 노드(N1) 및 제2 노드(N2)가 중간 전압(예컨대, $VDD/2$)(또는, $(VDD+VSS)/2$)이 인가되면, 제1-1, 제1-2, 제2-1, 제2-2 트랜지스터(NT22)의 드레인과 소스가 단전될 수 있다.
- [0044] 본 명세서에서, 논리값 0이 저장된 상태에서, 논리값 1이 입력되게 되면, 제1 입력 라인(IL1)을 통해 펄스 신호가 입력되더라도, 제1-1 및 제2-2 트랜지스터(NT22)의 드레인과 소스가 단전되어 소스에 아무런 전기 신호가 전달되지 않는다.
- [0045] 본 명세서에서, 논리값 0이 저장된 상태에서, 논리값 -1이 입력되게 되면, 제2 입력 라인(IL2)을 통해 펄스 신호가 입력되더라도, 제1-2 및 제2-1 트랜지스터(NT21)의 드레인과 소스가 단전되어 소스에 아무런 전기 신호가 전달되지 않는다.
- [0046] 본 명세서에서, 논리값 0이 저장된 상태에서, 논리값 0이 입력되게 되면, 아무런 펄스 신호가 입력되지 않고, 트랜지스터들의 소스에는 아무런 전기 신호가 전달되지 않게 된다.
- [0047] 본 명세서에서, 본 발명의 실시예들은 제1-1, 제1-2, 제2-1, 제2-2 트랜지스터(NT11, NT12, NT21, NT22)는 NFET인 것으로 가정되어 설명될 것이나, PFET(P-channel Field Effect Transistor), 트랜스미션 게이트 등인 경우에도 본 발명의 실시예들이 적용될 수 있는 점은 이해될 것이다.
- [0048] 상기에서 설명한 바와 같이, 본 개시의 실시예들에 따른 메모리 장치(10)는 3진 메모리 셀에 저장된 3진 데이터(-1/0/1)과 펄스 신호로 입력된 3진 데이터(-1/0/1)를 곱한 값을 제1 및 제2 출력 라인 중 적어도 하나를 통해 전기 신호를 전달할 수 있다. 이를 통해 저장값을 독출하고, 입력값을 독출하고 저장값과 입력값을 연산하는 과정이 1번의 펄스 신호에 대한 결과로 획득될 수 있게 된다.
- [0049] 상기의 설명과 반대로, -1이 입력되는 경우, 제1 입력 라인을 통해 펄스 신호가 입력되고 1이 입력되는 경우 제2 입력 라인을 통해 펄스 신호가 입력될 수 있다. 또한, 출력값에 대해서도, 상기의 설명과 반대로 -1이 출력되는 경우, 제1 출력 라인을 통해 전기 신호가 출력되고, 1이 출력되는 경우 제2 출력 라인을 통해 전기 신호가 출력될 수 있다.
- [0050] 도 2a는, 3진 데이터 중 제1 값이 출력되는 실시예의 회로도이고, 도 2b는 제1 값에 대응하는 트랜지스터의 소스 부분의 전압 신호 그래프이다.
- [0051] 여기서, 제1 값은, 1로 치환시켜 설명하겠다. 논리값 1이 저장된 상태에서, 논리값 1이 입력되게 되면, 1과 1의 곱 연산한 1을 결과값으로 출력할 수 있다. 1의 결과값에 대응하는 전기 신호는 제1 출력 라인(OL1)로 전달될 수 있다. 좀더 자세히 설명하면, 논리값 1이 저장된 상태에서는 제1 노드(N1)가 양의 공급 전압(VDD)이고, 제2 노드(N2)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))이 된다. 제1 노드(N1)가 공급 전압으로 인가되어, 제1-1 트랜지스터(NT11)의 드레인과 소스가 접속된 상태이다. 제1 입력 라인(IL1)을 통해 펄스 신호가 입력되면 제1-1 트랜지스터(NT11)의 드레인으로 펄스 신호가 입력된다. 펄스 신호는, 제1-1 트랜지스터(NT11)의 드레인으로 부터 소스 부분으로 전달될 수 있다.
- [0052] 제1 출력 라인(OL1)의 전압(OUT)은, 전달된 펄스 신호를 통해 도 2b와 같이 VDD 에서 소정의 값(ΔV)만큼 감소될 수 있다. 도 2b를 참고하면, 출력값이 1인 경우의 제1-1 트랜지스터(NT11) 또는 제1-2 트랜지스터(NT12)의 소스 부분에 관한 전압 신호 그래프가 도시된다. 그래프에서 가로 축은, 시간을 지시하고 세로 축은 전압을 지시한다.
- [0053] 도 3a는, 3진 데이터 중 제2 값이 출력되는 실시예의 회로도이고, 도 3b는 제2 값에 대응하는 트랜지스터의 소스 부분의 전압 신호 그래프이다.
- [0054] 여기서, 제2 값은, -1로 치환시켜 설명하겠다. 논리값 1이 저장된 상태에서, 논리값 -1이 입력되게 되면, 1과 -1의 곱 연산한 -1을 결과값으로 출력할 수 있다. -1의 결과값에 대응하는 전기 신호는 제2 출력 라인(OL2)을 통해서 전달될 수 있다. 좀더 자세히 설명하면, 논리값 1이 저장된 상태에서는 제1 노드(N1)가 양의 공급 전압(VDD)이고, 제2 노드(N2)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))이 된다. 제1 노드(N1)가 공급 전압으로 인가되어, 제2-1 트랜지스터(NT21)의 드레인과 소스가 접속된 상태이다. 제2 입력 라인(IL2)을 통해 펄스 신호가 입력되면 제2-1 트랜지스터(NT21)의 드레인으로 펄스 신호가 입력된다. 펄스 신호는, 제2-1 트랜지스터(NT21)의 드레인으로 부터 소스 부분으로 전달될 수 있다. 제2 출력 라인(OL2)의 전압(OUTB)은, 전달된 펄스 신호를 통해 도 3b와 같이 VDD 에서 소정의 값(ΔV)만큼 감소될 수 있다. 도 2b를 참고하면, 출력값이 -1인 경우

의 제2-1 트랜지스터(NT21) 또는 제2-2 트랜지스터(NT22)의 소스 부분에 관한 전압 신호 그래프가 도시된다. 그래프에서 가로 축은, 시간을 지시하고 세로 축은 전압을 지시한다.

- [0055] 도 4는, 3진 데이터 중 제3 값이 출력되는 실시예의 회로도이다.
- [0056] 여기서, 제3 값은, 0으로 치환시켜 설명하겠다. 논리값 0이 입력되게 되면, 아무런 펄스 신호가 입력되지 않기 때문에, 트랜지스터들의 소스들은 드레인들과 단전되게 된다.
- [0057] 도 5는, 3진 데이터 중 제3 값이 출력되는 다른 실시예의 회로도이다.
- [0058] 논리값 0이 저장되게 되면, 제1-1, 제1-2, 제2-1, 제2-2 트랜지스터(NT11, NT12, NT21, NT22)는 OFF 상태가 된다. 제1 입력 라인(IL1) 또는 제2 입력 라인(IL2)을 통해 펄스 신호가 수신되더라도 펄스 신호는 트랜지스터들의 소스로 전달되지 않는다. 제1 출력 라인(OL1)과 제2 출력 라인(OL2)에는 아무런 변화가 없게 된다.
- [0059] 도 6은, 본 개시의 실시예들에 따른 복수의 메모리 장치(10')들을 포함하여 구현된 메모리 장치(1)를 도시한다.
- [0060] 메모리 장치(1)는 펄스 생성기(11), 프리차지회로(12), 디코더(13), 복수의 메모리 셀 어레이(14)를 포함할 수 있다. 메모리 장치(1)는 독출 데이터나 기입 데이터를 래치하거나 생성된 데이터를 외부로 전달하는 데이터 입출력 버퍼를 추가로 포함할 수 있다.
- [0061] 여기서, 메모리 셀 어레이(14)는 도 1의 3진 메모리 셀과 4개의 트랜지스터들을 포함하는 메모리 장치(10')들을 포함하는 것을 말할 수 있다. 메모리 장치(10')는 입력 라인들을 통해 입력값을 수신하고, 워드 라인을 통해 저장된 값과 입력값 사이의 곱 연산한 결과값을 출력 라인을 통해서 출력되어 축적 또는 감소될 수 있다. 출력 라인은 4개의 트랜지스터들 중 적어도 하나의 소스 부분에 전달된 전기 신호에 의해 발생될 수 있다. 이때, 메모리 장치(10')는 -1, 0, 1 중 하나인 입력값과 저장값을 곱 연산하여 -1, 0, 1 중 하나의 결과값이 출력되도록 설계된 것으로, 도 1의 구조를 가질 수 있다. 입력값이 전달되는 과정과, 출력값이 출력되는 과정은, 도 1에서 자세히 설명하여 생략한다.
- [0062] 펄스 생성기(11)는 입력 명령에 대응하여 입력 라인에 신호를 인가함으로써, 메모리 셀에 3진 데이터 중 하나를 입력하도록 구성될 수 있다. 펄스 생성기(11)는, 2개의 입력 라인으로 각각의 메모리 셀과 연결되고 2개의 입력 라인 중 중 적어도 하나를 통해 전기 신호를 전달할 수 있다. 본 명세서에서는, 펄스 생성기(11)는, 논리값 -1이 입력되는 경우, 제1 입력 라인(IL1)에 펄스 신호를 전달하고, 논리값 1이 입력되는 경우, 제2 입력 라인(IL2)에 펄스 신호를 전달할 수 있다. 이는 하나의 예시에 불과하며, 논리값 -1과 1에 대해서 제1 및 제2 입력 라인에 교차하여 펄스 신호를 입력할 수 있다. 논리값 0이 입력되는 경우, 펄스 생성기(11)는, 펄스 신호를 전달하지 않을 수 있다.
- [0063] 프리 차지 회로(12)는 메모리 장치의 비트 라인 쌍을 프리 차지(pre-charge)하는 기능을 수행한다. 프리 차지 회로(12)는 비트 라인 쌍을 통해 3진 메모리 셀과 연결될 수 있고, 비트 라인 쌍을 미리 설정된 전압으로 프리 차지할 수 있다.
- [0064] 디코더(13)는 동작 모드 명령에 대응하여 워드 라인(WL)에 신호를 인가함으로써, 메모리 셀을 선택적으로 제어하는 기능을 수행한다. 디코더(13)는 어레이 형태로 배열된 복수의 3진 메모리 셀들 중 적어도 하나의 메모리 셀을 선택하도록 구성될 수 있다. 디코더(13)는 복수의 워드 라인들(WL)을 통하여 3진 메모리 셀 어레이(10')에 접속될 수 있다. 본 개시의 일 실시 예에 따르면, 디코더(13)는 3진 메모리 셀 어레이(10')에 소정의로우(row)의 메모리 셀에 데이터를 저장하거나 독출하는 경우 적어도 하나의 워드 라인을 활성화시킬 수 있다.
- [0065] 도 7은 본 개시의 실시예에 따라서, 도출되는 출력값을 설명하는 도면이다.
- [0066] 도면에 개시된 바와 같이, 논리값 -1이 저장된 상태에서, 논리값 -1이 입력되게 되면, 제1 노드(N1)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))이고, 제2 노드(N2)가 양의 공급 전압(VDD)인 상태이다. 이런 상태에서, 본 개시의 실시예들에 따르면, 제2 입력 라인(IL2)을 통해 펄스 신호가 입력되고, 제1-2 트랜지스터(NT12)의 소스와 연결된 제1 출력 라인(OL1)으로 출력값 1에 대응하는 전기 신호가 전달될 수 있다.
- [0067] 논리값 -1이 저장된 상태에서, 논리값 0이 입력되게 되면, 아무런 펄스 신호가 입력되지 않고, 트랜지스터들의 소스에는 아무런 전기 신호가 전달되지 않게 된다.
- [0068] 논리값 -1이 저장된 상태에서, 논리값 1이 입력되게 되면, 제1 노드(N1)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))이고, 제2 노드(N2)가 양의 공급 전압(VDD)상태이다. 본 개시의 실시예들에 따르면, 이런 상태에서, 제

1 입력 라인(IL1)을 통해 펄스 신호가 입력되고, 제2-2 트랜지스터(NT22)의 드레인에서 소스로 펄스 신호가 전달될 수 있다. 제2-2 트랜지스터(NT22)의 소스에 전달된 전기 신호를 통해서, 결과값 -1이 출력될 수 있다. 제2-2 트랜지스터(NT22)의 소스 부분에 인가된 출력 신호는 입력값 1과 저장값 -1의 곱연산한 결과값인 -1을 지칭할 수 있다. 제2-2 트랜지스터(NT22)의 소스 부분에 인가된 출력 신호는 제2 출력 라인(OL2)를 통해서 출력되어 축적 또는 감소될 수 있다.

[0069] 논리값 0이 저장된 상태 즉, 제1 노드(N1) 및 제2 노드(N2)가 중간 전압(예컨대, $VDD/2$)(또는, $(VDD+VSS)/2$)이 인가된 상태로서, 제1-1, 제1-2, 제2-1, 제2-2 트랜지스터(NT22)의 드레인과 소스가 단전될 수 있다.

[0070] 논리값 0이 저장된 상태에서, 논리값 -1이 입력되게 되면, 제1 노드(N1) 및 제2 노드(N2)가 중간 전압(예컨대, $VDD/2$)(또는, $(VDD+VSS)/2$)이 인가된 상태이다. 이런 상태에서, 제2 입력 라인(IL2)을 통해 펄스 신호가 입력되더라도, 제1-2 및 제2-1 트랜지스터(NT21)의 드레인과 소스가 단전되어 소스에 아무런 전기 신호가 전달되지 않는다.

[0071] 논리값 0이 저장된 상태에서, 논리값 1이 입력되게 되면, 제1 노드(N1) 및 제2 노드(N2)가 중간 전압(예컨대, $VDD/2$)(또는, $(VDD+VSS)/2$)이 인가된 상태이다. 이런 상태에서, 제1 입력 라인(IL1)을 통해 펄스 신호가 입력되더라도, 제1-1 및 제2-2 트랜지스터(NT22)의 드레인과 소스가 단전되어 소스에 아무런 전기 신호가 전달되지 않는다.

[0072] 논리값 1이 저장된 상태에서, 논리값 -1이 입력되게 되면, 제1 노드(N1)가 양의 공급 전압(VDD)이고, 제2 노드(N2)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))인 상태이다. 이런 상태에서, 제2 입력 라인(IL2)을 통해 펄스 신호가 입력되고, 제2-1 트랜지스터(NT21)의 드레인에서 소스로 펄스 신호가 전달될 수 있다. 제2-1 트랜지스터(NT21)의 소스에 전달된 전기 신호를 통해서, 결과값 -1이 출력될 수 있다. 제2-1 트랜지스터(NT21)의 소스 부분에 인가된 출력 신호는 입력값 -1과 저장값 1의 곱연산한 결과값인 -1을 지칭할 수 있다. 제2-1 트랜지스터(NT21)의 소스 부분에 인가된 출력 신호는 제2 출력 라인(OL2)를 통해서 출력되어 축적 또는 감소될 수 있다.

[0073] 논리값 1이 저장된 상태에서, 논리값 0이 입력되게 되면, 아무런 펄스 신호가 입력되지 않고, 트랜지스터들의 소스에는 아무런 전기 신호가 전달되지 않게 된다.

[0074] 논리값 1이 저장된 상태에서, 논리값 1이 입력되게 되면, 제1 노드(N1)가 양의 공급 전압(VDD)이고, 제2 노드(N2)가 접지 전압(GND)(또는, 음의 공급 전압(VSS))인 상태이다. 이런 상태에서, 제1 입력 라인(IL1)을 통해 펄스 신호가 입력되고, 제1-1 트랜지스터(NT11)의 드레인에서 소스로 펄스 신호가 전달될 수 있다. 제1-1 트랜지스터(NT11)의 소스에 전달된 전기 신호를 통해서, 결과값 1이 출력될 수 있다. 제1-1 트랜지스터(NT11)의 소스 부분에 인가된 출력 신호는 입력값 1과 저장값 1의 곱연산한 결과값인 1을 지칭할 수 있다. 제1-1 트랜지스터(NT11)의 소스 부분에 전달된 출력 신호는 제1 출력 라인(OL1)를 통해 출력되어 축적 또는 감소될 수 있다.

[0075] 펄스 생성기에 의해 양의 펄스 신호가 생성되는 경우에는, 전기 신호가 축적되고, 펄스 생성기에 의해 음의 펄스 신호가 생성되는 경우에는, 전기 신호가 감소될 수 있다.

[0076] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPGA(field programmable gate array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 어플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.

[0077] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상

장치(virtual equipment), 컴퓨터 저장 매체 또는 장치, 또는 전송되는 신호 파(signal wave)에 영구적으로, 또는 일시적으로 구체화(embody)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.

[0078] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0079] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0080] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

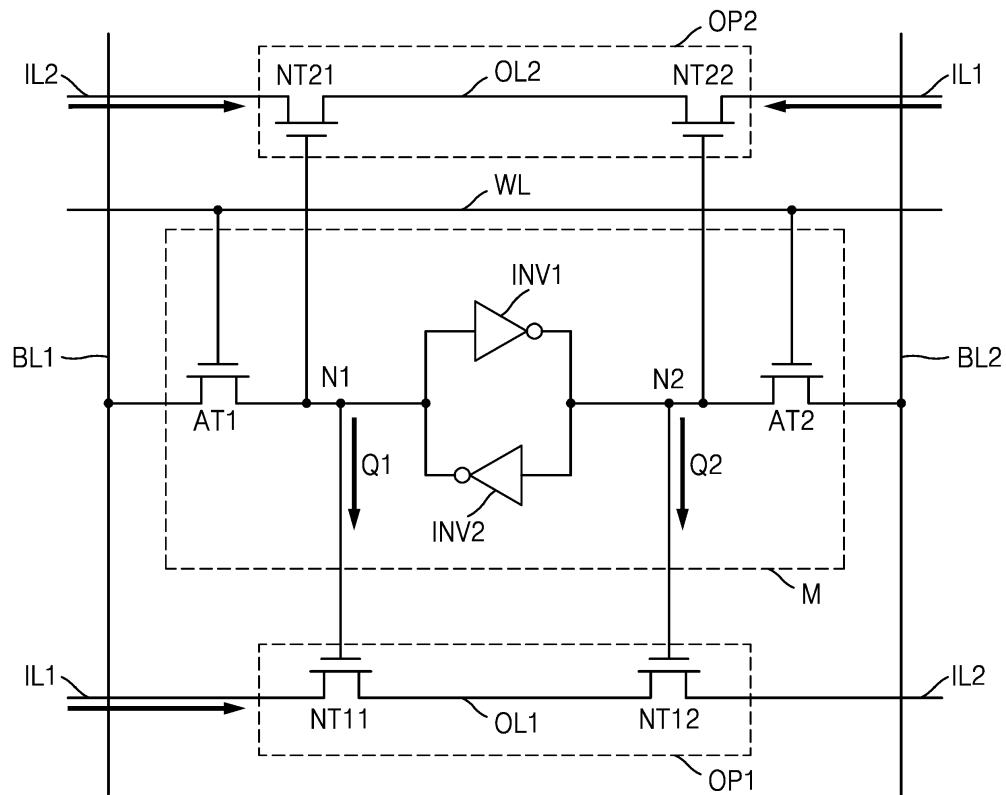
부호의 설명

[0081] 10: 메모리 장치 M: 3진 메모리 셀
BL1: 제1 비트 라인 BL2: 제2 비트 라인
IL1: 제1 입력 라인 IL2: 제2 입력 라인
WL: 워드 라인
AT1: 제1 액세스 트랜지스터 AT2: 제2 액세스 트랜지스터
NT11: 제1-1 트랜지스터 NT12: 제1-2 트랜지스터
NT21: 제2-1 트랜지스터 NT22: 제2-2 트랜지스터

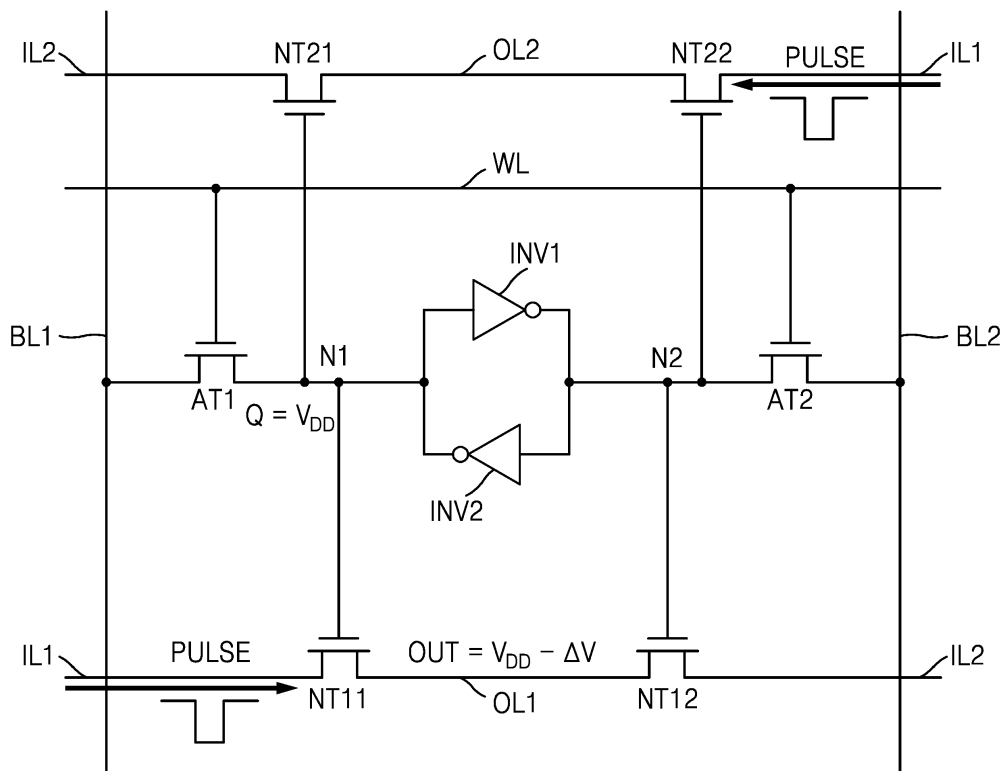
도면

도면1

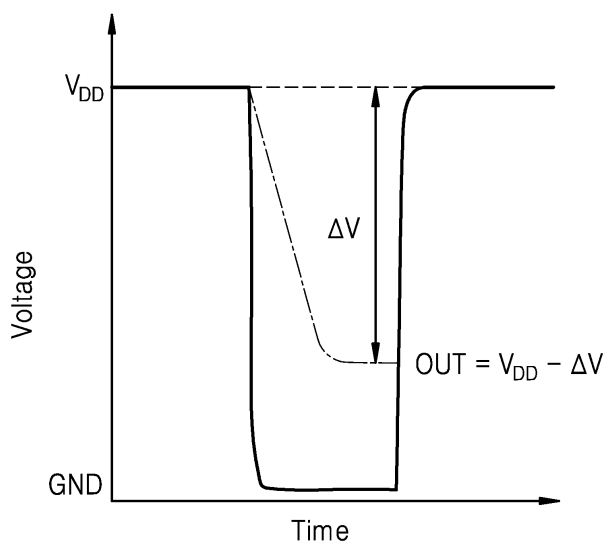
10



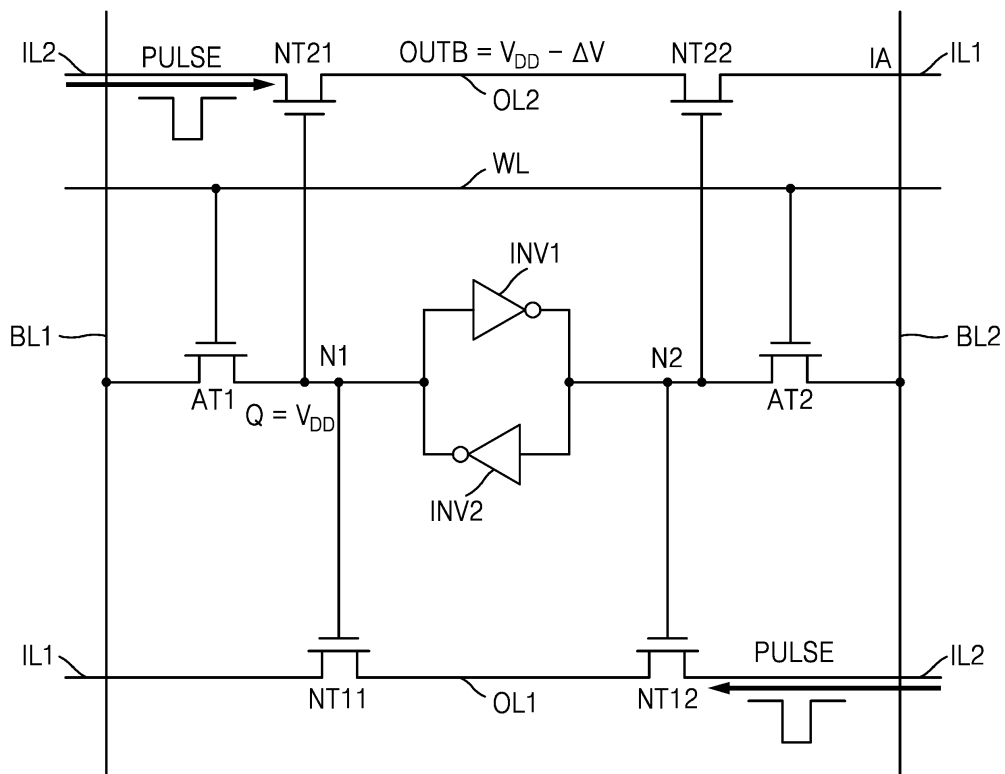
도면2a



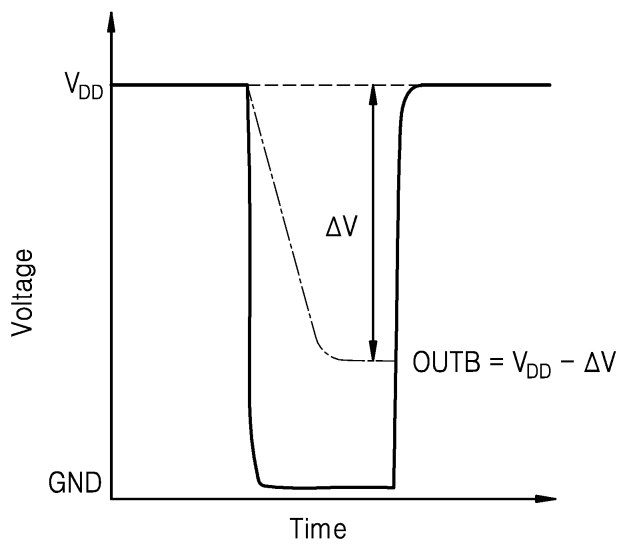
도면 2b



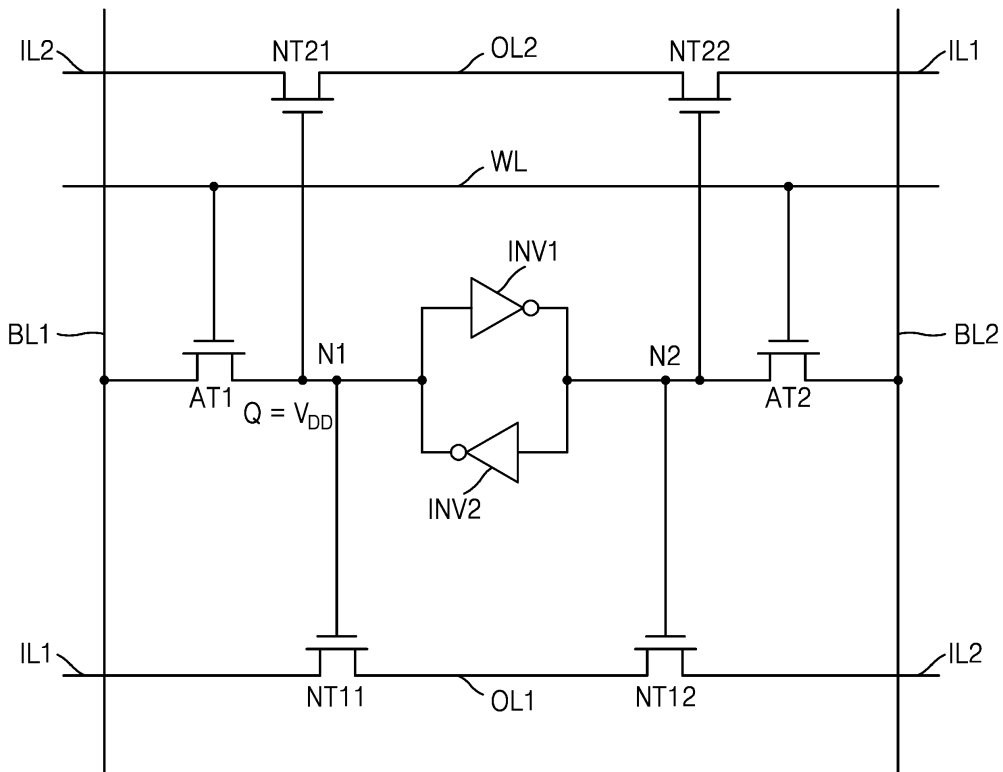
도면 3a



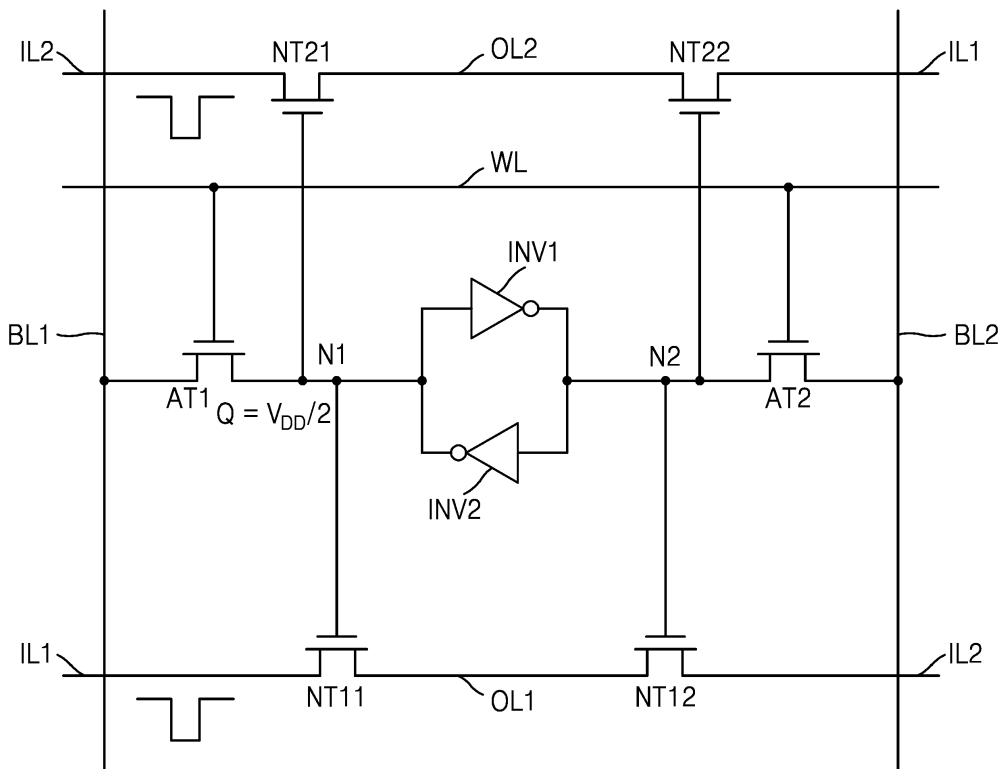
도면 3b



도면4

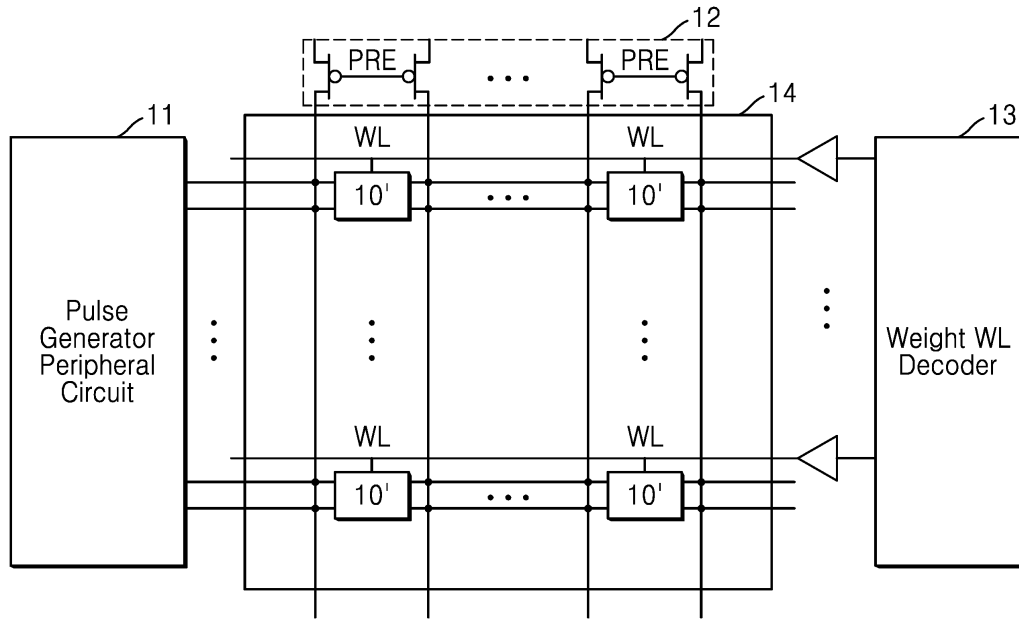


도면5



도면6

1



도면7

입력값 저장값	-1 IL1 = V_{DD} IL2 = PULSE	0 IL1 = V_{DD} IL2 = V_{DD}	+1 IL1 = PULSE IL2 = V_{DD}
-1 N1 = GND N2 = V_{DD}	1 (OL1 = $V_{DD}-\Delta V$)	0(No Change)	-1 (OL2 = $V_{DD}-\Delta V$)
0 N1/N2 = $V_{DD}/2$	0(No Change)	0(No Change)	0(No Change)
+1 N1 = V_{DD} N2 = GND	-1 (OL2 = $V_{DD}-\Delta V$)	0(No Change)	1 (OL1 = $V_{DD}-\Delta V$)