



⑫ A **Terinzagelegging** ⑪ **8300497**

Nederland

⑲ NL

-
- ⑤4 **Halfgeleiderinrichting met niet-vluchtige geheugentransistors.**
- ⑤1 Int.Cl.: G11C 17/00, G11C 7/00, G11C 8/00, H01L 29/78.
- ⑦1 Aanvrager: N.V. Philips' Gloeilampenfabrieken te Eindhoven.
- ⑦4 Gem.: Ir. R.A. Bijl c.s.
Internationaal Octroobureau B.V.
Prof. Holstlaan 6
5656 AA Eindhoven.

-
- ②1 Aanvraag Nr. 8300497.
- ②2 Ingediend 10 februari 1983.
- ③2 --
- ③3 --
- ③1 --
- ⑥2 --

-
- ④3 Ter inzage gelegd 3 september 1984.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

N.V. Philips' Gloeilampenfabrieken te Eindhoven.

"Halfgeleiderinrichting met niet-vluchtige geheugentransistors".

De uitvinding betreft een halfgeleiderinrichting bevattende een matrix van geheugencellen die in rijen en kolommen gerangschikt zijn, waarbij iedere geheugencel een niet-vluchtige geheugentransistor en een daarmee in serie geschakelde toegangstransistor heeft, waarbij de geheugentransistor een geïsoleerde besturingselektrode en de toegangstransistor een geïsoleerde poortelektrode heeft en waarbij de poortelektroden van de toegangstransistors van een rij van geheugencellen verbonden zijn met een voor die rij gemeenschappelijke toegangslijn en de toegangslijnen zijn verbonden met een decodeur voor het aansturen van de toegangslijnen met selektiesignalen, waarbij de toegangstransistors van een gekozen rij van geheugencellen geleidend zijn, terwijl de toegangstransistors van de overige rijen van geheugencellen niet-geleidend zijn, en waarbij iedere rij van geheugencellen uit tenminste twee groepen van geheugencellen bestaat, waarbij in elk van deze groepen de geïsoleerde besturingselektroden met elkaar en door middel van een met gemeenschappelijke toegangslijn bestuurbare schakelaar met een voor een kolom van groepen gemeenschappelijke besturingslijn zijn verbonden en waarbij iedere geheugencel aan een uiteinde van de serieschakeling is verbonden met een voor een kolom van geheugencellen gemeenschappelijke eerste geleider en aan het andere uiteinde van de serieschakeling is gekoppeld met een voor tenminste een kolom van geheugencellen gemeenschappelijke tweede geleider.

Een dergelijke halfgeleiderinrichting is bekend uit het Amerikaanse octrooischrift 4,266,283. Het betreft een elektrisch veranderbaar dood geheugen (EAROM of EEROM), waarin de geheugentransistors van het type met een zwevende poortelektrode zijn. Via de besturingslijnen kunnen groepen van geheugencellen of bytes geselecteerd worden. De besturingslijnen zijn elk via een selektieschakelaar verbonden met een gemeenschappelijke lijn waaraan een controlesignaal wordt toegevoerd. Met dit controlesignaal wordt bepaald of in het geheugen geschreven, gewist of gelezen kan worden.

De onderhavige uitvinding beoogt een verbeterde halfgeleiderinrichting van de in de aanhef beschreven soort te verschaffen met een gering stroomverbruik en een relatief geringe ongewenste verandering van de

8300497

informatie-inhoud.

De uitvinding berust onder meer op het inzicht, dat bij voorkeur alleen tijdens het lezen van de informatie-inhoud stroom van de eerste geleiders door de te lezen geheugencellen naar de tweede geleiders vloeit
5 en bovendien in alle niet-geselekteerde geheugencellen, dus alle geheugencellen waarin niet gelezen, geschreven of gewist wordt, de potentiaal van de besturingselektroden is vastgelegd op een waarde die ongewenste verandering van de informatie-inhoud zoveel mogelijk voorkomt. Veelal komt een geschikte waarde voor deze potentiaal overeen met het controlesignaal dat
10 in de leestoestand aan de besturingselektroden wordt toegevoerd.

Een halfgeleiderinrichting van de in de aanhef beschreven soort is volgens de uitvinding daardoor gekenmerkt, dat in elk van de geheugencellen in de serieschakeling tussen de eerste en tweede geleiders behalve de genoemde toegangstransistor, verder eerste toegangstransistor ge-
15 noemd, en de geheugentransistor, een tweede toegangstransistor met geïsoleerde poortelektrode aanwezig is, waarbij de poortelektroden van de tweede toegangstransistors van een rij van geheugencellen verbonden zijn met een voor die rij gemeenschappelijke tweede toegangslijn, waarbij de decoder middelen bevat om tijdens schrijven en wissen in iedere rij de eerste
20 en tweede toegangslijnen met aan elkaar complementaire signalen aan te sturen en tijdens lezen althans in een daartoe gekozen rij de eerste en tweede toegangslijnen met aan elkaar gelijke signalen aan te sturen en waarbij in elke groep van geheugencellen de geïsoleerde besturingselektroden door middel van een met de tweede gemeenschappelijke toegangslijn
25 bestuurbare schakelaar zijn verbonden met een punt van geschikte potentiaal waarmee de potentiaalverschillen die over de geheugentransistor optreden beperkt kunnen worden tot waarden die kleiner of hoogstens vergelijkbaar zijn met de waarden die in de leestoestand over de geheugentransistor kunnen optreden.

30 Bij een belangrijke voorkeursuitvoeringsvorm zijn de met de tweede toegangslijnen bestuurd schakelaars verbonden met een voor een kolom van groepen van geheugencellen gemeenschappelijke tweede besturingslijn, die deel uitmaakt van de verbinding tussen deze schakelaars en het punt van geschikte potentiaal.

35 Door toepassing van de uitvinding wordt op eenvoudige wijze bereikt, dat tijdens schrijven en wissen geen stroom door de geheugencellen kan vloeien terwijl toch de eerste toegangslijn voor de selectie van een rij van geheugencellen kan worden gebruikt. Bij schrijven en wissen worden

8300497

de beide toegangstransistors zo aangestuurd dat steeds een van beide niet-geleidend is en de stroomweg door de geheugencel onderbreekt. Bovendien wordt de aansturing van de tweede toegangstransistor benut om met behulp van een verdere schakelaar de spanning van de besturingselektroden van niet-geselekteerde geheugentransistors vast te leggen op een vooraf be-
5 bepaalde waarde, die laag genoeg is om te voorkomen of althans in belangrijke mate tegen te gaan, dat de informatie-inhoud van niet-geselekteerde geheugentransistors ongewenste verandering ondergaat.

Met de genoemde geschikte potentiaal worden tijdens het bedrijf
10 de potentiaalverschillen die in de niet-geselekteerde geheugencellen aan de geheugentransistor optreden beperkt tot waarden die van de orde van grootte van de in de leestoestand aan de geheugentransistor optredende potentiaalverschillen of kleiner zijn en die dus wezenlijk kleiner zijn dan de potentiaalverschillen tijdens het schrijven en het wissen. Meestal
15 zullen deze begrensde waarden overeenkomen met de waarden die in de leestoestand optreden. Afhankelijk van de gekozen organisatie en aansturing van de geheugencellen kunnen de begrensde waarden ook een of twee drempelspanningen van de toegepaste schakeltransistoren groter dan de in de leestoestand optredende waarden zijn.

20 De vooraf bepaalde waarde van de aan te leggen geschikte potentiaal kan verschillend zijn in de verschillende bedrijfstoestanden van de matrix. Dit geldt vooral als het substraatgebied van de geheugentransistor in de verschillende bedrijfstoestanden verschillende potentialen heeft.

Bij voorkeur is het punt van geschikte potentiaal wel gemeenschap-
25 pelijk voor alle groepen van de matrix zodat dit punt van geschikte potentiaal met alleen met de tweede toegangslijn bestuurbare schakelaars van de matrix is verbonden.

Met voordeel kunnen de transistors van de geheugencellen worden aangebracht in een of meer althans voor een geheugencel gemeenschappelijke
30 substraatgebieden, waarbij de substraatgebieden van een kolom van groepen van geheugencellen met elkaar verbonden of verenigd zijn. Dit maakt het mogelijk om de substraatgebieden van een kolom van groepen eenvoudig gemeenschappelijk aan te sturen.

Bij een verdere belangrijke voorkeursuitvoeringsvorm zijn de twee-
35 de geleiders van de geheugencellen van een kolom van groepen met elkaar verbonden. Het gebruik van dergelijke voor een kolom gemeenschappelijke tweede geleider vereenvoudigd het benodigde geleiderpatroon, waarbij de tweede toegangstransistors voorkomen dat via deze gemeenschappelijke tweede

geleider overspraak tussen verschillende eerste geleiders kan plaatsvinden.

Bij voorkeur zijn de gemeenschappelijke tweede geleider en de substraatgebieden van een kolom van groepen van geheugencellen met elkaar verbonden. Dit betekent bijvoorbeeld dat de met elkaar verbonden of ver-
5 enigde substraatgebieden tevens als gemeenschappelijke tweede geleider kunnen dienen.

Voor veel toepassingen kan de geschikte potentiaal met voordeel praktisch gelijk zijn aan de potentiaal die in de leestoestand aan de besturingselektroden van de voor lezen geselecteerde geheugencellen wordt
10 toegevoerd. Voor het punt van geschikte potentiaal behoeft dan geen aparte potentiaalwaarde te worden toegevoerd of gegenereerd.

De uitvinding zal nader worden uiteengezet aan de hand van een uitvoeringsvoorbeeld en de bijgaande tekening, waarin

Fig. 1 een elektrisch schema van een voorbeeld van de halfgelei-
15 derinrichting volgens de uitvinding toont en

Fig. 2 een deel van een bovenaanzicht van deze halfgeleiderinrichting schematisch weergeeft, waarbij

Fig. 3 en Fig. 4 schematisch doorsneden tonen die resp. volgens de lijnen III-III en IV-IV van fig. 2 verlopen.

20 Het voorbeeld betreft een halfgeleiderinrichting met een matrix van geheugencellen waarvan een deel schematisch is weergegeven in fig. 1. De geheugencellen zijn in rijen en kolommen gerangschikt. De matrix kan bijvoorbeeld een geheugenmatrix zijn of kan bijvoorbeeld deel uitmaken van een programmeerbare logische matrix bekend onder de Engelse benaming
25 "programmable logic array".

Iedere geheugencel heeft een niet-vluchtige geheugentransistor T_1 en een daarmee in serie geschakelde toegangstransistor T_2 . De geheugentransistor T_1 heeft een geïsoleerde besturingselektrode 11 en de toegangstransistor T_2 heeft een geïsoleerde poortelektrode 12, waarbij de
30 poortelektroden 12 van de toegangstransistors T_2 van een rij van geheugencellen verbonden zijn met een voor die rij gemeenschappelijke toegangslijn 13. De toegangslijnen 13 zijn verbonden met een decodeur 14 voor het aansturen van de toegangslijnen 13 met selektiesignalen, waarbij de toegangstransistors T_2 van een gekozen rij van geheugencellen geleidend zijn
35 terwijl de toegangstransistors T_2 van de overige, de niet-gekozen rijen van geheugencellen niet-geleidend zijn.

Iedere rij van geheugencellen bestaat uit tenminste twee groepen bijvoorbeeld G_{11} , G_{1n} , G_{21} , G_{2n} , waarbij in elk van deze groepen de ge-

isoleerde besturingselektroden 11 met elkaar en door middel van een met de gemeenschappelijke toegangslijn 13 bestuurbare schakelaar 36 met een voor een kolom van groepen G_{11} , G_{21}of G_{1n} , G_{2n} gemeenschappelijke besturingslijn 15 zijn verbonden.

5 Praktisch zullen de groepen veelal acht geheugencellen bevatten zodat in elke groep één byte van 8 bits aan informatie kan worden opgeslagen. Afhankelijk van de praktische toepassing kunnen de groepen echter ook een ander aantal, bijvoorbeeld vier, zestien of meer geheugencellen bevatten.

10 Iedere geheugencel is aan een uiteinde van de serieschakeling van geheugentransistor T_1 en toegangstransistor T_2 verbonden met een voor een kolom van geheugencellen gemeenschappelijke eerste geleider 16 en is aan het andere uiteinde van de serieschakeling gekoppeld met een voor ten-

minste een kolom van geheugencellen gemeenschappelijke tweede geleider 17.
15 Het onderhavige voorbeeld heeft een voor alle geheugencellen van de matrix gemeenschappelijke tweede geleider 17 of althans zijn alle tweede geleiders 17 van de gehele matrix direct met elkaar verbonden via de lijnen 23 en 24.

Volgens de uitvinding is in elk van de geheugencellen in de
20 serieschakeling tussen de eerste en tweede geleiders 16 resp. 17 behalve de genoemde toegangstransistor T_2 , verder de eerste toegangstransistor T_2 genoemd, en de geheugentransistor T_1 een tweede toegangstransistor T_3 met geïsoleerde poortelektrode 18 aanwezig, waarbij de poortelektroden 18 van de tweede toegangstransistor T_3 van een rij van geheugencellen verbonden
25 zijn met een voor die rij gemeenschappelijke tweede toegangslijn 19 waarbij de schematisch aangegeven decodeur 14 middelen, in fig. 1 aangegeven met twee-ingangs-NIET-EN-poorten 29, heeft om tijdens het schrijven en wissen in iedere rij de eerste en tweede toegangslijnen 13 resp. 19 met aan elkaar complementaire signalen aan te sturen en tijdens het lezen althans
30 in een voor lezen gekozen of aangewezen rij en bij voorkeur alleen in de gekozen rij, de eerste en tweede toegangslijnen 13 resp. 19 met praktisch aan elkaar gelijke signalen aan te sturen. In het onderhavige voorbeeld is voor elke rij een NIET-EN-poort 20 aangegeven, waaraan behalve het aan de betreffende eerste toegangslijn 13 toegevoerde signaal, ook een lees-
35 commandosignaal $\overline{V_R}$ wordt toegevoerd via de verbindingslijn 21.

In elke groep G_{11} , G_{1n} , G_{21} , G_{2n} van geheugencellen zijn de met elkaar verbonden geïsoleerde besturingselektroden 11 door middel van een met de tweede gemeenschappelijke toegangslijn 19 bestuurbare

schakelaar 22 verbonden met een punt van geschikte potentiaal V_p via de lijnen 23 en 24 die in dit voorbeeld de tweede geleiders 17 met elkaar verbinden. De geschikte potentiaal V_p is zo gekozen dat de potentiaalverschillen die over de geheugentransistors T_1 in de niet-gekozen rijen van
 5 geheugencellen worden beperkt tot waarden die ten hoogste van de zelfde orde van grootte zijn als de waarden die in de leestoestand van een geheugencel over de geheugentransistor van deze te lezen geheugencel kunnen optreden.

De inrichting is voorts voorzien van een decodeur 25 voor het
 10 kiezen van een kolom van groepen van geheugencellen $G_{11}, G_{21}, \dots$ of $G_{1n}, G_{2n}, \dots$, waarbij bijvoorbeeld met behulp van schakelaars 26 en 27 en inverters 28 aan een gekozen besturingslijn 15 een potentiaal V_C en aan de overige, de niet-gekozen besturingslijnen 15 de eerder genoemde geschikte potentiaal V_p wordt toegevoerd.

15 Deze bijzondere vorm heeft als extra voordeel dat niet alleen aan de besturingselektroden 11 in niet-gekozen rijen, maar ook aan de besturingselektroden 11 in de niet-gekozen groepen van de gekozen rij een bepaalde, vastgestelde potentiaal wordt toegevoerd die de potentiaalverschillen over de niet-gekozen geheugentransistors T_1 beperkt houdt.

20 De eerste geleiders 16 kunnen alle met een versterker voor uitlezen van informatie en het toevoeren van te schrijven informatie zijn verbonden. Ook kunnen zoals in het onderhavige voorbeeld via met de decodeur 25 aangestuurde schakelaars 29 steeds alleen de eerste geleiders 16 van de gekozen kolom van groepen van geheugencellen met lijnen 30 en ver-
 25 sterkers 31 zijn verbonden. Het aantal lijnen 30 is dan gelijk aan het aantal geheugencellen per groep $G_{11}, G_{21}, \dots$.

De decodeurs 14 en 25 hebben enkele aansluitingen 32 voor de voeding en het aanbieden van adresinformatie. De decodeur 33 heeft aansluitingen 34 voor de voeding en voor signalen waarmee de gewenste be-
 30 drijfstoestand zoals lezen, schrijven en wissen wordt aangegeven. Deze decodeur 33 genereert op overigens bekende wijze de gewenste potentialen V_C, V_p en $\bar{V}_r$.

De versterkers 31 hebben aansluitingen 35 voor de voeding en het invoeren en afvoeren van informatiesignalen.

35 Het zal duidelijk zijn dat de aansturing van de matrix van geheugencellen met decodeurs 14, 25 en 33 en versterkers 31 op zichzelf ook op andere bekende wijze kan worden gerealiseerd. In het kader van de onderhavige uitvinding is vooral van belang dat de geheugencellen een

tweede toegangstransistor T_3 hebben en een tweede toegangslijn 19 die bij schrijven en wissen in tegenfase met de eerste toegangslijn 13 wordt aangestuurd en waarmee een verdere schakelaar 22 wordt bediend. Op deze wijze wordt bereikt dat tijdens schrijven en wissen geen stroom door de geheugencellen vloeit en de besturingselektroden 11 van de geheugentransistors in niet-geselekteerde geheugencellen op een geschikte potentiaal worden gehouden.

De geheugentransistors T_1 kunnen van elk gebruikelijk type zijn. Zij kunnen een zwevende poortelektrode hebben zoals in het genoemde Amerikaanse octrooischrift 4,266,283 of in IEEE Journal of Solid-State Circuits, Vol.SC-7, No.5, Oktober 1972, blz. 369-375, waarbij tunnelen of lawine-doorslag wordt toegepast. Bij voorkeur zijn de geheugentransistors T_1 echter van het type met een diëlektrische laag waarin in een niet-geleidende tussenlaag lading kan worden opgeslagen, waarbij de hoeveelheid opgeslagen lading de informatie-inhoud van de geheugentransistor bepaalt. Voorbeelden van dergelijke geheugentransistors zijn onder meer beschreven in IEEE Transactions on Electron Devices, Vol. ED-27, No.1, januari 1980, blz. 266-276, de internationale octrooiaanvraag met publicatienummer WO 82/02275 en de niet-voorgepubliceerde Nederlandse octrooiaanvraag 8200756 (PHN 10280).

Uitgevoerd in het bekende proces ter vervaardiging van veld-effecttransistors met zelfregistrerende geïsoleerde poortelektroden behoeven de toegangstransistors T_3 en de toegangslijn 19 weinig extra ruimte aan het halfgeleideroppervlak in te nemen, namelijk weinig meer dan de ruimte voor het geleiderspoor dat de toegangslijn 19 en de poortelektrode 18 vormt. Bij het gebruik van geheugentransistors T_2 met ladingsopslag in het poortdiëlectricum kunnen de drie transistors T_1 , T_2 en T_3 bovendien worden verenigd in een structuur met twee toe- en afvoorzones waartussen de drie kanaalgebieden direkt aan elkaar aansluiten zodat in feite een enkele transistor met drie geïsoleerde poortelektroden ontstaat.

Overigens behoeven de toegangstransistors T_2 en T_3 niet noodzakelijk aan tegenoverliggende zijden van de geheugentransistor T_1 gerangschikt te zijn, maar kan de geheugentransistor T_1 aan een zijde direkt met de eerste of de tweede geleider 16 resp. 17 verbonden zijn terwijl de andere zijde is verbonden met de serieschakeling van de toegangstransistors T_2 en T_3 . Vooral bij geheugentransistors T_1 met ladingsopslag in het poortdiëlectricum heeft echter de rangschikking met transistor T_1 in het midden de voorkeur omdat dan de toegangstransistor T_3 aan de met de tweede

geleider verbonden zijde direkt kunnen worden verbonden met het halfgeleidersubstraatgebied waarin de transistors T_1 , T_2 en T_3 zijn aangebracht.

De schakelaars 22 en 36 zijn bij voorkeur uitgevoerd als op zichzelf bekende transmissiepoorten die elk bestaan uit twee in tegenfase aangestuurde complementaire transistors 22 en 22a resp. 36 en 36a waarvan de hoofdstroombanen aan elkaar parallel geschakeld zijn. Zoals bekend kunnen door transmissiepoorten in beide richtingen signalen praktisch zonder spanningsverlies worden doorgegeven.

Ook de schakelaars 26 en 27 zijn bij voorkeur als transmissiepoort uitgevoerd. De schakelaars 22, 26, 27 of 36 kunnen echter ook als enkelvoudige transistors, bijvoorbeeld als veldeffekttransistor met geïsoleerde poortelektrode en van hetzelfde geleidingstype als de toegangstransistors T_2 en T_3 , worden uitgevoerd.

De toegangstransistors T_2 en T_3 zullen, eventueel rekening houdend met de potentiaal van het substraatgebied waarin de transistors zijn aangebracht (back gate spanning), meestal van het verrijkingstype zijn. De enkelvoudige schakeltransistors 22, 26, 27, 29 en 36 zullen een geschikt gekozen drempelspanning hebben, waarbij de schakeltransistors 22, 27 en 29 van het verrijkingstype kunnen zijn en de schakeltransistors 26 en 36 bij voorkeur van het verarmingstype zijn om te voorkomen dat de doorgegeven spanning een drempelspanning lager is dan de aangeboden, de door te geven spanning. Het kan dan echter gewenst zijn om bijvoorbeeld de door de decodeurs 14 en 25 geleverde spanningen aan te passen. In het beschreven voorbeeld kan in dit geval daardoor dat de meest negatieve spanningen van de decodeurs 14 en 25 tenminste een bedrag gelijk aan de drempelspanning van de schakeltransistors 26 en 36 van het verarmingstype negatiever gekozen worden dan de meest negatieve waarde van de spanningen V_C en V_P zeker gesteld worden dat de schakeltransistors 26 en 36 van het verarmingstype ook inderdaad in de niet-geleidende toestand geschakeld worden.

Bij transmissiepoorten worden de stuuerelektroden van de beide parallel geschakelde complementaire transistors gebruikelijk in tegenfase aangestuurd. De transistors zijn dan of beide geleidend of beide niet-geleidend.

Bij de transmissiepoorten 22, 22a en 36, 36a zijn de stuursignalen bij schrijven en wissen in tegenfase. Tijdens het lezen echter zijn de stuursignalen op de lijnen 13 en 19 in de gekozen rij praktisch aan elkaar gelijk. Dit betekent dat in beide transmissiepoorten één transistor geleidend en één transistor niet-geleidend is. Deze situatie kan worden toege-

staan als tijdens het lezen $V_C = V_P$ en deze spanning ongelijk is aan de spanning op de stuur elektroden van de geleidende transistors.

In het onderhavige voorbeeld zijn de geheugen- en toegangstransistors T_1 , T_2 en T_3 n-kanaaltransistors en worden op de toegangslijnen spanningen van bijvoorbeeld ongeveer +5 Volt en ongeveer -10 Volt gebruikt. Tijdens het lezen zijn V_C en V_P beide ongeveer 0 Volt. In de geselecteerde rij hebben de transistors T_2 en T_3 en de n-kanaalschakelaars 22 en 36 een poortspanning van ongeveer 5 Volt, zodat deze geleidend zijn en aan de hiervoor genoemde voorwaarden is voldaan.

De halfgeleiderinrichting heeft een gemeenschappelijk halfgeleiderlichaam 40 (fig. 2 t/m 4) met bijvoorbeeld een n-type silicium substraat 41 met een soortelijke weerstand van 3 tot 6 Ω cm. In dit n-type substraat 41 zijn op bekende wijze p-type substraatgebieden 42 en 43 aangebracht. Het in fig. 2 weergegeven deel van de halfgeleiderinrichting toont een substraatgebied 42 dat gemeenschappelijk is voor de geheugencellen van twee naburige, tot verschillende rijen maar tot eenzelfde kolom behorende groepen. In dit substraatgebied zijn de betreffende transistors T_1 , T_2 en T_3 in de vorm van n-kanaal veldeffekttransistors met geïsoleerde poortelektrode aangebracht. De transistors T_3 van de twee naburige groepen hebben een gemeenschappelijk n-type toevoergebied 17. Verdere n-type toe- en afvoergebieden van de transistors T_1 , T_2 en T_3 zijn aangegeven met 44, 45 en 46.

Het halfgeleiderlichaam is voorzien van een patroon van isolerend materiaal 47 dat als veldisolatie dienst doet. Het kan bijvoorbeeld uit siliciumoxyde bestaan en zijn verkregen door plaatselijke oxydatie van het halfgeleiderlichaam 40. Het patroon van isolerend materiaal definieert actieve gebieden aan het oppervlak 48 van het halfgeleiderlichaam, waarin schakelelementen zijn aangebracht. Onder het patroon van siliciumoxyde 47 kunnen in de p-type gebieden 42 en 43 hoger gedoteerde p-type kanaalonderbrekers 49 en in het n-type substraat 41 hoger gedoteerde n-type kanaalonderbrekers 50, aanwezig zijn.

Op het halfgeleideroppervlak 48 is in de actieve gebieden onder de poortelektroden 11 van de geheugentransistoren T_2 een diëlectricum aanwezig waarin op gebruikelijke wijze lading kan worden opgeslagen. In het onderhavige voorbeeld heeft dit diëlectricum een dunne siliciumoxydel laag 51 en een siliciumnitridelaag 52, waarbij de siliciumnitridelaag 52 een gemeenschappelijke laag is die onder het gehele geleiderspoor 53 ligt, dat de poortelektroden 11 van de geheugentransistors T_2 van een groep van

geheugencellen vormt en met elkaar verbindt.

Verder zijn in de fig. 2 en 4 de door geleidersporen gevormde toegangslijnen 13 en 19 aangegeven die elk voor een gehele rij van geheugencellen gemeenschappelijk zijn. In de actieve gebieden van de geheugencellen vormen zij poortelektroden 12 resp. 18 die door een poortdiëlectricum 54 van het halfgeleideroppervlak 48 zijn gescheiden. De toe- en afvoergebieden van de verschillende transistors zijn bedekt met een isolerende laag 55. Deze isolerende laag 55 en het poortdiëlectricum kunnen bijvoorbeeld uit siliciumoxyde bestaan.

De geleidersporen 13, 19 en 56 die bijvoorbeeld uit polykristallijn halfgeleidermateriaal en/of uit een geschikt metaalsilicide kunnen bestaan, zijn bedekt met een isolerende laag 56. De geleidersporen 13, 19 en 56 behoren tot een eerste laag die door de isolerende laag 56 is gescheiden van een tweede laag van geleidersporen, waartoe de geleidersporen 15, 16 en 23 behoren. De geleidersporen van deze tweede laag kunnen uit een geschikt materiaal, zoals bijvoorbeeld aluminium, bestaan.

Via vensters 57 in de isolerende lagen 55 en 56 zijn de n-type afvoergebieden 46 van de transistors T_2 van de geheugencellen verbonden met de geleidersporen 16 die voor een kolom van geheugencellen gemeenschappelijke eerste geleiders of bitlijnen vormen. Via vensters 58 zijn de gemeenschappelijke tweede geleiders 17 met de linker verbindingslijn 23 verbonden. Via vensters 59 is deze linker verbindingslijn 23 tevens verbonden met het p-type substraatgebied 42. De linker verbindingslijn 23 verbindt de substraatgebieden 42 van een kolom van groepen met elkaar en met het punt van geschikte potentiaal V_p . Tussen de p-type substraatgebieden 42 en 43 zijn voor elke groep van geheugencellen twee p-kanaal veldeffekttransistors 22a en 36a in het n-type substraat 41 aanwezig. Deze p-kanaal transistors hebben p-type toe- en afvoerelektrodezones 60, waarvan er een aansluit op het p-type substraatgebied 42 en via het venster 59 is verbonden met de linker verbindingslijn 23. Het andere uiteinde van de serieschakeling van deze twee transistors is via een venster 61 verbonden met een verbindingslijn 15. De twee transistors zijn in serie geschakeld met behulp van een venster 62, dat het geleiderspoor 53 overlapt en de aan beide zijden daaraan grenzende elektrodenzones 60 gedeeltelijk blootlegt, en een geleiderspoor 63, dat tot de tweede laag van geleidersporen behoort en dat tot in dit venster 62 reikt.

In het p-type substraatgebied 43 zijn de schakelaars 22 en 36 in de vorm van n-kanaal veldeffekttransistors met geïsoleerde poortelek-

trode aangebracht. Het substraatgebied 43 kan een in de kolomrichting doorlopend aaneengesloten gebied zijn waarin alle schakelaars 22 en 36 voor twee kolommen van groepen van geheugencellen kunnen zijn ondergebracht. Over het midden van dit gebied 43 loopt de rechter verbindings-
5 lijn 23. De hartlijn van deze rechter verbindingslijn 23 kan een spiegelas zijn waarbij de in fig. 2 links van deze hartlijn aangegeven kolom van groepen van geheugencellen aan de rechterkant van de hartlijn gespiegeld kan zijn herhaald.

De n-kanaal transistors 22 en 36 hebben n-type elektrodezones 64,
10 waarbij de middelste zone 64 van de serieschakeling van de beide n-kanaal transistors via een venster 65 aansluit op het geleiderspoor 63. Aan het ene uiteinde van deze serieschakeling is de betreffende elektrodezone 64 via een venster 66 aangesloten op een verbindingslijn 15. Aan het andere uiteinde is de betreffende elektrodezone 64 via een venster 67 verbonden
15 met de rechter verbindingslijn 23.

Met de verbinding 68 is schematisch aangegeven dat de linker en rechter verbindingslijnen 23 met elkaar zijn verbonden. Aan deze lijnen wordt de spanning V_p toegevoerd. Aan de lijnen 15 wordt in de geselecteerde toestand de spanning V_c en in de niet-geselecteerde toestand de spanning V_p toegevoerd.
20

Het substraatgebied 43 is van een schematisch aangegeven aansluiting 69 voorzien waaraan een negatieve voedingsspanning V_{EE} van bijvoorbeeld ongeveer -10 Volt wordt toegevoerd. Het substraat 41 heeft een schematisch aangegeven aansluiting 70 voor een positieve voedingsspanning V_{DD} van bijvoorbeeld ongeveer + 5 Volt.
25

De overige, in fig. 1 aangegeven delen van de inrichting, zoals de decodeurs 14,25 en 33 en de versterker 31 kunnen op gebruikelijke wijze in hetzelfde halfgeleiderlichaam 40 samen met de geheugenmatrix worden geïntegreerd. Bij voorkeur worden deze delen in CMOS-techniek uitgevoerd.

30 De beschreven inrichting kan verder op gebruikelijke wijze worden bedreven. Meer details kunnen wat dit betreft bijvoorbeeld worden ontleend aan de eerdergenoemde Nederlandse octrooiaanvraag 8200756 (PHN 10.280).

Voorts kan de beschreven inrichting geheel op gebruikelijke wijze worden vervaardigd. Onder meer kan de werkwijze worden toegepast, die in
35 genoemde Nederlandse octrooiaanvraag 8200756 is beschreven, waarbij de siliciumnitridelaag 52 zoals daarin is voorgesteld kan worden opgedeeld in gescheiden delen, die uitsluitend onder de poortelektrodes 11 boven het kanaalgebied van de geheugentransistors zijn gelegen. Ook kunnen de

betreffende, aan het aanbrengen van de eerste laag van geleidersporen voorafgaande etsbehandeling van het siliciumnitride en de daarop volgende oxydatiebehandeling worden overgeslagen, in welk geval een doorlopende siliciumnitridelaag 52 wordt verkregen.

5 Volledigheidshalve wordt opgemerkt, dat de inhoud van eerder genoemde Nederlandse octrooiaanvraag 8200756 (PHN 10.280) en/of van daarmee korresponderende octrooiaanvragen in andere landen door deze verwijzing geacht wordt deel uit te maken van de onderhavige octrooiaanvraag.

Het zal duidelijk zijn dat de onderhavige uitvinding niet beperkt is tot het beschreven uitvoeringsvoorbeeld maar dat binnen het kader van de uitvinding vele variaties mogelijk zijn. Zo kunnen in plaats van MNOS-transistors andere geheugentransistors worden gebruikt die een diëlectricum hebben dat de besturingselektrode van het halfgeleiderlichaam scheidt en waarin in een van de besturingselektrode en het halfgeleiderlichaam gescheiden niet-geleidende tussenlaag lading kan worden
10 ingevangen en opgeslagen, waarbij de hoeveelheid opgeslagen lading de informatie-inhoud van de geheugentransistors bepaalt. De tussenlaag kan zich aan en/of nabij de grenslaag tussen twee isolerende lagen van verschillende samenstelling bevinden, waarbij deze twee isolerende lagen behalve uit oxyde en nitride bijvoorbeeld ook uit siliciumoxyde en aluminiumoxyde kunnen bestaan. Ook kunnen een of beide isolerende lagen oxynitride-lagen zijn. Voorts kan het diëlectricum uit deze twee of ook uit meer dan twee lagen bestaan. Ook kan op andere wijze een diëlectricum met een tussenlaag met vangcentra voor lading worden gerealiseerd, bijvoorbeeld door
15 het inbouwen van halfgeleiderdeeltjes of van geschikte atomen en/of ionen.

In het beschreven voorbeeld zijn alle tweede geleiders 17, alle substraatgebieden van de geheugencellen en één zijde van alle tweede toegangstransistors T_3 met elkaar en met het punt van geschikte potentiaal verbonden. Het zal duidelijk zijn dat dit voordelen biedt en bijvoorbeeld
20 de pakingsdichtheid ten goede komt. Echter, afhankelijk van onder meer het type geheugentransistor dat wordt toegepast en de gewenste organisatie en aansturing van de matrix kunnen andere vormen nuttig zijn. Bij voorkeur bevat de verbinding tussen de met de tweede toegangslijn 19 bestuurbare schakelaars 22 en het punt van geschikte potentiaal tenminste voor
25 een kolom van groepen van geheugencellen gemeenschappelijke tweede besturingslijnen 23. Voorts kunnen de eerste en tweede geleiders als eerste resp. tweede bitlijn dienen, waarbij de tweede geleiders als in de kolomrichting verlopend geleiderspoor kunnen zijn uitgevoerd of als een voor

een kolom van geheugencellen gemeenschappelijk substraatgebied, waarin de transistors van die kolom zijn ondergebracht. Bij voorkeur zijn de tweede geleiders van een kolom van groepen van geheugencellen echter met elkaar verbonden en vormen zij een voor een dergelijke kolom gemeenschappelijke
5 verbindingslijn.

Indien de substraatgebieden van een kolom van groepen van geheugencellen met elkaar verbonden of verenigd worden, kunnen deze met elkaar verbonden substraatgebieden of kan dit gemeenschappelijke substraatgebied bijvoorbeeld als tweede besturingslijn en/of als gemeenschappelijke ver-
10 bindingslijn dienen.

In het voorbeeld wordt de geschikte potentiaal V_p zowel aan de substraatgebieden 42 als aan de niet-geselekteerde besturingselektroden 11 toegevoerd. Het potentiaalverschil over het diëlectricum van de MNOS-transistors is in de niet-geselekteerde toestand daardoor gelijk aan nul,
15 waarmee de kans op ongewenste verandering of aantasting van de informatie-inhoud van niet-geselekteerde MNOS-transistors zo klein mogelijk is. Aangezien het commandosignaal V_C in de leestoestand gelijk is aan V_p , is het potentiaalverschil over het diëlectricum in niet-geselekteerde MNOS-transistors beperkt tot de waarde die dit potentiaalverschil heeft in voor
20 lezen van informatie geselekteerde MNOS-transistors.

Zoals vermeld kunnen geheugentransistors van elk bekend type worden toegepast. Daarbij is onder een geheugentransistor iedere structuur te verstaan, die een geheugenplaats bevat met een halfgeleidergebied en een daarvan door een diëlectricum gescheiden besturingselektrode en waar-
25 bij in het diëlectricum lading kan worden opgeslagen, hetzij doordat in het diëlectricum een zogenoemde zwevende elektrode aangebracht is, hetzij doordat in het diëlectricum een tussenlaag voorhanden is waarin ladingsdragers kunnen worden ingevangen en opgeslagen, en waarbij het halfgeleidergebied als kanaalgebied is opgenomen in een veldeffekttransistorstruktuur en de drempelspanning in het kanaalgebied met de hoeveelheid opge-
30 slagen lading veranderbaar is. Het kanaalgebied kan direkt aansluiten op toe- en afvoerelektrodezones van de veldeffekttransistorstructuur en het kan ook aan een of beide uiteinden aansluiten op een verder kanaalgebied van de veldeffekttransistorstructuur dat met een verdere poortelektrode
35 stuurbaar is.

Met de tweede toegangstransistor, de met de tweede toegangslijn bestuurbare schakelaar en de geschikt gekozen potentiaal wordt in de niet-geselekteerde geheugencellen vooral het potentiaalverschil over het diëlec-

tricum of het deel van het diëlectricum van de geheugentransistor waar-
door tijdens schrijven en wissen ladingstransport plaatsvindt om de in-
formatie-inhoud te veranderen, beter gedefinieerd en/of begrensd tot een
waarde waarbij praktisch geen verandering van de informatie-inhoud kan
5 optreden.

De in het voorbeeld aangegeven geleidingstypen kunnen worden ver-
wisseld waarbij de aangegeven spanningen overeenkomstig worden aangepast.
Als halfgeleidermateriaal kan in plaats van silicium ook germanium of een
A_{III}-B_V-verbinding worden toegepast.

10 De als veldisolatie dienende isolerende laag 47 kan met behulp
van andere gebruikelijke methoden dan plaatselijke oxydatie worden ver-
kregen of door een andere vorm van veldisolatie worden vervangen. De poly-
siliciumgeleidersporen 13, 53 en 19 kunnen geheel of gedeeltelijk worden
vervangen door geleidersporen van een geschikte metaal zoals molybdeen of
15 een geschikt metaalsilicide.

20

25

30

35

Conclusies:

1. Halfgeleiderinrichting bevattende een matrix van geheugencellen, die in rijen en kolommen gerangschikt zijn, waarbij iedere geheugencel een niet-vluchtige geheugentransistor en een daarmee in serie geschakelde toegangstransistor heeft, waarbij de geheugentransistor een geïsoleerde besturingselektrode en de toegangstransistor een geïsoleerde poortelektrode heeft en waarbij de poortelektroden van de toegangstransistors van een rij van geheugencellen verbonden zijn met een voor die rij gemeenschappelijke toegangslijn en de toegangslijnen zijn verbonden met een decodeur voor het aansturen van de toegangslijnen met selectiesignalen waar-
10 bij de toegangstransistors van een gekozen rij van geheugencellen geleidend zijn terwijl de toegangstransistors van de overige rijen van geheugencellen niet-geleidend zijn en waarbij iedere rij van geheugencellen uit tenminste twee groepen van geheugencellen bestaat, waarbij in elk van deze groepen de geïsoleerde besturingselektroden met elkaar en door mid-
15 del van een met de gemeenschappelijke toegangslijn bestuurbare schakelaar met een voor een kolom van groepen gemeenschappelijke besturingslijn zijn verbonden en waarbij iedere geheugencel aan een uiteinde van de serieschakeling is verbonden met een voor een kolom van geheugencellen gemeenschappelijke eerste geleider en aan het andere uiteinde van de serieschakeling is gekoppeld met een voor tenminste een kolom van geheugencellen gemeenschappelijke tweede geleider, met het kenmerk, dat in elk van de geheugencellen in de serieschakeling tussen de eerste en tweede geleiders behalve de geheugentransistor en de genoemde toegangstransistor, verder
20 eerste toegangstransistor genoemd, een tweede toegangstransistor met geïsoleerde poortelektrode aanwezig is, waarbij de poortelektroden van de tweede toegangstransistors van een rij van geheugencellen verbonden zijn met een voor die rij gemeenschappelijke tweede toegangslijn, waarbij de decodeur middelen bevat om tijdens schrijven en lezen in iedere rij de eerste en tweede toegangslijnen met aan elkaar complementaire signalen
25 aan te sturen en tijdens lezen althans in een daartoe gekozen rij de eerste en tweede toegangslijnen met praktisch aan elkaar gelijke signalen aan te sturen en waarbij in elke groep van geheugencellen de geïsoleerde besturingselektroden door middel van een met de tweede gemeenschappelijke toegangslijn bestuurbare schakelaar zijn verbonden met een punt van ge-
30 schikte potentiaal, waarmee de potentiaalverschillen die over de geheugentransistors optreden beperkt kunnen worden tot waarden die kleiner of hoogstens vergelijkbaar zijn met de waarden die in de leestoestand over de geheugentransistor kunnen optreden.

8300497

- 2! Halfgeleiderinrichting volgens conclusie 1, met het kenmerk, dat de verbinding tussen de met de tweede toegangslijn bestuurbare schakelaars en het punt van geschikte potentiaal een voor een kolom van groepen van geheugencellen gemeenschappelijke tweede besturingslijn bevat.
- 5 3. Halfgeleiderinrichting volgens conclusie 2, met het kenmerk, dat de verbinding tussen de genoemde schakelaars en het punt van geschikte potentiaal voor alle groepen van geheugencellen gemeenschappelijk is.
4. Halfgeleiderinrichting volgens conclusie 1,2 of 3, met het kenmerk, dat de transistors van de geheugencellen zijn aangebracht in een
- 10 of meer althans voor een geheugencel gemeenschappelijke substraatgebieden, waarbij de substraatgebieden van een kolom van groepen van geheugencellen met elkaar verbonden zijn.
5. Halfgeleiderinrichting volgens conclusie 1,2,3 of 4 met het kenmerk, dat de tweede geleiders van de geheugencellen van een kolom van groe-
- 15 pen met elkaar zijn verbonden.
6. Halfgeleiderinrichting volgens conclusie 4 en 5, met het kenmerk, dat de substraatgebieden en de tweede geleiders van een kolom van groepen van geheugencellen met elkaar zijn verbonden.
7. Halfgeleiderinrichting volgens conclusie 4 of 6, met het kenmerk,
- 20 dat de met elkaar verbonden substraatgebieden met het punt van geschikte potentiaal zijn verbonden.
8. Halfgeleiderinrichting volgens een of meer der voorgaande conclusies, met het kenmerk, dat de geschikte potentiaal praktisch gelijk is aan de potentiaal die in de leestoestand aan de besturingselektroden van
- 25 de geheugentransistors van de voor lezen geselecteerde geheugencellen wordt toegevoerd.
9. Halfgeleiderinrichting volgens een of meer der voorgaande conclusies, met het kenmerk, dat alle tweede geleiders en alle substraatgebieden van de geheugencellen met elkaar verbonden zijn.
- 30 10. Halfgeleiderinrichting volgens een of meer der voorgaande conclusies, met het kenmerk, dat de geheugentransistors een diëlectricum hebben, dat de besturingselektrode van het halfgeleiderlichaam scheidt en waarin in een van de besturingselektrode en het halfgeleiderlichaam gescheiden niet-geleidende tussenlaag lading kan worden ingevangen en op-
- 35 geslagen, waarbij de hoeveelheid opgeslagen lading de informatie-inhoud van de geheugentransistor bepaalt.
11. Halfgeleiderinrichting volgens een of meer der voorgaande conclusies, met het kenmerk, dat de besturingslijnen zijn verbonden met

8300497

middelen om een besturingslijn te selekteren en daaraan een commandosig-
naal toe te voeren en om aan niet-geselekteerde besturingslijnen genoemde
geschikte potentiaal toe te voeren.

12. Halfgeleiderinrichting volgens een of meer der voorgaande con-
5 clusies, met het kenmerk, dat de met de eerste en de tweede toegangslij-
nen bestuurbare schakelaars als transmissiepoort zijn uitgevoerd.

10

15

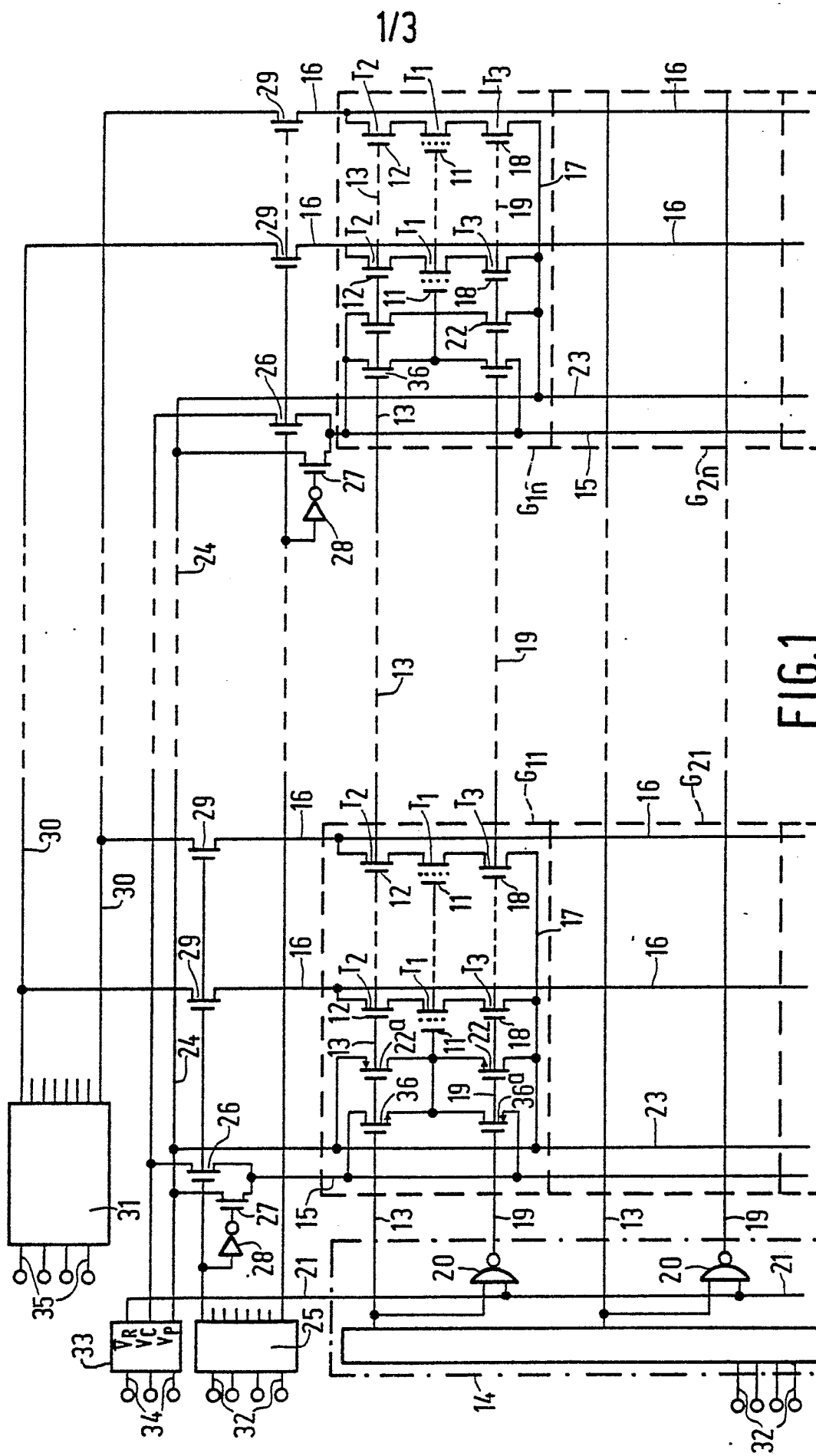
20

25

30

35

8300497



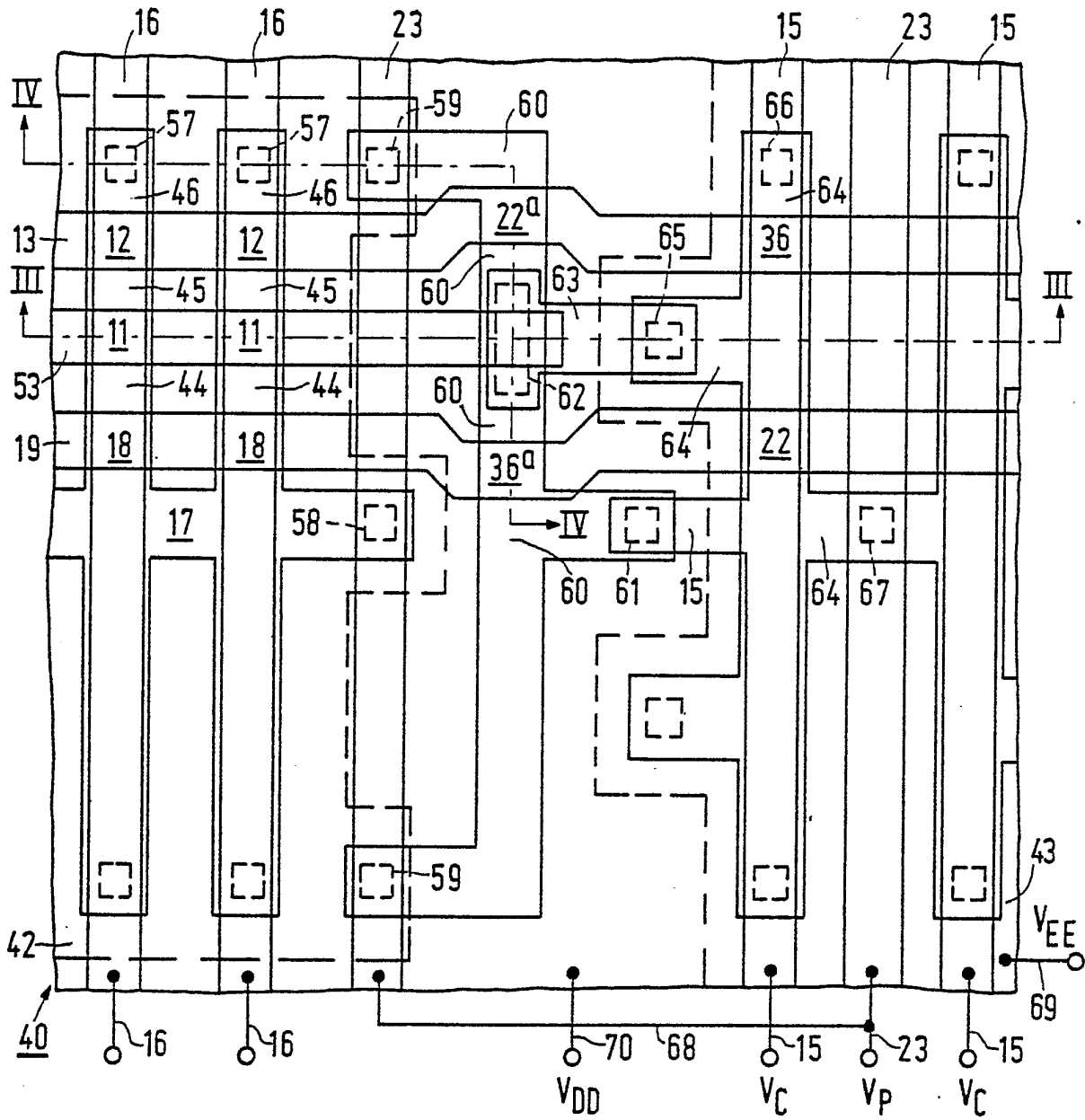


FIG. 2

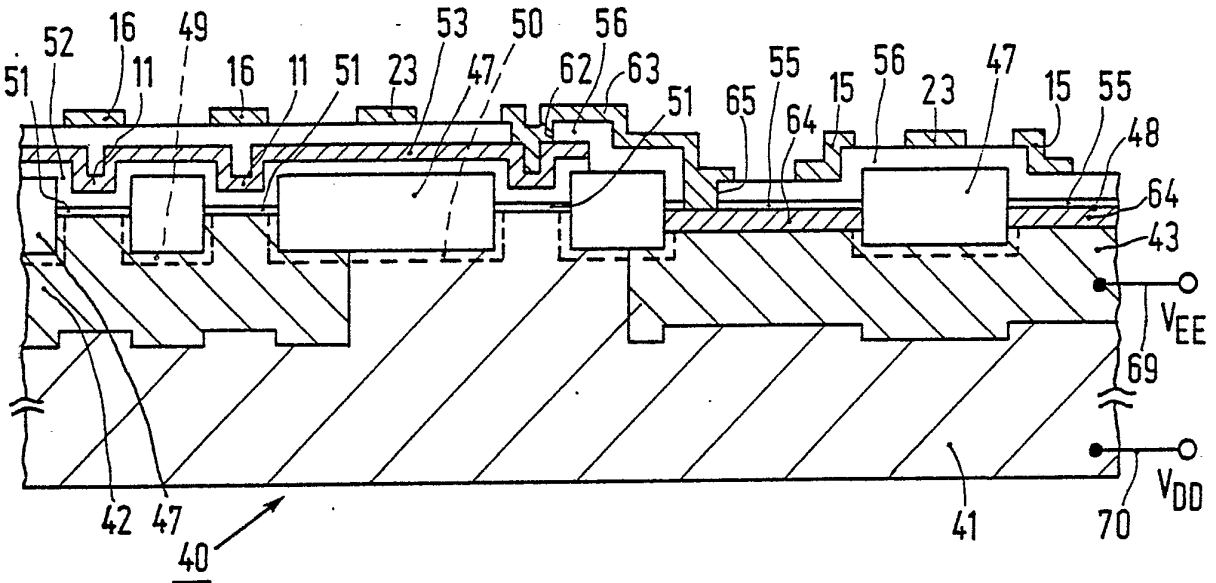


FIG.3

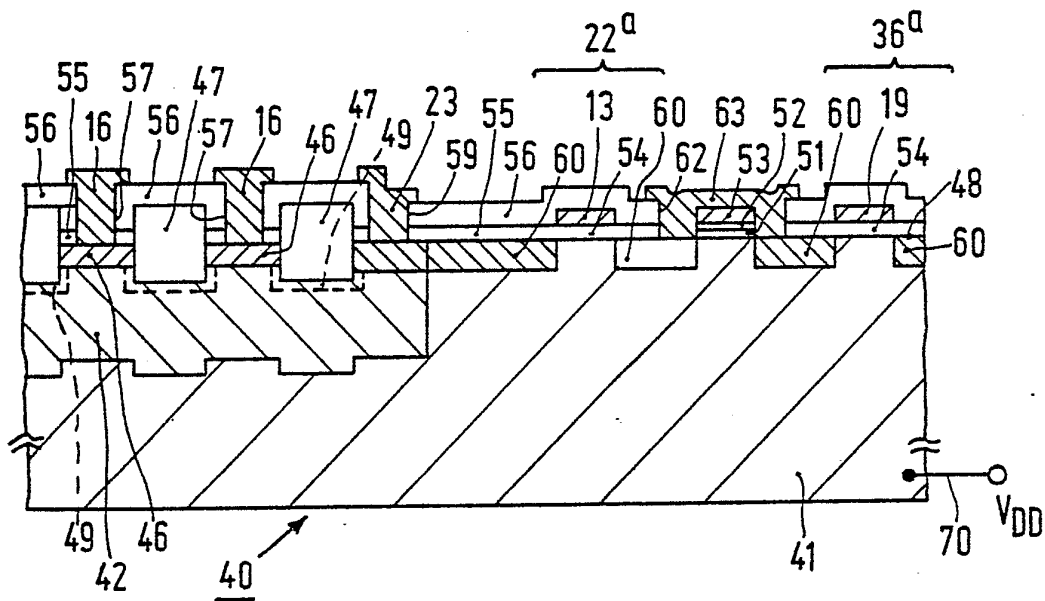


FIG.4