

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年8月13日(13.08.2015)



(10) 国際公開番号

WO 2015/118599 A1

- (51) 国際特許分類:
G09G 3/30 (2006.01) G09G 3/20 (2006.01)
- (21) 国際出願番号: PCT/JP2014/006401
- (22) 国際出願日: 2014年12月22日(22.12.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-023820 2014年2月10日(10.02.2014) JP
- (71) 出願人: 株式会社 J O L E D (JOLED INC.) [JP/JP];
〒1010054 東京都千代田区神田錦町三丁目2番地 Tokyo (JP).
- (72) 発明者: 板倉 俊輔 (ITAKURA, Shunsuke).
- (74) 代理人: 吉川 修一, 外 (YOSHIKAWA, Shuichi et al.);
〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階
新居国際特許事務所内 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

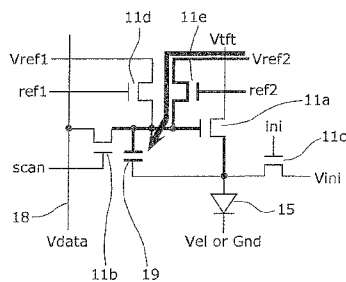
添付公開書類:

— 国際調査報告 (条約第21条(3))

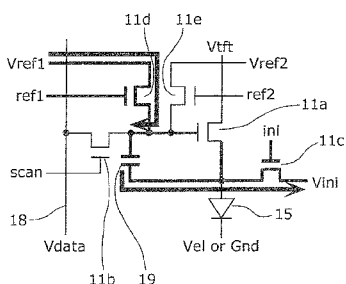
(54) Title: DISPLAY DEVICE AND METHOD FOR DRIVING DISPLAY DEVICE

(54) 発明の名称: 表示装置および表示装置の駆動方法

[図7]



[図8]



(57) Abstract: Provided is a display device in which a plurality of pixels are arranged in a matrix. Each of the plurality of pixels is provided with: a light-emitting element; a capacitance element; a drive transistor that causes electrical current that corresponds to the charge that is accumulated in the capacitance element to flow through the light-emitting element; a first switch transistor that is for pre-initializing the charge that is stored in the capacitance element; and a second switch transistor that is for initializing the charge that is stored in the capacitance element again after initialization. The display device is additionally provided with: a first voltage source that outputs a first voltage (Vref2) to the capacitance element when the first switch transistor is set to an on state; and a second voltage source that applies a second voltage (Vref1) to the capacitance element when the second switch transistor is set to an on state.

(57) 要約: 複数の画素がマトリクス状に配置された表示装置であって、複数の画素のそれぞれは、発光素子と、容量素子と、容量素子に蓄積された電荷に応じた電流を発光素子に流す駆動用トランジスタと、容量素子に蓄積された電荷をプレ初期化するための第1のスイッチ用トランジスタと、初期化の後、さらに、容量素子に蓄積された電荷を初期化するための第2のスイッチ用トランジスタと、を備え、表示装置は、第1のスイッチ用トランジスタをオン状態としたときに、容量素子に第1の電圧 (V r e f 2) を出力する第1の電圧源と、第2のスイッチ用トランジスタをオン状態としたときに、容量素子に第2の電圧 (V r e f 1) を印加する第2の電圧源と、をさらに備える。

明 細 書

発明の名称：表示装置および表示装置の駆動方法

技術分野

[0001] 本開示は、有機エレクトロルミネッセンス（Organic Electroluminescence。以下、EL、またはOLEDと呼ぶことがある。）素子などを有する画像表示装置などの表示装置に関するものである。

背景技術

[0002] 有機EL素子をマトリクス状に備えたアクティブマトリックス（Active-Matrix、以下、AMと略する場合がある）型の表示装置がスマートフォンなどの表示パネルに採用され、商品化されている。近年は、表示素子として、有機EL素子を用いた表示装置が販売されている。

[0003] 有機EL素子を用いた表示パネルにおいて、従来、その点灯時に、垂直ブランキング期間や表示状態の影響により各電源線に流れる電流負荷が変動し、それによって各電源線の電圧リップル量が増加するため、表示画像に暗線や暗帯が出てしまうという課題があった。

[0004] このような表示ムラを抑制すべく、例えば、特許文献1では、垂直ブランキング期間に有機EL発光素子のカソード電流を検出し、当該検出電流に基づいて高速かつ高精度な補正をする技術が開示されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2008-129183号公報

発明の概要

発明が解決しようとする課題

[0006] 従来技術では、電流負荷が変動したときの初期化電圧の変動を軽減するため、例えば、特許文献1のように、ソフト制御による補正、または、電源フ

ィードバック（F B）制御を行っていた。これにより、初期化電圧の変動による表示ムラを抑制していた。

[0007] しかし、電源フィードバック制御方法では、パネルの配線抵抗が存在するため、初期化電圧の変動を抑制することはできるが解消することはできなかった。また、ソフト制御による補正では、キラーパターンは無限にあり、必ず補正とのズレが発生するという問題が生じていた。

[0008] 本開示は、上述の課題に鑑みてなされたものであり、初期化電圧の変動を解消し、出力偏差のない映像信号を表示することができる表示装置の駆動方法および表示装置を提供することを目的とする。

課題を解決するための手段

[0009] 本開示にかかる表示装置は、複数の画素がマトリクス状に配置された表示装置であって、前記複数の画素のそれぞれは、電流が流れることにより発光する発光素子と、データ線に印加される映像信号の大きさに応じた電荷を蓄積する容量素子と、前記容量素子に蓄積された電荷に応じた電流を前記発光素子に流す駆動用トランジスタと、前記容量素子に蓄積された電荷をプレ初期化するための第1のスイッチ用トランジスタと、前記初期化の後、さらに、前記容量素子に蓄積された電荷を初期化するための第2のスイッチ用トランジスタと、を備え、前記表示装置は、前記第1のスイッチ用トランジスタをオン状態としたときに、前記容量素子に第1の電圧を出力する第1の電圧源と、前記第2のスイッチ用トランジスタをオン状態としたときに、前記容量素子に第2の電圧を印加する第2の電圧源と、をさらに備える。

発明の効果

[0010] 本開示によれば、初期化電圧の変動を解消し、出力偏差のない映像信号を表示することができる表示装置の駆動方法および表示装置を提供することができる。

図面の簡単な説明

[0011] [図1]図1は、本実施の形態にかかる表示装置の構成を示す概略図である。

[図2]図2は、本実施の形態にかかる表示装置の構成を示すブロック図である

。

[図3]図3は、本実施の形態にかかる表示装置の画素回路図である。

[図4]図4は、本実施の形態にかかる表示装置の構成を示す概念図である。

[図5]図5は、本実施の形態にかかる表示装置の動作について説明するための図である。

[図6]図6は、本実施の形態にかかる表示装置の動作を示すタイミングチャートである。

[図7]図7は、プレ初期化期間における画素の動作を示す図である。

[図8]図8は、初期化期間における画素の動作を示す図である。

[図9]図9は、V_th保証期間における画素の動作を示す図である。

[図10]図10は、書き込み期間における画素の動作を示す図である。

[図11]図11は、発光期間における画素の動作を示す図である。

[図12]図12は、本実施の形態にかかる表示装置の効果を説明するための図である。

[図13]図13は、従来技術にかかる表示装置の画素回路図である。

[図14]図14は、従来技術にかかる表示装置による表示映像を説明するための図である。

[図15]図15は、実施の形態に係る表示装置を内蔵した薄型フラットTVの外観図である。

発明を実施するための形態

[0012] (本開示の基礎となった知見)

本発明者は、「背景技術」の欄において記載したアクティブマトリクス型の有機ELディスプレイに関し、以下の問題が生じることを見出した。以下、本問題について説明する。

[0013] 図13は、従来技術に係る表示装置の画素回路図である。図14は、従来技術に係る表示装置による表示映像を説明するための図である。

[0014] 図13に示すように、従来技術にかかる表示装置の画素は、駆動用トランジスタ111aと、スイッチ用トランジスタ111b、111c、111d

、有機EL素子115と、容量素子119とを備えている。

[0015] 図14の(a)は、有機EL発光パネルのプロGRESSIVE駆動方式を説明する動作遷移図である。図14の(a)において、横軸は時間を表し、縦軸は画素行(表示行)を表す。図14の(a)では、複数の画素が行列状に配置された表示パネルにおいて、初期化動作、V_{th}(閾値電圧)検出動作、書き込み動作、および発光動作が行順次に実行されていることが示されている。ここでは、表示パネルの行数1行目(1L目)からn行目(nL目)まで示している。例えば、図14の(a)では、 $n=2160$ 行としている。また、図14の(b)において、横軸は時間を表し、縦軸は初期化電圧(V_{ref}電圧)を表す。図14の(b)の横軸における1F目、2F目、3F目とは、表示される映像の1フィールド目、2フィールド目、3フィールド目を示す。

[0016] すなわち、この表示装置において映像を表示する際には、図14の(a)に示すように、先頭行の1行目(1L目)から最終行のn行目(nL目)まで、それぞれ初期化動作、V_{th}検出動作、書き込み動作、発光動作の順に画素回路の動作が行われる。ここで、あるフレームのn行目の書き込み期間が終了してから、次のフレームの1行目の書き込み期間が開始するまでの間、垂直ブランキング期間が設けられている。

[0017] 例えば、図14の(a)では、nL目以降に、ブランキング行なる仮想行(例えば、2161行~2253行)が示されている。これは、ゲートドライバが走査最終行(第2160行)から走査開始行(第1行)へ走査を戻す時間を確保する垂直ブランキング期間に相当するものであり、当該垂直ブランキング期間を、当該期間に相当する走査行数で表したものである。

[0018] 垂直ブランキング期間は、外部から入力される映像信号に含まれている帰線期間であり、ブラウン管における映像信号の走査において、最終行から先頭行に走査を戻すための期間である。有機ELディスプレイにおいては、技術的にはこのような垂直ブランキング期間は必要ではないが、映像信号にこのような期間が含まれているため、有機ELディスプレイ装置においても映

像信号に表示方式を対応させる必要があるため、垂直ブランキング期間が設けられている。

[0019] ここで、この垂直ブランキング期間に他の行の初期化期間が重なった場合には、図14の(b)に示すように、初期化電圧が変動する。すなわち、パネル点灯時において、垂直ブランキング期間や表示状態の影響により、各電源線に流れる電流負荷が変動し、それによって各電源線の電圧リップル量が変動する。このため、容量素子119に充電される電荷が変動し、ブランキング期間の初期化を行っている業が暗くなったり明るくなったりする不具合や、表示画像に暗線や暗帯が出てしまうという課題がある。

[0020] また、従来技術では、電流負荷が変動したときの初期化電圧の変動を軽減するために、電源フィードバック(FB)制御、または、ソフト制御による補正によって表示ムラを抑制していた。しかし、電源フィードバック制御方法では、パネルの配線抵抗が存在するため、電圧変動を抑制することはできるが解消することはできなかった。また、ソフト制御による補正では、カラーパターンは無限にあり、必ず補正值とのズレが発生するという問題が生じていた。

[0021] 上述のような問題を解決するために、本開示の一態様に係る表示装置は、複数の画素がマトリクス状に配置された表示装置であって、前記複数の画素のそれぞれは、電流が流れることにより発光する発光素子と、データ線に印加される映像信号の大きさに応じた電荷を蓄積する容量素子と、前記容量素子に蓄積された電荷に応じた電流を前記発光素子に流す駆動用トランジスタと、前記容量素子に蓄積された電荷をプレ初期化するための第1のスイッチ用トランジスタと、前記プレ初期化の後、さらに、前記容量素子に蓄積された電荷を初期化するための第2のスイッチ用トランジスタと、を備え、前記表示装置は、前記第1のスイッチ用トランジスタをオン状態としたときに、前記容量素子に第1の電圧を出力する第1の電圧源と、前記第2のスイッチ用トランジスタをオン状態としたときに、前記容量素子に第2の電圧を印加する第2の電圧源と、をさらに備える。

- [0022] この構成によれば、映像信号の出力偏差がなく、初期化電圧の変動を解消することができる表示装置を提供することができる。
- [0023] また、前記第1の電圧と前記第2の電圧とは異なる値であってもよい。
- [0024] この構成によれば、同一の電圧源を介して伝達されるノイズ信号の影響を受けることなく、初期化期間において、容量素子に印加される電圧を安定することができる。
- [0025] また、前記第1の電圧は、前記第2の電圧より大きくてもよい。
- [0026] この構成によれば、プレ初期化期間に引き続き行われる初期化期間において、容量素子に印加される電圧をより安定することができる。
- [0027] また、本開示の一態様に係る表示装置の駆動方法は、複数の画素がマトリクス状に配置された表示装置の駆動方法であって、前記複数の画素のそれぞれに設けられた容量素子に蓄積された電荷を初期化するプレ初期化工程と、前記プレ初期化工程の後に、前記容量素子に蓄積された電荷を再度初期化する初期化工程と、前記複数の画素のそれぞれに設けられた駆動用トランジスタの閾値電圧を検出する閾値電圧検出工程と、前記容量素子に、映像信号の大きさに対応した電荷を蓄積する書き込み工程と、前記容量素子に蓄積された電荷量に応じた電流を発光素子に流して前記発光素子を発光させる発光工程と、を含む。
- [0028] また、前記プレ初期化工程において、第1のスイッチ用トランジスタをオン状態とすることにより、第1の電圧源から前記容量素子に第1の電圧が印加され、第2の初期化工程において、第2のスイッチ用トランジスタをオン状態とすることにより、第2の電圧源から前記容量素子に第2の電圧が印加されてもよい。
- [0029] この構成によれば、映像信号の出力偏差がなく、初期化電圧の変動を解消することができる表示装置の駆動方法を提供することができる。
- [0030] また、前記第1の電圧と前記第2の電圧とは異なる値であってもよい。
- [0031] この構成によれば、同一の電圧源を介して伝達されるノイズ信号の影響を受けることなく、初期化期間において、容量素子に印加される電圧を安定す

ることができる。

[0032] また、前記第１の電圧は、前記第２の電圧より大きくてもよい。

[0033] この構成によれば、プレ初期化期間に引き続き行われる初期化期間において、容量素子に印加される電圧をより安定することができる。

[0034] （実施の形態）

以下、適宜図面を参照しながら、実施の形態を詳細に説明する。但し、必要以上に詳細な説明は省略する場合がある。例えば、既によく知られた事項の詳細説明や実質的に同一の構成に対する重複説明を省略する場合がある。これは、以下の説明が不必要に冗長になるのを避け、当業者の理解を容易にするためである。

[0035] なお、発明者らは、当業者が本開示を十分に理解するために添付図面および以下の説明を提供するものであって、これらによって請求の範囲に記載の主題を限定することを意図するものではない。

[0036] [１．表示装置の構成]

図１は、本実施の形態に係る表示装置の構成を示す概略図である。図２は、本実施の形態にかかる表示装置の構成を示すブロック図である。図３は、本実施の形態にかかる表示装置の画素１６の回路図である。

[0037] 図１および図２に示すように、本実施の形態にかかる表示装置は、表示画面２０と、ＣＯＦ（Ｃｈｉｐ Ｏｎ Ｆｉｌｍ）３４と、ゲートプリント基板３５ａおよび３５ｂと、ソースプリント基板３６とを備えている。

[0038] ＣＯＦ３４には、ゲートドライバを構成する回路３１またはソースドライバを構成する回路３２が配置されている。回路３１が配置されたＣＯＦ３４は、表示画面２０とゲートプリント基板３５ａまたは３５ｂとを接続するように配置されている。回路３２が配置されたＣＯＦ３４は、表示画面２０とソースプリント基板３６とを接続するように配置されている。ＣＯＦ３４は、表示画面２０、ゲートプリント基板３５ａおよび３５ｂ、ソースプリント基板３６に、ＡＣＦ（Ａｎｉｓｏｔｒｏｐｉｃ Ｃｏｎｄｕｃｔｉｖｅ Ｆｉｌｍ）樹脂で接続されている。

- [0039] ここで、表示画面20とゲートプリント基板35aとの間に配置された複数の回路31を、まとめてゲートドライバ回路12aと呼ぶ。表示画面20とゲートプリント基板35bとの間に配置された複数の回路31を、まとめてゲートドライバ回路12bと呼ぶ。表示画面20とソースプリント基板36との間に配置された複数の回路32を、まとめてソースドライバ回路14と呼ぶ。
- [0040] ゲートドライバ回路12aおよび12bは、走査線17に接続されている。ゲートドライバ回路12aおよび12bは、後述する画素16に配置されたスイッチ用トランジスタ11b~11eをオンまたはオフさせる制御電圧を走査線17に印加する。ソースドライバ回路14は、データ線18に接続され、データ線18に映像信号を印加する。
- [0041] 表示画面20には、複数の画素16が行列状に配置されている。画素16には、図2に示すように、ゲートドライバ回路12aまたは12bに電氣的に接続された走査線17と、ソースドライバ回路14に電氣的に接続されたデータ線18とが接続されている。
- [0042] 画素16は、図3に示すように、有機EL素子15と、駆動用トランジスタ11aと、スイッチ用トランジスタ11b~11eと、容量素子19とを備えている。また、画素16には、参照電源線22a (V_{ref1}) および参照電源線22b (V_{ref2}) と、ELアノード電源線23 (V_{tft}) と、ELカソード電源線24 (V_{el}) と、初期化電源線25 (V_{ini}) と、走査線17 (s_{can}) と、参照電圧制御線27a ($ref1$) および参照電圧制御線27b ($ref2$) と、初期化制御線28 (ini) と、データ線18 (V_{data}) とが配線されている。なお、容量素子19において、駆動用トランジスタ11aのゲート電極と接続された電極を第1電極、有機EL素子15のアノードと接続された電極を第2電極と呼ぶ。
- [0043] 図4は、本実施の形態にかかる表示装置の構成を示す概念図である。図4に示すように、表示装置は、アノード電圧発生回路42と、カソード電圧発生回路44と、 V_{ini} 電圧発生回路46と、 V_{ref1} 電圧発生回路48

と、 V_{ref2} 電圧発生回路 50 とを備えている。

[0044] アノード電圧発生回路 42 は、EL アノード電源線 23 (V_{tft}) に接続され、有機 EL 素子 15 に印加するアノード電圧を発生する。カソード電圧発生回路 44 は、EL カソード電源線 24 (V_{el}) に接続され、有機 EL 素子 15 に印加するカソード電圧を発生する。なお、EL カソード電源線 24 (V_{el}) は、カソード電圧発生回路 44 に接続される代わりに、接地されてもよい。 V_{ini} 電圧発生回路 46 は、初期化電源線 25 (V_{ini}) に接続され、容量素子 19 を初期化するときの初期化電圧 V_{ini} を発生する。 V_{ref1} 電圧発生回路 48 は、容量素子 19 を初期化するときの初期化電圧 V_{ref1} を発生する。 V_{ref2} 電圧発生回路 50 は、容量素子 19 をプレ初期化するときの初期化電圧 V_{ref2} を発生する。 V_{ref1} 電圧発生回路 48 と V_{ref2} 電圧発生回路 50 とを設けることにより、初期化期間において、電圧 V_{ref1} と電圧 V_{ref2} とを異なる電圧源から供給することができるので、容量素子 19 に印加される電圧をより安定することができる。

[0045] なお、スイッチ用トランジスタ 11e および 11d は、それぞれ、本開示にかかる第 1 のトランジスタおよび第 2 のトランジスタに相当する。また、 V_{ref2} 電圧発生回路 50 および V_{ref1} 電圧発生回路 48 は、それぞれ、本開示にかかる第 1 の電圧源および第 2 の電圧源に相当する。また、電圧 V_{ref2} および電圧 V_{ref1} は、それぞれ、本開示にかかる第 1 の電圧および第 2 の電圧に相当する。

[0046] [2. 表示装置の駆動方法]

次に、表示装置の駆動方法について説明する。図 5 は、本実施の形態にかかる表示装置の動作について説明するための図である。図 6 は、本実施の形態にかかる表示装置の動作を示すタイミングチャートである。

[0047] 図 5 に示すように、本実施の形態に係る表示装置は、画像をディスプレイに表示する際に、1 行 (1L) につき、プレ初期化動作、初期化動作、閾値電圧 (V_{th}) 検出動作、書き込み動作、発光動作の順に動作が行われる。

[0048] 図6では、横軸に時間、縦軸に各行の画素16における参照電圧制御線27b(ref2)、参照電圧制御線27a(ref1)、初期化制御線28(ini)、走査線17(scan)に印加される電圧信号が示されている。図6に示すように、先頭行の1行目から最終行のn行目まで順に、プレ初期化動作、初期化動作、閾値電圧(Vth)検出動作、書き込み動作、発光動作という一連の動作が行われる。

[0049] ここで、図6の1L目に示すように、プレ初期化動作では、参照電圧制御線27b(ref2)にHighレベルの電圧が印加される。初期化動作では、参照電圧制御線27b(ref2)にLowレベルの電圧が印加され、参照電圧制御線27a(ref1)および初期化制御線28(ini)にHighレベルの電圧が印加される。続けて、Vth検出動作では、初期化制御線28(ini)にLowレベルの電圧が印加される。さらに、書き込み動作では、参照電圧制御線27b(ref2)、参照電圧制御線27a(ref1)および初期化制御線28(ini)にLowレベルの電圧が印加され、走査線17(scan)にHighレベルの電圧が印加される。

[0050] なお、プレ初期化動作および初期化動作は、それぞれ本開示における第1の初期化工程および第2の初期化工程相当する。

[0051] 以下、各動作期間における画素16の動作について説明する。図7～図11は、各動作期間における画素16の動作を示す図である。図12は、本実施の形態にかかる表示装置の効果を説明するための図であり、図12の(a)は、ある1列の画素の動作状態(表示映像)を時系列に沿って示す図、同図の(b)は、(a)に示したのと同じ列のある画素における電圧Vrefを示す図である。

[0052] [2-1. プレ初期化期間]

はじめに、プレ初期化期間について説明する。図7は、プレ初期化期間における画素16の動作を示す図である。

[0053] プレ初期化期間とは、初期化期間に先立ち設けられる期間であり、初期化期間において容量素子19に電荷を充電する際に、容量素子19に安定した

電圧を印加するために設けられる期間である。プレ初期期間を設けることにより、ブランキング期間中に初期化を行う行に配置された画素において、当該期間に引き続いて行われる初期化期間において、容量素子 19 に印加される電圧をより安定することができる。

[0054] プレ初期化期間では、容量素子 19 の第 1 電極及び駆動用トランジスタ 11 a のゲートに、電圧 V_{ref2} を印加する。具体的には、参照電圧制御線 27 b の電圧レベルが Low から High に変化され、スイッチ用トランジスタ 11 e がオン状態にされる。これにより、図 7 に示すように、 V_{ref2} 電圧発生回路 50 から参照電源線 22 b を介して、電圧 V_{ref2} が容量素子 19 に充電される。このときの電圧 V_{ref2} の電圧波形については、後に説明する。

[0055] なお、電圧 V_{ref2} は、電圧源である V_{ref2} 電圧発生回路 50 から出力されてもよいし、電圧 V_{ref1} を発生する電圧源である V_{ref1} 電圧発生回路 48 と同一でなければ、アノード電圧発生回路 42、カソード電圧発生回路 44、 V_{ini} 電圧発生回路 46 と共用してもよい。

[0056] [2-2. 初期化期間]

次に、初期化期間について説明する。図 8 は、初期化期間における画素 16 の動作を示す図である。

[0057] 初期化期間とは、駆動用トランジスタ 11 a の V_{th} 検出期間においてドレイン電流を流すのに必要な電圧が、容量素子 19 に充電される期間である。

[0058] 初期化期間では、はじめに、初期化制御線 28 (ini) に High レベルの電圧が印加され、スイッチ用トランジスタ 11 c のみが導通状態（オン状態）にされる。これにより、駆動用トランジスタ 11 a のソース電位が電圧 V_{ini} に設定され、駆動用トランジスタ 11 a のソース電位が安定する。

[0059] 次に、後の V_{th} 検出期間において駆動用トランジスタ 11 a の閾値電圧検出を行うべくドレイン電流を流すのに必要な電圧を、予め容量素子 19 の

第1電極及び駆動用トランジスタ11aのゲートに印加する。具体的には、参照電圧制御線27aの電圧レベルがLowからHighに変化され、スイッチ用トランジスタ11dがオン状態にされる。これにより、図8に示すように、Vref1電圧発生回路48から参照電源線22aを介して、電圧Vref1が容量素子19に充電される。

[0060] その後、初期化制御線28(ini)にLowレベルの電圧信号が印加され、スイッチ用トランジスタ11cが非導通状態(オフ状態)にされる。これにより、初期化期間は、終了する。このときの電圧Vref1の電圧波形については、後に説明する。

[0061] なお、Vref1とVref2の大きさは、異なる大きさであってもよい。Vref2の大きさは、Vref1より大きくてもよい。これにより、プレ初期化期間に引き続き行われる初期化期間において、容量素子19に印加される電圧をより安定することができる。

[0062] [2-3. Vth検出期間]

次に、Vth検出期間について説明する。図9は、Vth検出期間における画素16の動作を示す図である。

[0063] Vth検出期間とは、駆動用トランジスタ11aの閾値電圧が容量素子19において検出される期間である。

[0064] Vth検出期間では、駆動用トランジスタ11aの閾値電圧が容量素子19にて検出される。具体的には、走査線17及び初期化制御線28の電圧をLowレベル、ならびに、参照電圧制御線27aの電圧をHighレベルに維持する。すなわち、スイッチ用トランジスタ11b及び11cをオフ状態とし、スイッチ用トランジスタ11dをオン状態とする。

[0065] このとき、図9に示すように、初期化期間での電圧設定により有機EL素子15には電流が流れない状態で駆動用トランジスタ11aにドレイン電流が流れ、駆動用トランジスタ11aのソース電位が変化する。言い換えると、ELアノード電源線23の電圧Vtftにより供給されるドレイン電流が0となるまで駆動用トランジスタ11aのソース電位は変化する。このよう

に、駆動用トランジスタ 11 a の閾値電圧検出動作が開始される。

[0066] そして、 V_{th} 検出期間の終了時には、容量素子 19 の第 1 電極と第 2 電極（有機 EL 素子 15 のアノードと接続された電極）との電位差（駆動用トランジスタ 11 a のゲートソース間電圧）は、駆動用トランジスタ 11 a の閾値電圧 V_{th} に相当する電位差となる。その後、参照電圧制御線 27 a に Low レベルの電圧が印加されることにより、スイッチ用トランジスタ 11 d がオフ状態となる。これにより、駆動用トランジスタ 11 a のドレイン電流の供給が停止され、閾値電圧検出動作が完了する。

[0067] なお、後続する書き込み期間において走査線 17 に High レベルの電圧を印加する前に、参照電圧制御線 27 a に Low レベルの電圧を印加してスイッチ用トランジスタ 11 d をオフ状態にする。具体的には、初期化制御線 28 および走査線 17 の電圧を Low レベルに維持しつつ、参照電圧制御線 27 a の電圧を High レベルから Low レベルに変化させる。これにより、後続する書き込み期間においてデータ線 18 に供給されるデータ信号電圧と参照電源線 22 a の電圧 V_{ref1} とが同時に容量素子 19 の第 1 電極（有機 EL 素子 15 が接続されていない側の電極）に印加されるのを防止することができる。

[0068] [2-4. 書き込み期間]

次に、書き込み期間について説明する。図 10 は、書き込み期間における画素 16 の動作を示す図である。

[0069] 書き込み期間とは、データ線 18 から表示階調に応じた映像信号電圧（データ信号電圧）が画素 16 に取り込まれ、画素 16 の容量素子 19 に書き込まれる期間である。

[0070] 書き込み期間では、はじめに、所定期間スイッチ用トランジスタ 11 b をオン状態にすることで、書き込み動作の準備がなされる。具体的には、走査線 17 の電圧を Low レベルから High レベルへと変化させる。このとき、スイッチ用トランジスタ 11 c、11 d、11 e および駆動用トランジスタ 11 a は、オフ状態である。

[0071] 次に、図10に示すように、データ線18から表示階調に応じた映像信号電圧（データ信号電圧）が画素16に取り込まれ、容量素子19に書き込まれる。具体的には、データ線18及びスイッチ用トランジスタ11bを介してデータ信号電圧が容量素子19の第1電極に印加される。これにより、容量素子19には、 V_{th} 検出期間で保持された駆動用トランジスタ11aの閾値電圧 V_{th} に加えて、データ信号電圧と電圧 V_{ref} との電圧差が（有機EL素子15が有する寄生容量）／（有機EL素子15が有する寄生容量＋容量素子19の静電容量）倍されて、記憶（保持）される。

[0072] [2-5. 発光期間]

次に、発光期間について説明する。図11は、発光期間における画素16の動作を示す図である。

[0073] 発光期間とは、容量素子19に書き込まれた映像信号電圧（データ信号電圧）の大きさに応じた表示階調で、有機EL素子15が発光する期間である。

[0074] 具体的には、走査線17、参照電圧制御線27aおよび初期化制御線28の電圧は、Lowレベルに維持される。すなわち、スイッチ用トランジスタ11b、11d及び11cは、オフ状態に維持される。

[0075] これにより、容量素子19に蓄えられた電荷に応じた電圧が駆動用トランジスタ11aのゲートに印加され、駆動用トランジスタ11aはオン状態となる。そして、図11に示すように、容量素子19に蓄えられた電荷の大きさに応じた電流がELアノード電源線23（ V_{tft} ）を介して有機EL素子15に供給される。これにより、有機EL素子15は、容量素子19に蓄えられた電荷の大きさに応じて発光する。

[0076] [3. 効果等]

図12は、本実施の形態にかかる表示装置の効果を説明するための図であり、図12の（a）は、ある1列の画素の動作状態（表示映像）を時系列に沿って示す図、同図の（b）は、（a）に示したのと同じ列のある画素における電圧 V_{ref} を示す図である。

[0077] 図12の(a)は、有機EL発光パネルのプロGRESSIVE駆動方式を説明する動作遷移図である。図12の(a)において、横軸は時間を表し、縦軸は画素行(表示行)を表す。図12の(a)では、複数の画素が行列状に配置された表示パネルにおいて、プレ初期化動作、初期化動作、 V_{th} (閾値電圧)検出動作、書き込み動作、および発光動作が行順次に実行されていることが示されている。ここでは、表示パネルの行数1行目(1L目)からn行目(nL目)まで示している。例えば、図12の(a)では、 $n=2160$ 行としている。また、図12の(b)において、横軸は時間を表し、縦軸は初期化電圧(V_{ref} 電圧)を表す。図12の(b)の横軸における1F目、2F目、3F目とは、表示される映像の1フィールド目、2フィールド目、3フィールド目を示す。

[0078] また、図12の(a)には、さらに、nL目以降に、ブランキング行なる仮想行(例えば、2161行~2253行)が示されている。これは、ゲートドライバが走査最終行(第2160行)から走査開始行(第1行)へ走査を戻す時間を確保する垂直ブランキング期間に相当するものであり、当該垂直ブランキング期間を、当該期間に相当する走査行数で表したものである。

[0079] また、図12の(b)は、プレ初期化動作における電圧 V_{ref2} と、初期化動作における電圧 V_{ref1} とを示している。プレ初期化期間が垂直ブランキング期間と重なった期間には、同図に示すように電圧 V_{ref2} は変動するが、電圧 V_{ref1} は変動しない。したがって、初期化動作の前にプレ初期化動作を設けることにより、初期化電圧の変動を解消し、出力偏差のない映像信号を表示することができる。

[0080] 以上、本実施の形態に係る表示装置の駆動方法によれば、初期化動作の前にプレ初期化動作を設けることにより、初期化電圧の変動を解消し、出力偏差のない映像信号を表示することができる。

[0081] (他の実施の形態)

以上、実施の形態に係る表示装置について説明したが、表示装置は、上述した実施の形態に限定されるものではない。上述した実施の形態に対して、

本発明の主旨を逸脱しない範囲で当業者が思いつく各種変形を施して得られる変形例や、表示装置を内蔵した各種機器も本発明に含まれる。

[0082] また、上述した実施の形態では、本発明に係る表示装置が有する画素回路構成の一例を挙げたが、画素 16 の回路構成は上記回路構成に限定されない。上述した実施の形態では、E L アノード電源線 23 と E L カソード電源線 24 との間に、駆動用トランジスタ 11 a 及び有機 E L 素子 15 が、この順に配置されている構成を例示したが、E L アノード電源線 23 と駆動用トランジスタ 11 a との間に、さらにスイッチトランジスタを備えてもよい。これにより、当該スイッチトランジスタをオン状態またはオフ状態にすることにより、有機 E L 素子 15 に電流を安定して流すことができる。

[0083] また、アノード電圧発生回路 42 と駆動用トランジスタ 11 a とスイッチングトランジスタとを、この順に配置してもよいし、これらの 3 素子が異なる順で配置されていてもよい。つまり、本発明の表示装置は、駆動用トランジスタが n 型であっても p 型であっても、駆動用トランジスタ 11 a のドレイン電極及びソース電極、ならびに有機 E L 素子 15 のアノード電極及びカソード電極が、E L アノード電源線 23 と E L カソード電源線 24 との間の電流径路上に配置されていればよく、駆動用トランジスタ 11 a 及び有機 E L 素子 15 の配置順には限定されない。

[0084] また、上述した実施の形態では、本発明に係る表示装置が有する画素回路構成の一例を挙げたが、画素 16 の回路構成は上記回路構成に限定されない。上述した実施の形態では、E L アノード電源線 23 と E L カソード電源線 24 との間に、スイッチ用トランジスタを備えてもよい。この場合、スイッチ用トランジスタ、駆動用トランジスタ 11 a 及び有機 E L 素子 15 が、この順に配置されていてもよい。また、スイッチ用トランジスタ、駆動用トランジスタ 11 a 及び有機 E L 素子 15 の三素子が異なる順で配置されていてもよい。つまり、本発明の表示装置は、駆動用トランジスタが n 型であっても p 型であっても、駆動用トランジスタ 11 a のドレイン電極及びソース電極、ならびに有機 E L 素子 15 のアノード電極およびカソード電極が、E L

アノード電源線 23 と E L カソード電源線 24 との間の電流径路上に配置されていればよく、駆動用トランジスタ 11a 及び有機 E L 素子 15 の配置順には限定されない。

[0085] また、上記した実施の形態では、スイッチ用トランジスタ 11b ~ 11e は、ゲート電極、ソース電極及びドレイン電極を有する M O S F E T であることを前提として説明してきたが、これらのトランジスタには、ベース、コレクタ及びエミッタを有するバイポーラトランジスタが適用されてもよい。この場合にも、本発明の目的が達成され同様の効果を奏する。

[0086] また、上述した実施の形態に係る表示装置に含まれる制御回路及び演算回路は、典型的には集積回路である L S I として実現される。なお、上述した表示装置に含まれる制御回路及び演算回路の一部を、表示画面 20 と同一の基板上に集積することも可能である。また、専用回路又は汎用プロセッサで実現してもよい。また、L S I 製造後にプログラムすることが可能な F P G A (F i e l d P r o g r a m m a b l e G a t e A r r a y)、又は L S I 内部の回路セルの接続や設定を再構成可能なリコンフィギュラブル・プロセッサを利用してもよい。

[0087] また、実施の形態に係る表示装置に含まれる走査線駆動回路、データ線駆動回路、制御回路、及び演算回路の機能の一部を、C P U 等のプロセッサがプログラムを実行することにより実現してもよい。

[0088] また、上記実施の形態に係る表示装置では、有機 E L 素子を用いた表示装置である場合を例に述べたが、有機 E L 素子以外の発光素子を用いた表示装置に適用してもよい。

[0089] また、例えば、実施の形態に係る表示装置は、図 15 に示されたような薄型フラット T V に内蔵される。実施の形態に係る表示装置が内蔵されることにより、表示ムラが抑制された高精度な画像表示が可能な薄型フラット T V が実現される。

産業上の利用可能性

[0090] 本発明は、特に、アクティブ型の有機 E L フラットパネルディスプレイに

有用である。

符号の説明

- [0091] 1 1 a、1 1 1 a 駆動用トランジスタ
- 1 1 b、1 1 c、1 1 1 b、1 1 1 c スイッチ用トランジスタ
- 1 1 d、1 1 1 d スイッチ用トランジスタ（第2のスイッチ用トランジスタ）
- 1 1 e スイッチ用トランジスタ（第1のスイッチ用トランジスタ）
- 1 2 a、1 2 b ゲートドライバ回路
- 1 4 ソースドライバ回路
- 1 5、1 1 5 有機EL素子（発光素子）
- 1 6 画素
- 1 7 走査線
- 1 8 データ線
- 1 9、1 1 9 容量素子
- 2 0 表示画面
- 2 2 a、2 2 b 参照電源線
- 2 3 ELアノード電源線
- 2 4 ELカソード電源線
- 2 5 初期化電源線
- 2 7 a、2 7 b 参照電圧制御線
- 2 8 初期化制御線
- 3 1、3 2 回路
- 3 4 COF
- 3 5 a、3 5 b ゲートプリント基板
- 3 6 ソースプリント基板
- 4 2 アノード電圧発生回路
- 4 4 カソード電圧発生回路
- 4 6 V i n i 電圧発生回路

48 V r e f 1 電圧発生回路（第2の電圧源）

50 V r e f 2 電圧発生回路（第1の電圧源）

請求の範囲

- [請求項1] 複数の画素がマトリクス状に配置された表示装置であって、
前記複数の画素のそれぞれは、
電流が流れることにより発光する発光素子と、
データ線に印加される映像信号の大きさに応じた電荷を蓄積する容量素子と、
前記容量素子に蓄積された電荷に応じた電流を前記発光素子に流す駆動用トランジスタと、
前記容量素子に蓄積された電荷をプレ初期化するための第1のスイッチ用トランジスタと、
前記プレ初期化の後、さらに、前記容量素子に蓄積された電荷を初期化するための第2のスイッチ用トランジスタと、を備え、
前記表示装置は、
前記第1のスイッチ用トランジスタをオン状態としたときに、前記容量素子に第1の電圧を出力する第1の電圧源と、
前記第2のスイッチ用トランジスタをオン状態としたときに、前記容量素子に第2の電圧を印加する第2の電圧源と、をさらに備える表示装置。
- [請求項2] 前記第1の電圧と前記第2の電圧とは異なる値である請求項1に記載の表示装置。
- [請求項3] 前記第1の電圧は、前記第2の電圧より大きい請求項2に記載の表示装置。
- [請求項4] 複数の画素がマトリクス状に配置された表示装置の駆動方法であって、
前記複数の画素のそれぞれに設けられた容量素子に蓄積された電荷を初期化するプレ初期化工程と、
前記プレ初期化工程の後に、前記容量素子に蓄積された電荷を再度初期化する初期化工程と、

前記複数の画素のそれぞれに設けられた駆動用トランジスタの閾値電圧を検出する閾値電圧検出工程と、

前記容量素子に、映像信号の大きさに対応した電荷を蓄積する書き込み工程と、

前記容量素子に蓄積された電荷量に応じた電流を発光素子に流して前記発光素子を発光させる発光工程と、を含む表示装置の駆動方法。

[請求項5] 前記プレ初期化工程において、第1のスイッチ用トランジスタをオン状態とすることにより、第1の電圧源から前記容量素子に第1の電圧が印加され、

第2の初期化工程において、第2のスイッチ用トランジスタをオン状態とすることにより、第2の電圧源から前記容量素子に第2の電圧が印加される

請求項4に記載の表示装置の駆動方法。

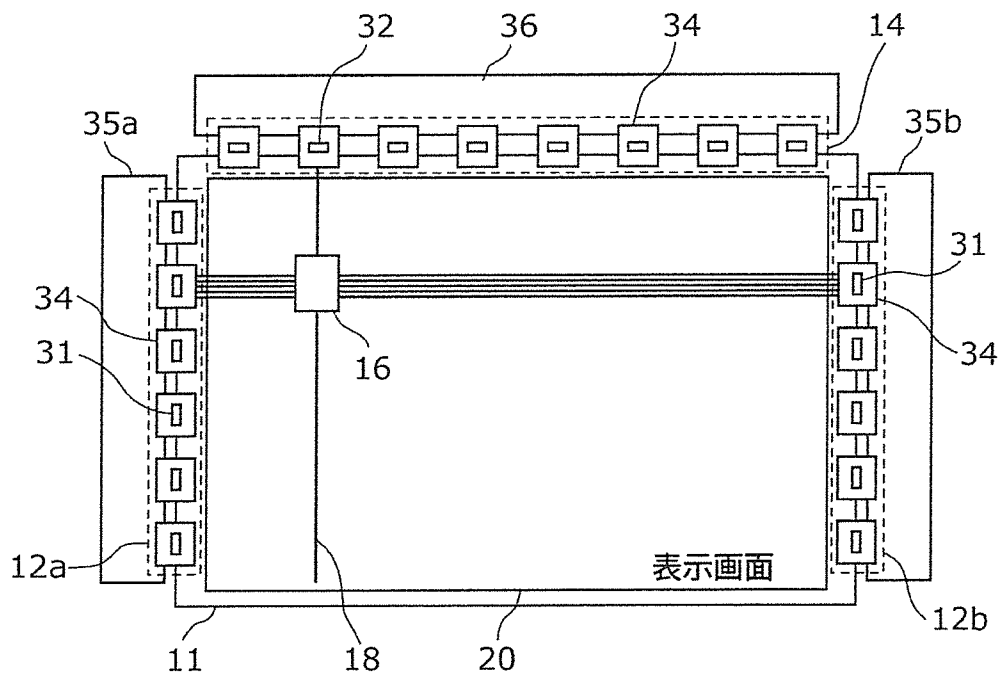
[請求項6] 前記第1の電圧と前記第2の電圧とは異なる値である

請求項5に記載の表示装置の駆動方法。

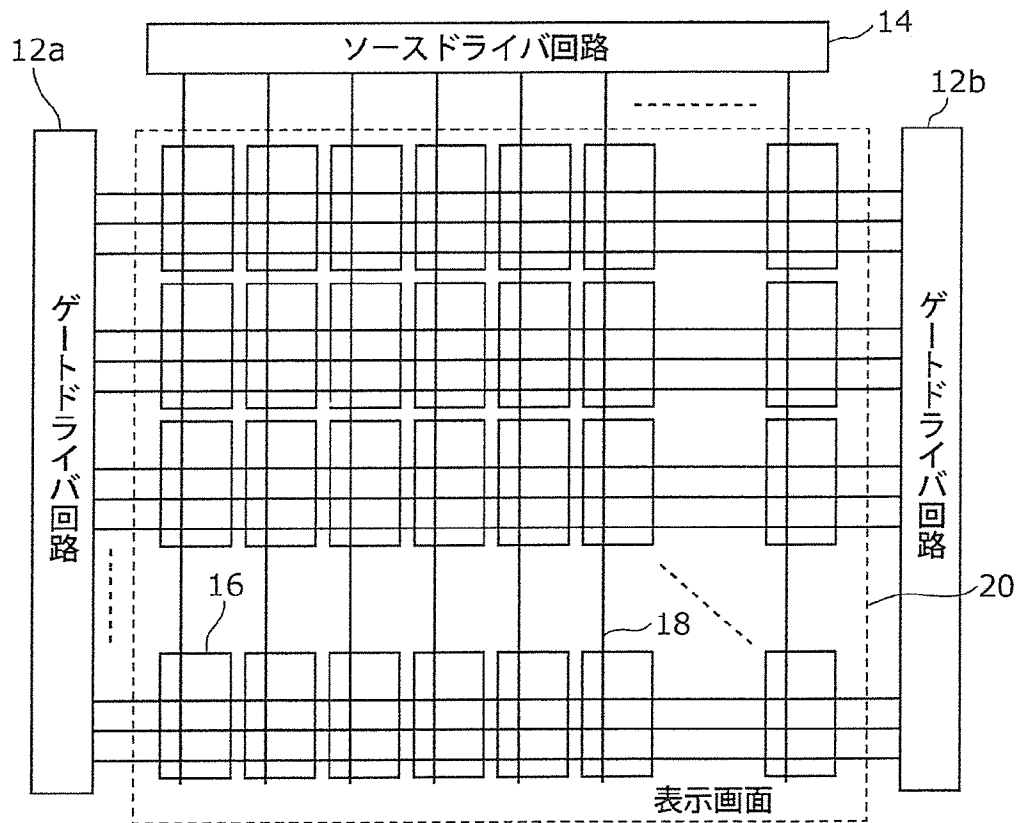
[請求項7] 前記第1の電圧は、前記第2の電圧より大きい

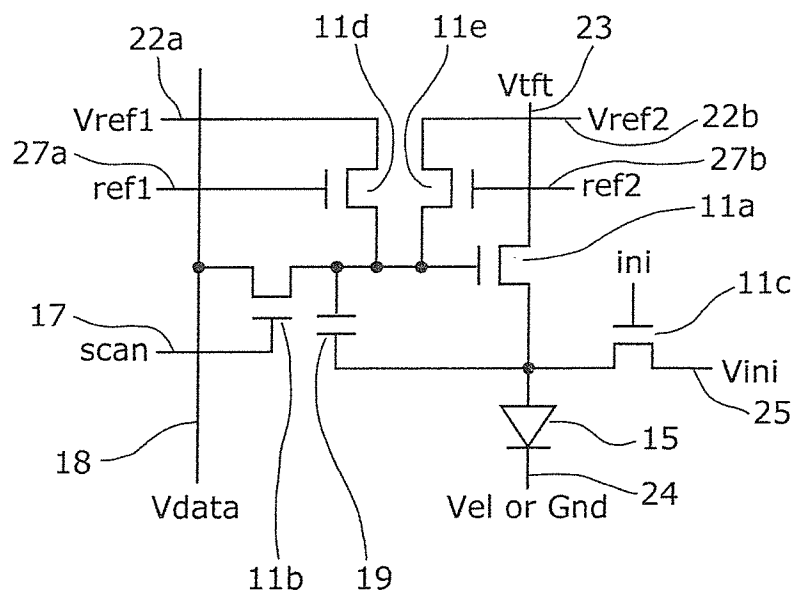
請求項6に記載の表示装置の駆動方法。

[図1]

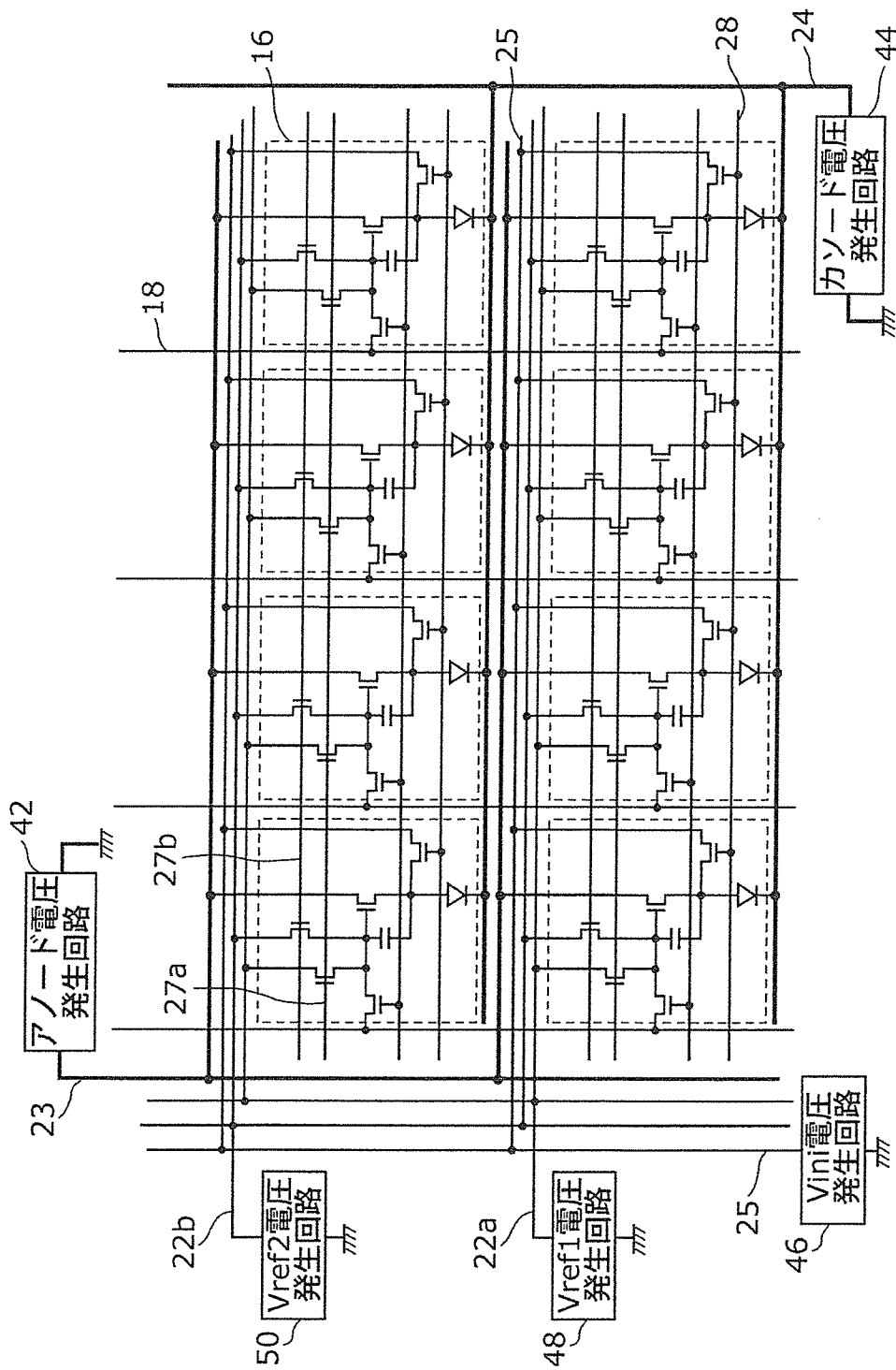


[図2]

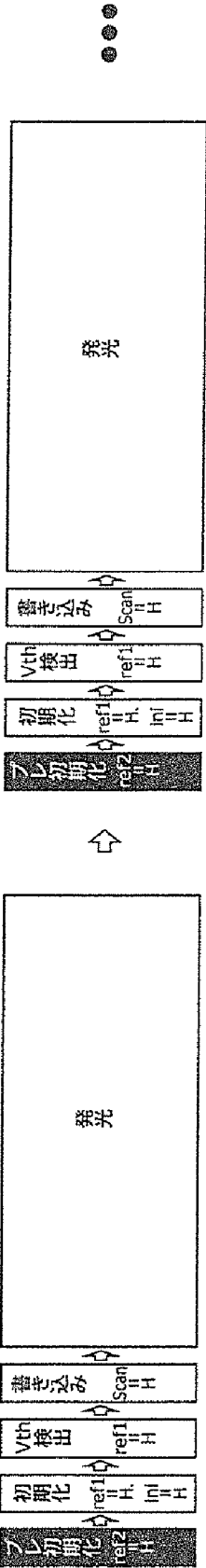




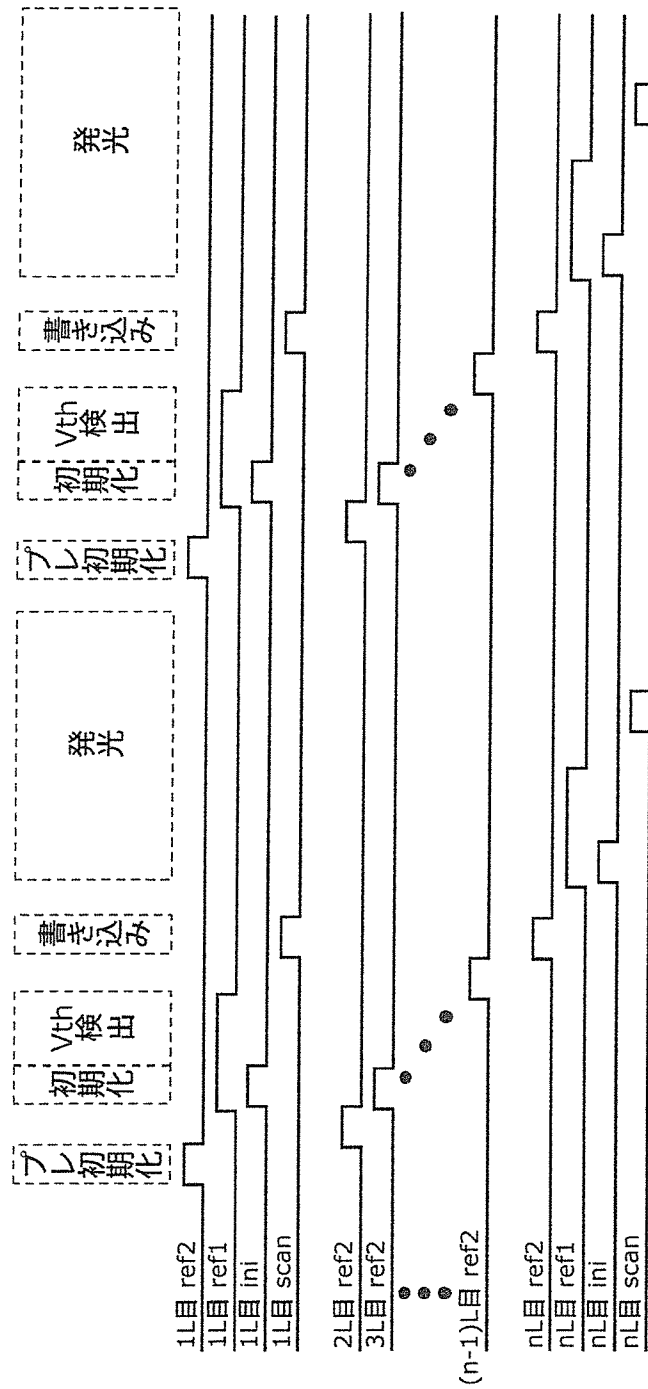
[図4]



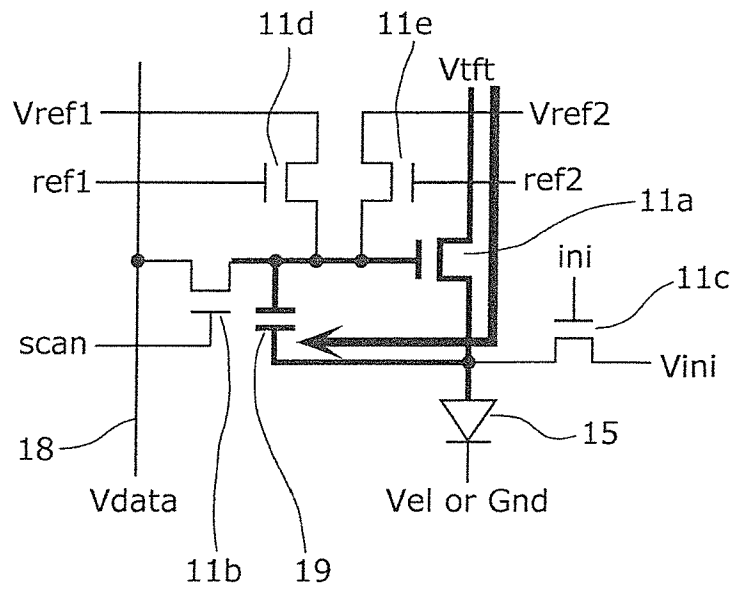
[図5]



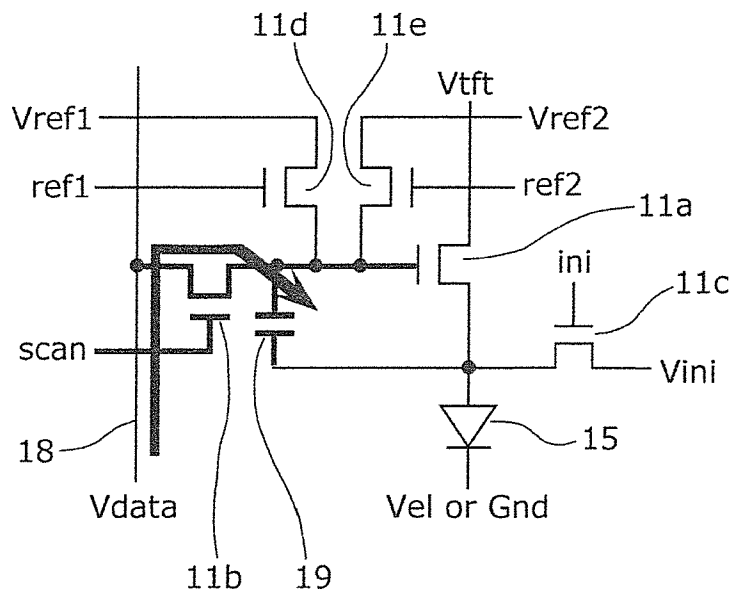
[図6]

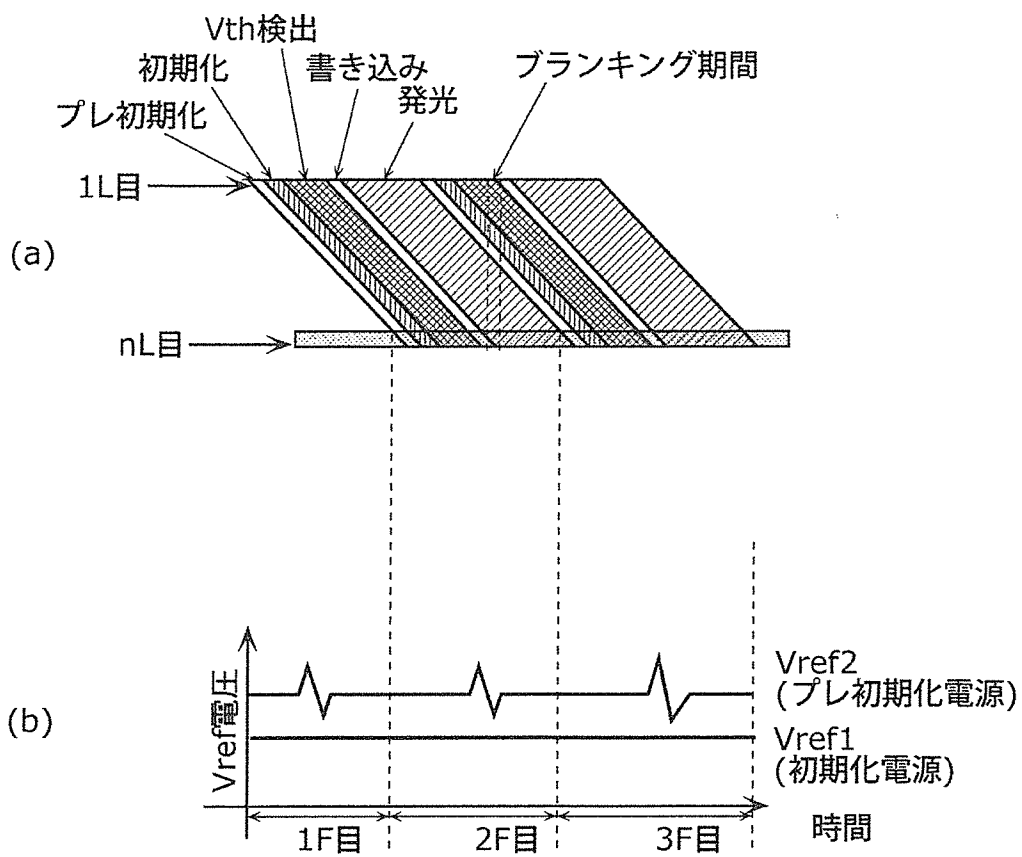
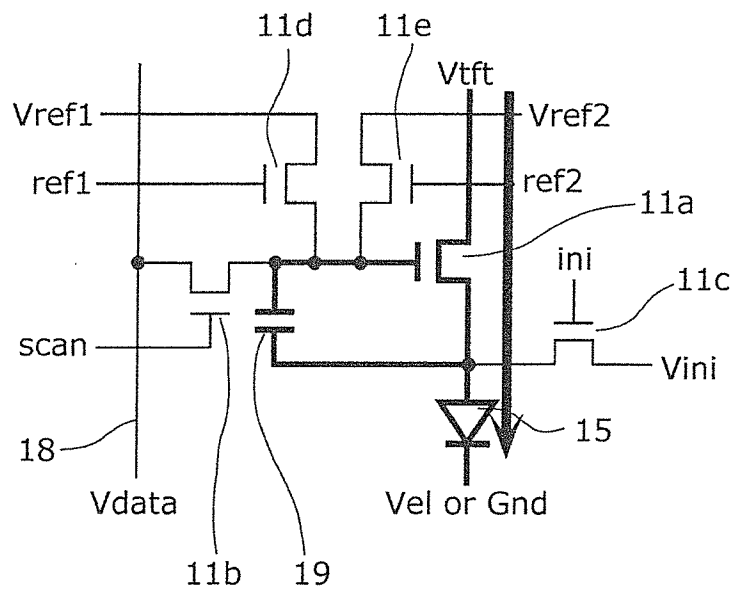


[図9]

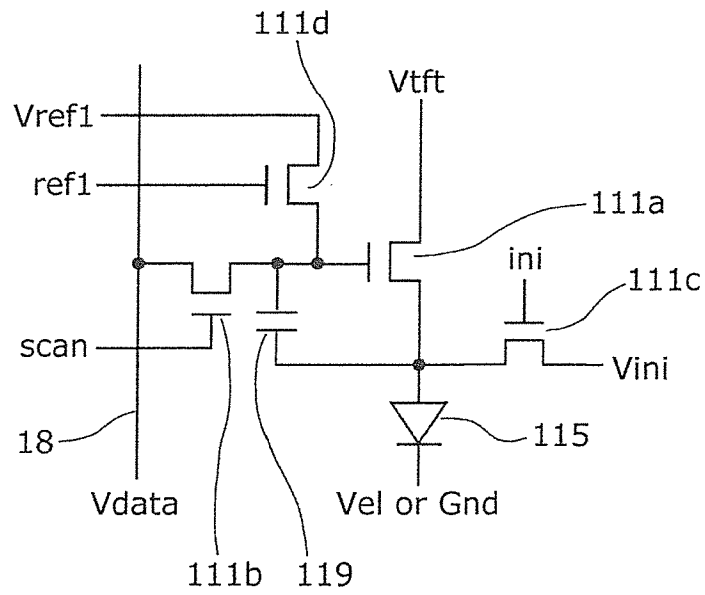


[図10]

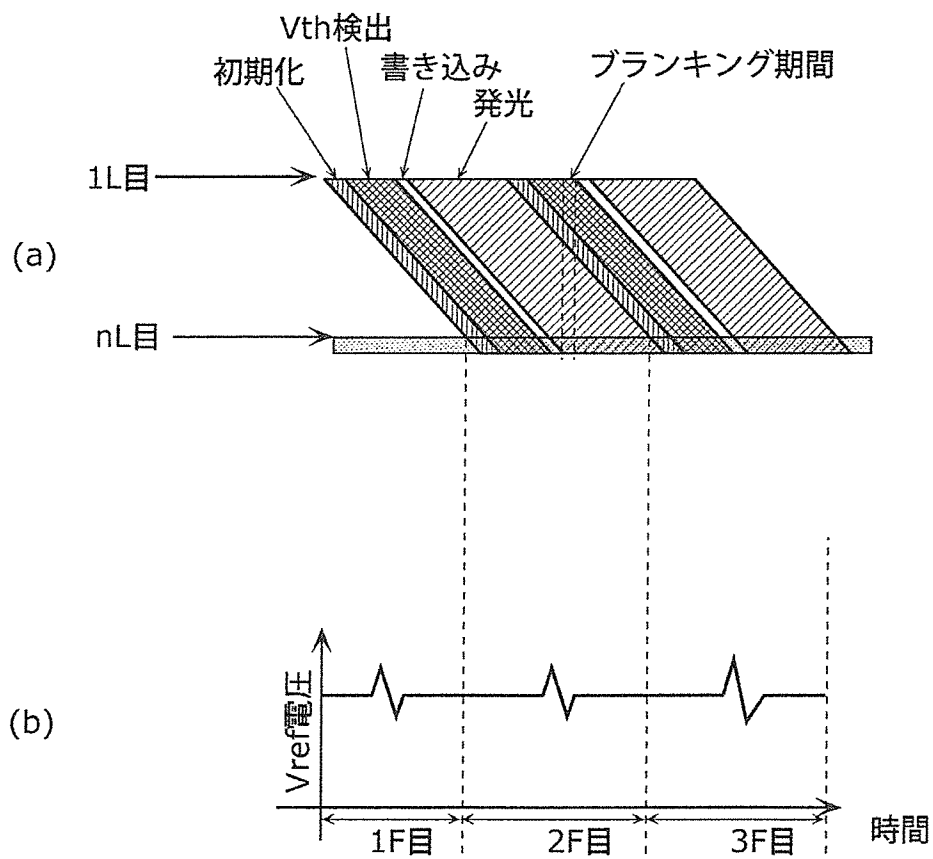




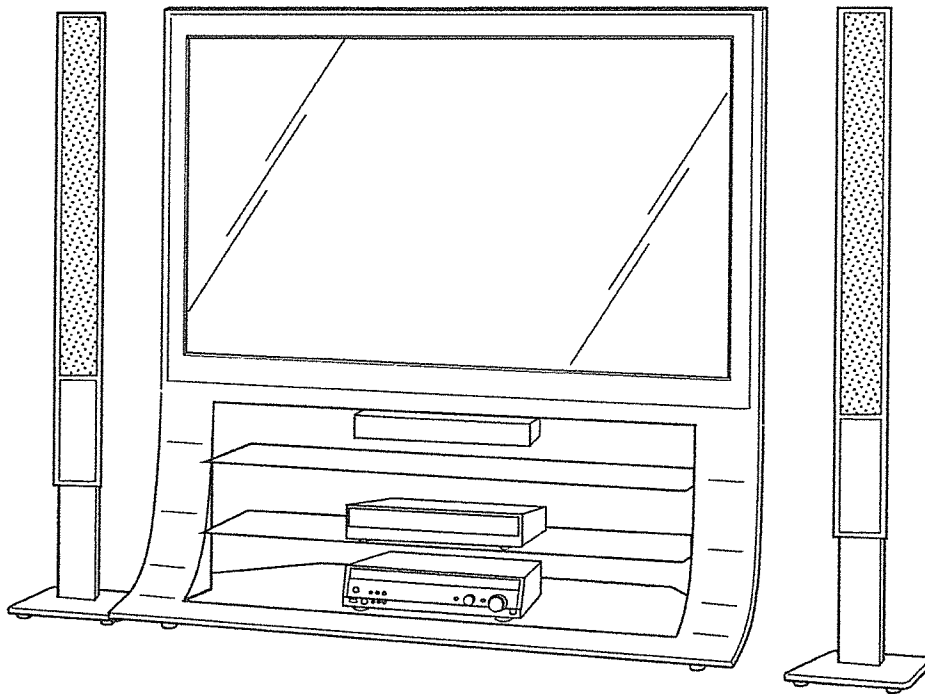
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/006401

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/30(2006.01)i, G09G3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/20-3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2009-47958 A (Sony Corp.), 05 March 2009 (05.03.2009), paragraphs [0037], [0098] to [0107], [0112] to [0114], [0122] to [0128]; fig. 2, 10(B), 10(D), 10(E), 11(D), 11(F) (Family: none)	1-7
A	JP 2010-266848 A (Toshiba Mobile Display Co., Ltd.), 25 November 2010 (25.11.2010), fig. 1, 4, 7 to 8 & US 2010/0265237 A1	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 March 2015 (23.03.15)

Date of mailing of the international search report
31 March 2015 (31.03.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/30(2006.01)i, G09G3/20(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/20-3/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 2 0 0 9 - 4 7 9 5 8 A（ソニー株式会社） 2 0 0 9 . 0 3 . 0 5 , [0 0 3 7] , [0 0 9 8] ~ [0 1 0 7] , [0 1 1 2] ~ [0 1 1 4] , [0 1 2 2] ~ [0 1 2 8] , 図 2 , 図 1 0 (B) , 図 1 0 (D) , 図 1 0 (E) , 図 1 1 (D) , 図 1 1 (F) (ファミリーなし)	1-7

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 3 . 2 0 1 5

国際調査報告の発送日

3 1 . 0 3 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小川 浩史

2 G

9 1 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	J P 2010-266848 A (東芝モバイルディスプレイ株式会社) 2010. 11. 25, 図1, 図4, 図7～8 &US 2010/0265237 A1	1-7