

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7469815号
(P7469815)

(45)発行日 令和6年4月17日(2024.4.17)

(24)登録日 令和6年4月9日(2024.4.9)

(51)国際特許分類		F I	
H 0 1 L	21/822 (2006.01)	H 0 1 L	27/04 P
H 0 1 L	27/04 (2006.01)	H 0 1 L	27/04 A
H 0 1 L	21/8234(2006.01)	H 0 1 L	27/06 1 0 2 A
H 0 1 L	27/06 (2006.01)	H 0 1 L	27/088 Z
H 0 1 L	27/088 (2006.01)		
請求項の数 20 (全13頁)			
(21)出願番号	特願2021-527015(P2021-527015)	(73)特許権者	507107291
(86)(22)出願日	令和1年7月25日(2019.7.25)		テキサス インスツルメンツ インコーポ
(65)公表番号	特表2021-531667(P2021-531667		レイテッド
	A)		アメリカ合衆国 テキサス州 7 5 2 6 5
(43)公表日	令和3年11月18日(2021.11.18)		- 5 4 7 4 ダラス メール ステーション
(86)国際出願番号	PCT/US2019/043432		3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(87)国際公開番号	WO2020/023743	(74)代理人	230129078
(87)国際公開日	令和2年1月30日(2020.1.30)		弁護士 佐藤 仁
審査請求日	令和4年7月25日(2022.7.25)	(72)発明者	チージョン ホン
(31)優先権主張番号	16/047,889		アメリカ合衆国 7 5 0 8 2 テキサス州
(32)優先日	平成30年7月27日(2018.7.27)		リチャードソン, ディア ヴァレイ レ
(33)優先権主張国・地域又は機関	米国(US)		ーン 4 6 2 1
		(72)発明者	ホンリン グオ
			アメリカ合衆国 7 5 2 4 8 テキサス州
			ダラス, ベント トレイル 5 5 1 9
			最終頁に続く

(54)【発明の名称】 金属壁を備えた薄膜抵抗器を備える集積回路

(57)【特許請求の範囲】

【請求項1】

集積回路（IC）を製造する方法であって、
半導体表面層を有する基板を提供することであって、前記半導体表面層が少なくとも1つの回路機能を実現するための機能回路要素を含む、前記基板を提供することと、
前記半導体表面層の上に金属層を形成することと、
前記金属層上に第1のレベル間誘電体（ILD）層を形成することと、
前記第1のILD層上に薄膜抵抗器（TFR）層を含む薄膜抵抗器（TFR）を形成することと、
前記TFR上に第2のレベル間誘電体（ILD）層を形成することと、
前記第2のILD層にコンタクト孔を形成することであって、前記コンタクト孔が前記TFRの一部を露出させる、前記コンタクト孔を形成することと、
前記コンタクト孔の側壁上と前記TFRの露出された一部上とに金属コンタクト層を形成することであって、前記金属コンタクト層が前記TFRと同じ材料を含む、前記金属コンタクト層を形成することと、
前記金属コンタクト層上に金属相互接続を形成することと、
前記TFRの少なくとも2つの側部上に少なくとも1つの垂直金属壁を形成することであって、前記少なくとも1つの垂直金属壁が、充填されたビアによって結合される少なくとも2つの金属レベルを含む、前記少なくとも1つの垂直金属壁を形成することと、
を含み、

前記機能回路要素が前記少なくとも 1 つの垂直金属壁の外にある、方法。

【請求項 2】

請求項 1 に記載の方法であって、

前記 T F R 層が、シリコンクロム (S i C r) 又はニッケルクロム (N i C r) を含む、方法。

【請求項 3】

請求項 1 に記載の方法であって、

前記 T F R 層が、ドーパされたポリシリコンを含む、方法。

【請求項 4】

請求項 1 に記載の方法であって、

前記 T F R 層の厚みが 1 n m ~ 1 0 0 n m である、方法。

10

【請求項 5】

請求項 1 に記載の方法であって、

前記 T F R をレーザートリミングすることを更に含む、方法。

【請求項 6】

請求項 1 に記載の方法であって、

前記少なくとも 1 つの垂直金属壁が、少なくとも 2 つの前記垂直金属壁を含む、方法。

【請求項 7】

請求項 1 に記載の方法であって、

前記少なくとも 1 つの垂直金属壁の少なくとも 2 つの金属レベルが、互い違いに配置された複数の金属アイランドを含む、方法。

20

【請求項 8】

請求項 1 に記載の方法であって、

前記少なくとも 1 つの垂直金属壁の少なくとも 2 つの金属レベルが、前記 I C 上で最小幅を共有する、方法。

【請求項 9】

請求項 1 に記載の方法であって、

前記少なくとも 1 つの垂直金属壁が前記半導体表面層から電気的に分離される、方法。

【請求項 10】

請求項 1 に記載の方法であって、

前記 T F R が 1 0 0 ~ 1 , 0 0 0 Ω / 平方のシート抵抗を有する、方法。

30

【請求項 11】

集積回路 (I C) であって、

半導体表面層を有する基板であって、前記半導体表面層が少なくとも 1 つの回路機能を実現するための機能回路要素を含む、前記基板と、

前記半導体表面層の上の金属層と、

前記金属層上の第 1 のレベル間誘電体 (I L D) 層と、

前記第 1 の I L D 層上の薄膜抵抗器 (T F R) 層を含む T F R と、

前記 T F R 上の第 2 のレベル間誘電体 (I L D) 層と、

前記第 2 の I L D 層内に形成されるコンタクト孔であって、前記 T F R の一部を露出させる、前記コンタクト孔と、

40

前記コンタクト孔の側壁と前記 T F R の露出された一部とを覆う金属コンタクト層であって、前記 T F R と同じ材料を含む、前記金属コンタクト層と、

前記金属コンタクト層上の金属相互接続と、

前記 T F R の少なくとも 2 つの側部上の少なくとも 1 つの垂直金属壁であって、充填されたビアによって結合される少なくとも 2 つの金属レベルを含む、前記少なくとも 1 つの垂直金属壁と、

を含み、

前記機能回路要素が前記少なくとも 1 つの垂直金属壁の外にある、 I C。

【請求項 12】

50

請求項 11 に記載の IC であって、
前記 TFR 層が、シリコンクロム (SiCr) 又はニッケルクロム (NiCr) を含む、IC。

【請求項 13】

請求項 11 に記載の IC であって、
前記 TFR 層が、ドーパされたポリシリコンを含む、IC。

【請求項 14】

請求項 11 に記載の IC であって、
前記 TFR 層の厚みが 1 nm ~ 100 nm である、IC。

【請求項 15】

請求項 11 に記載の IC であって、
前記少なくとも 1 つの垂直金属壁が少なくとも 2 つの前記垂直金属壁を含む、IC。

【請求項 16】

請求項 11 に記載の IC であって、
前記少なくとも 1 つの垂直金属壁の少なくとも 2 つ金属レベルが、互い違いに配置された複数の金属アイランドを含む、IC。

【請求項 17】

請求項 11 に記載の IC であって、
前記少なくとも 1 つの垂直金属壁の少なくとも 2 つの金属レベルが、前記 IC 上で最小幅を共有する、IC。

【請求項 18】

請求項 11 に記載の IC であって、
前記少なくとも 1 つの垂直金属壁が前記半導体表面層から電気的に分離される、IC。

【請求項 19】

請求項 11 に記載の IC であって、
前記 TFR が 100 ~ 1,000 Ω / 平方のシート抵抗を有する、IC。

【請求項 20】

請求項 11 に記載の IC であって、
前記 IC がアナログ IC を含む、IC。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、薄膜抵抗器 (TFR) を有する半導体集積回路 (IC) デバイスに関する。

【背景技術】

【0002】

集積回路デバイスには TFR を含むものがある。概して、TFR はおよそ 0.1 μ m 以下の厚みを有するが、厚い膜抵抗器は概して千倍厚い。シリコンクロム (SiCr) およびニッケルクロム (NiCr) は、薄膜形成における高い電気抵抗、抵抗 (TCR) の比較的低い温度係数、並びに、比較的高い電流密度を確実に運ぶ能力のため、TFR として長年用いられてきた。TFR は、特に、演算増幅器のオフセット電圧、又は、電圧レギュレータの出力電圧を設定するためなど、精密 IC のためにレーザートリミングすることができる。

【0003】

レーザートリミングは、レーザービームを用いて、TFR 構造の一部を切除することによって達成される。TFR の実効断面積が減少することにつれて、その抵抗は増加する。レーザートリミングは、通常、ウェハプロービングと組み合わせて成される。

【発明の概要】

【0004】

本概要は、提供される図面を含む詳細な説明において以下に詳述される、開示される概念の簡単な選択を簡略化された形態で紹介するために提供される。この概要は、特許請求

10

20

30

40

50

される主題の範囲を限定することを意図していない。

【0005】

ICが、少なくとも1つの回路機能を実現するための機能回路要素を備える半導体表面層を有する基板を含み、半導体表面層の上方の金属層上にはレベル誘電体間(ILD)層がある。TFR層を含むTFRがILD層上にある。少なくとも1つの垂直金属壁が、TFRの少なくとも2つの側部上にある。金属壁は、充填ビアによって共に結合される少なくとも2つの金属レベルを含む。機能回路要素は金属壁の外にある。

【0006】

ここで、必ずしも一定の縮尺で描かれていない添付の図面を参照する。

【図面の簡単な説明】

10

【0007】

【図1A】TFRを少なくとも部分的に囲む開示された金属壁を含むTFRを有する例示のICの一部の断面図を示す。

【0008】

【図1B】TFRの4つの側部のうちの3つを壁で囲むことによって少なくとも部分的に囲む金属壁を有する開示されたTFRの上から見下ろした図である。

【0009】

【図1C】図1Bに示される3つの金属壁を少なくとも部分的に囲むTFRを有するICの断面図である。

【0010】

20

【図2A】例示の態様に従った、TFRを少なくとも部分的に囲む金属壁を有するICを形成する例示の方法のプロセス経過を示す断面図である。

【図2B】例示の態様に従った、TFRを少なくとも部分的に囲む金属壁を有するICを形成する例示の方法のプロセス経過を示す断面図である。

【図2C】例示の態様に従った、TFRを少なくとも部分的に囲む金属壁を有するICを形成する例示の方法のプロセス経過を示す断面図である。

【図2D】例示の態様に従った、TFRを少なくとも部分的に囲む金属壁を有するICを形成する例示の方法のプロセス経過を示す断面図である。

【図2E】例示の態様に従った、TFRを少なくとも部分的に囲む金属壁を有するICを形成する例示の方法のプロセス経過を示す断面図である。

30

【図2F】例示の態様に従った、TFRを少なくとも部分的に囲む金属壁を有するICを形成する例示の方法のプロセス経過を示す断面図である。

【図2G】例示の態様に従った、TFRを少なくとも部分的に囲む金属壁を有するICを形成する例示の方法のプロセス経過を示す断面図である。

【図2H】例示の態様に従った、TFRを少なくとも部分的に囲む金属壁を有するICを形成する例示の方法のプロセス経過を示す断面図である。

【図2I】例示の態様に従った、TFRを少なくとも部分的に囲む金属壁を有するICを形成する例示の方法のプロセス経過を示す断面図である。

【図2J】例示の態様に従った、TFRを少なくとも部分的に囲む金属壁を有するICを形成する例示の方法のプロセス経過を示す断面図である。

40

【発明を実施するための形態】

【0011】

例示の態様が図面に関連して記載され、図面において、同様の参照数字は類似又は同等の要素を示すために用いられる。幾つかの行為又は事象が、別の順序で及び/又は他の行為又は事象と同時に起こり得るので、行為又は事象の例示される順序は限定するものと見なされるべきではない。また、幾つかの例示される動作又は事象は、本開示に従った手法を実装するために必要とされないことがある。

【0012】

また、さらなる限定なしに本明細書で用いられる用語「～と結合される」又は「～に結合する」等は、間接的又は直接的な電氣的接続のいずれかを説明することを意図している

50

。そのため、第1のデバイスが第2のデバイスに「結合する」場合、その接続は、経路内に寄生のみが存在する直接的な電氣的接続を介して、又は他のデバイス及び接続を含む介在するアイテムを介する間接的な電氣的接続を介して、成され得る。間接結合の場合、介在するアイテムは、概して、信号の情報を改変しないが、その電流レベル、電圧レベル、及び/又は電力レベルを調整し得る。

【0013】

本開示は、TFRのレーザートリミング中につくられる可能性のある誘電体損傷が、漏れ電流の増加、機械的強度の低下など、ICの品質及び信頼性のリスクを引き起こす可能性があることを認識している。開示されるICは、誘電体損傷を、金属壁を越えて延在しないように封じ込めることによって、レーザートリミングによって誘発される誘電体損傷の影響を低減又は排除し得る、少なくとも部分的に取り囲む金属壁を有するTFRを特徴とする。開示される金属壁は、少なくとも2つの異なる金属レベルを共に結合する金属層及び充填ビア（例えば、タングステン充填）を含む。

10

【0014】

図1Aは、TFR290を少なくとも部分的に囲む周囲の金属壁108a及び108bを含むTFR290を有する例示のIC100の一部の断面図を示す。IC100は、シリコンウェハなどの基板102上に形成される。基板102は、シリコンなどのバルク基板材料、又はバルク基板材料上のエピタキシャル層を含み得る。あるいは、基板は、シリコン-ゲルマニウム、他の4族材料、又は、III-V及びII-VI化合物半導体材料を含む他の半導体材料を含み得る。

20

【0015】

IC100は、IC100上の、それぞれ、第1のノード及び第2のノードに接続されるそれぞれの端部を有するTFR290として示される少なくとも1つのTFRを含む。図1Aに示す図では、金属壁108a及び108bがTFR290の側部のうちの2つに配置された二重金属壁として示されている。

【0016】

TFR290は、クロム又はドーブされたポリシリコンを含み得、レベル間誘電体（ILD）層122a上に示されている。TFR290は、概して1nm~100nmの厚さであり、概して100~1,000Ω/平方のシート抵抗を有する。TFR290は、126aとして示されるビアランドによって接触される。

30

【0017】

フィールド酸化物（FOX）層又はFOX領域112が、IC100の要素を横方向に電氣的に分離するために、基板102に（例えば、基板102の頂部表面の近くに又は頂部表面に近接して）形成される。プレメタル誘電体（PMD）層114が、後続の金属層118-1~118-Nの堆積に先立って、任意のFOX領域112上を含む基板102上に形成され、ここで、118-1、金属1（M1）と呼ぶことができ、本例での頂部金属層である118-NはM5である。金属層118-1~118-Nは、アルミニウム又は銅、又はそれらのそれぞれの合金を含み得る。コンタクト116は、ゲート誘電体110上のゲート電極111、及びソース107及びドレイン109を含む金属酸化物半導体（MOS）トランジスタ106などのIC構成要素のための電氣的接続を提供するために、PMD層114を介して配置され得る。金属壁108a及び108bは、基板102の半導体表面層から電氣的に分離されて示されているが、金属壁108a及び108bを基板102に接地するためのコンタクトが存在し得る。

40

【0018】

PMD層114の上に配置される複数の金属レベル118-1~118-Nは、MOSトランジスタ106及び金属壁108a、108bによって示される機能回路要素に接続される一部と、任意の追加の構成要素、デバイス、又は回路部分とを含む金属相互接続120を含み得る。122a~eとして示されるILD層（例えば、二酸化シリコンベースの材料などで構成される誘電性材料又は組成）は、各金属レベルにおける金属相互接続120の間、及びそれぞれの金属レベルの間に配置される。

50

【 0 0 1 9 】

それぞれのビアレベル 1 2 4 は、金属レベル 1 1 8 - 1 ~ 1 1 8 - N の間に配置され、例示のビアレベル 1 2 4 は、隣り合うレベルの金属相互接続 1 2 0 間に接続を提供する金属ビア 1 2 6 を含み得る。一配置において、種々の誘電体層が、同様の材料を用いて同様のプロセスフローで形成され得る。低誘電率 (K) 材料、例えば、フルオロシリケートガラス ($k=3.6$ を有するフッ素化ケイ酸塩ガラス)、OSG ($k=2.9$ を有する有機ケイ酸塩ガラス)、及びULK ($k=2.5$ を有する超低 k 誘電性材料) など、ILD 層のための他の誘電性材料も本発明の範囲内にあることを理解されたい。ILD 層は、シリコン窒化物及びシリコンカーバイドなど、異なる誘電性材料のキャップ層及びエッチストップ層を含み得る。

10

【 0 0 2 0 】

開示される金属壁 1 0 8 a、1 0 8 b は、対応するビア列 (row) とともに、単一金属壁、二重金属壁、又は 3 つ以上の金属壁であり得る。金属壁 1 0 8 a、1 0 8 b は、それらがアルミニウム又は銅、又はそれぞれの合金を含み得るように、IC 1 0 0 上の金属層の一部又は全部に関与し得る。金属壁に用いられるビア 1 2 6 は、任意のビアレベル、又は組み合わされた複数のビアレベルを含み得る。開示される金属壁 1 0 8 a、1 0 8 b の幅は金属層のために最小のサイズとし得るが、最小サイズに限定されるわけではない。ビア 1 2 6 サイズは IC 上のビアのために最小としもよいが、最小ビアサイズであることに限定されない。金属壁 1 0 8 a、1 0 8 b のための金属レベル上の金属は、金属アイランドを含み得、アイランドが共に接続されないようにし得る。

20

【 0 0 2 1 】

図 1 B は、TFR 2 9 0 の 4 つの側部のうちの 3 つを壁で囲むことによって少なくとも部分的に TFR 2 9 0 を囲む、1 0 8 a、1 0 8 b、及び 1 0 8 c として示される金属壁を有する開示された TFR の上から見下ろした図である。金属壁の各々は、互いに互い違いの金属アイランド 1 5 8 を有する二列に配列されて示されるビア 1 2 6 によって接続される M 1、M 2、M 3、M 4、及び M 5 を含み得る 1 5 8 として示される複数の金属アイランドを含む。頂部レベル上の金属配置 (M 5 など) は、その中に各々二つ又は三つの金属ビア 1 2 6 を有する金属アイランド 1 5 8 を有し、金属壁は、図 1 A の 1 1 8 - 1 に対応する M 1 から、図 1 A に示される 1 1 8 - N に対応する M 5 などの頂部金属レベルまで延在し得る。金属アイランド 1 5 8 は、基板 1 0 2 から分離される (図 1 A に示される) か又は基板 1 0 2 に接続され得、IC 上の機能回路から分離され、TFR 2 9 0 と金属アイランド 1 5 8 との間に如何なる介在構造も有さないように TFR 2 9 0 に近接している。

30

【 0 0 2 2 】

図 1 C は、図 1 B に示された 3 つの金属壁 1 0 8 a、1 0 8 b、及び 1 0 8 c を少なくとも部分的に囲んで TFR 2 9 0 を有する 1 7 0 として示される IC の断面図である。レーザートリミングに起因するクラックとして示される ILD 1 2 2 b、1 1 2 c、及び 1 2 2 d に対する損傷 1 6 7 が、金属壁 1 0 8 a 及び 1 0 8 b 内に含まれることが示されている。

【 0 0 2 3 】

開示される態様は、TFR を少なくとも部分的に囲む金属壁を有する TFR を含む IC を製造する方法を含む。図 2 A は、図 1 A に示される MOS トランジスタ 1 0 6 を含むような複数の相互接続トランジスタを含む機能回路要素 1 8 0 を各々含む複数の IC ダイ (例えば、ウェハ) がその中に形成される半導体表面層 1 0 3 を含む基板 1 0 2 上に 1 2 2 a として示される ILD 層を堆積した後のプロセス中の IC を示す。金属層 1 1 8 - 1 は、PMD 1 1 4 上にあり、1 2 2 a として示される ILD の層の下にある。機能回路要素 (後述する図 2 A ~ 図 2 I の機能回路要素 1 8 0 参照) は概して、TFR を形成する前に、基板 1 0 2 内に形成される。本明細書で用いられるような機能回路要素は、デジタル IC (例えば、デジタルシグナルプロセッサ) 又はアナログ IC (例えば、増幅器又は電力コンバータ)、また、一態様において、BiCMOS (MOS 及びバイポーラ) IC などの所望の機能性を実現及び実施する。開示される IC 上に提供される機能回路要素の能力

40

50

は、例えば、シンプルなデバイスから複雑なデバイスまで、変化し得る。機能回路要素に含まれる具体的な機能性は、開示されるＩＣにとって重要ではない。

【００２４】

ＩＬＤ層２２２ａは、テトラエトキシシランＴＥＯＳ由来シリコン酸化物層を含み得る。しかしながら、オルガノシリケートガラス（ＯＳＧ）、低ｋ誘電体（すなわち、二酸化シリコンに対してより小さい誘電率）、フッ素ドーパされたシリカガラスなどのドーパされた誘電体層、又は、ＳｉＮ層又はその変形（例えば、ＳｉＯＮ）を含むなどの、堆積シリコン酸化物を含む開示されるＩＬＤ層のために、他の誘電体膜も用いられ得る。

【００２５】

図２Ｂは、ＩＬＤ層１２２ａ上にＴＦＲ層１６１を堆積した後のプロセス中のＩＣを示す。堆積プロセスは、直流（ＤＣ）又は無線周波数（ＲＦ）スパッタプロセスを含み得る。ＴＦＲ層１６１は、ＳｉＣｒ又はその合金、例えば、ＳｉＣＣｒ、ＳｉＣＯＣｒを含む炭素含有のものなどであり、ここで、Ｃは１原子百分率～５０原子百分率であり得るか、又は、ＮｉＣｒ又はその合金、例えば、６１％Ｎｉ、１５％のＣｒ、２４％のＦｅ（全て原子百分率）のＮｉＣｒＦｅ、又はドーパされたポリシリコンを含み得る。ＴＦＲ層１６１の厚みは概して１ｎｍ～５０ｎｍであり、例えば、一つ特定態様において２ｎｍ～１０ｎｍ又は約３～５ｎｍである。

【００２６】

図２Ｃは、ＨＭ１６２（例えば、ＴＥＯＳ由来のＨＭ層）として示されるハードマスク層を堆積し、その後、ＨＭ層１６２上にパターンを形成した後のプロセス中のＩＣを示す。フォトレジスト１６３は、パターンを形成するために用いられ得る。この堆積プロセスは、ＴＥＯＳベースの堆積プロセスの場合、約３００ミリトールの圧力及び約７００の温度の低圧力ＣＶＤ（ＬＰＣＶＤ）を含み得る。ＨＭ層１６２の厚み範囲は２０Å～３００Åとし得る。

【００２７】

図２Ｄは、ＴＦＲ層を含む少なくとも１つのＴＦＲ２９０を形成するためにＩＬＤ層１２２ａ内で停止するＨＭ層１６２及びＴＦＲ１６１をエッチングし、次いでＰＲ層１６３を剥がした後のプロセス中のＩＣを示す。シリコン酸化物の場合のＨＭ層エッチのエッチング気体は、ＡｒとＣＦ₄とし得、任意選択でＣｌ₂を備える。ＴＦＲ層１６１をエッチングするために用いられるエッチング気体は、概して、Ｏ₂、Ｃｌ₂、及び少なくとも１つの炭素ハロゲン気体を流すことを含む。例えば、任意選択のＡｒを備えたＯ₂、Ｃｌ₂、及びＣＦ₄が、ＳｉＣｒをエッチングするために用いられ得る。また、ＣＦ₄の代わりとして、又はＣＦ₄に加えて、ＣＨＦ₃、又はＣＨ₂Ｆ₂、及び／又は同様に用いられるＮ₂などの他の気体も、ＴＦＲ層をエッチングするために用いられ得る。

【００２８】

図２Ｅは、ＩＬＤ層１２２ｂとして示される第２のＩＬＤ層の堆積後のプロセス中のＩＣを示す。ＩＬＤ層１２２ｂは、概して、堆積シリコン酸化物を含む。図２Ｆは、ＩＬＤ１２２ｂ及びＨＭ層１６２を介してビア１２６を形成してＴＦＲ層１６１上のコンタクトを露出させ、次いで、厚いＳｉＣｒ層２７０（ＴＦＲ層１６１と比較して厚い。例えば５０Å～６００Å厚など、少なくとも１０倍厚い）とする例によって示される別の金属層を堆積及びパターン化した後のプロセス中のＩＣを示す。厚いＳｉＣｒ層２７０は、ＩＬＤ層１２２ｂに形成されたＴＦＲヘッドと呼ぶことができる。プラズマエッチ又はウェットエッチを用いて、ＴＦＲヘッドのためＩＬＤ層１２２ｂにビア１２６を形成し得る。金属相互接続１２０は、ビア１２６と厚いＳｉＣｒ層２７０とに接する。

【００２９】

図２Ｇは、金属層１１８－２（Ｍ２）を堆積した後、それを画定し、ＩＬＤ層１２２ｃを堆積し、ＩＬＤ層１２２ｃ内に１２６を形成した後のプロセス中のＩＣを示す。図２Ｈは、金属層１１８－３（Ｍ３）を堆積し、それを画定し、ＩＬＤ層１２２ｄを堆積し、ＩＬＤ層１２２ｄ内に１２６を形成した後のプロセス中のＩＣを示す。図２Ｉは、金属層１１８－４（Ｍ４）を堆積し、それを画定し、ＩＬＤ層１２２ｅを堆積し、ＩＬＤ層１２２

10

20

30

40

50

e 内に 1 2 6 を形成した後のプロセス中の I C を示す。図 2 J は、金属層 1 1 8 - 5 (M 5) を堆積し、それを I L D 層 1 2 2 e 内のビア 1 2 6 上に画定した後のプロセス中の I C を示す。

【 0 0 3 0 】

次いで、I C は、任意選択で、頂部金属レベルまでの金属レベルを任意選択で含むように、金属壁に追加してその上に充填ビアを含む 1 つ又は複数の追加の金属レベルを任意選択で形成することを含む、既知の従来のバックエンドオブライン (B E O L) 処理によって完成され得る。他の金属層としての頂部金属層は、アルミニウムもしくは銅、又はそれらのそれぞれの合金を含み得る。次に、パッシベーションオーバーコート (P O) が概して続き、続いて P O がパターン化される。P O 層は、シリコン酸化物、シリコン窒化物、又は S i O N などの、少なくとも 1 つの誘電体層を含む。以下に述べるように、最終的な I C では、T F R 2 9 0 は、機能回路要素 1 8 0 内で、例えば、貫通ビア及びコンタクトが半導体表面層 1 0 3 内の回路要素内のノードに達する M 2 接続を介して、接続される。

【 0 0 3 1 】

開示される態様は、種々のアッセンブリフローに統合され得る半導体ダイを形成して、種々の異なるデバイス及び関連製品を形成するために用いられ得る。半導体ダイは、その中の種々の要素及び/又は層を含み得る。これらは、障壁層、誘電体層、デバイス構造、並びに、ソース領域、ドレイン領域、ビットライン、ベース、エミッタ、コレクタ、導電性ライン、導電性ビアなどを含む、能動要素及び受動要素を含む。また、半導体ダイは、バイポーラ、絶縁ゲートバイポーラトランジスタ (I G B T) 、 C M O S 、 B i C M O S 、及び M E M S を含む種々のプロセスから形成され得る。

【 0 0 3 2 】

本開示に関連する当業者であれば、特許請求の範囲内で多くの他の態様が可能であり得、さらなる追加、削除、置換、及び変形が、本開示の範囲から逸脱することなく、記載された態様になされ得ることを理解するであろう。

10

20

30

40

50

【 図面 】

【 図 1 A 】

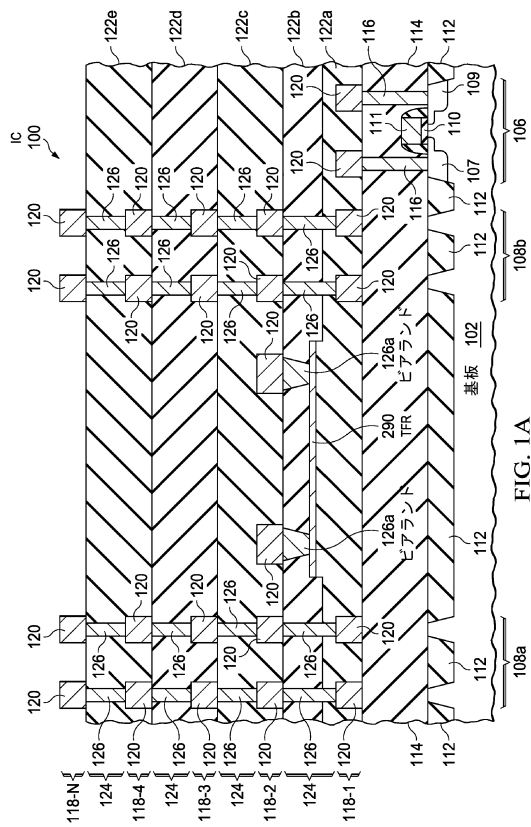


FIG. 1A

【 図 1 B 】

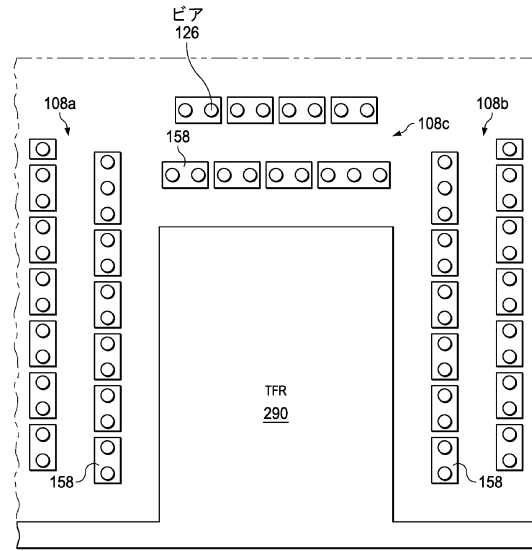


FIG. 1B

【 図 1 C 】

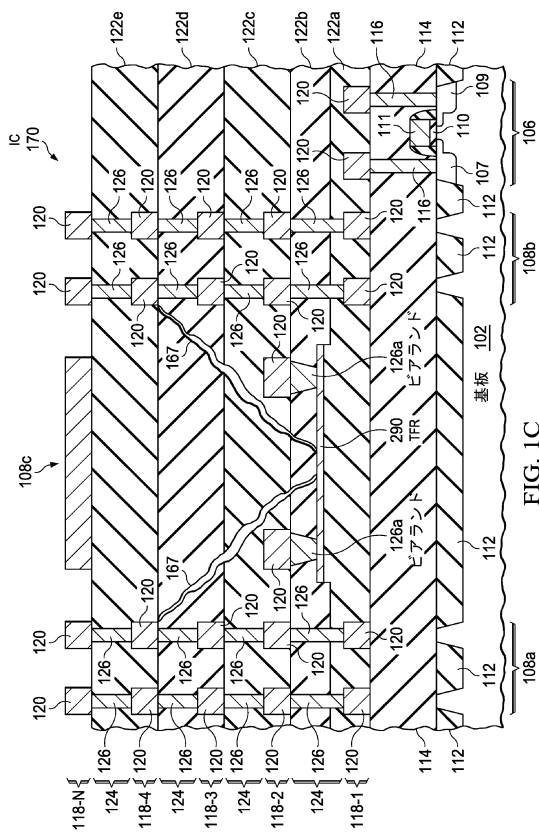


FIG. 1C

【圖 2 A】

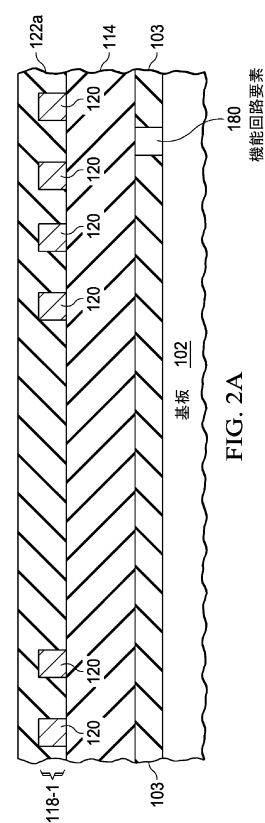


FIG. 2A

10

20

30

40

50

【図 2 B】

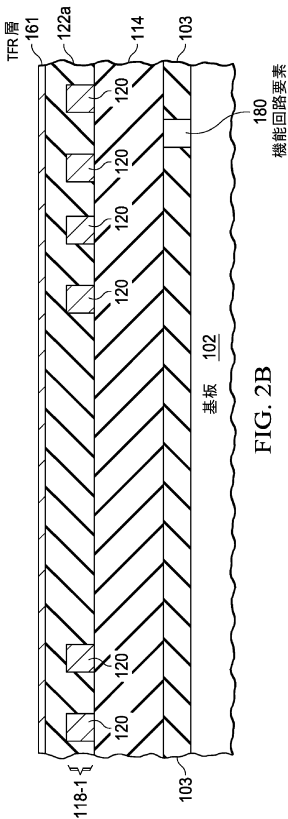


FIG. 2B

【図 2 C】

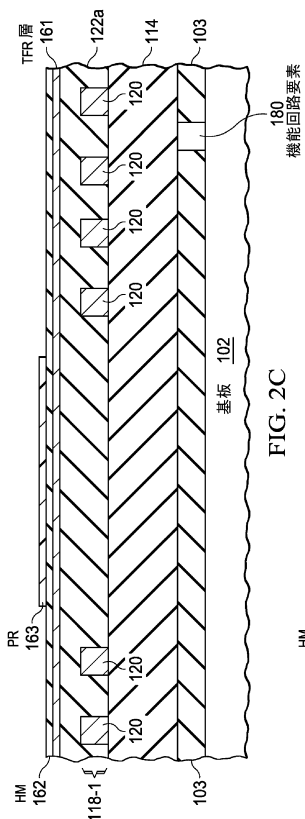


FIG. 2C

【図 2 D】

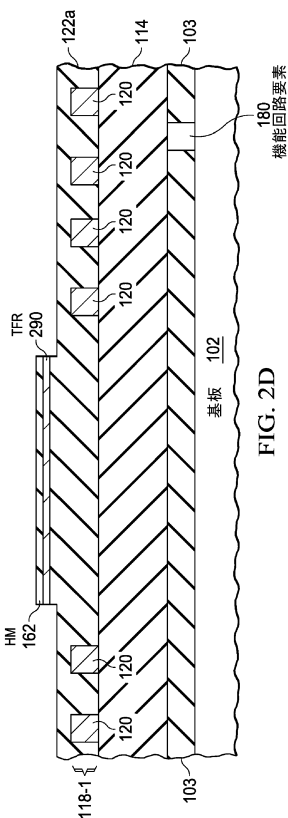


FIG. 2D

【図 2 E】

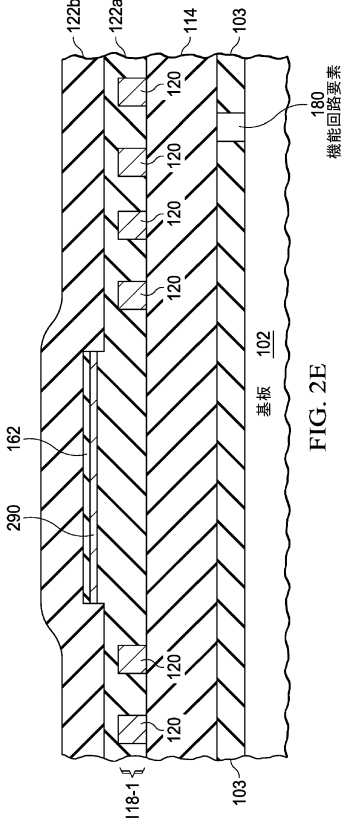


FIG. 2E

10

20

30

40

50

【 図 2 F 】

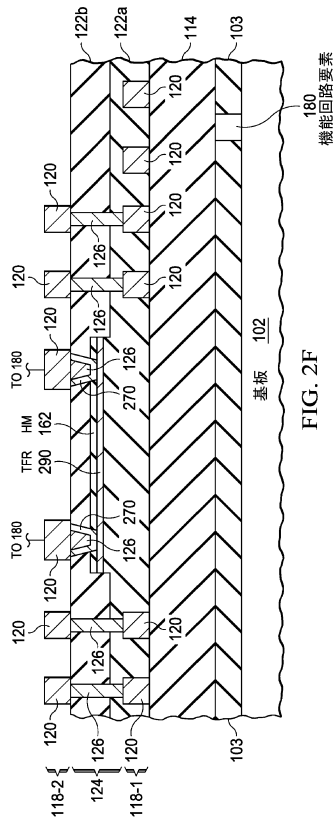


FIG. 2F

【 図 2 G 】

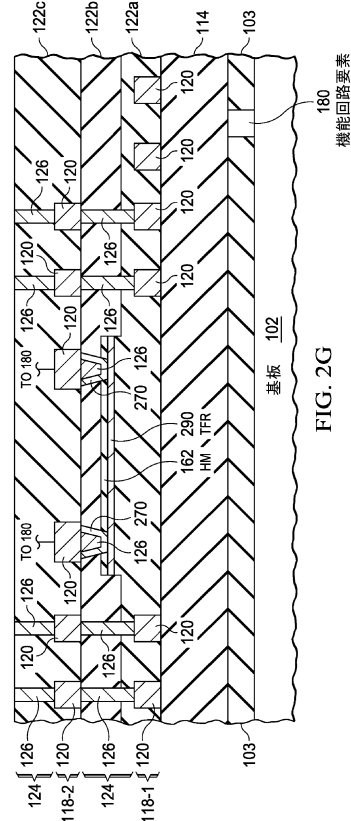


FIG. 2G

【 図 2 H 】

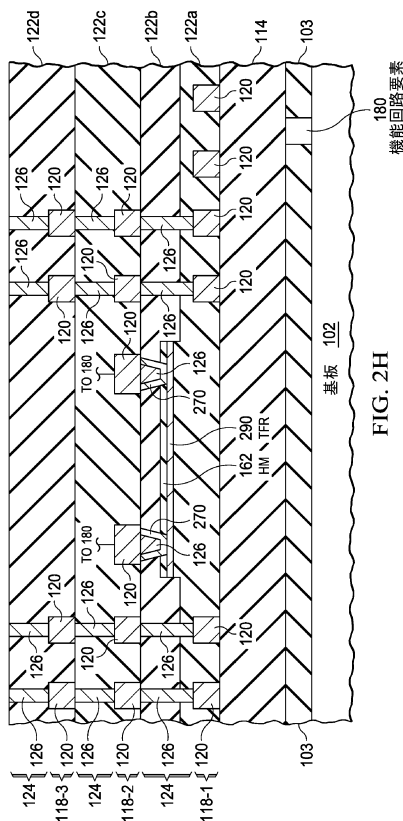


FIG. 2H

【 図 2 I 】

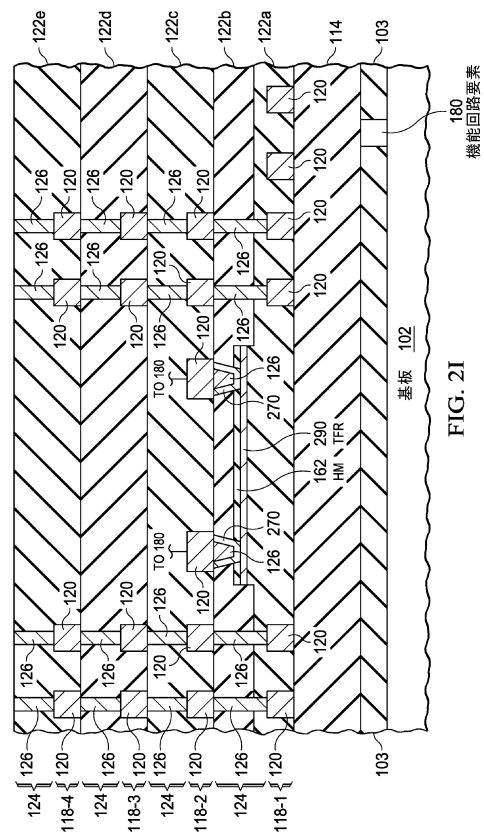


FIG. 2I

【 図 2 J 】

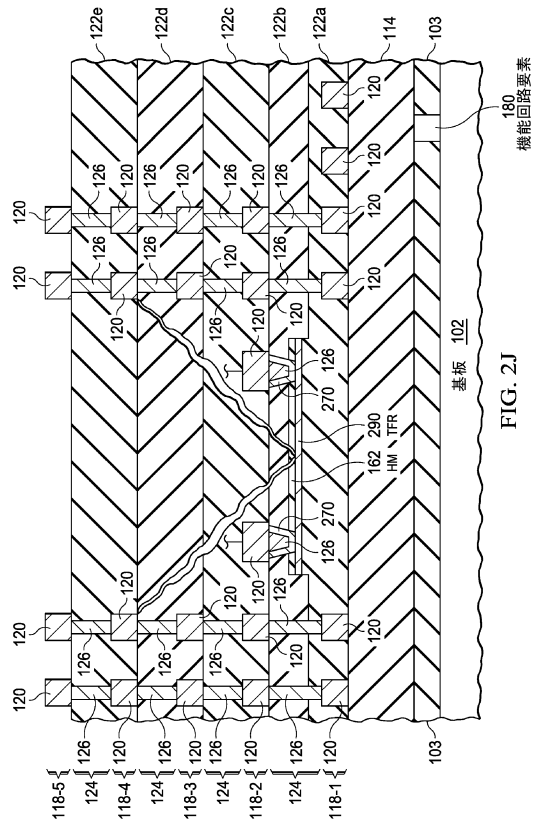


FIG. 2J

フロントページの続き

(72)発明者 ベンジャミン ジェーブズ タイマー

アメリカ合衆国 7 5 2 1 8 テキサス州 ダラス, ユニット 9 0 5 1, ポピー ドライブ 9 0 0 0

(72)発明者 グレゴリー ボイド シン

アメリカ合衆国 7 5 2 2 9 テキサス州 ダラス, サン ガブリエル ドライブ 4 6 1 0

審査官 鈴木 聡一郎

(56)参考文献 米国特許出願公開第 2 0 0 6 / 0 1 1 8 9 0 4 (U S , A 1)

特開平 0 6 - 0 6 1 3 5 3 (J P , A)

特開 2 0 0 5 - 2 6 8 7 4 9 (J P , A)

特開 2 0 0 2 - 2 3 7 5 2 4 (J P , A)

特開 2 0 0 8 - 0 2 1 7 2 6 (J P , A)

特開 2 0 1 1 - 1 0 8 7 7 7 (J P , A)

特開 2 0 0 9 - 1 4 1 2 6 6 (J P , A)

特開 2 0 1 6 - 0 2 1 5 8 6 (J P , A)

特開 2 0 1 4 - 2 0 7 4 1 3 (J P , A)

特開平 0 7 - 1 5 3 9 1 0 (J P , A)

特開昭 6 0 - 1 3 6 3 3 4 (J P , A)

米国特許第 0 5 3 8 9 8 1 4 (U S , A)

(58)調査した分野 (Int.Cl., D B 名)

H 0 1 L 2 1 / 8 2 2

H 0 1 L 2 1 / 8 2 3 2 - 2 1 / 8 2 3 8

H 0 1 L 2 1 / 8 2 4 9

H 0 1 L 2 7 / 0 4

H 0 1 L 2 7 / 0 6

H 0 1 L 2 7 / 0 7

H 0 1 L 2 7 / 0 8 5 - 2 7 / 0 9 2

H 0 1 L 2 7 / 1 1 8