

19 RÉPUBLIQUE FRANÇAISE
—
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
—
PARIS
—

11 N° de publication : **2 556 534**
(à n'utiliser que pour les
commandes de reproduction)
21 N° d'enregistrement national : **84 19018**
51 Int Cl⁴ : H 04 J 3/06; H 04 L 5/22; H 04 Q 11/04.

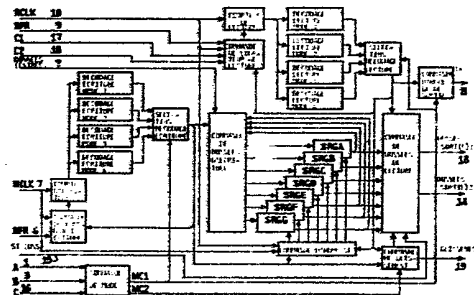
12 **DEMANDE DE BREVET D'INVENTION** **A1**

22 Date de dépôt : 12 décembre 1984.
30 Priorité : GB, 13 décembre 1983, n° 83 33214.
43 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 24 du 14 juin 1985.
60 Références à d'autres documents nationaux appa-
rentés :

71 Demandeur(s) : Société dite : **THE PLESSEY COMPANY
PLC. — GB.**
72 Inventeur(s) : Geoffrey Chopping, Ian James Lawrie et
Milan Zdravko Maric.
73 Titulaire(s) :
74 Mandataire(s) : Cabinet Simonnot.

54 Dispositif d'alignement de trames utilisable dans des systèmes de télécommunications.

57 L'invention concerne un dispositif d'alignement de trames.
Il comporte sept registres SRGA à SRGG, de 64 bits, chacun
pour aligner des signaux de ligne d'entrée sur un débit de
données d'un central et convertir des signaux de données à la
fréquence du central en signaux de données à la fréquence de
ligne : le dispositif se comporte comme un élément de retar-
dement variable et doit fonctionner dans l'un des trois modes :
i. alignement de trames de signaux de ligne à 2 048 kbits/s
sur un débit de central de 2 048 kbits/s; *ii.* alignement d'un
signal de 1 544 kbits/seconde sur un débit de 2 048 kbits/se-
conde; et *iii.* conversion d'un débit de 2 058 kbits/seconde à
un débit de 1 544 kbits/seconde.



FR 2 556 534 - A1

La présente invention concerne des dispositifs d'alignement de trames utilisables dans des centraux de télécommunications transmettant des informations numériques par exemple sous une forme multiplex en partage de temps.

5 Dans de grands réseaux nationaux de télécommunications, utilisant par exemple des centraux téléphoniques, la transmission d'informations ou données numériques par l'intermédiaire de voies principales ou de jonction entre les centraux téléphoniques ne peut pas être effectuée d'une
10 façon complètement synchronisée en se basant sur l'ensemble des agencements de synchronisation du réseau.

Inévitablement, pendant la transmission de données par l'intermédiaire d'une voie principale ou d'une jonction entre des centraux du réseau, la relation de phase entre
15 le multiplexage des données transmises par la voie principale ou jonction et le multiplexage dans le central récepteur varie en fonction d'un glissement admissible (par exemple de huit bits de données) qui est en relation avec la fréquence des systèmes d'horloge des centraux respectifs.

20 Le dispositif d'alignement de trames est conçu pour compenser ce glissement et il empêche une perte de données transmises en faisant en sorte que le multiplexage dans le central récepteur soit commandé en synchronisme avec le multiplexage dans la voie principale ou jonction.

25 Un dispositif d'alignement de trames avec modulation par impulsions codées ("p.c.m.") de 32 canaux comprenant une seule "puce" utilisable dans des systèmes de commutation numérique a été décrit dans le brevet britannique 2 063 624. Dans ce dispositif d'alignement, pour aligner un flux entrant
30 de données modulées par impulsions codées de 256 bits sur le minutage du central local, le dispositif d'alignement comporte cinq registres à décalage ayant chacun une longueur de 128 bits (une demi-trame de données) et un mécanisme de glissement qui contrôle les cadences des signaux d'horloge
35 entrants et des signaux d'horloge du central pour faire en sorte que les compteurs de lecture et d'écriture, qui commandent les données en train d'être écrites dans et extraites

des registres à décalage, ne sélectionnent pas en même temps la même section du registre à décalage.

Ce dispositif d'alignement fonctionne seulement de façon satisfaisante entre des systèmes qui sont compatibles, c'est-à-dire un système d'entrée à 32 canaux et un système de sortie à 32 canaux. Un tel dispositif d'alignement n'assure par conséquent pas un alignement de données entre des systèmes incompatibles.

Conformément à la présente invention, il est prévu un dispositif d'alignement de trames, utilisable dans un système de communication multiplex à partage de temps du type à réseau synchronisé, dans lequel un flux de bits de données numériques est transmis par l'intermédiaire d'une voie principale de données assurant l'interconnexion d'un premier central de communications avec un second central de communications, chaque central comportant sa propre horloge opérant individuellement pour définir une trame de partage de temps, le dispositif d'alignement de trames comprenant sept sections de registre à décalage de quart de trame, chaque section étant accessible indépendamment pour des opérations de lecture et d'écriture, un compteur de sélection de lecture agencé pour sélectionner la section du registre à décalage dans laquelle le quart de trame de données suivant doit être lu, un compteur de sélection d'écriture agencé pour sélectionner la section du registre à décalage dans laquelle le quart de trame de données suivant reçu dans la voie principale doit être introduit, un mécanisme de glissement qui contrôle le signal d'horloge provenant du premier central et le signal d'horloge provenant du second central et qui commande le compteur de sélection de lecture de manière que les compteurs de sélection de lecture et de sélection d'écriture ne sélectionnent pas simultanément la même section du registre à décalage, et un moyen de commande pour sélectionner parmi plusieurs modes un mode dans lequel le dispositif d'alignement doit fonctionner, le mode sélectionné permettant un alignement de trames soit (i) entre deux systèmes numériques séparés à modulation par impulsions codées et un nombre de canaux égaux, soit

(ii) entre deux systèmes numériques séparés à modulation par impulsions codées et un nombre de canaux différents.

D'autres caractéristiques et avantages de l'invention seront mis en évidence dans la suite de la description, donnée à titre d'exemple non limitatif, en référence aux dessins annexés dans lesquels :

la figure 1 est un schéma à blocs de la partie logique de commande de lecture/écriture du dispositif d'alignement de trames mettant en évidence les sections de registres à décalage (sept registres) conformément à la présente invention ;

la figure 2 donne la relation entre les données d'entrée et les données de sortie correspondant au premier mode de fonctionnement (MODE 1) du dispositif d'alignement;

la figure 3 donne la relation entre les données d'entrée et les données de sortie pour le second mode de fonctionnement (MODE 2) du dispositif d'alignement ;

la figure 4 donne la relation entre les données d'entrée et les données de sortie pour le troisième mode de fonctionnement (MODE 3) du dispositif d'alignement ;

la figure 5 est un schéma à blocs du circuit de génération de 1544 kHz et du signal associé de remise à zéro de trame utilisé dans le MODE 3 ;

la figure 6 représente une série de formes d'ondes en relation avec le fonctionnement du dispositif d'alignement conforme à cette invention ;

les figures 7, 8 et 9 donnent, pour les trois modes respectifs, la relation entre les données sortant du dispositif d'alignement et les signaux d'horloge de sortie ;

la figure 10 montre la relation entre les données de sortie et les signaux de remise à zéro de trame de lecture;

les figures 11 à 13 représentent différents diagrammes en relation avec les modes de fonctionnement du mécanisme de glissement de dispositifs d'alignement conformes à cette invention.

En référence aux dessins, le dispositif d'alignement conforme à cette invention réduit le retard dans le

5 système de commutation numérique (par comparaison au dispositif d'alignement connu), et il peut être utilisé lors de l'établissement d'une interface entre des systèmes numériques à modulation par impulsions codées à 24 et 32 canaux. L'alignement est effectué sur la base de trames, une trame de données ayant une longueur de 125 microsecondes. Une trame de 2048 kbits/s comprend 32 canaux, numérotés de 0 à 31 et contenant chacun 8 bits numérotés de 1 à 8. Une trame de 1544 kbits/s comprend 24 canaux, numérotés de 1 à 24 et contenant
10 chacun 8 bits numérotés de 1 à 8 plus un bit supplémentaire, le bit 193.

Les impératifs principaux du dispositif d'alignement consistent à fonctionner dans l'un quelconque de quatre modes différents :

15 MODE 1 : alignement en trames d'un signal p.c.m. de 2048 kbits/s reçu sur un débit de données de central de 2048 kbits/s et avec synchronisation de trames de 8 kHz.

MODE 2 : alignement en trames et changement de fréquence d'un débit de données de 1544 kbits/s reçu sur un débit de données
20 de central de 2048 kbits/s et avec synchronisation de trames de 8 kHz.

MODE 3 : conversion d'un débit de données de central de 2048 kbits/s en un débit de données de ligne de 1544 kbits/s.

25 MODE 4 : ce mode concerne une opération où le mécanisme de glissement est commandé séparément.

30 Additionnellement, le dispositif d'alignement est capable de signaler des glissements de trames mais non de faire une différence entre une omission ou une répétition et il est capable de fournir à la sortie des données avec le troisième bit ayant la valeur zéro dans tous les canaux, lorsqu'il opère dans le MODE 1, tout en étant capable de faire passer les données de sortie DONNEES (SORTIE) 1 et DONNEES (SORTIE) 2, à des "1" logiques.

35 Ce dispositif d'alignement, qui comporte sept registres (figure 1) ayant chacun une longueur de 64 bits à la place de cinq registres de 128 bits de longueur, comme décrit dans le brevet britannique 2 063 624, se comporte comme

un élément de retardement variable permettant d'assurer un transfert de données entre la ligne et le central. Du fait d'un glissement relatif entre des horloges de ligne et de central, le retard maximal de ce dispositif peut être atteint.

5 A chaque fois que cela se produit, une trame complète de données est omise et le retard est réduit d'une trame. A chaque fois que le retard minimal est atteint, une trame complète de données est répétée et le retard est augmenté d'une trame.

10 Si, après la répétition d'une trame, le taux de glissement est inversé, il ne se produit plus d'omission de trame jusqu'à ce qu'un glissement relatif d'au moins 20 microsecondes ait été atteint. De façon analogue si, après
15 l'omission d'une trame, le taux de glissement est inversé, il ne se produit plus de répétition de trame jusqu'à ce qu'un glissement relatif d'au moins 20 microsecondes ait été atteint.

Les trois modes fondamentaux de fonctionnement sont illustrés sur les figures 2, 3 et 4, où les relations entre les données d'entrée et de sortie sont indiquées. Pour
20 faciliter la compréhension, 32 canaux consécutifs de données sont subdivisés en groupes de 8. Pour le premier mode, MODE 1, de fonctionnement, les fréquences des signaux d'horloge de ligne de réception et de central de réception ont toutes deux des valeurs nominales de 2048 kHz. Pour chaque tranche
25 de 64 bits introduits dans le dispositif d'alignement, 64 bits sont extraits.

Dans le MODE 2, la fréquence d'horloge de ligne de réception est de 1544 kHz et la fréquence d'horloge du central de réception est de 2048 kHz. Pour un quart de trame,
30 49 bits sont introduits et 64 bits sont extraits. Cela est suivi par les trois autres quarts de trame pendant lesquels 48 bits sont introduits et 64 bits sont extraits. La donnée de central se trouvant dans les 15 ou 16 bits restants de chaque quart de trame n'est pas définie, c'est-à-dire les
35 canaux 7, 8, 15, 16, 23, 24, 31 et 0 (bits 1-7) (canal 0, bit 8-bit 193).

Le troisième mode, MODE 3, de fonctionnement est

l'opposé du second mode, MODE 2, c'est-à-dire que chaque quart de trame lu contient 64 bits, dont 15 ou 16 ne sont pas transférés dans les données de sortie. Pendant un quart de trame, 49 bits sont extraits et pendant les trois quarts de trame consécutifs suivants, 48 bits sont extraits. Dans ce mode opératoire, on a supposé que l'horloge de central de 2048 kHz et l'horloge de ligne de 1544 kHz sont en correspondance et qu'il ne se produit aucun glissement. Dans ce mode, le dispositif est agencé de manière que le retard maximal ne dépasse pas 40 microsecondes. Il est à noter que les canaux 7, 8, 15, 16, 23, 24, 31 (bits 2-8) et 0 ne sont pas transférés et que le canal 31, bit 1 est transféré comme le bit 193.

Génération de 1544 kHz et remise à zéro de trame associée

En référence à la figure 5, on voit que dans le MODE 3, c'est-à-dire la conversion de créneaux temporels à 32 canaux, 2048kbits/s en créneaux temporels à 24 canaux, 1544 kbits/s, il est nécessaire de dériver un signal d'horloge de 1544 kHz (local) du signal d'horloge de 2048 kHz du central (local). Cela est réalisé en faisant intervenir un oscillateur commandé en tension "VCO" externe qui est utilisé avec un compteur externe ÷ 193 de façon à synthétiser en fréquence un signal d'horloge de 1544 kHz à partir du signal d'horloge de central de 2048 kHz. Un sous-multiple commun aux deux signaux d'horloge de 1544 kHz et de 2048 kHz a une valeur de 8 kHz.

L'horloge de remise à zéro de trames de central a une fréquence d'impulsions de 8 kHz et elle est en synchronisme avec l'horloge de 2048 kHz. En conséquence, en utilisant la fréquence de remise à zéro de trames de central de 8 kHz, f entrée comme entrée de référence dans une boucle verrouillée en phase (PLL), il est possible d'engendrer un signal de sortie de 1544 kHz verrouillé en phase. Sur la figure 5, on voit que la fréquence de remise à zéro de trames de central de 8 kHz, f entrée, et la fréquence f sortie/193 sont appliquées à un comparateur de phase PC, dont le signal de sortie est transmis à un filtre F, dont le signal de sortie est lui-même appliqué à l'oscillateur commandé en tension VCO.

La boucle PLL nécessite un compteur de division par 193, (dit dans le présent exposé : compteur ÷ 193) dans

sa voie de réaction et avantageusement le compteur + 193 du dispositif d'alignement est utilisé.

Après la dérivation du signal d'horloge de 1544 kHz, un second impératif concerne la génération du signal de remise à zéro de trames de lecture qui est associé au signal d'horloge de 1544 kHz. Du fait que le signal de sortie du compteur + 193 a une fréquence de répétition d'impulsions de 8 kHz et est synchronisé avec le signal d'horloge de 1544 kHz, il satisfait à deux des impératifs concernant la remise à zéro de trames de lecture. Le troisième impératif concerne sa position dans le temps par rapport aux données en train d'être lues dans le dispositif d'alignement.

Pour déterminer la position correcte dans le temps du signal de remise à zéro de trames de lecture qui est associé au signal d'horloge de 1544 kHz, il est nécessaire de considérer la spécification du dispositif d'alignement qui exige que, dans ce mode opératoire, le retard entre les fonctions de lecture et d'écriture soit minimal. En pratique, le retard minimal de sécurité est de l'ordre de 3/8 (trois-huitièmes) d'une trame ; un décalage de quelques bits de part et d'autre de ce minimum est acceptable.

Un retard de 3/8 (trois-huitièmes) de trame équivaut à environ 47 μ s (72 bits) et en conséquence le signal de remise à zéro de trames de lecture doit se produire environ 47 μ s après le signal de remise à zéro de trames d'écriture (central).

Le bord avant de l'impulsion de sortie provenant du compteur + 193 est amené en coïncidence, par la boucle verrouillée en phase (PLL), avec le bord avant du signal de remise à zéro de trames d'écriture de référence. Il suffit alors de donner à l'impulsion de sortie du compteur + 193 une durée d'environ 47 μ s et d'utiliser le bord arrière pour indiquer l'instant de remise à zéro de trames de lecture. Le circuit interne du dispositif d'alignement est conçu pour faire en sorte que le bord arrière de cette impulsion se produise à l'instant correct par rapport au flux de données de sortie.

Le fonctionnement du dispositif d'alignement (figure 1) est semblable au fonctionnement du dispositif d'alignement décrit dans le brevet britannique n° 2 063 624, excepté qu'au lieu d'utiliser cinq sections de registres, on utilise sept sections de registres SRGA à SRGG, établissant un retard d'un quart de trame à la place d'un retard d'une demi-trame comme c'était le cas précédemment. Additionnellement, du fait que ce dispositif d'alignement doit opérer entre des flux de données ayant des débits différents, c'est-à-dire 1544 kbits/s et 2408 kbits/s et vice-versa, le mode de fonctionnement du circuit nécessite une commande par sélection. La sélection est effectuée par la commande de mode MC par application de codes de sélection de mode de 3 bits aux voies A, B et C. Les voies A et B assurent la commande nécessaire, par l'intermédiaire de la voie MC1, sur la logique de sélection de décodage d'écriture ainsi que sur la logique de commande d'horloge de sortie, tandis que la voie C assure la commande nécessaire, par l'intermédiaire de la voie MC2, sur la commande de glissement.

La commande de ces voies par les codes de sélection de modes est indiquée, en même temps que les modes de fonctionnement, dans le tableau ci-dessous.

TABLEAU 1

MODE	(FICHE 1) VOIE A	(FICHE 3) VOIE B	(FICHE 16) VOIE C	DONNEES ECRITES	DONNEES LUES
1	LOGIQUE 0	LOGIQUE 0	LOGIQUE 0	2048	2048
2	LOGIQUE 1	LOGIQUE 0	LOGIQUE 0	1544	2048
3	LOGIQUE 1	LOGIQUE 1	LOGIQUE 1	2048	1544
4	LOGIQUE 0	LOGIQUE 0	LOGIQUE 1	2048	2048

Fonctionnement sur la voie C (fiche 16)

Lorsque cette fiche est mise à l'état logique "0", le mécanisme de glissement fonctionne dans des conditions normales de commande. Cependant, lorsque la fiche est mise à l'état logique "1", le mécanisme de glissement est commuté à un état correspondant à "le dernier glissement concernait SRGB". Cette possibilité est utilisée quand le compteur de lecture et le compteur d'écriture sont en synchronisation

de bits et qu'aucun écart n'est attendu (bien qu'il puisse exister un certain flottement).

Lorsque le signal d'horloge de 1544 bits/s est en train d'être engendré à partir du signal d'horloge de 2048 kbits/s, ou vice et versa, les signaux d'horloge ne s'écartent pas l'un de l'autre et les signaux de remise à zéro de trame d'écriture et de remise à zéro de trame de lecture sont espacés l'un de l'autre de $3/8$ (trois-huitièmes) d'une trame sous l'action du signal d'horloge de sortie CK (SORTIE) apparaissant à la fiche 8 ; la figure 11 illustre cette opération. Il est à noter que la référence WDP utilisée sur les figures 11 à 18 a la signification "écriture de repères de données".

Quand le dispositif d'alignement est en train d'être utilisé dans le MODE 1 (2048 pour 2048) et lorsque la voie C (fiche 16) est mise dans l'état logique "1", l'effet de cette commande du dispositif d'alignement est d'établir le retard minimal dans l'alignement. La figure 12 illustre cette opération et elle définit la base de fonctionnement dans le MODE 4.

Le fonctionnement d'ensemble du dispositif d'alignement est semblable à ce qui a été décrit dans le brevet britannique 2 063 624, mais cependant on va considérer de façon particulière un détail de fonctionnement en référence à la figure 6 qui donne la relation entre différentes formes d'ondes de signaux qui sont définies ci-dessous.

- | | | |
|----|-----------------------|---|
| | 1. DONNEES (ENTREE) | entrée de donnée NRZ |
| | 2. CLK1(2) | Fourniture de deux signaux d'horloge à l'entrée |
| 30 | 3. SYNC/L | Signal de synchronisation d'entrée "remise à zéro de trame d'écriture" (WFR). |
| | 4. SYNC/C | Signal de synchronisation de sortie "remise à zéro de trame de lecture" (RFR). |
| 35 | 5. DONNEES (SORTIE) 1 | Cela correspond à une donnée de sortie vraie, permettant des glissements de trames. |
| | 6. DONNEES (SORTIE) 2 | Comme 5, excepté que les bits 3 de tous les canaux 0 sont inversés. |

Sur cette figure, il est à noter que DONNEES (ENTREE) est saisi par les flancs décroissants de CLK1(2); DONNEES(SORTIE) 2 est propulsé par les flancs croissants de CLK1(2) DONNEES(SORTIE).1 est retardé par rapport à DONNEES (SORTIE) 2 d'un nombre prédéterminé de bits tandis qu'à la fois SYNC/L et SYNC/C sont saisis par leurs signaux d'horloge respectifs, les bords avant ayant été différenciés pour fournir des signaux synchronisés de pré-activation/remise à zéro à leurs compteurs respectifs.

Opérations de la fiche de sortie 8

10 Cette fiche a trois rôles ou fonctions selon le mode de fonctionnement du dispositif d'alignement.

(a) Quand le dispositif d'alignement se trouve dans le MODE 1 (figure 7, figure 13, figure 14 et figure 15) c'est-à-dire : écriture de 2040 kbits/s

15 lecture de 2048 kbits/s

fiche 1 = Logique "0"

le signal de sortie à la fiche 8 est le signal d'horloge de lecture + 8, c'est-à-dire 256 kHz.

(b) quand le dispositif d'alignement est dans le MODE 2 (figure 8, figure 16, figure 17 et figure 18) c'est-à-dire écriture de 1544 kbits/s : fiche 1 = logique "1"

lecture de 2048 kbits/s : fiche 3 = logique "0"
le signal de sortie à la fiche 8 est le signal d'horloge de lecture + 256 ;

25 celui-ci est utilisé pour la génération d'un signal d'horloge de 2048 kHz à partir du signal d'horloge de 1544 kHz lorsqu'il est utilisé en coopération avec la boucle verrouillée en phase (PLL). Lorsque cette fonction de génération de signal d'horloge est en train d'être effectuée, la fiche 16 se trouve
30 à l'état logique "1".

Les fiches 17 et 18 sont toutes deux maintenues à un état logique "0".

(c) Quand le dispositif d'alignement est dans le MODE 3 (figure 9 et figure 11)

35 c'est-à-dire : écriture de 2048 kbits/s fiche 1 = logique "1"

lecture de 1544 bits/s : fiche 3 = logique "1"

Le signal de sortie de la fiche 8 est le signal d'horloge

de lecture \div 193.

Celui-ci est utilisé pour la génération d'un signal d'horloge de 1544 kHz à partir du signal d'horloge de 2048 kHz lorsqu'il est utilisé en coopération avec la boucle verrouillée en phase (PLL). Lorsque cette fonction de génération de signal d'horloge est en train d'être effectuée, la fiche 16 doit être maintenue à l'état logique "1".

Les fiches 17 et 18 sont toutes deux maintenues à l'état logique "0".

10 Opérations des fiches 17 et 18 (commande de retardement de remise à zéro de trame)

Dans ce dispositif d'alignement, l'apparition du signal de remise à zéro de trame de lecture se produit concurremment avec le bit 16 dans le flux de données de sortie.

15 Cependant, par utilisation des fiches 17 et 18, la relation entre le signal de remise à zéro de trame de lecture et le flux de données de sortie peut être programmée comme indiqué sur la figure 10.

Opération de la fiche 15 ST (UNS)

20 Cette fiche commande la mise à l'état logique "1" des deux données de sortie DONNEES (SORTIE) 1 et DONNEES (SORTIE) 2

Opération de la fiche 19 GLISSEMENT

On obtient un signal de sortie indiquant l'apparition d'un glissement.

REVENDEICATIONS

1. Dispositif d'alignement de trames utilisable dans un système de communication multiplex à partage de temps, du type à réseau synchronisé dans lequel un flux de bits de données numériques est transmis par l'intermédiaire d'une 5 voie principale de données assurant l'interconnexion d'un premier central de communications avec un second central de communications, chaque central comportant sa propre horloge opérant individuellement pour définir une trame de partage 10 de temps, le dispositif d'alignement de trames comprenant sept sections (SRGA à SRGG) de registre à décalage de quart de trame, chaque section étant accessible indépendamment pour des opérations de lecture et d'écriture, un compteur de sélection de lecture agencé pour sélectionner la section du 15 registre à décalage dans laquelle le quart de trame de données suivant doit être lu, un compteur de sélection d'écriture agencé pour sélectionner la section du registre à décalage dans laquelle le quart de trame de données suivant reçu dans la voie principale doit être introduit, un mécanisme de glissement qui contrôle le signal d'horloge provenant du premier 20 central et le signal d'horloge provenant du second central et qui commande le compteur de sélection de lecture de manière que les compteurs de sélection de lecture et de sélection d'écriture ne sélectionnent pas simultanément la même section du registre à décalage, et un moyen de commande pour 25 sélectionner un d'une pluralité de modes (modes 1 à 4) dans lequel le dispositif d'alignement doit fonctionner, le mode sélectionné permettant un alignement de trames, soit (i) entre deux systèmes numériques séparés à modulation par impulsions codées et un nombre de canaux égaux, soit (ii) entre deux 30 systèmes numériques séparés à modulation par impulsions codées et un nombre de canaux différents.

2. Dispositif d'alignement de trames selon la revendication 1, caractérisé en ce que la sélection du mode 35 dans lequel le dispositif d'alignement doit fonctionner est effectuée par application de l'un des divers codes de commande de modes à plusieurs voies de commande

qui sont associées au moyen de commande.

3. Dispositif d'alignement de trames selon la revendication 2, caractérisé en ce que trois voies de commande de modes sont prévues et en ce que l'un quelconque de quatre
5 modes est sélectionné par application de l'un quelconque de quatre codes séparés et différents de sélection de modes à trois bits aux trois voies de commande de modes.

4. Dispositif d'alignement de trames selon la revendication 3, caractérisé en ce que, dans le premier mode,
10 le dispositif d'alignement aligne des trames (entre un signal de ligne p.c.m. reçu à un débit de données de 2048 kilobits par seconde et un débit de données de central p.c.m. de 2048 kilobits par seconde, où la fréquence de synchronisation des trames est de 8 kilohertz ("p.c.m" étant la modulation par impulsions codées).

5. Dispositif d'alignement de trames selon la revendication 3, caractérisé en ce que, dans le second mode,
15 le dispositif d'alignement aligne des trames et change les fréquences entre un signal de ligne p.c.m. reçu à un débit de données de 1544 kilobits/seconde et un débit de données de central p.c.m. de 2048 kilobits/seconde, où la fréquence
20 de synchronisation de trames est de 8 kilohertz.

6. Dispositif d'alignement de trames selon la revendication 3, caractérisé en ce que, dans le troisième mode,
25 le dispositif d'alignement assure la conversion d'un débit de données de central de 2048 kilobits par seconde à un débit de données de ligne de 1544 kilobits par seconde.

7. Dispositif d'alignement de trames selon la revendication 4, caractérisé en ce que, dans le quatrième mode,
30 le dispositif d'alignement opère comme dans le premier mode et est commandé pour assurer un alignement avec un retard minimal lorsqu'aucun flottement ou écart important n'est attendu ou établi.

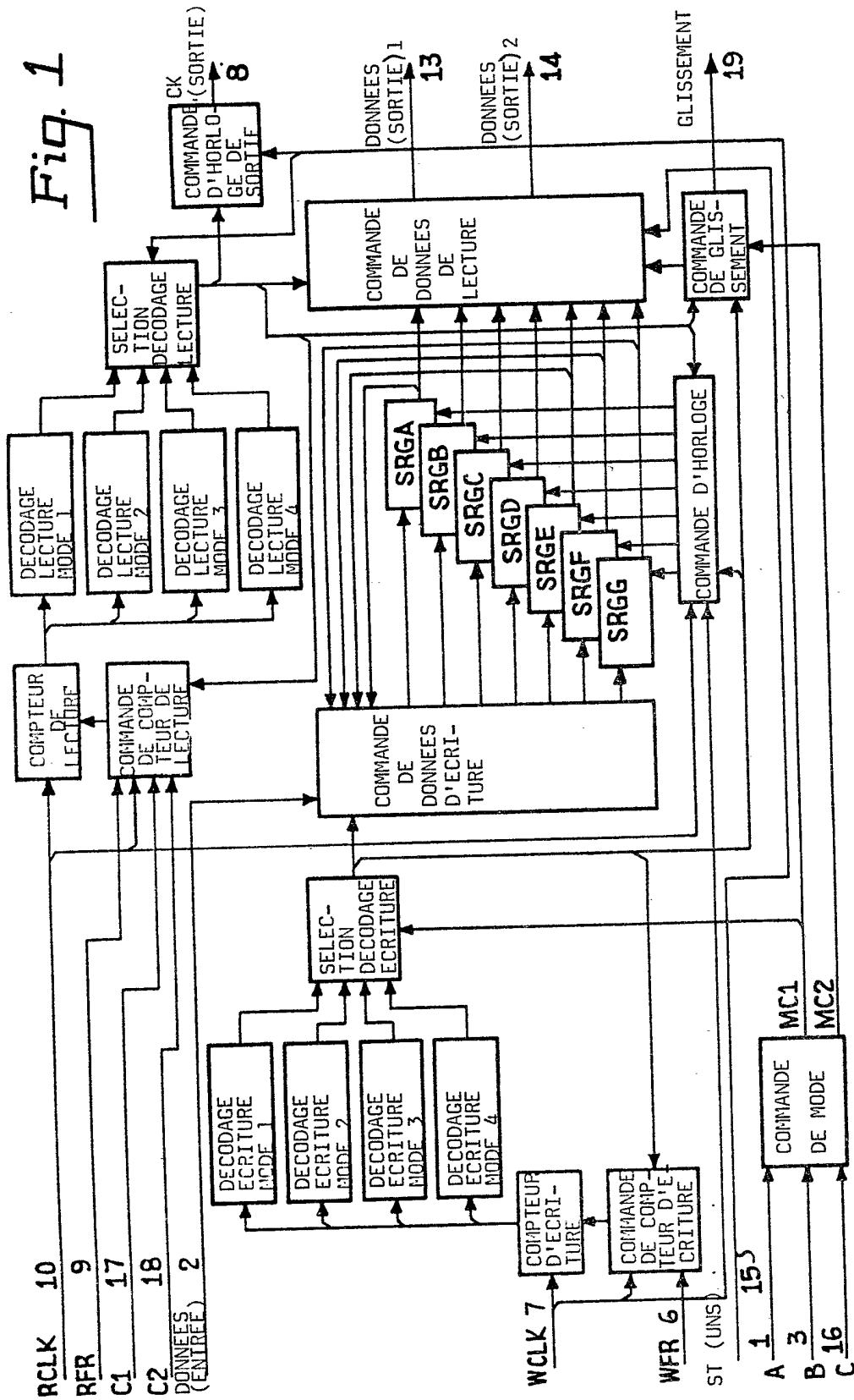
8. Dispositif d'alignement de trames selon la revendication 6, caractérisé en ce qu'une conversion est effectuée par génération d'un signal d'horloge de 1544 kilohertz
35 qui est dérivé du signal d'horloge de central de 2048 kilohertz par utilisation d'une boucle verrouillée en phase.

9. Dispositif d'alignement de trames selon la revendication 8, caractérisé en ce que la boucle verrouillée en phase comprend un comparateur de phases, un moyen de filtrage et un oscillateur commandé en tension, en ce que la
5 sortie du comparateur de phase est reliée à l'entrée du moyen de filtrage et la sortie du moyen de filtrage est reliée à l'entrée de l'oscillateur commandé en tension et en ce que, lors de l'application d'un signal d'entrée de référence d'horloge pour remise à zéro de trame de central de 8 kilo-
10 hertz, qui correspond à un sous-multiple du signal d'horloge de central de 2048 kilohertz, à l'entrée du comparateur de phase, le signal d'horloge de 1544 kilohertz est dérivé du signal de sortie de l'oscillateur commandé en tension.

10. Dispositif d'alignement de trames selon la revendication 9, caractérisé en ce qu'un compteur divise
15 le signal d'horloge de 1544 kilohertz par 193 et applique une impulsion de sortie au comparateur de phases qui fait en sorte que le bord avant de l'impulsion de sortie soit synchronisé avec le signal d'entrée de référence.

20 11. Dispositif d'alignement de trames selon la revendication 10, caractérisé en ce que la durée de l'impulsion de sortie est choisie égale à trois-huitièmes ($3/8$) d'une trame de manière que le bord arrière de l'impulsion se trouve par rapport au bord avant de l'impulsion de sortie
25 dans une position lui permettant de servir de signal de remise à zéro de trame de lecture.

Fig. 1



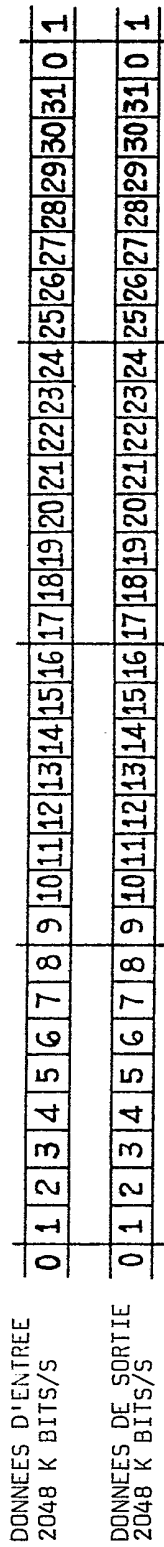


Fig. 2

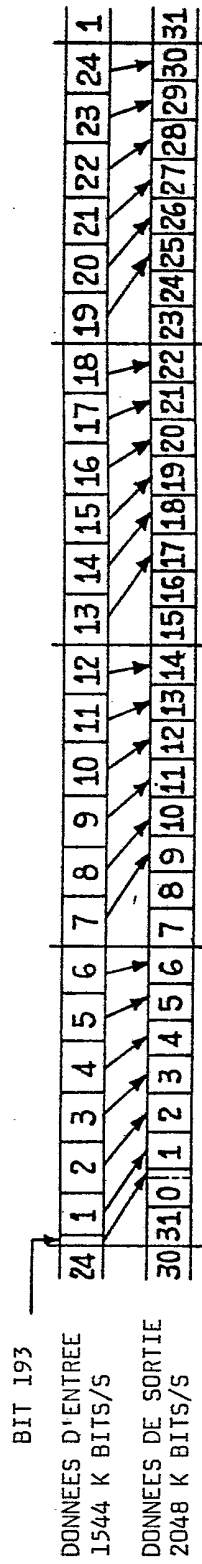


Fig. 3

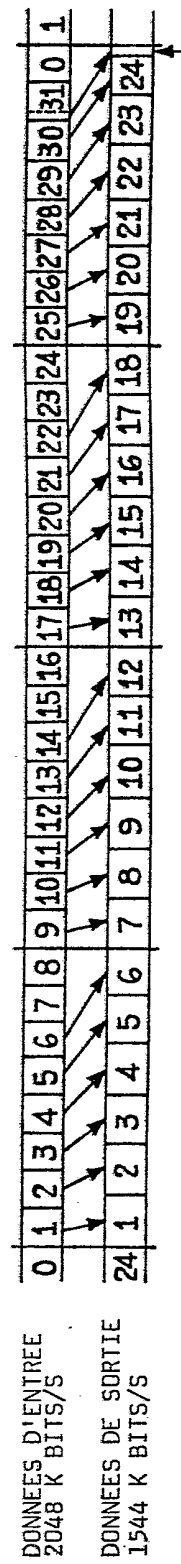


Fig. 4

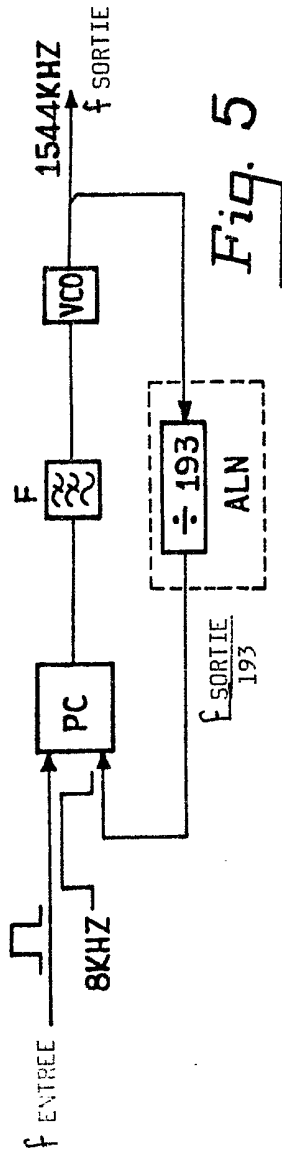


Fig. 5

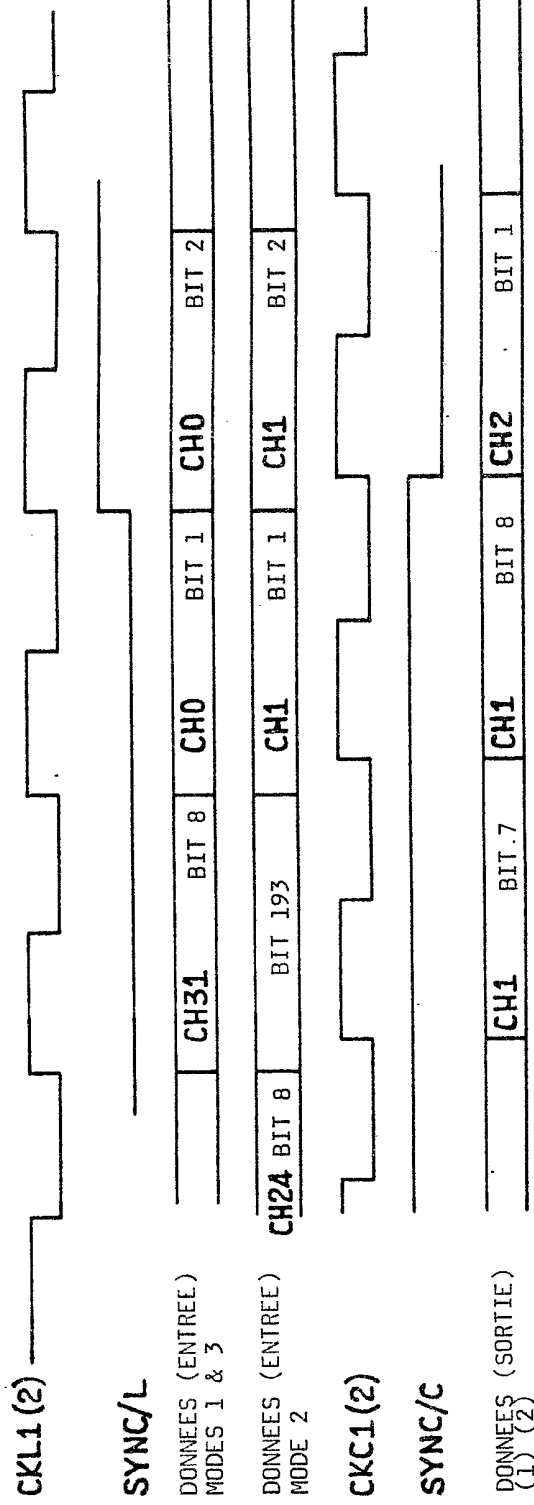


Fig. 6

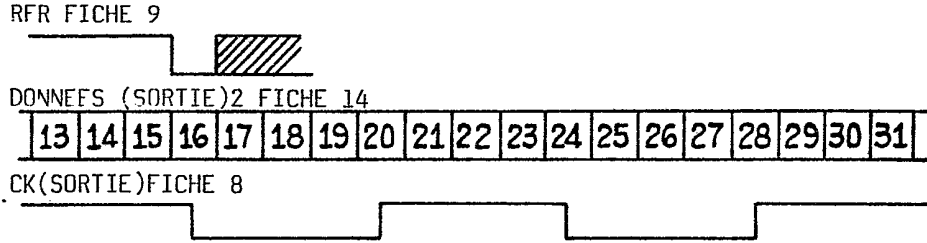


Fig. 7

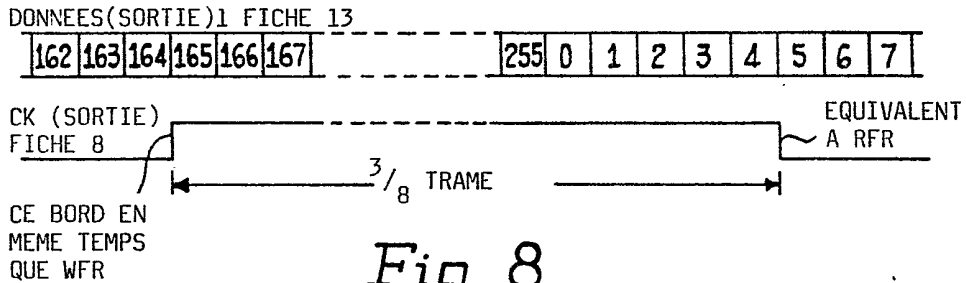


Fig. 8

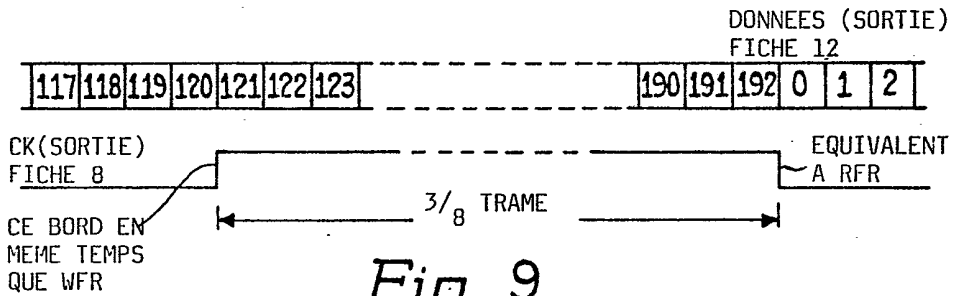


Fig. 9

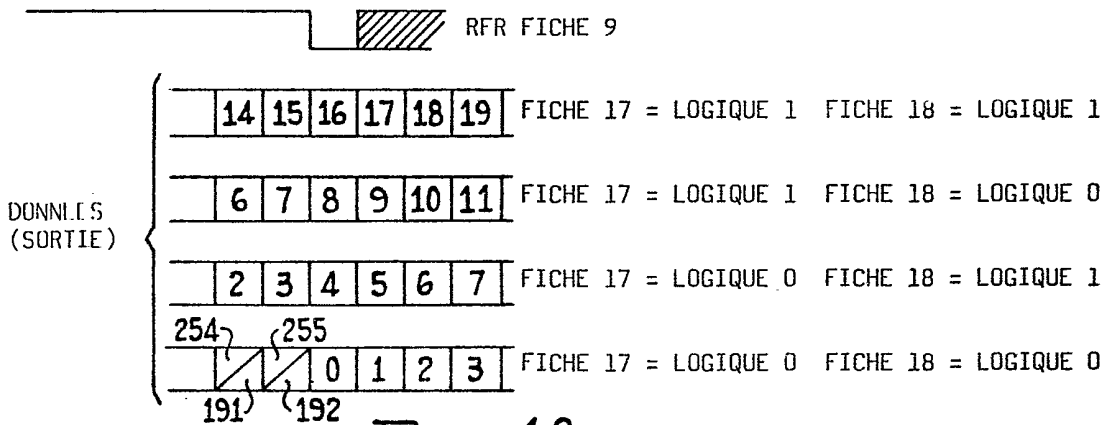


Fig. 10

MODE 4
 2048 ENTRANT } EN SYNCHRONISME
 2048 SORTANT } DE BITS
 FICHE 16 = 1

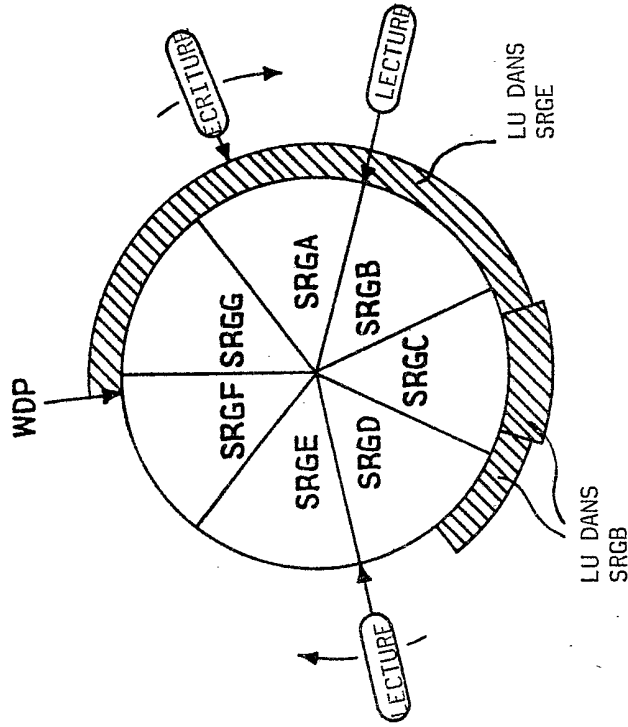


Fig. 12

MODE 3
 2048 ENTRANT }
 1544 SORTANT }
 FICHE 16 = 1

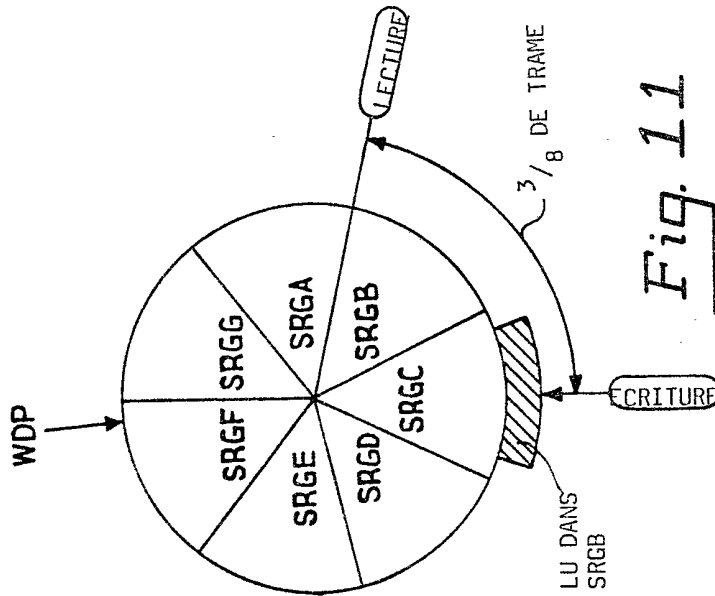


Fig. 11

REGISTRES
ECRITS A 2048 K BITS
LUS A 2048 K BITS

MODE 1

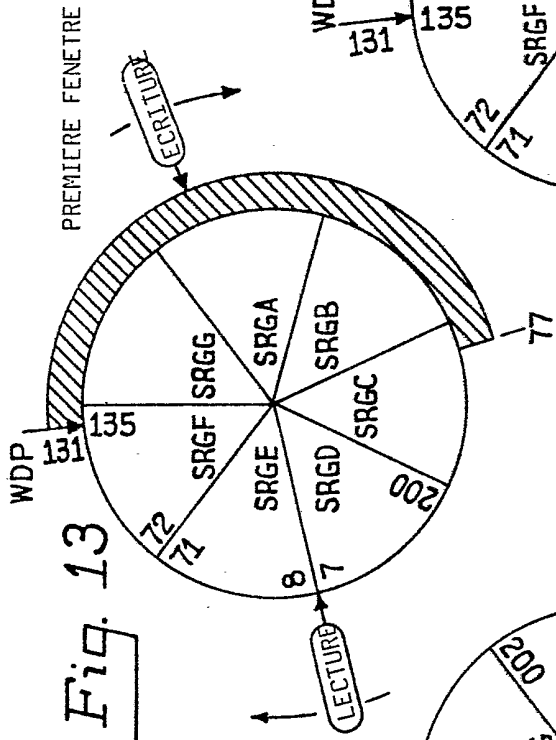


Fig. 13

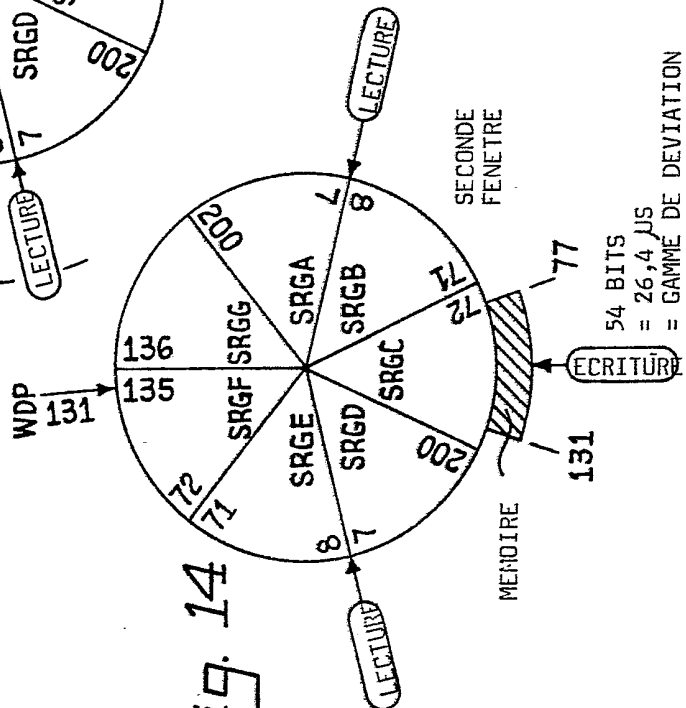


Fig. 14

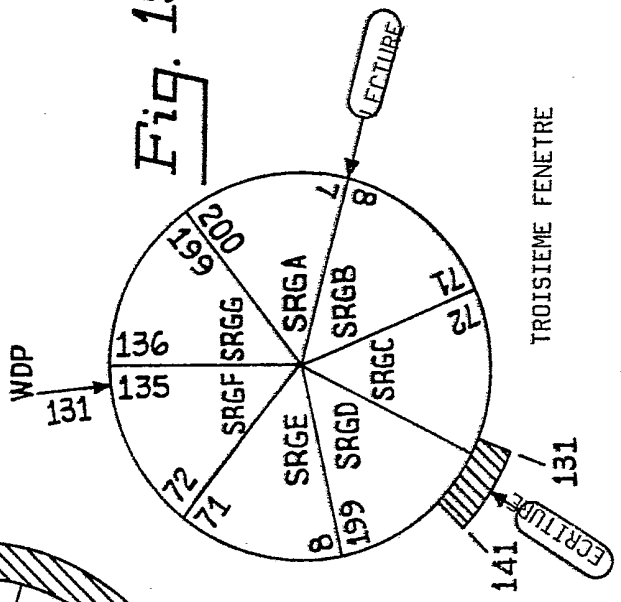


Fig. 15

54 BITS
= 26,4 μS
= GAMME DE DEVIATION

REGISTRES
ECRITS A 1544 K BITS
LUS A 2048 K BITS

MODE 2

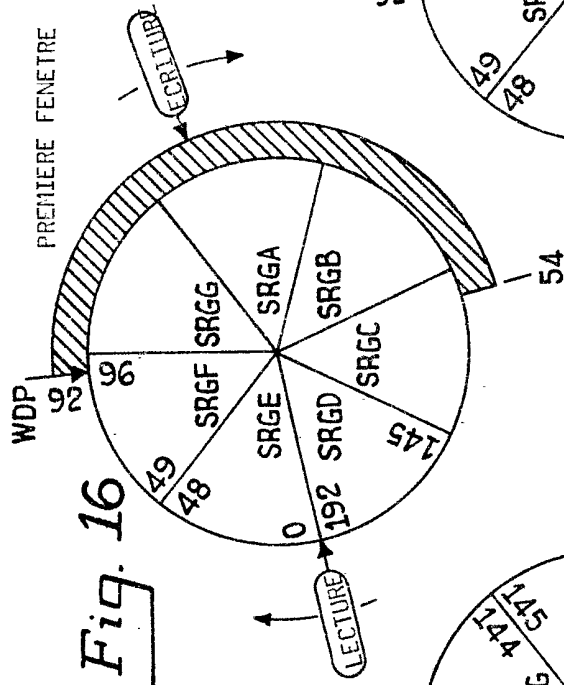


Fig. 16

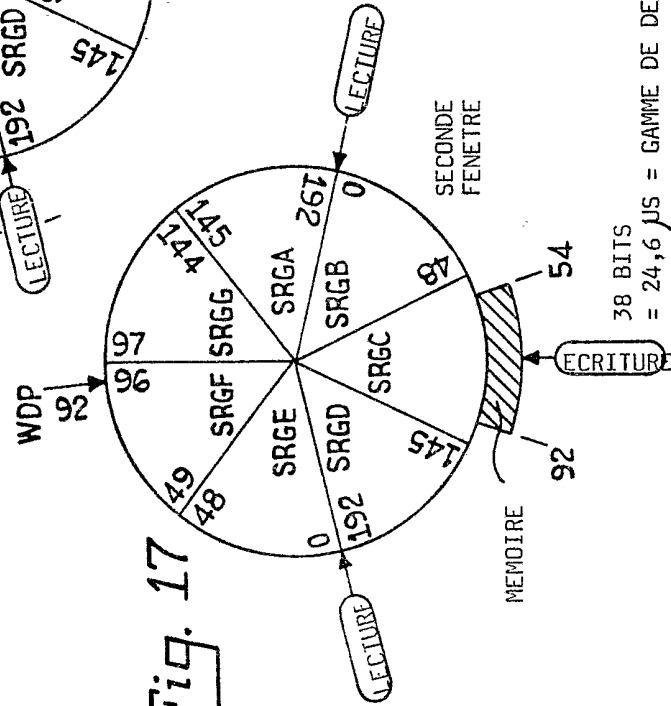


Fig. 17

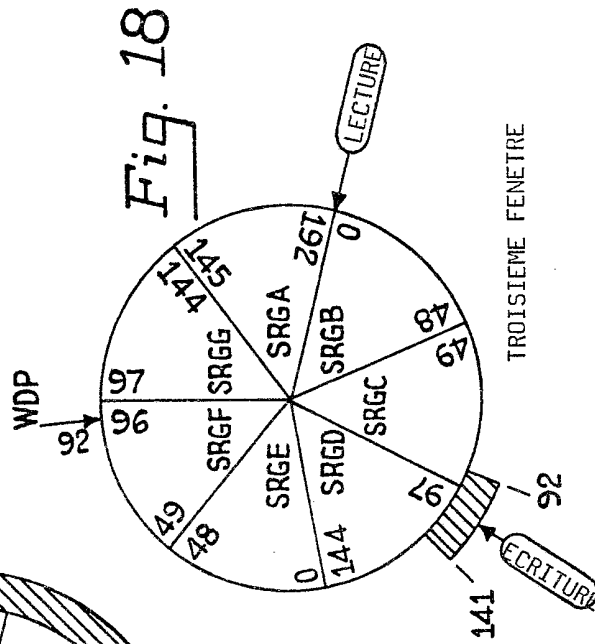


Fig. 18

38 BITS
= 24,6 μs = GAMME DE DEVIATION