(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 27/11

(45) 공고일자 2002년11월13일
(11) 등록번호 10-0344489
(24) 등록일자 2002년07월04일

(21) 출원번호 10-1996-0027698
(22) 출원일자 1996년07월10일

(65) 공개번호 특1997-0008621
(43) 공개일자 1997년02월24일

(30) 우선권주장 95-175240 1995년07월11일 일본(JP)

(73) 특허권자
히다치초엘에스아이 엔지니어링가부시키가이샤
일본국 도쿄 고다이라시 죠스이혼쵸 5-20-1
가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄도 지요다구 간다 스루가다이 4-6

(72) 발명자
후쿠다 가즈시
일본국 도쿄도 고다이라시 가쿠엔히가시쵸 3-2-40-225
요시다 야스코
일본국 사이타마켄 사야마시 이루마가와 2-3-3-701
호시노 유타카
일본국 도쿄도 히가시무라야마시 온타쵸 1-59-2-A325
하시모토 나오타카
일본국 도쿄도 고가네이시 누쿠이키타마치 1-6-23-402
아사야마 교이치로
일본국 도쿄도 히가시야마토시 사야마 2-1283-7
고이데 유키
일본국 도쿄도 아키시마시 미호리쵸 5-5-7
요시즈미 게이이치
일본국 도쿄도 고쿠분지시 혼다 3-18-22-203
오카모토 에리
일본국 도쿄도 고다이라시 오가와니시마치 5-2-20-303
하가 사토루
일본국 도쿄도 아키시마시 미호리쵸 5-5-7
이케다 슈지
일본국 도쿄도 고다이라시 누쿠이키타마치 3-30-8

(74) 대리인
백남기

심사관 : 오세준

(54) 반도체집적회로장치의제조방법

요약

반도체 집적회로 장치 및 그 제조기술에 대한 관한 것으로서, MISFET를 갖는 반도체 집적회로 장치에 있어서 기판(웰) 전원공급부의 래치업 특성의 열화 및 기판(웰)의 플로팅을 방지하기 위해서, p형 웰 및 n형 웰을 갖는 기판에 있어서 상보형 MISFET 소오스영역 및 드레인영역(n-형 반도체 영역, n+형 반도체 영역) 및 펀치스루 스토퍼용 p형 반도체 영역(12)를 p형 웰에 형성할 때 n형 웰의 전원공급부 (n+형 반도체 영역)에는 펀치스루 스토퍼용의 p형 불순물을 주입하지 않도록 한다.

상기에 의해, 기판(웰) 전원공급부의 래치업 특성의 열화 및 기판(웰)의 플로팅을 방지할 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 실시예1인 SRAM의 주요부를 도시한 단면도,

도 2는 본 발명의 실시예1인 SRAM의 메모리셀의 등가회로도,

도 3은 본 발명의 실시예1인 SRAM의 제조방법을 도시판 주요부 단면도,

도 4는 본 발명의 실시예1인 SRAM의 제조방법을 도시찬 주요부 단먼도,

도 5는 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단딘도,

도 6은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 7은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 8은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 9는 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 10은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 11은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 12는 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 13은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 평면도,

도 14는 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 15는 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 16은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 17은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 18은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 19는 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 20은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 21은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 22는 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 23은 본 발명의 실시예1인 SRAM의 제조방법을 도시한 주요부 단면도,

도 24(a)는 MISFET가 형성된 영역의 반도체 기판의 불순물 농도분포를 도시한 그래프, 도 24(b)는 전원공급부가 형성된 영역의 반도체 기판의 불순물 농도분포를 도시한 그래프(횡축은 기판 주면으로부터의 깊이를 나태내고, 종축은 불순물 농도를 나타낸다),

도 25는 도통특성(I-V커브)의 불순물 도즈량 의존성을 도시한 그래프,

도 26은 도통특성(I-V커브)의 불순물 도즈 에너지 의존성를 도시한 그래프,

도 27은 서브스레쉬홀드 특성(I-V커브)의 웰전위 공급법 의존성을 도시한 그래프,

도 28(a), 도 28(b) 및 도 28(c)는 p형 웰의 전원공급부에 형성되는 반도체 영역의 설명도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 집적회로 장치 및 그 제조기술에 관한 것으로서, 특히 미세화된 MISFET(Metal-Insulator-Semiconductor-Field-Effect-Transister)를 갖는 반도체 집적회로 장치에 적용해서 유효한 기술에 관한 것이다.

메모리나 마이크로프로세서를 비롯한 각종 LSI는 주로 MISFET를 사용해서 집적회로를 형성하고 있다. 따라서, LSI의 고집적화, 고성능화를 실현하기 위해서는 MISFET의 미세화 기술, 고성능화 기술이 불가결하다.

MISFET를 미세화하는데 문제로 되는 것은 핫캐리어 효과, 단채널 효과, 펀치스루 등이다. 핫캐리어 효과라는 것은 드레인영역 끝부의 고전계영역에서 발생한 채널 핫일렉트론(열전자)이 게이트절연막에 트랩되는 것에 의해 채널전류가 감소하거나 임계값 전압 Vth가 상승하는 현상을 말한다. 단채널 효과라는 것은 드레인영역으로부터 연장되는 공핍층이 소오스영역의 공핍층 끝에 영향을 미쳐 반전층을 형성하기 위해 필요한 액셉터의 총량의 일부를 드레인전압이 담당하므로 그 분만큼 게이트전압을 인가할 필요가 없기 때문에 임계값 전압 Vth가 저하하는 현상으로서, 드레인영역의 공핍층의 영향은 채널길이를 작게 하면 임계값 전압의 저하로 되어 나타난다. 또, 펀치스루라는 것은 미세화에 의해서 채널길이가 짧아지면 소오스영역과 드레인영역의 공핍층끼리가 접촉해 버리므로 게이트전압의 제어가 블가능하게 되어 버리는 현상을 말한다.

MISFET의 핫캐리어 효과를 억제하는 기술로서는 소오스영역, 드레인영역의 각각을 저불순물 농도의 반도체 영역과 고불순물 농도의 반도체 영역으로 구성하는 것에 의해 드레인영역 끝부의 전계를 완화시키는 LDD(Lightly Doped Drain) 구조가 주지이다.

또, 펀치스루를 억제하는 기술로서는 소오스영역, 드레인영역의 일부를 구성하는 상기 저불순물 농도의 반도체 영역의 하부의 기판에 이 반도체 영역과는 다른 도전형(기판과 동일 도전형)이고 또한 기판보다 불순물 농도가 높은 제3의 반도체 영역을 마련하는 기술이 제안되어 있다. 이 제3의 반도체 영역은 그 상부에 형성된 저불순물 농도의 반도체 영역과의 사이에 형성되는 pn접합의 공핍층의 신장을 억제하는 작용을 하므로 펀치스루를 유효하게 억제할 수 있다.

예를 들면, 일본국 특허공개공보 소화 61-241967호에는 n채널형 MISFET의 소오스영역, 드레인영역을 저불순물 농도의 n- 형 반도체 영역과 고불순물 농도의 n+형 반도체 영역으로 구성해서 핫캐리어 효과를 억제함과 동시에, 상기 n- 형 반도체 영역의 하부의 p형 웰에 이 웰보다 불순물 농도가 높은 p+형 반도체 영역을 마련해서 펀치스루를 억제하는 MISFET 구조가 개시되어 있다.

발명이 이루고자 하는 기술적 과제

상기 일본국 특허공개공보 소화61-241967호에 기재된 MISFET 구조를 실현하기 위해서는 p형 웰, n형 웰의 각각의 주면상에 게이트전극을 형성한 후, 우선 p채널형 MISFET 형성영역을 피복하는 제1의 포토레지스트를 마스크로 해서 p형 웰에 p형 불순물을 주입하여 p형 반도체 영역을 형성하고, 계속해서 상기 포토레지스트를 마스크로 해서 p형 웰에 n형 불순물을 주입하여 p형 반도체 영역의 상부에 n- 형 반도체 영역(저불순물 농도의 소오스, 드레인영역)을 형성한다.

다음에, 반도체 기판상에 퇴적한 산화실리콘막을 이방성 에칭해서 게이트 전극의 측벽에 사이트윌 스페이서를 형성한 후, p채널형 MISFET 형성영역을 피복하는 제2의 포토레지스트를 마스크로 해서 p형 웰에 n형 불순물을 주입하여 n+형 반도체 영역(고순물농도의 소오스, 드레인영역)을 형성한다. 이와 같이, n 채널형 MISFET의 n- 형 반도체 영역의 하부에 p형 반도체 영역을 형성하는 경우에는 마스크공정의 증가를 방지하기 위해, 동일한 포토레지스트 마스크를 사용해서 p형 불순물과 n형 불순물의 주입을 실행하여 n- 형 반도체 영역, p형 반도체 영역을 형성하는 것이 일반적이다. 즉, p형 반도체 영역은 n- 형 반도에 영역의 하부에 형성하므로, 동일한 포토레지스트 마스크를 사용한 이온주입으로 형성하는 것이 일반적이다.

그러나, 본 발명자가 검토한 결과에 따르면, 상기 방법에 의해 p형 웰에 p형 불순물과 n형 불순물을 주입하면 n형 웰의 전원공급부에 웰과는 다른 도전형의 불순물(p형 불순물)이 주입되므로, 이 전원공급부의 특성이 열화하여 n형 웰에 전위를 공급하는 것이 곤란하게 된다는 것이 명확하게 되었다. 또, 상기와 마찬가지의 방법에 의해 n형 웰에 p채널형 MISFET의 p- 형 반도체 영역(저불순물 농도의 소오스, 드레인영역)을 형성하고, 이 p- 형 반도체 영역의 하부에 n형 웰보다 불순물 농도가 높은 n형 반도체 영역을 마련하면, p형 웰의 전원공급부에 웰과는 다른 도전형의 불순물(n형 불순물)이 주입되므로 p형 웰에도 마찬가지의 문제가 발생한다. 이하, 이 현상을 도 24~도28을 사용해서 설명한다. 또, 이러한 종류의 MISFET르 갖는 SRAM에 대해서는 예를 들면 1994년 1월 14일에 미국특허청에 출원된 미국출원 NO. 08/181,545에 기재되어 있다.

도 28(a)에 도시한 바와 같이, p형 웰의 전원공급부 PWS는 p+형 반도체 영역 (P+)(및 p- 형 반도체 영역(PM))로 구성되므로,이 전원공급부에 n형 불순물이 주입되어 n형 반도체 영역(NH)가 형성되면 이 전원공급부는 도 24(a), 도 24(b)에 도시한 바와 같은 불순물 농도분포로 된다. 여기에서, 도 24(a)는 p- 형 반도체 영역 (PM) 및 n형 반도체 영역(NH)의 불순물 농도분포를 도시하고, 도 24(b)는 p+형 반도체영역(P+)의 불순물 농도분포를 도시하고 있다. p+형 반도체 영역(P+) 및 p- 형 반도체 영역(PM)은 예를 들면 붕소(B)의 이온주입으로 형성되고, n- 형 반도체 영역 (NM)은 예를 들면 인(P)의 이온주입에 의해 형성되는 것으로 한다.

이 때, p형 웰의 전원공급부에 형성되는 n형 반도체 영영(NH)의 바닥부가 p+형 반도체 영역(P+)의 바닥부보다 충분히 얕은 경우에는 그다지 문제가 되지 않지만, n형 반도체 영역(NH)의 바닥부가 p+형 반도체 영역(P+)의 바닥부와 거의 동일한 깊이로 되면 p형 웰에 기생 바이폴라 트랜지스터(pnp 접합)가 형성되므로 래치업 성이 열화한다(도 28(b)). 또한, n형 반도체 영역(NH)의 바닥부가 p+형 반도체 영역(P+)의 바닥부보다 깊게 되어 p+형 반도체 영역(P+)을 둘러싸게 되면, p형 웰이 플로팅상태로 되므로 이 전원공급부를 통해서 p형 웰로 전위를 공급할 수 없게 된다(도 28(c)).

도 25는 도통특성(I_{GS} - V_{GS})의 불순물 도즈량 의존성을 도시한 그래프이다. 또, 도 25은 도통특성(I_{GS} - V_{GS})의 불순물 도즈에너지 의존성을 도시한 그래프이다. 도시한 바와 같이 n형 반도체 영역(NH)의 도즈량이 많은 경우(도 25)와 n형 반도체 영역(NH)의 도즈에너지가 큰 경우(도 26) 모두 도통특성이 열화하는 것이 판명되었다. 이 n형 반도체 영역(NH)은 본래 p채널형 MISFET의 p-형 반도체 영역(PM)의 하부에 배치하는 것이므로, 불순물 이온을 고에너지, 고도즈량으로 주입해서 형성하기 때문에 그 바닥부가 p+형 반도체 영역(P+)의 바닥부보다 깊게 되기 쉽다.

또, n형 반도체 영역(NH)의 접합깊이는 열처리(어닐)시간의 약간의 변동에 의해서 변화하기 쉽고, 그 결과 도 27에 도시된 바와 같이 웰 전원공급부(pw-pad)를 통해서 웰에 전위(V-sub)를 공급하는 방식은 기판(P-sub)을 통해서 웰에 전위(V-sub)를 공급하는 방식에 비해서 서브스레쉬홀드 특성(I_{dS} - V_{GS})의 웰 전위 공급법 의존성이 높아진다.

상기 설명은 p형 웰의 전원공급부에 관한 것이지만, n형 웰의 전원공급부에 있어서도 마찬가지의 문제가 발생한다.

본 발명의 목적은 미세화된 MISFET를 갖는 반도체 집적회로 장치에 있어서 기판(웰) 전원공급부의 특성 열화를 방지할 수 있는 기술을 제공하는 것이다.

본 발명의 다른 목적은 MISFET를 갖는 반도체 집적회로 장치의 제조공정을 증가시키지 않고 상기 목적을 달성할 수 있는 기술을 제공하는 것이다.

본 발명의 상기 및 그 밖의 목적과 새로운 특징은 본 명세서의 기술 및 첨부 도면으로부터 명확하게 될 것이다.

발명의 구성 및 작용

본원에 있어서 개시되는 발명중 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

[1] 제1 도전형의 제1의 반도체 영역과 제2 도전형의 제2의 반도체 영역을 갖는 반도체 기판과 상기 제1의 반도체 영역에 형성된 제1의 MISFET 및 상기 제2의 반도체 영역에 형성된 제2의 MISFET를 갖는 반도체 집적회로 장치의 제조방법으로서, (a) 제1 도전형의 제1의 반도체 영역과 제2 도전형의 제2의 반도체 영역을 갖는 반도체 기판을 준비하는 공정, (b) 상기 제2의 MISFET 형성영역 및 상기 제2의 반도체 영역의 전원공급부 형성영역을 피복하는 제1의 마스크막을 마스크로 해서 상기 제1의 MISFET 형성영역으로 불순물를 도입하는 것에 의해 상기 제1의 게이트전극의 양측의 상기 제1의 반도체 영역내에 제2 도전형의 제3의 반도체 영역을 형성하는 공정, (C) 상기 제1 마스크막을 마스크로 해서 상기 제1의 MISFET 형성영역으로 블순물을 도입하는 것에 의해 상기 제3의 반도체 영역의 하부에 제1 도전형의 제4의 반도체 영역을 형성하는 공정, (d) 상기 제2의 MISFET 형성영역을 피복함과 동시에 상기 제2의 반도체 영역의 전원공급부 형성영역 상에 개구를 갖는 제2의 마스크막을 마스크로 해서 상기 제1의 MISFET 형성영역 및 상기 제2의 반도체 영역의 전원공급부 형성영역으로 불순물을 도입하는 것에 의해 상기 제1의 게이트전극의 양측의 상기 제1의 반도체 영역 내에 제2 도전형의 제5의 반도체 영역을 형성함과 동시에 상기 제2의 반도체 영역의 전원공급부 형성영역에 제2 도전형의 제6의 반도체 영역을 형성하는 공정을 포함하고, 상기 반도체 기판은 상기 제1의 반도체 영역의 제1의 MISFET 형성영역 상에 제1의 게이트절연막을 거쳐서 제1의 게이트전극을 가짐과 동시에 상기 제2의 반도체 영역의 제2의 MISFET 형성 영역상에 제2의 게이트절연막을 거쳐서 제2의 게이트전극을 갖고 있고, 상기 제4의 반도체

영역의 불순물 농도는 상기 제1의 반도체 영역의 불순물 농도보다 높고, 상기 제3의 반도체 영역은 상기 제5의 반도체 영역과 제1의 MISFET의 채널형성영역 사이에 형성되고, 상기 제5의 반도체 영역의 불순물 공도는 상기 제3의 반도체 영역의 불순물 농도보다 높고, 상기 제5의 반도체 영역의 접합깊이는 상기 제3의 반도체 영역의 접합깊이보다 깊고, 상기 제6의 반도체 영역의 불순물 농도는 상기 제2의 반도체 영역의 불순물 농도보다 높고, 상기 제6의 반도체 영역을 통해서 상기 제2의 반도체 영역으로 제1의 고정전위가 공급된다.

[2] 상기 제4의 반도체 영역의 바닥부는 상기 제5의 반도체 영역의 바닥부와 거의 동등한 깊이로 형성되어 있다.

상기한 수단에 의하면, 전원공급부에 pn접합이 형성되지 않는 것에 의해 전원공급부의 래치업 특성의 열하 및 전원공급부의 기판의 플로팅이 방지되므로, MISFET를 갖는 반도체 집적회로 장치의 고성능화를 실현할 수 있다.

상기한 수단에 의하면, 제1 도전형의 제4의 반도체 영역의 바닥부가 고불순물 농도의 제5의 반도체 영역의 바닥부와 거의 동등한 깊이로 형성되는 것에 의해서, 제4의 반도체 영역과 기판 사이에 형성되는 기생용량 및 제5의 반도체 영역과 기판 사이에 형성되는 기생용량이 저감되므로 MISFET의 고속동작을 실현할 수 있다.

상기한 수단에 의하면, 반도체 기판에 제1 도전형의 제4의 반도체 영역을 형성하기 위한 이온주입과 반도체 기판에 제2 도전형으로 저불순물 농도의 제3의 반도체 영역을 형성하기 위한 이온주입을 동일한 제1의 마스크막(포토레지스트)을 마스크로 해서 실행하고, 반도체 기판에 제2 도전형의 제5의 반도체 영역을 형성하기 위한 이온주입과 제3의 반도체 영역의 반도체 기판에 제2 도전형의 제6의 반도체 영역을 형성하기 위한 이온주입을 동일한 제2의 마스크막(포토레지스트)을 마스크로 해서 실행하는 것에 의해, 공정수를 증가시키지 않고 전원공급부에 pn접합이 형성되지 않도록 할 수 있다.

이하, 본 발명의 실시예를 도면에 따라서 상세하게 설명한다. 또한, 실시예를 설명하기 위한 전체 도면에 있어서 동일 기능을 갖는 것에는 동일한 부호를 붙이고, 그 반복적인 설명은 생략한다.

본 실시예는 메모리 LSI의 일종인 SRAM(Static Random Access Memory)에 적용한 것이다. 도 2에 도시한 바와 같이, 이 SRAM의 메모리셀은 1쌍의 상보성 데이타선(데이타선 DL, 데이타선 /DL)과 워드선 WL의 교차부에 배치된 1쌍의 구동용 MISFET Qd_1, Qd_2, 1쌍의 부하용 MISFET Qp_1, Qp_2 및 1쌍의 전송용 MISFET Qt_1, Qt_2로 구성되어 있다. 구동용 MISFET Qd_1, Qd_2 및 전송용 MISFET Qt_1, Qt_2는 n채널형으로 구성되고, 부하용 MISFET Qp_1, Qp_2는 p채널형으로 구성되어 있다. 즉, 이 메모리셀은 4개의 n채널형 MISFET와 2개의 p채널형 MISFET를 사용한 완전 CMOS형으로 구성되어 있다.

메모리셀을 구성하는 상기 6개의 MISFET중 1쌍의 구동용 MISFET Qd_1, Qd_2와 1쌍의 부하용 MISFET Qp_1, Qp_2는 1비트의 정보를 기억하는 정보축적부로서의 플립플롭회로를 구성하고 있다. 이 플립플롭회로의 한쪽의 입출력 단자는 전송용 MISFET Qt_1의 소오스영역에 접속되고, 다른쪽의 입출력단자는 전송용 MISFET Qt_2의 소오스영역에 접속되어 있다.

전송용 MISFET Qt_1의 드레인영역은 데이타선 DL에 접속되고, 전송용 MISFET Qt_2의 드레인영익은 데이타선 /DL에 접속되어 있다. 또, 플립플롭회로의 한쪽끝(부하용 MISFET Qp_1, Qp_2의 소오스영역)은 전원전압(Vcc)에 접속되고, 다른쪽끝(구동용 MISFET Qd_1, Qd_2)의 소오스영역은 기준전압(Vss)에 접속되어 있다. 전원전압(Vcc)는 예를 들면 3V이고, 기준전압(Vss)은 예를 들면 0V(GND)이다.

도 1은 상기 SRAM의 메모리셀 및 그것에 인정한 주변회로의 일부를 도시한 반도체 기판의 단면도이다. 또, 동일 도면에는 메모리셀을 구성하는 6개의 MISFET중 주로 구동용 MISFET Qd_2, 전송용 MISFET Qt_1 및 부하용 MISFET Qp_1이 도시되어 있다.

도 1에 도시한 바와 같이, 예를 들면 n-형 단결정실리콘으로 이루어지는 반도체 기판(1)에는 p형 웰(2)와 n형 웰(3)이 형성되어 있다. p형 웰(2), n형 웰(3)의 각각의 주변에는 소자분리용의 필드산화막(4)가 형성되어 있꼬, p형 웰(2)의 필드산화막(4) 하부에는 반전 방지용의 p형 채널 스토퍼영역(5)가 형성되어 있다.

상기 p형 웰(2)의 활성영역의 주면에는 상술한 메모리셀을 구성하는 6개의 MISFET가 형성되어 있다. 또, p형 및(2)의 다른 활성영역에는 p형 웰(2)로 소정의 고정전위를 공급하기 위한 웰 전원공급부인 p+형 반도체 영역(6)이 형성되어 있다.

본 실시예의 SRAM의 주변회로는 n채널형 MISFET와 p채널형 MISFET로 이루어지는 상보형 MISFET로 구성되어 있고, 상기 n형 웰(3)의 활성영역의 주면에는 주변회로의 일부를 구성하는 p채널형 MISFET Qs가 형성되어 있다. 또, n형 웰(3)의 다른 활성영역에는 n형 웰(3)으로 소정의 고정전위를 공급하기 위한 웰 전원공급부인 n+ 형 반도체 영역(7)이 형성되어 있다.

메모리셀의 구동용 MISFET Qd_1, Qd_2는 게이트산화막(8), 게이트전극(9), 소오스영역 및 프레인영역으로 구성되어 있다. 게이트전극(9)는 제1층째의 다결정 실리콘막으로 형성되어 있다. 이 다결정 실리콘막에는 그의 저항값을 저감하기 위해 n형의 불순물(예를 들면 P)이 도입되어 있다.

구동용 MISFET Qd_1, Qd_2의 소오스영역 및 드레인영역은 저불순물 농도의 n-형 반도체 영역(10)과 고불순물 농도의 n+형 반도체 영역(11)의 구성되어 있다. 또, n-형 반도체 영역(10)의 하부의 p형 웰(2)에는 이 p형 웰(2)보다 불순물 농도가 높은 p+형 반도체 영역(12)가 형성되어 있다.

즉, 구동용 MISFET Qd_1, Qd_2의 소오스영역 및 드레인영역은 LDD구조로 구성되며, 또한 n-형 반도체 영역(10)의 하부에는 p+형 반도체 영역(12)가 형성되어 있다. 이 p+형 반도체 영역(12)는 펀치스루 방지를 위해, 그의 바닥부가 고불순물 농도의 n+형 반도체 영역(11)의 바닥부와 거의 동등한 깊이로 되도록 형성되어 있다.

메모리셀의 전송용 MISFET Qt_1, Qt_2는 게이트산화막(8), 게이트전극(13), 소오스영역 및 드레인영역으로 구성되어 있다. 게이트전극(13)은 제2층째의 다결정 실리콘막과 고융점 금속막을 적층한 폴리사이드막으로 형성되어 있다. 이 다결정 실리콘막에는 그의 저항값을 저감하기 위해서, n형의 불순물(예를 들면 P)이 도입되어 있다. 전송용 MISFET Qt_1,Qt_2의 게이트전극(13)은 워드선 WL과 일체로 구성되어 있다.

전송용 MISFET Qt_1, Qt_2의 소오스영역 및 드레인영역은 저불순물 농도의 n-형 반도체 영역(10)과 고불순물 농도의 n+형 반도체 영역(14)로 구성되어 있다. 또, n-형 반도체 영역(10)의 하부의 p형 웰(2)에는 이 p형 웰(2)보다 불순물 농도가 높은 p+형 반도체 영역(12)가 형성되어 있다. 즉, 전송용 MISFET Qt_1, Qt_2의 소오스영역 및 드레인영역은 LDD구조로 구성되며, 또한 n-형 반도체 영역(10)의 하부에는 p+형 반도체 영역(12)가 형성되어 있다. 이 p+형 반도체 영역(12)는 펀치스루 방지를 위해 그의 바닥부가 고불순물 농도의 n+형 반도체 영역(14)의 바닥부와 거의 동등한 깊이로 되도록 형성되어 있다.

주변회로의 p채널형 MISFET Qs는 게이트 산화막(8), 게이트전극(13), 소오스영역 및 드레인영역으로 구성되어 있다. 게이트전극(13)은 전송용 MISFET Qt_1, Qt_2의 게이트전극(13)과 동일한 제2층째의 다결정 실리콘막으로 형성되고, 소오스영역 및 드레인영역은 저불순물 농도의 p-형 반도체 영역(15)와 고불순물 농도의 p+형 반도체 영역(16)으로 구성되어 있다. 또, p-형 반도체 영역(15)의 하부의 n형 웰(3)에는 이 n형 웰(3)보다 불순물 농도가 높은 n+형 반도체 영역(17)이 형성되어 있다. 즉, p채널형 MISFET Qs의 소오스영역 및 드레인영역은 LDD구조로 구성되며, 또한 p-형 반도체 영역(15)의 하부에는 n+형 반도체 영역(17)이 형성되어 있다. 이 n+형 반도체 영역(17)은 펀치스루 방지를 위해, 그의 바닥부가 고불순물 농도의 p+형 반도체 영역(16)의 바닥부와 거의 동등한 깊이로 되도록 형성되어 있다.

도 1에는 도시하지 않지만, 주변회로의 n채널형 MISFET의 게이트전극은 전송용 MISFET Qt_1, Qt_2의 게이트전극(13)과 동일한 제2층째의 다결정 실리콘막으로 형성되고, 소오스영역 및 드레인영역은 저불순물 농도의 n-형 반도체 영역(10)과 고불순물 농도의 n+형 반도체 영역(14)로 구성되어 있다. 또, n-형 반도체 영역의 하부의 p형 웰(2)에는 이 p형 웰(2)보다 불순물 농도가 높는 p+형 반도체 영역(12)가 형성되어 있다. 즉, 특별히 한정되지는 않지만, n채널형 MISFET의 소오스영역 및 드레인영역은 전송용 MISFET와 동일한 LDD구조로 구성되며, 또한 n-형 반도체 영역(10)의 하부에는 p+형 반도체 영역(12)가 형성되어 있다. 이 p+형 반도체 영역은 펀치스루 방지를 위해, 그의 바닥부가 고불순물 농도의 n+형 반도체 영역의 바닥부와 거기 동등한 깊이로 되도록 형성되어 있다.

이와 같이, 본 실시예의 SRAN은 메모리셀의 구동용 MISFET Qd_1, Qd_2 및 전송용 MISFET Qt_1, Qt_2, 주변회로의 p채널형 MISFET Qs, n채널형 MISFET의 각각의 소오스영역 및 드레인영역을 LDD구조로 구성하고, 또한 소오스영역 및 드레인영역의 일부를 구성하는 저불순물 농도의 반도체 영역의 하부에 이 반도체 영역과는 다른 도전형이고 웰보다 불순물 농도가 높은 제3의 반도체 영역을 형성한다. 또, 이 때 펀치스루 방지를 위해 제3의 반도체 영역의 바닥부가 소오스영역 및 드레인영역의 다른 일부를 구성하는 고불순물 농도의 반도체 영역의 바닥부와 거의 동등한 깊이로 되도록 한다.

이 구성에 의해, 각각의 MISFET의 핫캐리어 효과를 억제할 수 있음과 동시에 펀치스루를 억제할 수 있다. 또, 제3의 반도체 영역의 바닥부를 고불순물 농도의 반도체 영역의 바닥부와 거의 동등한 깊이로 하는 것에 의해서, 제3의 반도체 영역과 웰 사이에 형성되는 기생용량이 저감되므로 MISFET의 고속동작을 실현할 수 있다.

구동용 MISFET Qd_1, Qd_2의 게이트전극(9)의 상부에는 산화실리콘막(18)이 형성되어 있다. 또, 게이트전극(9)의 측벽에는 산화실리콘막으로 이루어지는 사이드월 스페이서(19)가 형성되어 있다. 전송용 MISFET Qt_1, Qt_2, 주변회로의 p채널형 MISFET Qs(및 n채널형 MISFET)의 각각의 게이트전극(13)의 상부에는 산화실리컨막 (20)이 형성되어 있다. 또, 이들 게이트전극(13)의 측벽에는 산화실리콘막으로 이루어지는 사이드월 스페이서(21)이 형성되어 있다.

구동용 MISFET Qd_1, Qd_2의 소오스영역(n+형 반도체 영역(11))에는 게이트산화막(8)과 동일층의 산화실리콘막에 형성된 접속구멍(22)를 통해서 기준전압선(Vss) (23)이 접속되어 있다. 기준전압선(Vss)(23)은 전송용 MISFET Qt_1, Qt_2의 게이트전극(13)과 동일한 제2층째의 다결정 실리콘막으로 형성되어 있다. 기준전압선 (Vss) (23)의 상부에는 산화실리콘막(20)이 형성되고, 측벽에는 산화실리콘막으로 이루어지는 사이드월 스페이서(21)이 형성되어 있다.

메모리셀의 부하용 MISFET Qp_1, Qp_2는 구동용 MISFET Qd_1, Qd_2의 상부에 형성되어 있다. 부하용 MISFET Qp_1, Qp_2는 산화실리콘막(24)의 상부에 형성된 게이트전극(25), 게이트전극(25)의 상부에 형성된 산화실리콘막(게이트산화막)(25) 및 게이트산화막(26)의 상부에 형성된 채널영역(27c), 소오스영역(27p) 및 드레인영역 (27p)로 구성되어 있다. 부하용 MISFET Qp_1, Qp_2의 게이트전극(25)는 제3층째의 다결정 실리콘막으로 형성되어 있다. 이 다결정 실리콘막에는 그의 저항값을 저감하기 위해 n형의 불순물(예를 들면 P)이 도입되어 있다.

부하용 MISFET Qp_1의 게이트전극(25)는 산화실리콘막(24), (20) 및 게이트산화막(8)과 동일층의 산화실리콘막에 형성된 접속구멍(30)을 통해서 구동용 MISFET Qd_1의 게이트전극(9) 및 구동용 MISFET Qd_2의 드레인영역(n+형 반도체 영역(11))에 접속되에 있다. 마찬가지로, 부하용 MISFET Qt_2의 게이트전극(25)는 산화실리콘막 (24), (2O) 및 게이트산화막(8)과 동일층의 산화실리콘막에 형성된 접속구멍(30)을 통해저 구동용 MISFET Qd_2의 게이트전극(9) 및 구동용 MISFET Qd_1의 드레인영역(n+형 반도체 영역(11))에 접속되어 있다.

전송용 MISFET Qt_1, Qt_2의 드레인영역(n+형 반도체 영역(14))의 상부에는 패드층(28)이 형성되어 있다. 패드층(28)은 부하용 MISFET Qp_1, Qp_2의 게이트전극(25)와 동일한 제3층째의 다결정 실리콘막으로 형성되어 있다. 패드층(28)의 한쪽은 산화실리콘막(20) 및 게이트산화막(8)과 동일층의 산화실리콘막에 형성된 접속구멍 (29)를 통해서 전송용 MISFET Qt_1의 드레인영역(n+형 반도체 영역(14))에 접속되고, 패드층(28)의 다른쪽은 산화실리콘막(10) 및 게이트산화막(8)과 동일층의 산화실리콘막에 형성된 접속구멍(29)를 통해서 전송용 MISFET Qt_2의 드레인영역(n+형 반도체 영역(14))에 접속되어 있다.

부하용 MISFET Qp_1, Qp_2의 채널영역(27c), 소오스영역(27p) 및 드레인영역 (27p)는 제4층째의 다결정 실리콘막으로 형성되어 있다. 채널영역(27c)의 다결정 실리콘막에는 부하용 MISFET Qp_1, Qp_2의 임계값전압을 엔한스먼트형으로 하기 위해 n형의 불순물(예를 들면 P)이 도입되어 있다. 소오스영역(27p) 및 드레인영역(27p)의 다결정 실리콘막에는 그의 저항값을 저감하기 위해서, p형의 불순물(예를 들면 B)이 도입되어 있다. 부하용 MISFET Qp_1의 드레인영역(27p)는 산화실리콘막(게이트산화막)(26)에 형성된 접속구멍(44)를 통해서 부하용 MISFET Qp_2의 게이트전극(25)에 접속되고, 또 이 게이트전극(25)를 거쳐서 구동용 MISFET Qd_2의 게이트전극(9) 및 구동용 MISFET Qd_1의 드레인영역(n+형 반도체 영역(11))에 접속되어 있다. 마찬가지로, 부하용 MISFET Qp_2의 드레인영역(27p)는 산화실리콘막(게이트산화막)(26)에 형성된 접속구멍(44)를 통해서 부하용 MISFET Qp_1의 게이트전극(25)에 접속되고, 또 이 게이트전극(25)를 거쳐서 구동용 MISFET Qd_1의 게이트전극(9) 및 구동용 MISFET Qd_2의 드레인영역(n+형 반도체 영역(11))에 접속되어 있다.

부하용 MISFET Qp_1,Qp_2의 소오스영역(27p)에는 전원전압선(Vcc)(27p)가 접속되어 있다. 전원전압선(Vcc)(27p)는 부하용 MISFET Qp_1, Qp_2의 채널영역(27c), 소오스영역(27p) 및 드레인영역(27p)와 동일한 제4층째의 다결정 실리콘막으로 형성되고, 소오스영역(27p)와 일체로 구성되어 있다.

부하용 MISFET Qp_1, Qp_2의 상부에는 산화실리콘막과 질화실리콘막의 적층막으로 이루어지는 얇은 절연막(31)상의 전역에 플레이트전극(32)가 형성되어 있다. 플레이트전극(32)는 제5층째의 다결정 실리콘막으로 구성되고, 메모리셀의 거의 전역을 피복하도록 형성되어 있다. 이 다결정 실리콘막에는 n형의 불순물(예를 들면 P)이 도입되어 있다.

본 실시예의 SRAM은 부하용 MISFET Qp_1, Qp_2와 그 상부를 피복하는 플레이트전극(32) 사이에서 용량소자를 형성하고 있다. 이 용량소자는 부하용 MISFET Qp_1, Qp_2의 게이트전극(25)를 제1의 전극으로 하고, 플레이트전극(32)를 제2의 전극으로 하고, 게이트전극(25)와 플레이트전극(32) 사이의 절연막(31)을 유전체막으로 하는 스택(적층) 구조로 구성되어 있다. 용량소자의 제2의 전극인 플레이트전극(32)에는 회로의 전원전압(Vcc)이 인가된다.

메모리셀의 상부에 상기 용량소자를 형성하는 것에 의해 이 용량소자의 전하를 부하용 MISFET Qp_1, Qp_2의 게이트전극(25)(제1의 전극)를 통해서 메모리 셀의 축적노드(플립플롭회로의 입출력 단자)로 공급할 수 있으므로, 메모리셀의 α선 소프트에러 내성을 향상시킬 수가 있다.

플레이트전극(32)의 상부에는 BPSG(Boron Phospho Silicate Glass)막(33)을 거쳐서 1쌍의 상보성 데이타선(데이타선DL, 데이타선 /DL)이 형성되어 있다(도 1에는 한쪽의 데이타선 DL만을 도시함). 데이타선DL은 BPSG막(33), 절연막(31) 및 산화실리콘막(게이트산화막)(26)에 형성된 접속구멍(34)를 통해서 상기 패드층(28)에 접속되고, 또 이 패드층(28)을 거쳐서 전송용 MISFET Qt_1의 드레인영역(n+형 반도체 영역(14))에 접속되어 있다. 마찬가지로, 데이타선 /DL는 BPSG막(33), 절연막(31) 및 산화실리콘막(게이트산화막)(26)에 형성된 접속구멍(34)를 통해서 패드층(28)에 접속되고,또 이 패드층(28)을 거쳐서 전송용 MISFET Qt_2의 드레인영역(n+형 반도체 영역(14))에 접속되어 있다. 상보성 데이타선(데이타선 DL, 데이타선 /DL)은 티탄나이트라이드(TiN)막과 알루미늄(Aℓ)막의 적층막으로 이루어지는 제1층째의 배선재료로 형성되어 있다. 또, 상보성 데이타선(데이타선 DL, 데이타선 /DL)과 패드층(28)을 접속하는 접속구멍(34)의 내부에는 텅스텐(W)막(35)가 매립되어 있다. p형 웰(2)의 다른 활성영역의 상부에는 상보성 데이타선(데이타선 DL, 데이타선 /DL)과 동일한 제1층째의 배선재료로 형성된 배선(49)가 형성되어 있다. 배선(49)는 BPSG막(33), 절연막(31), 산화실리콘막(게이트산화막)(26) 및 산화실리콘막(24)에 형성된 접속구멍(50)을 통해서 p+형 반도체 영역(5)(웰 전원공급부)에 접속되어 있다. 접속구멍(50)의 내부에 W막(35)가 매립되어 있다.

주변회로의 p채널형 MISFET Qs의 상부에는 상보성 데이타선(데이타선 DL, 데이타선 /DL)과 동일한 제1층째의 배선재료로 형성된 배선(36)이 형성되어 있다. 배선(36)은 접속구멍(37)을 통해서 p채널형 MISFET Qs의 한쪽의 p+형 반도체 영역(16)에 접속되어 있다. 접속구멍(37)의 내부에는 W막(35)가 매립되어 있다.

n형 웰(3)의 다른 활성영역의 상부에는 상보성 데이타선(데이타선 DL, 데이타선 /DL)과 동일한 제1층째의 배선재료로 형성된 배선(51)이 형성되어 있다. 배선(51)은 BPSG막(33), 절연막(31), 산화실리콘막(게이트산화막)(26) 및 산화실리콘막(24)에 형성된 접속구멍(52)를 통해서 n+형 반도체 영역(7)(웰 전원공급부)에 접속되어 있다. 접속구멍(52)의 내부에는 W막(35)가 매립되어 있다.

상보성 데이타선(데이타선 DL, 데이타선 /DL) 및 배선(36), (49), (51)의 상부에는 층간절연막(38)을 거쳐서 배선(39), (40)이 형성되어 있다. 메모리셀의 상부에 형성된 배선(39)는 예를 들면 메인워드선을 구성하고 있다. 또, 주변회로의 상부에 형성된 배선(40)은 층간절연막(38)에 형성된 접속구멍(41)을 통해서 상기 배선(36)에 접속되어 있다. 층간절연막(38)은 산화실리콘막, 스핀온글래스막 및 산화실리콘막을 적층한 절연막으로 이루어지고, 배선(39), (40)은 TiN막과 Aℓ막의 적층막으로 이루어진다. 또, 배선(40)과 배선(36)을 접속하는 접속구멍(41)의 내부에는 W막(42)가 매립되어 있다.

배선(39), (40)의 상부에는 최종 비활성화막(43)이 형성되어 있다. 최종 비활성화막(43)은 예를들면 산화 실리콘막과 질화실리콘막의 적층막으로 이루어진다.

다음에, 상기와 같이 구성된 SRAM의 제조방법을 도 3 ~도 23를 사용해서 설명한다.

우선, 도3에 도시한 바와 같이 n-형 단결정실리콘으로 이루어지는 반도체 기판(1)을 준비하고, 메모리셀 형성영역의 반도체 기판(1)에 p형 불순물 예를 들면 B(붕소)를 이온주입해서 p형 웰(2)를 형성함과 동시에, 주변회로의 p채널형 MISFET 형성영역의 반도체 기판(1)에 n형 불순물 예를들면 P(인)을 이온주입해서 n형 웰(3)을 형성한다.

다음에, 도 4에 도시한 바와 같이 질화실리콘막을 내산화 마스크로 사용한 열산화법(LOCOS법)으로 p형 웰(2) 및 n형 웰(3)의 각각의 주면에 소자분리용의 필드산화막(4)를 형성함과 동시에, p형 웰(2)의 필드산화막(4)의 하부에 p형 채널스토퍼형역(5)를 형성한다. 계속해서, 반도체 기판(1)의 표면을 열산화하고, 필드산화막(4)로 둘러싸인 p형 웰(2) 및 n형 웰(3)의 각각의 활성영역의 표면에 게이트산화막(8)을 형성한다.

다음에, 도 5에 도시한 바와 같이 p형 웰(2)의 주면상에 구동용 MISFET Qd_1, Qd_2의 게이트전극(9)를 형성한다. 게이트전극(9)는 반도체 기판(1)상에 CVD (Chemical Vapor Deposition)법으로 다결정 실리콘막과 산화실리콘막(18)을 퇴적하고, 포토레지스트를 마스크로 한 에칭에 의해 이들 막을 패터닝해서 형성한다. 산화실리콘막(18)은 게이트전극(9)와 그 상층에 형성되는 도전층을 전기적으로 분리하기 위한 보호막으로 된다.

다음에, 도 6에 도시한 바와 같이 구동용 MISFET Qp_1, Qd_2의 게이트전극(9)의 측벽에 사이드월스페이서(19)를 형성한다. 사이드월 스페이서(19)는 반도체 기판 (1)상에 CVD법으로 퇴적한 산화실리콘막을 RIE(Reactive Ion Etching)등의 이방성 에칭법으로 에칭해서 형성한다. 계속해서, 게이트전극(9)의 양측의 p형 웰(2)에 n형 불순물 예를들면 P을 이온주입해서 구동용 MISFET Qp_1, Qp_2의 소오스영역, 드레인영역의 일부로 되는 n+형 반도체 영역(11)을 형성한다.

다음에, 도 7에 도시한 바와 같이 반도체 기판(1)상에 CVD법으로 다결정 실리콘막(13A)를 퇴적하고, 이 다결정 실리콘막(13A)와 그 하층의 산화실리콘막(게이트산화막(8)과 동일층의 산화실리콘막)을 에칭해서 구동용 MISFET Qd_1, Qd_2의 소오스영역(n+형 반도체영역(11))에 도달하는 접속구멍(22)를 형성한다.

다음에, 도 8에 도시한 바와 같이 p형 웰(2)의 주면상에 전송용 MISFET Qt_1, Qt_2의 게이트전극(13)(워드선 WL) 및 기준전압선(23)(Vss)를 형성하고, n형 웰(3)의 주면상에 p채널형 MISFET Qs의 게이트전극(13)을 형성한다. 게이트전극(13)(워드선 WL) 및 기준전압선(23)(Vss)는 상기 다결정 실리콘막(13A)상에 CVD법과 스퍼터법으로 다결정 실리콘막, 텅스텐실리사이드(WSi_2)막, 산화실리콘막(20)을 순차 퇴적하고, 포토레지스트를 마스크로 한 에칭에 의해 이들 막을 패터닝해서 형성한다. 기준전압선(23)(Vss)은 상기 접속구멍(22)를 통해서 구동용 MISFET Qp_1, Qd_2의 소오스영역(n+형 반도체 영역(11))에 접속된다.

다음에, 도 9 및 도 10에 도시한 바와 같이 n형 웰(3)의 상부에 형성한 포토레지스트(45)를 마스크로 해서 p형 웰(2)에 p형 불순물(B)을 이온주입해서, 구동용 MISFET Qd_1, Qd_2의 게이트전극(9) 및 전송용 MISFET Qt_1, Qt_2의 게이트전극(13)(워드선 WL)의 각각의 양측의 p형 웰(2)에 p+형 반도체 영역(12)를 형성한다. 이 때, 본 실시예에서는 도 9 및 도 10에 도시한 바와 같이 웰 전원공급부(p+형 반도체 영역(6))가 형성되는 영역의 p형 웰(2)의 상부(a)에도 포토레지스트(45)를 형성하고, 이 영역에 p형 불순물이 주입되지 않도록 된다.

다음에, 도 11에 도시한 바와 같이 p형 웰(2)의 웰 전원공급부 형성영역 및 n형 웰(3)의 각각의 상부를 피복하는 상기 포토레지스트(45)를 마스크로 해서 p형 웰(2)에 n형 불순물 예를 들면 P을 이온주입해서, 구동용 MISFET Qd_1, Qd_2, 전송용 MISFET Qt_1, Qt_2의 각각의 소오스영역 및 드레인영역의 일부로 되는 n-형 반도체 영역(10)을 형성한다.

다음에, 상기 포토레지스트(45)를 제거한 후 도 12 및 도 13에 도시한 바와 같이 p형 웰(2)의 상부에 형성한 포토레지스트(45)을 마스크로 해서 n형 웰(3)에 n형 불순물 예를 들면 P을 이온주입해서, p채널형 MISFET Qs의 게이트전극(13)의 양측의 n형 웰(3)에 n+형 반도체 영역(17)을 형성한다. 이 때, 본 실시예에서는 도 12 및 도 13에 도시한 바와 같이, 웰 전원공급부(n+형 반도체 영역(7))가 형성되는 영역의 n형 웰(3)의 상부(b)에도 포토레지스트(46)을 형성하고, 이 영역에 n형 불순물이 주입되지 않도록 한다.

다음에, 도 14에 도시한 바와 같이 n형 웰(3)의 웰 전원공급부 형성영역 및 p형 웰(2)의 각각의 상부를 피복하는 상기 포토레지스트(46)을 마스크로 해서 n형 웰(3)에 p형 불순물 예를 들면 B를 이온주입해서, p채널형 MISFET Qs의 소오스영역 및 드레인영역의 일부로 되는 p-형 반도체 영역(15)를 형성한다.

다음에, 상기 포토레지스트(45)을 제거하고 기준전압선(23)(Vss), 게이트전극(13) 및 산화실리콘막(20)의 측벽에 사이드월 스페이서(21)을 형성한 후, 도 15에 도시한 바와 같이 p형 웰(2)의 웰 전원공급부 형성영역 및 n형 웰(3)의 p채널형 MISFET 형성영역의 각각의 상부에 형성한 포토레지스트(47)을 마스크로 해서 p형 웰(B) 및 n형 웰(3)에 n형 불순물 예를 들면 P을 이온주입해서, 전송용 MISFET Qt_1, Qt_2의 소오스영역 및 드레인영역의 일부로 되는 n+형 반도체 영역(14) 및 n+형 반도체 영역(7)(웰 전원공급부)을 형성한다. 도 15에 도시된 바와 같이 포토레지스트 (47)은 웰 전원공급부(n+형 반도체영역(7))가 형성되는 영역의 n형 웰(3)의 상부 (b)에 개구를 갖고 있다. 사이드월 스페이서(21)은 사이드월 스페이서(19) 마찬가지로 반도체기판(1)상에 CVD법에 의해 퇴적한 산화실리콘 막을 RIE 등의 이방성 에칭법에 의해 에칭하이 형성한다.

다음에, 상기 포토레지스트(47)을 제거한 후 도 16에 도시한 바와 같이 n형 웰(3)의 n+형 반도체영역(7)(웰 전원공급부) 및 p형 웰(2)의 구동용 MISFET Qd_1, Qd_2, 전송용 MISFET Qt_1, Qt_2의 각각의 상부에 형성한 포토레지스트(48)을 마스크로 해서 n형 웰(3) 및 p형 웰(2)에 p형 불순물 예를 들면 B를 이온주입해서, p채널형 MISFET Qs의 소오스영역 및 드레인영역의 일부로 되는 p+형 반도체영역(16) 및 p+형 반도체영역(6)(웰 전원공급부)을 형성한다. 도 16에 도시한 바와 같이, 포토레지스트(48)은 웰 전원공급부(p+형 반도체 영역(5))가 형성되는 영역의 p형 웰(2)의 상부(a)에 개구를 갖고 있다.

다음에, 상기 포토레지스트(48)을 제거한 후, 도 17에 도시할 바와 같이 반도체 기판(1)상에 CVD법으로 산화실리콘막(24)를 퇴적하고, 이 산화실리콕막(24)와 그 하층의 산화실리콘막(18) 및 산화실리콘막(게이트산화막(8)과 동일층의 산화실리콘막)을 에칭해서 구동용 MISFET Qd_1, Qd_2의 게이트전극(9), 구동용 MISFET Qd_1, Qd_2의 드레인영역(n+형 반도체 영역(11))의 각각에 도달하는 접속구멍(30)과 전송용 MISFET Qt_1, Qt_2의 드레인영역(n+형 반도체 영역(14))에 도달하는 접속구멍(29)를 형성한다.

다음에, 도 18에 도시한 바와 같이 반도체 기판(1)상에 CVD법으로 퇴적한 다결정 실리콘막을 패터닝해서 부하용 MISFET Qp_1, Qp_2의 게이트전극(25) 및 패드층(28)을 형성한다. 부하용 MISFET Qp_1의 게이트전극(25)는 상기 접속구멍(30)을 통해서 구동용 MISFET Qd_1의 게이트전극(9) 및 구동용 MISFET Qd_2의 드레인영역 (n+형 반도체 영역(11))에 접속되고, 부하용 MISFET Qp_2의 게이트전극(25)는 상기 접속구멍(30)을 통해서 구동용 MISFET Qd_2의 게이트전극(9) 및 구동용 MISFET Qd_1의 드레인영역(n+형 반도체 영역(11))에 접속된다. 패드층(28)은 상기 접속구멍(29)를 통해서 전송용 MISFET Qt_1, Qt_2의 드레인영역(n+형 반도체 영역(14))에 접속된다.

다음에, 도 19에 도시한 바와 같이 반도체 기판(1)상에 부하용 MISFET Qp_1,Qp_2의 게이트산화막으로 되는 산화실리콘막(26)을 CVD법으로 퇴적한 후 구동용 MISFET Qd_2, Qd_1의 게이트전극(25)의 상부의 산화실리콘막(26)을 에칭해서 접속구멍 (44)를 형성한다.

다음에, 도 20에 도시한 바와 같이 산화실리콘막(게이트산화막)(26)의 상부에 CVD법으로 퇴적한 다결정실리콘막의 일부에 p형 불순물 예를들면 B를 이온주입하고, 다른 일부에 n형 불순물 예를들면 P을 이온주입한 후, 이 다결정 실리콘막을 패터닝해서 부하용 MISFET Qp_1, Qp_2의 채널영역(27c), 소오스영역(27p), 드레인영역(27p) 및 전원전압선(Vcc)(27p)를 형성한다. 부하용 MISFET Qp_1의 드레인영역(27p)는 상기 접속구멍(44)를 통해서 부하용 MISFET Qt_2의 게이트전극(25)에 접속되고, 부하용 MISFET Qp_1의 드레인영역(27p)는 상기 접속구멍(44)를 통해서 부하용 MISFET Qp_1의 게이트전극(25)에 접속된다.

다음에, 도 21에 도시한 바와 같이 반도체 기판(1)상에 산화실리콘막과 질화실리콘막의 적층막으로 이루어지는 절연막(31)을 CVD법으로 퇴적한 후, 이 절연막(31)상에 CVD법으로 퇴적한 다결정 실리콘막을 패터닝해서 메모리셀의 거의 전역을 피복하는 플레이트전극(32)를 형성한다.

다음에, 도 22에 도시한 바와 같이 반도체 기판(1)상에 CVD법으로 BPSG막 (33)을 퇴적하고, 반도체 기판(1)을 열처리해서 BPSG막(33)를 표면을 평탄화한 후 BPSG막(33), 절연막(31) 및 산화실리콘막(게이트산화막)(25)를 에칭해서 접속구멍 (34), (37), (50), (52)를 형성한다. 계속해서, BPSG막(33)상에 스퍼터법으로 퇴적한 제1층째의 배선재료를 패터닝해서 상보성 데이타선(데이타선 DL, 데이타선 /DL) 및 배선(36), (49), (51)을 형성한다. 상보성 데이타선(데이타선 DL, 데이타선 /DL)은 접속구멍(34)를 통해서 상기 패드층(28)에 접속되고, 배선(36)은 접속구멍(37)를 통해서 p채널형 MISFST Qs의 소오스영역 및 드레인영역의 한쪽(p+형 반도체영역(16))에 접속된다. 배선(49)는 접속구멍(50)을 통해서 p+형 반도체 영역(6)(웰 전원공급부)에 접속되고, 배선(51)은 접속구멍(52)를 통해서 n+형 반도체 영역)(7)(웰 전원공급부)에 접속된다. 상보성 데이타선(데이타선 DL, 데이타선 /DL) 및 배선(36), (49), (51)을 형성하기 위해서는 우선 접속구멍(34), (37), (50), (52)의 내부를 포함하는 BPSG막(33)상에 스퍼터법으로 TiN막을 퇴적하고, 계속해서 CVD법으로 W막(35)를 퇴적한다. 다음에, W막(35)를 에치백해서 접속구멍(34), (37), (50), (52)의 내부를 제외한 영역의 W막(35)를 제거한 후, 스퍼터법으로 Aℓ막을 퇴적하고, 이 Aℓ막과 TiN막을 패터닝한다.

다음에, 도 23에 도시한 바와 같이 상보성 데이타선(데이타선 DL, 데이타선 /DL) 및 배선(36), (49), (51)의 상부에 층간 절연막(38)을 형성한 후, 이 층간절연막(38)을 에칭해서 접속구멍(42)를 형성한다. 계속해서, 층간 절연막(38)상에 스퍼터법으로 퇴적한 제2층째의 배선재료를 패터닝해서 배선(39), (40)를 형성한다. 배선(40)은 접속구멍(42)를 통해서 상기 배선(36)에 접속된다. 층간 절연막(38)은 산화실리콘막, 스핀온글래스막, 산화실리콘막을 순차 퇴적해서 형성한다. 산화실리콘막은 플라즈마 CVD법으로 형성하고, 스핀온글래스만은 스핀도포법으로 형성한다. 또, 배선(39), (40)은 제1층째의 배선재료와 동일한 재료로 형성한다. 그 후, 배선(39), (40)의 상부에 플라즈마 CVB법으로 산화실리콘막과 질화실리콘막을 순차 퇴적해서 최종 비활성화막(43)을 형성하는 것에 의해 상기 도 1에 도시한 본 실시예의 SRAM이 완성된다.

이상, 본 발명자들에 의해 이루어진 발명을 실시예에 따라 구체적으로 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고 그 요지를 이탈하기 않는 범위에서 여러 가지로 변경가능한 것은 물론이다.

상기 실시예에서는 주변회로의 p채널형 MISFET, n채널형 MISFET의 각각의 소오스영역 및 드레인영역을 LDD구조로 구성하고 또한 소오스영역 및 드레인영역의 일부를 구성하는 저불순물 농도의 반도체 영역의 하부에 이 반도체 영역과는 다른 도전형이고 웰보다 불순물 농도가 높은 제3의 반도체 영역을 형성하는 것으로 했지만, 예를 들면 고속동작이 요구되는 주변회로의 p채널형 MISFET 또는 n채널형 MISFET의 저불순물 농도의 반도체 영역의 하부에는 상기 제3의 반도체 영역을 형성하지 않아도 좋다. 이 경우에는 제3의 반도체 영역을 마련한 것에 의한 pn접합 용량의 증가는 발생하지 않으므로, 주변회로의 고속동작이 방해받는 일은 없다.

상기 실시예에서는 다결정 실리콘막으로 구성된 부하용 MISFET Qp_1, Qp_2를 갖는 SRAM에 적용한 경우에 대해서 설명했지만, 본 발명은 이것에 한정되는 것이 아니고 다결정 실리콘막으로 구성된 부하저항을 갖는 SRAM이나 구동용 MISFET, 전송용 MISFET 및 부하용 MISFET의 각각을 반도체 기판상에 형성하는 벌크 CMOS형의 SRAM에 적용할 수도 있다. 또, SRAM 뿐만 아니라 MISFET를 갖는 반도체 집적회로 장치에 널리 적용할 수 있다.

발명의 효과

본원에 의해서 개시되는 발명중 대표적인 것에 의해서 얻어지는 효과를 간단히 설명하면 다음과 같다.

본 발명에 의하면, 전원공급부의 래치업 특성의 열화 및 전원공급부의 기판의 플로팅을 방지할 수 있으므로, MISFET를 갖는 반도체 집적회로 장치의 고성능화를 실현할 수 있다.

본 발명에 의하면, 반도체 영역과 기판 사이에 형성되는 기생용량을 저감할 수 있으므로, MISFET의 고속동작을 실현할 수 있다.

본 발명에 의하면 공정수를 증가시키지 않고 전원공급부의 래치업 특성의 열화 및 전원공급부의 기판의 플로팅을 방지할 수 있다.

본 발명에 의하면, MISFET의 소오스영역 및 드레인영역을 LDD구조로 구성하고 또한 소오스영역 및 드레인영역의 일부를 구성하는 저불순물 농도의 반도체 영역의 하부에 이 반도체 영역과는 다른 도전형이고 기판(웰)보다 불순물 농도가 높은 제3의 반도체 영역을 형성하는 것에 의해 MISFET의 단채널 효과를 억제할 수 있음과 동시에 펀치스루를 억제할 수 있다.

(57) 청구의 범위

청구항 1.

제1 도전형의 제1 반도체 영역과 제2 도전형의 제2 반도체 영역을 갖는 반도체 기판,

상기 제1 반도체 영역에 형성된 제1 MISFET 및

상기 제2 반도체 영역에 형성된 제2 MISFET를 갖는 반도체 집적회로 장치의 제조방법으로서,

[a] 제1 도전형의 제1 반도체 영역과 제2 도핀형의 제2 반도체 영역을 갖고, 상기 제1 반도체 영역의 제1 MISFET 형성영역상에 제1 게이트절연막을 거쳐서 제1 게이트전극을 가짐과 동시에, 상기 제2 반도체 영역의 제2 MISFET 형성영역상에 제2 게이트절연막을 거쳐서 제2 게이트전극을 갖고 있는 반도체 기판을 준비하는 공정;

[b] 상기 제2 MISFET 형성영역, 상기 제2 반도체 영역의 전원공급부 형성영역 및 상기 제1 반도체영역의 전원공급부 형성영역을 덮는 제1 마스크막을 마스크로 해서 상기 제1 MISFET 형성영역에 불순물을 도입하는 것에 의해, 상기 제1 게이트전극의 양의 상기 제1 반도체 영역내에 제2 도전형의 제3 반도체 영역을 형성하는 공정,

[c] 상기 제1 마스크막을 마스크로 해서 상기 제1 MISFET 형성영역에 불순물을 도입하는 것에 의해, 상기 제3 반도체 영역의 하부에 제1 도전형의 제4 반도체 영역을 형성하는 공정 및;

[d] 상기 제2 MISFET 형성영역 및 상기 제1 반도체 영역의 전원공급부 형성영역을 덮음과 동시에 상기 제2 반도체 영역의 전원공급부 형성영역상에 개구를 갖는 제2 마스크막을 마스크로 해서 상기 제1 MISFET 형성영역과 상기 제2 반도체 영역의 전원공급부 형성영역에 불순물을 도입하는 것에 의해, 상기 제1 게이트전극의 양측의 상기 제1 반도체 영역내에 제2 도전형의 제5 반도체 영역을 형성함과 동시에 상기 제2 반도체 영역의 전원공급부 형성영역에 제2 도전형의 제6 반도체 영역을 형성하는 공정을 포함하고,

상기 제4 반도체 영역의 불순물 농도는 상기 제1 반도체 영역의 불순물 농도보다 높고,

상기 제3 반도체 영역은 상기 제5 반도체 영역과 제1 MISFET의 채널형성영역 사이에 형성되고, 상기 제5 반도체 영역의 불순물 농도는 상기 제3 반도체 영역의 불순물 농도보다 높고, 상기 제6 반도체 영역의 불순물 농도는 상기 제2 반도체 영역의 불순물 농도보다 높고, 상기 제6 반도체 영역을 통해서 상기 제2 반도체 영역에 제1 고정전위가 공급되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 2.

제1항에 있어서,

[e] 상기 제1 MISFET 형성영역과 상기 제2 반도체 영역의 전원공급부 형성영역을 덮는 제3 마스크막을 마스크로 해서 상기 제2 MISFET 형성영역에 불순물을 도입하는 것에 의해, 상기 제2 게이트전극의 양측의 상기 제2 반도체 영역내에 제1 도전형의 제7 반도체 영역을 형성하는 공정 및;

[f] 상기 제1 MISFET 형성영역과 상기 제2 반도체 영역의 전원공급부 형성영역을 덮음과 동시에, 상기 제1 반도체 영역의 전원공급부 형성영역상에 개구를 갖는 제4 마스크막을 마스크로 해서 상기 제2 MISFET 형성영역 및 상기 제1 반도체 영역의 전원공급부 형성영역에 불순물을 도입하는 것에 의해, 상기 제2 게이트전극의 양측의 상기 제2 반도체 영역내에 제1 도전형의 제8 반도체 영역을 형성함과 동시에 상기 제1 반도체 영역의 전원공급부 형성영역에 제1 도전형의 제9 반도체 영역을 형성하는 공정을 더 포함하고,

상기 제7 반도체 영역은 상기 제8 반도체 영역과 제2 MISFET의 채널형성영역 사이에 형성되고, 상기 제8반도체 영역의 불순물 농도는 상기 제7 반도체 영역의 불순물 농도보다 높고, 상기 제9 반도체 영역의 불순물 농도는 상기 제1 반도체 영역의 불순물 농도보다 높고, 상기 제9 반도체 영역을 통해서 상기 제1 반도체 영역에 제2고정전위가 공급되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 3.

제2항에 있어서,

[g] 상기 제3 마스크막을 마스크로 해서 상기 제2 MISFET 형성영역에 불순물을 도입하는 것에 의해, 상기 제7 반도체 영역의 하부에 제2 도전형의 제10 반도체 영역을 형성하는 공정을 더 포함하고,

상기 제10 반도체 영역의 불순물 농도는 상기 제2 반도계 영역의 불순물 농도보다 높고, 상기 제3 마스크막은 상기 제1 반도체 영역의 전원공급부 형성영역을 덮는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 4.

제1항에 있어서,

상기 제4 반도체 영역의 바닥부는 상기 제5 반도체 영역의 바닥부와 대략 동등한 깊이로 형성되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 5.

제2항에 있어서,

상기 제4 반도체 영역의 바닥부는 상기 제5 반도체 영역의 바닥부와 대략 동등한 깊이로 형성되어 있는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 6.

제2항에 있어서,

상기 제1 도전형은 p형이고, 상기 제2 도전형은 n형인 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 7.

제2항 또는 제3항에 있어서,

상기 제1 마스크막은 상기 제1 반도체 영역의 전원공급부 형성영역을 덮고,

상기 제2 마스크막은 상기 제1 반도체 영역의 전원공공부 형성영역을 덮는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 8.

제2항에 있어서,

상기 제3 반도체 영역은 상기 제1 게이트전극에 자기정합적으로 형성되고,

상기 제5 반도체 영역은 상기 제1 게이트전극의 측벽에 형성된 제1 사이드월 스페이서에 자기정합적으로 형성되고,

상기 제7 반도체 영역은 상기 제2 게이트전극에 자기정합적으로 형성되고,

상기 제8 반도체 영역은 상기 제2 게이트전극의 측벽에 형성된 제2 사이드월 스페이서에 자기정합적으로 형성되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 9.

제1 도전형의 제1 반도체 영역과 제2 도전형의 제2 반도체 영역을 갖는 반도체 기판,

상기 제1 반도체 영역에 형성된 제1 MISFET 및

상기 제2 반도체 영역에 형성된 제2 MISFET를 갖는 반도체 집적회로 장치의 제조방법으로서,

[a] 제1 도전형의 제1 반도체 영역과 제2 도전형의 제2 반도체 영역을 갖고, 상기 제1 반도체 영역의 제1 MISFET 형성영역상에 제1 게이트절연막을 거쳐서 제1 게이트전극을 가짐과 동시에, 상기 제2 반도체 영역의 제2 MISFET 형성영역상에 제2 게이트절연막을 거쳐서 제2 게이트전극을 갖고 있는 반도체 기판을 준비하는 공정;

[b] 상기 제2 MISFET 형성영역 및 상기 제1 반도체 영역의 전원공급부 형성영역을 덮는 제1 마스크막을 마스크로 해서 상기 제1 MISFET 형성영역에 불순물을 도입하는 것에 의해, 상기 제1 게이트전극의 양측의 상기 제1 반도체 영역내에 제2 도전형의 제3반도체 영역을 형성하는 공정,

[c] 상기 제2 MISFET 형성영역 및 상기 제2 반도체 영역의 전원공급부 형성영역을 덮는 제2 마스크막을 마스크로 해서 상기 제1 MISFET 형성영역에 불순물을 도입하는 것에 의해, 상기 제3 반도체 영역의 하부에 제1 도전형의 제4 반도체 영역을 형성하는 공정 및;

[d] 상기 제2 MISFET 형성영역 및 상기 제1 반도체 영역의 전원공급부 형성영역을 덮음과 동시에 상기 제2 반도체 영역의 전원공급부 형성영역상에 개구를 갖는 제3 마스크막을 마스크로 해서 상기 제1 MISFET 형성영역 및 상기 제2 반도체 영역의 전원공급부 형성영역에 불순물을 도입하는 것에 의해, 상기 제1 게이트전극의 양측의 상기 제1 반도체 영역내에 제2 도전형의 제5 반도체 영역를 형성함과 동시에 상기 제2 반도체 영역의 전원공급부 형성영역에 제2 도전형의 제6 반도체 영역을 형성하는 공정을 포함하고,

상기 제4 반도체 영역의 불순물 농도는 상기 제1 반도체 영역의 불순물 농도보다 높고, 상기 제3 반도체 영역은 상기 제5 반도체 영역과 제1 MISFET의 채널형성영역 사이에 형성되고, 상기 제5 반도체 영역의 불순물 농도는 상기 제3 반도체 영역의 불순물 농도보다 높고, 상기 제6 반도체 영역의 불순물 농도는 상기 제2 반도체 영역의 불순물 농도보다 높고, 상기 제5 반도체 영역을 통해서 상기 제2 반도체 영역에 제1 고정전위가 공급되는 것을 특징으로 하는 반도체 집적 회로 장치의 제조방법.

청구항 10.

제9항에 있어서,

상기 제1 도전형은 p형이고, 상기 제2 도전형은 n형인 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 11.

제9항에 있어서,

상기 제5 반도체 영역은 상기 제1 게이트전극의 측벽에 형성된 제1 사이드월 스페이서에 자기정합적으로 형성되는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 12.

제11항에 있어서,

상기 제3 반도체 영역은 상기 제1 게이트전극에 자기정합적으로 형성되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 13.

제9항에 있어서,

[e] 상기 제1 MISFET 형성영역 및 상기 제2반도체 영역의 전원공급부 형성영역을 덮는 제4 마스크막을 마스크로 해서 상기 제2 MISFET 형성영역에 불순물을 도입하는 것에 의해, 상기 제2 게이트전극의 양측의 상기 제2 반도체 영역내에 제1 도전형의 제7 반도체 영역을 형성하는 공정 및;

[f] 상기 제1 MISFET 형성영역 및 상기 제2반도체 영역의 전원공급부 형성영역을 덮음과 동시에 상기 제1 반도체 영역의 전원공급부 형성영역상에 개구를 갖는 제5 마스크막을 마스크로 해서 상기 제2 MISFET 형성영역 및 상기 제1 반도체 영역의 전원공급부 형성영역에 불순물을 도입하는 것에 의해, 상기 제2 게이트전극의 양측의 상기 제2 반도체 영역내에 제1 도전형의 제8 반도체 영역을 형성함과 동시에 상기 제1 반도체 영역의 전원공급부 형성영역에 제1 도전형의 제9 반도체 영역은 형성하는 공정을 더 포함하고,

상기 제7 반도체 영역은 상기 제8 반도체 영역과 제2 MISFET의 채널형성영역 사이에 형성되고, 상기 제8 반도체 영역의 불순물 농도는 상기 제7 반도체 영역의 불순물 농도보다 높고, 상기 제9 반도체 영역적 불순물 농도는 상기 제1 반도체 영역의 불순물 농도보다 높고, 상기 제9 반도체 영역을 통해서 상기 제1 반도체 영역에 제2고정전위가 공급되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 14.

제1 도전형의 제1 반도체 영역과 제2 도전형의 제2 반도체 영역을 갖는 반도체 기판,

상기 제1 반도체 영역에 형성된 제1 MISFET 및

상기 제2 반도체 영역에 형성된 제2 MISFET를 갖는 반도체 집적회로 장치의 제조방법으로서,

[a] 제1 도전형의 제1 반도체 영역과 제2 도전형의 제2 반도체 영역을 갖고, 상기 제1 반도체 영역의 제1 MISFET 형성영역상에 제1 게이트절연막을 거쳐서 제1 게이트전극을 가짐과 동시에, 상기 제2 반도체 영역의 제2 MISFET 형성영역상에 제2 게이트절연막을 거쳐서 제2 게이트전극을 갖고 있는 반도체 기판를 준비하는 공정;

[b] 상기 제2 MISFET 형성영역, 상기 제2 반도체 영역의 전원공급부 형성영역 및 상기 제1 반도체 영역의 전원공급부 형성영역을 덮는 제1 마스크막을 마스크로 해서 상기 제1 MISFET 형성영역에 불순물을 도입하는 것에 의해, 상기 제1 게이트전극의 앙축의 상기 제1 반도체 영역내에 제1 도전형의 제3 반도체 영역을 형성하는 공정 및;

[c] 상기 제2 MISFET 형성영역 및 상기 제1 반도체 영역의 전원공급부 형성영역을 덮음과 동시에 상기 제2 반도체 영역의 전원공급부 형성영역상에 개구를 갖는 제2 마스크막을 마스크로 해서 상기 제1 MISFET 형성영역 및 상기 제2 반도체 영역의 전원공급부 형성영역에 불순물을 도입하는 것에 의해, 상기 제1 게이트전극의 양측의 상기 제1 반도체 영역내에 제2 도전형의 제4 반도체 영역을 형성함과 동시에, 상기 제2 반도체 영역의 전원공급부 형성영역에 제2 도전형의 제5 반도체 영역을 형성하는 공정을 포함하고,

상기 제4 반도체 영역의 불순물 농도는 상기 제3 반도체 영역의 불순물 농도보다 높고, 상기 제5 반도체 영역의 불순물 농도는 상기 제2 반도체 영역의 불순물 농도보다 높고, 상기 제5 반도체 영역을 통해서 상기 제2 반도체 영역에 제1 고정전위가 공급되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 15.

제14항에 있어서,

상기 제1 도전형은 p형이고, 상기 제2 도전형은 n형인 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 16.

제14항에 있어서,

상기 제1 도전형은 n형이고, 상기 제2 도전형은 p형인 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 17.

제14항에 있어서,

상기 제4 반도체 영역은 상기 제1 게이트전극의 측벽에 형성된 제1 사이드월 스페이서에 자기정합적으로 형성되는 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

청구항 18.

제17항에 있어서,

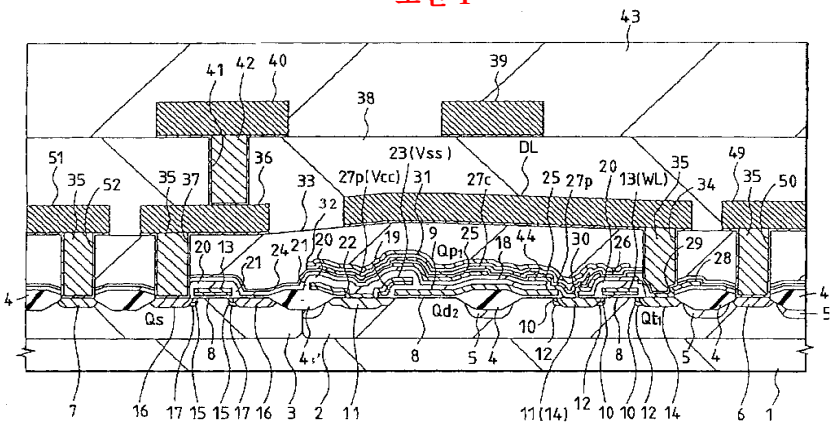
[d] 상기 제1 마스크막을 마스크로 해서 상기 제1 MISFET 형성영역에 불순물을 도입하는 것에 의해, 상기 제1 게이트전극의 양측의 상기 제1 반도체 영역내에 제2 도전형의 제6 반도체 영역을 형성하는 공정을 더 포함하고,

상기 제6 반도체 영역은 상기 제4 반도체 영역과 제1 MISFET의 채널형성영역 사이에 형성되고,

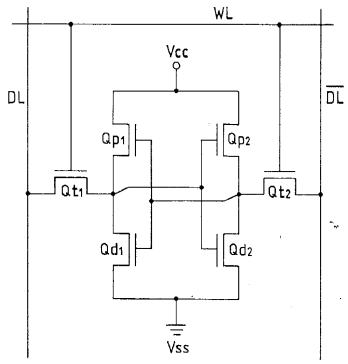
상기 제4 반도체 영역의 불순물 농도는 상기 제6 반도체 영역의 불순물 농도보다 높은 것을 특징으로 하는 반도체 집적회로 장치의 제조방법.

도면

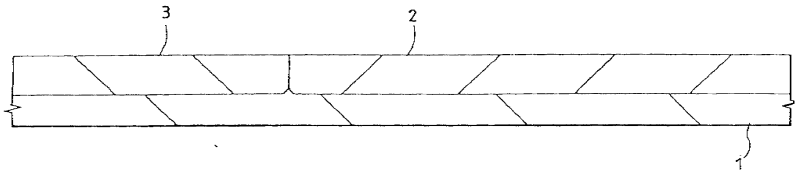
도면 1



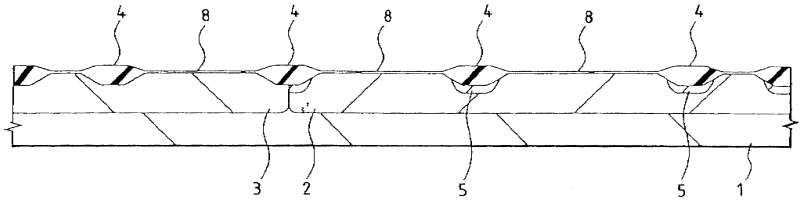
도면 2



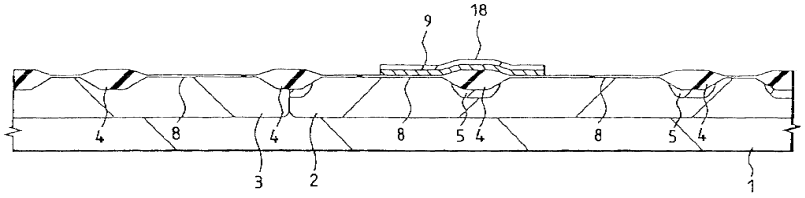
도면 3



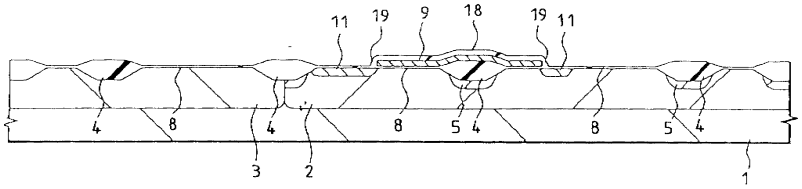
도면 4



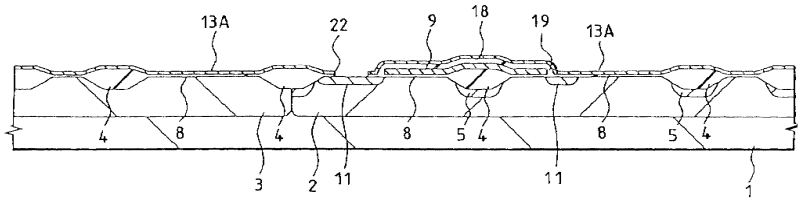
도면 5



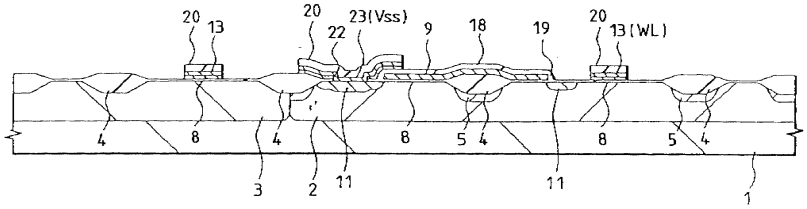
도면 6



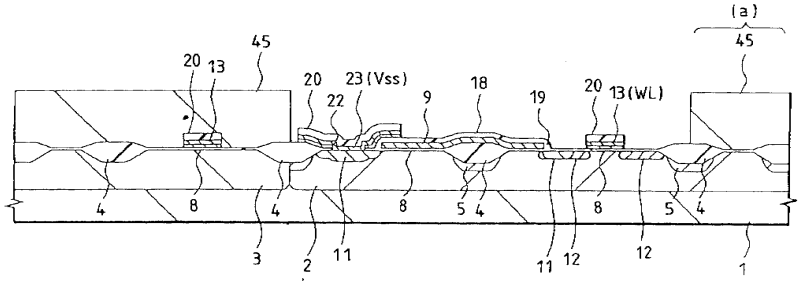
도면 7



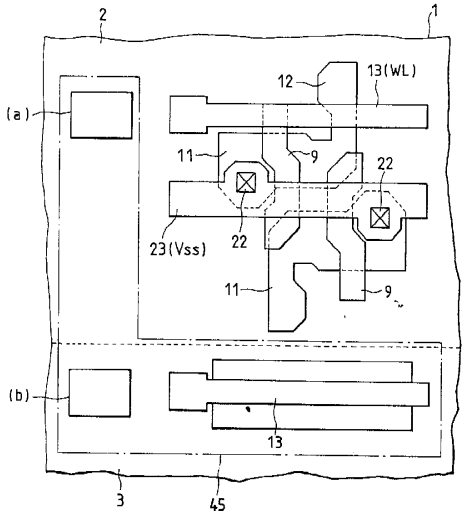
도면 8


20
13
20
22
23(Vss)
9
18
19
20
13(WL)
4
8
4
8
5
4
8
5
4
3
2
11
11
1

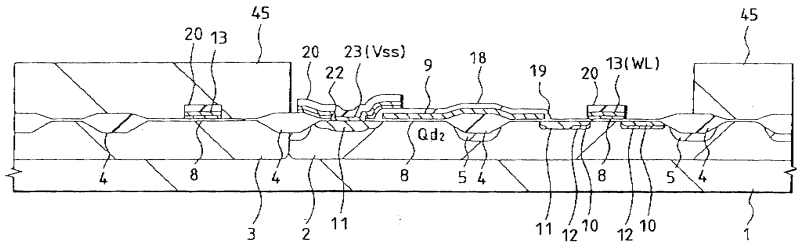
도면 9


(a)
45
45
20
13
20
22
23(Vss)
9
18
19
20
13(WL)
4
8
4
8
5
4
8
5
4
3
2
11
11
12
12
1

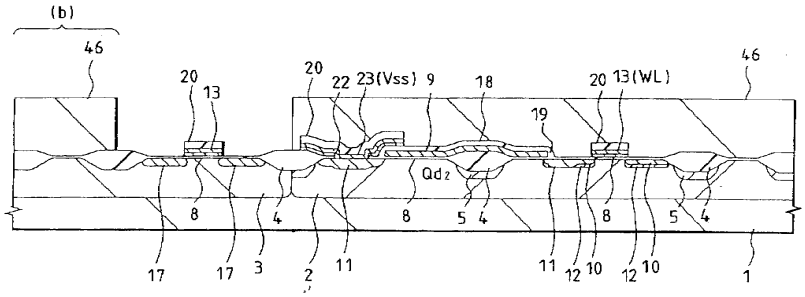
도면 10


2
1
(a)
12
13(WL)
11
9
22
23(Vss)
22
11
9
(b)
13
3
45

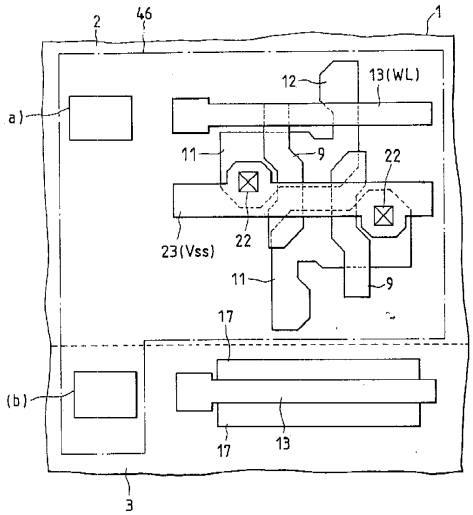
도면 11



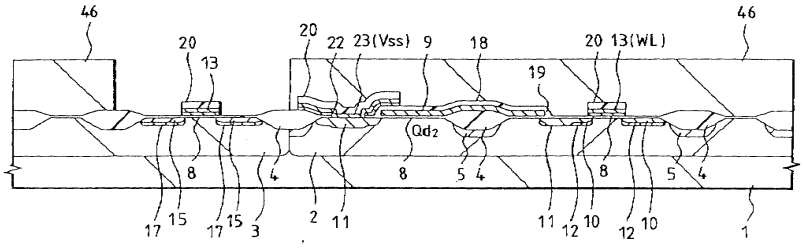
도면 12



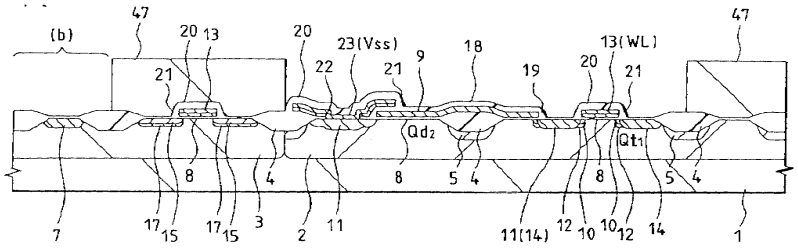
도면 13



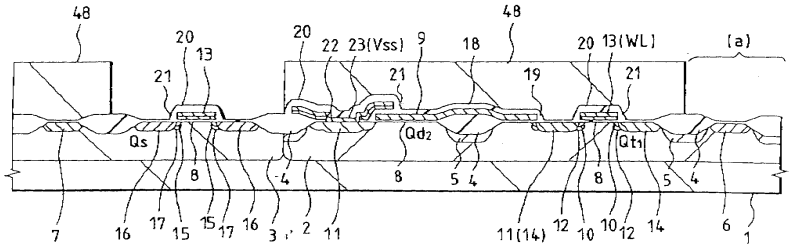
도면 14



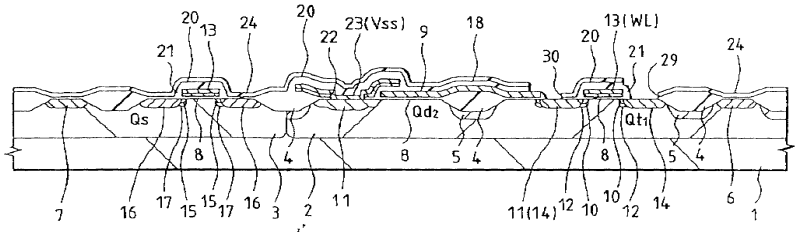
도면 15



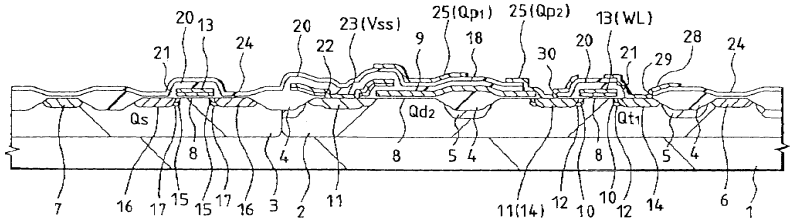
도면 16



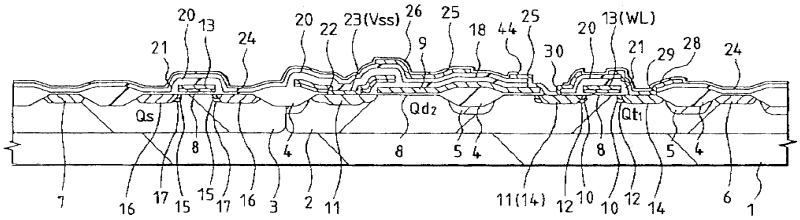
도면 17



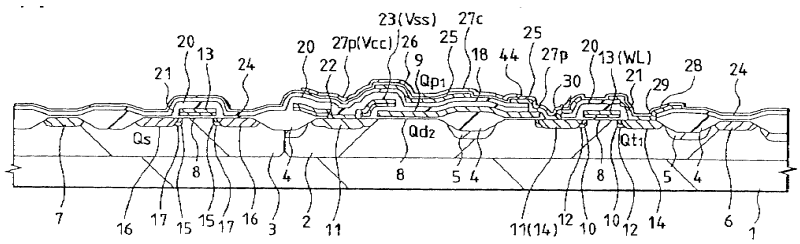
도면 18



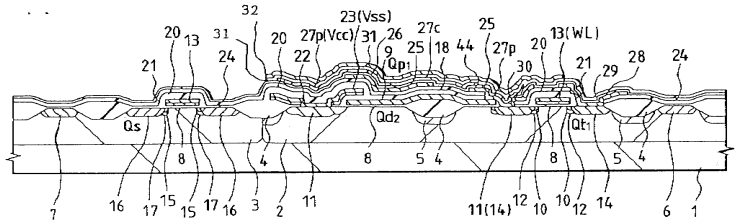
도면 19



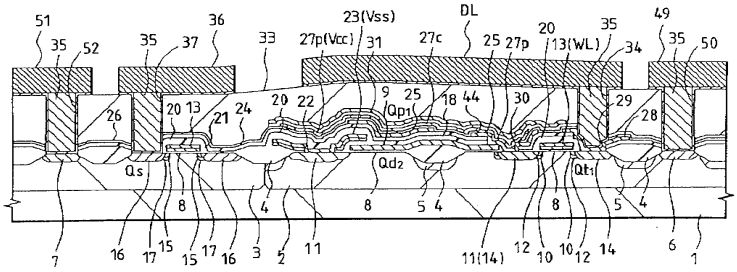
도면 20



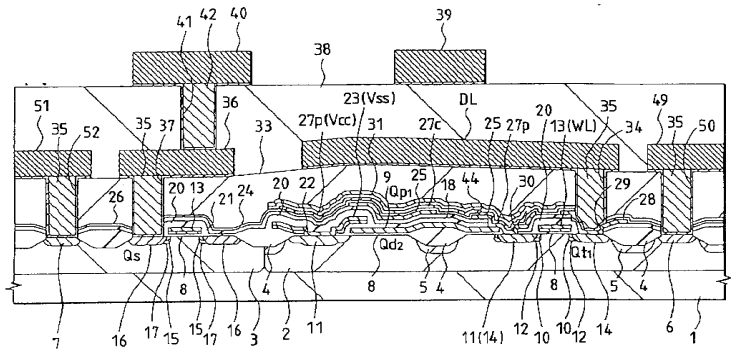
도면 21



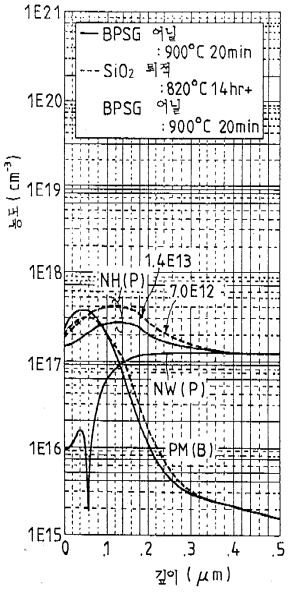
도면 22



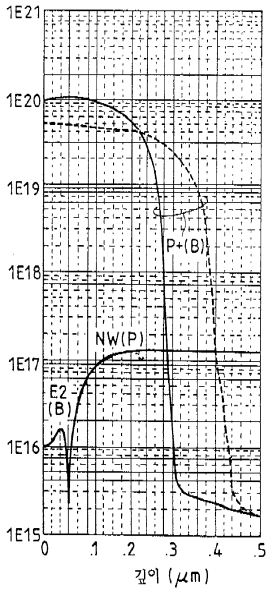
도면 23



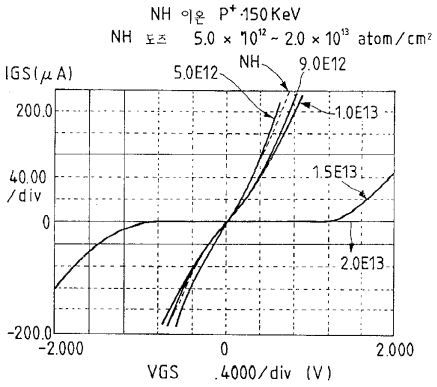
도면 24a



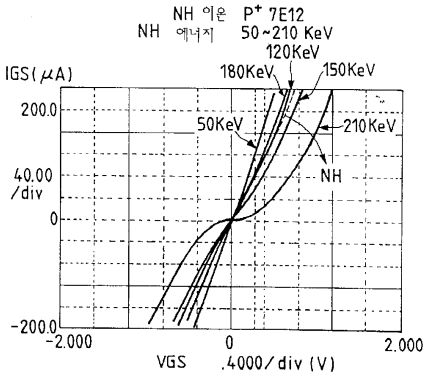
도면 24b


1E21
1E20
1E19
1E18
1E17
1E16
1E15
P+(B)
NW(P)
E2
(B)
0
.1
.2
.3
.4
.5
깊이 (μm)

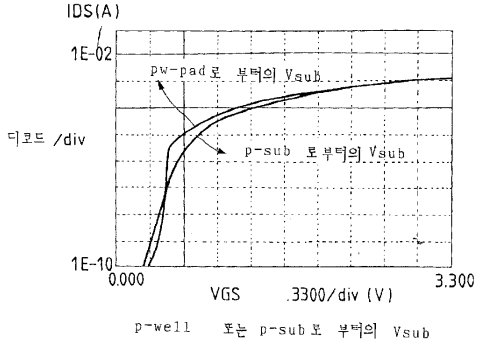
도면 25


NH 이온 P+ 150 KeV
NH 도즈 5.0 × 10^12 ~ 2.0 × 10^13 atom/cm²
IGS(μA)
200.0
40.00
/div
0
-200.0
5.0E12
NH
9.0E12
1.0E13
1.5E13
2.0E13
-2.000
0
2.000
VGS .4000/div (V)

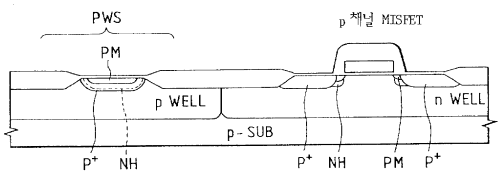
도면 26



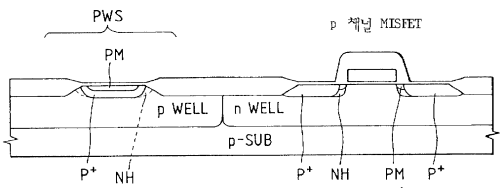
도면 27



도면 28a



도면 28b



도면 28c

