



(12) 发明专利申请

(10) 申请公布号 CN 102412209 A

(43) 申请公布日 2012. 04. 11

(21) 申请号 201110274247. 9

(22) 申请日 2011. 09. 15

(30) 优先权数据

2010-211641 2010. 09. 22 JP

(71) 申请人 索尼公司

地址 日本东京

(72) 发明人 花边充广

(74) 专利代理机构 北京信慧永光知识产权代理
有限责任公司 11290

代理人 武玉琴 陈桂香

(51) Int. Cl.

H01L 23/14 (2006. 01)

H01L 23/498 (2006. 01)

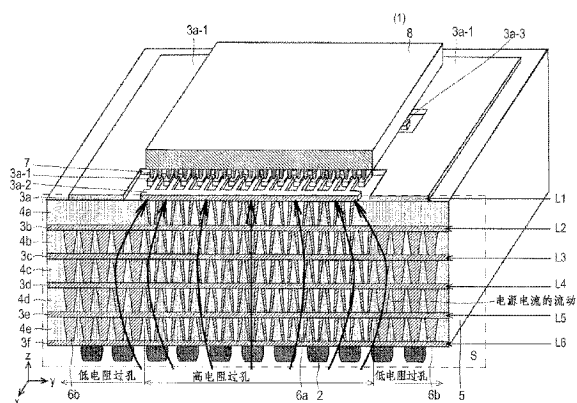
权利要求书 2 页 说明书 13 页 附图 12 页

(54) 发明名称

封装基板及使用该封装基板的模块和电气 / 电子装置

(57) 摘要

本发明涉及一种封装基板及包括该封装基板的模块和电气 / 电子装置。所述封装基板包括：第一导电层，其形成在第一主面上；第二导电层，其形成在第二主面上，所述第二主面与所述第一主面相对；中间导电层，其形成在所述第一导电层与所述第二导电层之间；层间绝缘层，其形成在所述第一导电层、所述中间导电层和所述第二导电层之间；以及多个层间连接导体，其贯穿所述层间绝缘层。其中，位于与中心部分区域相对应的位置的电流路径具有高电阻，位于与所述中心部分区域外部的的外围区域相对应的位置的电流路径具有低电阻，所述中心部分区域包括上面装载有所述半导体部件的装载区域的中心部分。根据本发明，能够缓解大电流在封装基板中的集中。



1. 一种封装基板,其包括:

第一导电层,其形成在所述封装基板的第一主面上,所述第一导电层具有多个第一端子图案部分,所述多个第一端子图案部分通过多个第一外部连接导体与装载在所述第一主面上的半导体部件连接;

第二导电层,其形成在所述封装基板的第二主面上,所述第二导电层具有多个第二端子图案部分,所述多个第二端子图案部分通过第二外部连接导体与安装在所述第二主面上的系统基板连接,所述第二主面与所述第一主面相对;

中间导电层,其形成在所述第一导电层与所述第二导电层之间;

层间绝缘层,其形成在所述第一导电层与所述中间导电层之间以及所述第二导电层与所述中间导电层之间;以及

多个层间连接导体,其贯穿所述层间绝缘层,所述多个层间连接导体层叠成用于所述第一导电层和所述第二导电层之间的连接,

其中,所述第一端子图案部分、所述第一外部连接导体、所述层间连接导体、所述第二端子图案部分和所述第二外部连接导体相连接,

形成用于连接所述半导体部件与所述系统基板的电流路径,且

位于与中心部分区域相对应的位置的所述电流路径具有高电阻,位于与所述中心部分区域外部的的外围区域相对应的位置的所述电流路径具有低电阻,所述中心部分区域包括上面装载有所述半导体部件的装载区域的中心部分。

2. 如权利要求 1 所述的封装基板,其中,用于驱动所述半导体部件的电源电流在所述电流路径中流动。

3. 如权利要求 1 所述的封装基板,其中,用于驱动所述半导体部件的接地电流在所述电流路径中流动。

4. 如权利要求 1 所述的封装基板,其中,所述封装基板包括具有高电阻的所述层间连接导体,具有高电阻的所述层间连接导体位于与所述装载区域相对应的位置,所述封装基板包括具有低电阻的所述层间连接导体,具有低电阻的所述层间连接导体位于与所述装载区域外部的的外围区域相对应的位置,且

所述中心部分区域对应于所述装载区域。

5. 如权利要求 4 所述的封装基板,其中,所述封装基板包括多个所述中间导电层,在邻近的所述中间导电层之间形成所述层间绝缘层。

6. 如权利要求 5 所述的封装基板,其中,在同一个所述层间绝缘层中,位于与所述装载区域相对应的位置的所述层间连接导体具有高电阻,位于与所述外围区域相对应的位置的所述层间连接导体具有低电阻。

7. 如权利要求 6 所述的封装基板,其中,所述同一个所述层间绝缘层是从所述第一导电层一侧开始计数的第二层所述层间绝缘层。

8. 如权利要求 5 所述的封装基板,其中,在部分或者全部的所述层间绝缘层中,位于与所述装载区域相对应的位置的所述层间连接导体具有高电阻,位于与所述外围区域相对应的位置的所述层间连接导体具有低电阻。

9. 如权利要求 8 所述的封装基板,其中,从所述第一导电层一侧开始计数的至少一个所述层间绝缘层中,位于与所述装载区域相对应的位置的所述层间连接导体具有高电阻,

位于与所述外围区域相对应的位置的所述层间连接导体具有低电阻。

10. 如权利要求 5 所述的封装基板, 其中,

靠近所述装载区域并位于与所述外围区域相对应的位置的所述层间连接导体具有高电阻, 且

当从所述第一导电层一侧开始对所述层间绝缘层的层数进行计数时, 具有高电阻的所述层间连接导体的数量随着所述层间绝缘层的层数的增加而增加。

11. 如权利要求 4 所述的封装基板, 其中, 位于与所述装载区域相对应的位置的所述层间连接导体和位于与所述外围区域相对应的位置的所述层间连接导体是由具有不同电阻的导电材料制成。

12. 如权利要求 4 所述的封装基板, 其中, 层叠成用于所述第一导电层与所述第二导电层之间连接的所述多个层间连接导体形成为具有层叠过孔结构。

13. 如权利要求 4 所述的封装基板, 其中, 同一个所述层间绝缘层中的所述层间连接导体是填充过孔、中空过孔或通孔中的任一种。

14. 如权利要求所述的 13 所述的封装基板, 其中, 位于与所述装载区域相对应的位置的所述层间连接导体和位于与所述外围区域相对应的位置的所述层间连接导体具有不同的直径。

15. 如权利要求 14 所述的封装基板, 其中,

所述层间连接导体是中空过孔或者通孔, 且

位于与所述装载区域相对应的位置的所述层间连接导体和位于与所述外围区域相对应的位置的所述层间连接导体具有不同镀层厚度的壁。

16. 如权利要求 1 所述的封装基板, 其中,

所述中心部分区域是所述装载区域, 且

位于与所述装载区域相对应的位置的所述第二外部连接导体具有高电阻, 位于与所述装载区域外部的所述外围区域相对应的位置的所述第二外部连接导体具有低电阻。

17. 如权利要求 1 所述的封装基板, 其中, 位于与所述中心部分区域相对应的位置的所述第一外部连接导体具有高电阻, 位于与所述中心部分区域外部的所述外围区域相对应的位置的所述第一外部连接导体具有低电阻。

18. 一种包括前述权利要求 1-17 中任一权利要求所述的封装基板的模块。

19. 一种包括前述权利要求 1-17 中任一权利要求所述的封装基板的电气 / 电子装置。

封装基板及使用该封装基板的模块和电气 / 电子装置

[0001] 相关申请的交叉参考

本申请包含与 2010 年 9 月 22 日向日本专利局提交的日本在先专利申请 JP 2010-211641 的公开内容相关的主题, 在这里将该在先申请的全部内容以引用的方式并入本文。

技术领域

[0002] 本发明涉及上面装载有半导体部件的封装基板, 尤其涉及能够缓解大电流集中的封装基板、以及使用该封装基板的模块和电气 / 电子装置。

背景技术

[0003] 为了减小诸如计算机、通信装置和显示装置等电子装置的尺寸以及厚度, 以及增强电子装置的功能, 使用各种小型化和高度集成的半导体芯片 (IC), 例如, 诸如微处理器等 LSI 芯片。在这些半导体芯片中包括消耗大电流的半导体芯片。

[0004] 在例如称作封装基板或中介 (中间) 基板的基板上装载及安装半导体芯片, 其中, 该基板装载在系统板 (系统基板、母板) 上, 以成为电子装置中的电子电路的一部分。

[0005] 半导体芯片是通过以阵列状态布置在底面上的凸块电极安装在封装基板上的倒装芯片 (flip-chip), 所述封装基板例如通过 BGA (球栅阵列, Ball Grid Array) 等装载到系统板上。

[0006] 封装基板使用多层布线基板, 在该多层布线基板中, 诸如信号布线图案层、电源层以及接地层等导电层通过层间绝缘层层叠, 且导电层通过形成穿过层间绝缘层的过孔 (via)、通孔 (through hole) 等彼此连接。例如, 通过使用积层 (build-up) 法制造多层布线基板。通常, 封装基板的电源层和接地层通过大量的过孔连接到上导电层和下导电层, 以提高诸如环线电感 (loop inductance) 等电特性。

[0007] 例如, 在涉及装载有电子部件的多层布线基板的相关技术文献中, 发明名称为 “Multilayer wiring substrate structure” 的日本专利申请 No. JP-A-2007-221014 (第 0008-0015 段、图 1 和图 2) (专利文献 1) 披露了如下内容。

[0008] 专利文献 1 所披露技术中的主要特征在于, 作为电流路径的多个加强过孔形成在流过大电流的通孔的周围, 用于将通孔电连接到加强过孔的一个或多个导电图案形成在基板外层和基板内层处, 从而将电流分布成围绕加强过孔, 使得电流不仅仅集中在通孔中, 同时, 在将电极端子焊接到通孔的过程中, 能够将通孔加热到足以使焊料熔化的温度。

[0009] 当电流以集中方式在一个或少量通孔中流动时, 在通孔与电源层之间的连接部分处产生热量。然而, 当电流以分散方式流动时, 加强过孔的增加使通孔和加强过孔中产生的热量得到散播, 这抑制了温度的升高。

[0010] 图 11 和图 12 是表示相关技术中的封装基板的结构示例的立体图, 以与下述图 1 相同的方式, 图 11 和图 12 包括半导体芯片 8 的部分剖面图, 并示出封装基板 5 的剖面结构。

[0011] 在图 11 和图 12 中,部分半导体芯片 8 上的切除部分与图 2 中的部分半导体芯片上的由虚线表示的切除部分 8a 是同一部分。图 11 和图 12 示出了电源图案 3a-2、3a-3、接地图案 3a-1、内部布线层 3b-3e、以及布线层 3f,电源图案 3a-2、3a-3 和接地图案 3a-1 构成形成在表面层上的部分布线层 3a,在布线层 3f 中形成有未图示的电源图案及接地图案。用于驱动半导体芯片 8 的电源电流在电源图案 3a-2、3a-3 中流动,用于驱动半导体芯片 8 的接地电流在接地图案 3a-1 中流动。

[0012] 如图 11 和图 12 所示,L1 层和 L6 层是多层基板中的最外导电层,L1 层的导电层包括电源图案 3a-2、3a-3 以及接地图案 3a-1,L6 层的导电层表示如下布线层,即,在该布线层中,形成有电源图案和接地图案(未图示)。

[0013] L2 层至 L5 层的导电层是多层基板中的内部电源层,所述内部电源层是如下布线层,即,用于驱动半导体芯片 8 的电源电流在该布线层中流动。L1 层至 L6 层的导电层通过层间绝缘层 4a-4e 层叠。半导体芯片 8 是安装在封装基板 5 的一个主面(principal surface)上的倒装芯片,其通过凸块阵列 7 连接到接地图案 3a-1 的端子图案部分和接地图案 3a-2 的端子图案部分。封装基板 5 的与上述一个表面相对的另一主面通过 BGA2 连接到系统板(系统基板、母板)并且装载在系统板上。

[0014] 在图 11 所示的示例中,形成有过孔 6,过孔 6 贯穿每个层间绝缘层 4a-4e,流经 BGA 2 的电源电流通过过孔 6、电源图案 3a-2 的端子图案部分和凸块阵列 7 流向半导体芯片 8。

[0015] 在图 12 所示的示例中,形成有用于取代图 11 所示的层间绝缘层 4c 中的过孔 6 的通孔 9,流经 BGA 2 的电源电流通过过孔 6、通孔 9、过孔 6、电源图案 3a-2 的端子图案部分和凸块阵列 7 流向半导体芯片 8。

[0016] 这里,当考虑到半导体芯片 8 是消耗大电流的图形处理单元(GPU)或中央处理单元(CPU)并且装载在封装基板 5 上的情况时,大电流通过封装基板 5 的电源层的布线图案从设置在系统板上的电源流向半导体芯片 8。然后,从半导体芯片 8 流出的较大电流通过封装基板 5 的接地层中的接地图案(未图示)流向布置在系统板上的电源。

[0017] 在这种情况下,当在不特别考虑过孔/通孔(其形成为贯穿封装基板 5 的层间绝缘层)的形成的情况下,多个过孔/通孔具有等同结构时,存在如下问题:大电流集中在如下过孔/通孔中,即,这些过孔/通孔以最短距离将系统板电连接到半导体芯片 8(在安装有倒装芯片的产品中,在多数情况下,这些过孔/通孔与设置在半导体芯片 8 正下方的过孔/通孔相对应)。

[0018] 例如,当系统板与半导体芯片 8 通过过孔(假定所有过孔的电导率(或者电阻率)相同)连接时,从系统板到半导体芯片 8 的最短电路径与实际的最短几何距离相同,并且大多数电流在与半导体芯片 8 正下方的区域相对应的区域(电流集中部分,如图 11 中的箭头所示)中流动,于是,大电流集中在与位于半导体芯片 8 正下方的区域相对应的过孔 6 中。

[0019] 因此,局部异常发热导致由铜箔等制成的导体图案的熔化破坏(fusion breakdown)或者过孔结构的熔化破坏,而且,在经过长时间流过电源电流之后,电迁移导致发生图案短路,这可能引起诸如电可靠性降低等各种故障。电流集中的问题可能进一步降低由电流集中导致的电可靠性,在考虑到未来的半导体产品的电流密度的增大趋势,电流集中会引起严重问题。

[0020] 在具有积层(build-up layer)-核心层-积层结构的普通积层基板中,例如,在图

12所示的核心层中存在通孔的情况下,存在一些使电流集中略微扩散和缓解的效果。然而,在具有层叠的过孔结构的无核基板(coreless substrate)等的情况下,能够设置如下电源布线,即,在该电源布线中,用于驱动半导体芯片8的电源电流在半导体芯片(IC)与系统板之间以最短距离流动,因此,提高了AC电源的特性。相反地,使基板中的电流集中扩散和缓解的效果较小,这增加了DC电流集中的风险。

[0021] 在专利文献1中披露了如下一种技术,即,在该技术中,在流经有大电流的通孔周围形成多个作为电流路径的加强过孔,且在基板外层和基板内层处形成一个或多个用于将通孔电连接到加强过孔的导电图案,以由此使电流围绕所述加强过孔分布,使得电流不仅仅集中在通孔中。在上述技术中,在多层布线基板中,装载的电子元件的电极端子插入通孔,以连接到电源层,因此,电流是分散的,并仅能流入插入有电极端子的通孔中的加强过孔,即,电流仅在限定的特定通孔中分散。

[0022] 也就是说,在专利文献1所披露的技术中,电流的分散并非对所有的位于与上面装载有电子部件的装载区域相对应的位置的层间连接导体(例如,贯穿多层布线基板的层间绝缘层的通孔或过孔)都有效,从而电流仅在限定的特定通孔中流动。

[0023] 除非多层布线基板配置成使得就所有的位于与上面装载有半导体芯片的装载区域相对应的位置的层间连接导体(例如,在流经有用于驱动半导体芯片的电源电流的导电层(电源层)之间连接的通孔、过孔)而言,电流不出现集中,否则,在装载区域中的层间连接导体中发生电流集中,这导致局部异常发热发生,且导致电迁移生成,因此,难以保持良好的电可靠性。而且,由于异常发热的发生对半导体芯片的操作产生不利影响,所以难以保持良好的操作。

发明内容

[0024] 鉴于上述情况,最好提供一种能够缓解大电流集中的封装基板、以及使用上述封装基板的模块和电气/电子装置。

[0025] 本发明的实施例提供了一种封装基板,所述封装基板包括:第一导电层(例如,下述实施例中的布线层3a),其形成在所述封装基板的第一主面上,所述第一导电层具有多个第一端子图案部分(例如,下述实施例中的接地图案3a、电源图案3a-2、3a-3),所述多个第一端子图案部分通过多个第一外部连接导体(例如,下述实施例中的凸块阵列7)与装载在所述第一主面上的半导体部件(例如,下述实施例中的半导体芯片8)连接;第二导电层(例如,下述实施例中的布线层3f),其形成在所述封装基板的第二主面上,所述第二导电层具有多个第二端子图案部分,所述多个第二端子图案部分通过第二外部连接导体(例如,下述实施例中的BGA 2)与安装在所述第二主面上的系统基板连接,所述第二主面与所述第一主面相对;中间导电层(例如,布线层3b-3e),其形成在所述第一导电层与所述第二导电层之间;层间绝缘层,其形成在所述第一导电层与所述中间导电层之间以及所述第二导电层与所述中间导电层之间;以及多个层间连接导体(例如,下述实施例中的高电阻的过孔6a、低电阻的过孔6b),其贯穿所述层间绝缘层,所述多个层间连接导体层叠成用于所述第一导电层和所述第二导电层之间的连接。所述第一端子图案部分、所述第一外部连接导体、所述层间连接导体、所述第二端子图案部分和所述第二外部连接导体相连接,形成有用于连接所述半导体部件与所述系统基板的电流路径,且位于与中心部分区域相对应的位

置的所述电流路径具有高电阻,位于与所述中心部分区域外部的的外围区域相对应的位置的所述电流路径具有低电阻,所述中心部分区域包括上面装载有所述半导体部件的装载区域的中心部分。

[0026] 本发明的另一实施例提供了一种模块,该模板具有上述封装基板。

[0027] 本发明的又一实施例提供了一种电气/电子装置,该电气/电子装置具有上述封装基板。

[0028] 根据本发明的实施例,所述封装基板包括:第一导电层,其形成在所述封装基板的第一主面上,所述第一导电层具有多个第一端子图案部分,所述多个第一端子图案部分通过多个第一外部连接导体与装载在所述第一主面上的半导体部件相连接;第二导电层,其形成在所述封装基板的第二主面上,所述第二导电层具有多个第二端子图案部分,所述多个第二端子图案部分通过第二外部连接导体与安装在所述第二主面上的系统基板相连接,所述第二主面与所述第一主面相对;中间导电层,其形成在所述第一导电层与所述第二导电层之间;层间绝缘层,其形成在所述第一导电层与所述中间导电层之间以及所述第二导电层与所述中间导电层之间;以及多个层间连接导体,其贯穿所述层间绝缘层,所述多个层间连接导体层叠成用于所述第一导电层和所述第二导电层之间的连接。所述第一端子图案部分、所述第一外部连接导体、所述层间连接导体、所述第二端子图案部分和所述第二外部连接导体相连接,形成有用于连接所述半导体部件与所述系统基板的电流路径,且位于与中心部分区域相对应的位置的所述电流路径具有高电阻,位于与所述中心部分区域外部的的外围区域相对应的位置的所述电流路径具有低电阻,所述中心部分区域包括上面装载有所述半导体部件的装载区域的中心部分。根据上述结构,电流分布倾向于低电阻侧,也就是说,能够整体地控制电流流动,从而能够缓解大电流集中。在装载消耗大电流的半导体部件时,不会出现电流集中,从而能够提供一种能够抑制局部异常发热的发生以及抑制电气可靠性降低的封装基板。

[0029] 此外,根据本发明的实施例,能够提供一种因具有上述封装基板而能够抑制电可靠性下降的模块。

[0030] 此外,根据本发明的实施例,能够提供一种因具有上述封装基板而能够抑制电可靠性下降的电气/电子装置。

附图说明

[0031] 图1表示本发明实施例的封装基板(1)结构;

[0032] 图2表示本发明实施例的上面装载有半导体芯片的封装基板(1);

[0033] 图3表示本发明实施例的封装基板(2)结构;

[0034] 图4表示本发明实施例的封装基板(3)结构;

[0035] 图5表示本发明实施例的封装基板(4)结构;

[0036] 图6表示本发明实施例的封装基板(5)结构;

[0037] 图7表示本发明实施例的封装基板(6)结构;

[0038] 图8表示本发明实施例的封装基板(7)结构;

[0039] 图9表示本发明实施例的封装基板(8)结构;

[0040] 图10表示本发明实施例的封装基板(9)结构;

[0041] 图 11 表示相关技术的封装基板结构 ;以及

[0042] 图 12 表示相关技术的封装基板结构。

具体实施方式

[0043] 本发明实施例的封装基板优选配置成使得用于驱动半导体部件的电源电流在电流路径中流动。

[0044] 还优选地,本发明实施例的封装基板配置成使得用于驱动半导体部件的接地电流在电流路径中流动。

[0045] 还优选地,本发明实施例的封装基板配置成包括位于与装载区域相对应的位置的高电阻层间连接导体,包括位于与装载区域外部的的外围区域相对应的位置的低电阻层间连接导体,中心部分区域对应于装载区域,从而位于与装载区域相对应的位置的电流路径具有高电阻,位于与装载区域外部的的外围区域相对应的位置的电流路径具有低电阻。

[0046] 还优选地,本发明实施例的封装基板配置成包括多个中间导电层,在相邻的中间导电层之间形成层间绝缘层。

[0047] 还优选地,在同一个层间绝缘层中,位于与装载区域相对应的位置的层间连接导体具有高电阻,位于与外围区域相对应的位置的层间连接导体具有低电阻。

[0048] 还优选地,所述同一个层间绝缘层是从第一导电层一侧开始计数的第二层层间绝缘层。

[0049] 还优选地,在部分或者全部层间绝缘层中,位于与装载区域相对应的位置的层间连接导体具有高电阻,位于与外围区域相对应的位置的层间连接导体具有低电阻。

[0050] 还优选地,在从第一导电层一侧开始计数的至少一个层间绝缘层中,位于与装载区域相对应的位置的层间连接导体具有高电阻,位于与外围区域相对应的位置的层间连接导体具有低电阻。

[0051] 还优选地,靠近装载区域且位于与外围区域相对应的位置的层间连接导体具有高电阻,当从第一导电层一侧开始对层间绝缘层的层数进行计数时,具有高电阻的连接导体的数量随着层间绝缘层的层数的增加而增加。

[0052] 还优选地,位于与所述装载区域相对应的位置的层间连接导体和位于与外围区域相对应的位置的层间连接导体是由具有不同电阻的导电材料制成。

[0053] 还优选地,多个层叠成用于在第一导电层与第二导电层之间连接的层间连接导体形成为具有层叠的过孔结构。

[0054] 还优选地,相同层间绝缘层中的层间连接导体是填充过孔、中空过孔或者通孔中的任一种。

[0055] 还优选地,位于与装载区域相对应的位置的层间连接导体和位于与外围区域相对应的位置的层间连接导体具有不同直径。

[0056] 还优选地,层间连接导体是中空过孔或者通孔,位于与装载区域相对应的位置的层间连接导体和位于与外围区域相对应的位置的层间连接导体具有不同镀层厚度的壁。

[0057] 还优选地,中心部分区域是装载区域,位于与装载区域相对应的位置的第二外部连接导体具有高电阻,位于与装载区域外部的的外围区域相对应的位置的第二外部连接导体具有低电阻,位于与装载区域相对应的位置的电流路径具有高电阻,位于与装载区域外部

的外围区域相对应的位置的电流路径具有低电阻。

[0058] 还优选地,位于与中心部分区域相对应的位置的第一外部连接导体具有高电阻,位于与中心部分区域外部的的外围区域相对应的位置的第一外部连接导体具有低电阻,位于与中心部分区域相对应的位置的电流路径具有高电阻,位于与中心部分区域外部的的外围区域相对应的位置的电流路径具有低电阻。

[0059] 一种封装基板的结构中,所述封装基板包括:第一导电层,其形成在所述封装基板的第一主面上,所述第一导电层具有多个第一端子图案部分,所述多个第一端子图案部分通过多个第一外部连接导体与装载在所述第一主面上的半导体部件相连接;第二导电层,其形成在所述封装基板的第二主面上,所述第二导电层具有多个第二端子图案部分,所述多个第二端子图案部分通过第二外部连接导体与安装在所述第二主面上的系统基板相连接,所述第二主面与所述第一主面相对;中间导电层,其形成在所述第一导电层与所述第二导电层之间;层间绝缘层,其形成在所述第一导电层与所述中间导电层之间以及所述第二导电层与所述中间导电层之间;以及多个层间连接导体,其贯穿所述层间绝缘层,所述多个层间连接导体层叠成用于所述第一导电层和所述第二导电层之间的连接。在所述封装基板的结构中,所述第一端子图案部分、所述第一外部连接导体、所述层间连接导体、所述第二端子图案部分和所述第二外部连接导体相连接,形成有助于连接所述半导体部件与所述系统基板的电流路径,且位于与中心部分区域相对应的位置的所述电流路径具有高电阻,位于与所述中心部分区域外部的的外围区域相对应的位置的所述电流路径具有低电阻,所述中心部分区域包括上面装载有所述半导体部件的装载区域的中心部分。优选地,位于与所述装载区域相对应的位置的所述第二外部连接导体具有高电阻,位于与所述装载区域外部的的外围区域相对应的位置的第二外部连接导体具有低电阻。或者优选地,位于与中心部分区域(所述中心部分区域包括装载区域的中心部分)相对应的位置的第一外部连接导体具有高电阻,位于与所述中心部分区域外部的的外围区域相对应的位置的第一外部连接导体具有低电阻,位于与所述中心部分区域相对应的位置的电流路径具有高电阻,位于与所述中心部分区域外部的的外围区域相对应的位置的电流路径具有低电阻。更优选地,用于驱动半导体部件的电源电流在所述电流路径中流动,或者用于驱动所述半导体部件的接地电流在所述电流路径中流动。

[0060] 上述所有结构都具有在短时间内进行复杂处理的功能,因此,当装载消耗大电流的半导体部件(例如,GPU、CPU等)时,能够控制电流,并能够缓解大电流集中,因此不会发生电流集中。因而,能够抑制局部异常发热的发生,从而能够抑制导电图案的熔断破坏或者层间连接导体的熔断破坏,进而能够防止电迁移的发生,所以抑制了电可靠性降低。当然,本发明实施例的封装基板的结构可通过将上述结构中的一些结构组合而获得。

[0061] 在下文中,将参照附图说明本发明的实施例。本发明包括满足上述操作和效果的结构,且不限于这些实施例。为了能够清楚理解结构,简化了下文中提到的附图,从而比例并不完全精确。

[0062] 实施例

[0063] 本发明的实施例涉及上面安装有诸如CPU或GPU等消耗大电流的半导体芯片(IC)的封装基板。诸如分别流经有用于驱动半导体芯片的信号电流、电源电流及接地电流的信号布线图案层(信号层)、电源层以及接地层等导电层通过层间绝缘层在封装基板中形成

为层叠的布线层。

[0064] 除电流的流动方向相反之外,用于防止用于驱动半导体芯片的电源电流集中的封装基板的结构与用于防止用于驱动半导体芯片的接地电流集中的封装基板的结构相同,因此,下面将说明用于防止用于驱动半导体芯片的电源电流集中的封装基板的结构。出于简化的目的,在下述附图中,省略了部分信号层和接地层。

[0065] 层间连接导体是如下导体,即,该导体形成为贯穿多层布线基板的层间绝缘层,以在多层布线基板的导电层电之间连接,例如,过孔和通孔。注意,具有高电阻的过孔和通孔简称为高电阻过孔和高电阻通孔,具有低电阻的过孔和通孔简称为低电阻过孔和低电阻通孔。

[0066] 封装基板(1)

[0067] 在封装基板(1)中,具有高电阻的高电阻过孔布置在半导体芯片(消耗大电流)的装载区域中,具有低电阻的低电阻过孔布置在装载区域外部的的外围区域,即,具有不同过孔结构的高电阻过孔和低电阻过孔在封装基板的相同层间绝缘层中以混合状态形成。半导体芯片的装载区域是如下区域,即,当将半导体芯片投影到封装基板上时,该区域对应于半导体芯片在所述封装基板中的投影面(projection surface)。

[0068] 由于电流避开高电阻过孔,并在低电阻过孔方向上分布,所以能够通过适当布置高电阻过孔和低电阻过孔来控制电流,从而缓解了大电流集中。

[0069] 图1表示本发明实施例的封装基板(1)结构。

[0070] 图1表示本发明实施例的上面装载有半导体芯片8的封装基板(1),其示出了封装基板5的剖面结构。

[0071] 图2是包括半导体芯片8的剖面的立体图,其示出了半导体芯片8的由虚线表示从半导体芯片8切除的半导体芯片8的切除部分(cut-out portion)8a,并示出了半导体芯片8装载在封装基板5上以及封装基板5装载在系统板(系统基板)1上的状态。

[0072] 图1是包括通过切除半导体芯片8的一部分而形成的剖面的立体图,其包括半导体芯片8的从半导体芯片8切除图2中由虚线表示的切除部件8a形成的剖面,以及封装基板5的由图2中与zy面平行的面S所示的剖面位置中的剖面。面S是穿过电源图案3a-2的面。

[0073] 如图1和图2所示,半导体芯片8通过凸块阵列7装载在封装基板5的一个主面上,凸块阵列7在与xy面平行的表面上二维地布置。另外,如图1所示,封装基板5的与上述一个主面相对的另一主面通过BGA(球栅阵列(ball grid array))2装载在并连接到系统板上,在BGA2中,由焊料等制成的球二维地布置在与所述xy面平行的表面上。

[0074] 在图1中,示出了电源图案3a-2、3a-3、接地图案3a-1、内部布线层3b-3e(形成为中间电源层)、以及布线层3f(在所述布线层3f中未示出电源图案及接地图案),电源图案3a-2、3a-3和接地图案3a-1(它们形成部分第一电源层)形成部分布线层3a(其形成在表层上),在布线层3f中形成未图示的电源图案和接地图案(它们形成为第二电源层)。用于驱动半导体芯片8的电源电流在电源图案3a-2、3a-3中流动,用于驱动半导体芯片8的接地电流在接地图案3a-1中流动。

[0075] 图中示出了如下状态:接地图案3a-1的端子图案部分和电源图案3a-2的端子图案部分通过凸块阵列7分别连接到半导体芯片8。

[0076] 如同啮合的梳齿,接地图案 3a-1 的端子图案部与电源图案 3a-2 的端子图案部交替形成。电源图案 3a-2 的端子图案部分通过凸块阵列 7 连接到过孔 6a、6b。电源图案 3a-3 的端子图案部通过未示出的凸块阵列 7 也连接到过孔 6a、6b。

[0077] 如图 1 所示,封装基板 5 的 L1 层(第一电源层)和 L6 层(第二电源层)是多层基板中的最外导电层。L1 层的导电层包括流经有用于驱动半导体芯片 8 的电源电流的电源图案 3a-2、3a-3 和流经有用于驱动半导体芯片 8 的接地电流的接地层的接地图案 3a-1。L6 层的导电层表示布线层 3f,在布线层 3f 中形成有电源图案(流经有用于驱动半导体芯片 8 电源电流)和接地图案(流经有用于驱动半导体芯片 8 的接地电流)。

[0078] L2 层到 L5 层的导电层是多层基板中的内部电源层(中间电源层),这些内部电源层是流经有用于驱动半导体芯片 8 的电源电流的布线层。L1 层到 L6 层的导电层通过层间绝缘层 4a-4e 层叠。

[0079] 如图 1 所示,贯穿每个层间绝缘层 4a-4e 的过孔 6a、6b 形成为层间连接导体,通过 BGA 2 在 L6 层的电源图案中流动的电源电流通过过孔 6a、6b、电源图案 3a-2 的端子图案部、电源图案 3a-3 以及凸块阵列 7 流向半导体芯片 8。然后,从半导体芯片 8 流出的电流流向接地图案 3a-1、封装基板 5 的接地层(未图示)和系统板。

[0080] 对于在流经有用于驱动半导体芯片 8 的电源电流(同样适用于接地电流)的导电图案之间连接的过孔而言,通常并行地布置多个过孔,以用于减少一个过孔中存在的寄生电感/寄生电阻成分。当消耗大电流的半导体芯片 8 以倒装芯片的方式安装时,通常将过孔紧密地布置在半导体芯片 8 的装载区域中,使得过孔之间的间隔窄至制造规定所容许的极限,以获得既降低电感又散热的效果。

[0081] 在封装基板(1)中,高电阻过孔 6a 仅在装载有半导体芯片 8 且电流容易集中的装载区域中使用,而低电阻过孔 6b 在封装基板 5 的装载有半导体芯片 8(消耗大电流)的装载区域外部的区域中使用,即,在装载区域的内部和外部的区域处适当使用不同电阻的过孔。

[0082] 高电阻过孔 6a 例如是中空过孔或者是填充有绝缘或介电树脂的过孔(填充过孔)等等,低电阻过孔 6b 例如是填充有金属或导电胶(conductive paste)的填充过孔等等。高电阻过孔 6a 优选地通过使用具有高电阻的导电材料形成,低电阻过孔优选地通过使用具有低电阻的导电材料形成。图 1 所示的示例中,高电阻过孔 6a 是中空过孔,低电阻过孔 6b 是金属填充过孔。

[0083] 如图 1 所示,由于存在高电阻过孔 6a 的原因,在位于半导体芯片 8 的装载区域中的封装基板 5 中流动的电流不通过如下路径平顺地流动,即,该路径将电流向上引导至半导体芯片 8(与 z 方向平行的路径)。由于低电阻过孔 6b 布置在半导体芯片 8 的装载区域的外部,所以与装载区域内部相比,电阻被抑制得更低,因此,部分电流在箭头所示的装载区域外部的方向流动。如上所述,从广义的观点来看,能够控制电流流动,从而能够缓解电流集中。

[0084] 由于上述电流集中的缓解效果,与在装载区域内部和外部中使用相同电阻的过孔的情况相比,抑制了电流集中到半导体芯片 8 正下方区域中的过孔,从而抑制了局部异常发热的发生,因此,能够保持半导体芯片 8 的正常操作(可靠性)。

[0085] 基于上述封装基板(1)的结构,当半导体芯片 8(例如,消耗大电流的 GPU/CPU)装

载在封装基板 5 上时,半导体芯片 8 的装载区域中的层间连接导体中没有出现电流集中,因此,能够抑制局部异常发热的发生。

[0086] 由于能够抑制局部异常发热的发生,所以能够抑制导体图案的熔化破坏或者过孔结构的熔化破坏,且还能够抑制电迁移的发生,从而能够抑制电可靠性的降低。

[0087] 由于能够抑制在半导体芯片的装载区域处发生局部异常发热,所以异常发热对所述半导体芯片几乎没有影响,从而保持了良好的操作(可靠性)。

[0088] 在封装基板 5 中,接地层之间的层间绝缘层中的层间连接导体能够与电源层之间的层间绝缘层中的层间连接导体具有相同的结构。

[0089] 在这种情况下,高电阻过孔布置在半导体芯片的装载区域中,低电阻过孔布置在装载区域外部的的外围区域中,即,在制造封装基板 5 时,具有不同过孔结构的高电阻过孔和低电阻过孔以混合状态形成在封装基板 5 的同一层间绝缘层中。

[0090] 虽然电流方向与图 1 所示方向相反,但电流避开了高电阻过孔并被分布到低电阻过孔的方向,因此能够通过适当地布置高电阻过孔和低电阻过孔来控制电流,从而缓解了大电流集中。因此,产生了与电源层之间的层间绝缘层中的层间连接导体同样的效果。

[0091] 封装基板(2)

[0092] 以与图 1 相同的方式,图 3 是表示本发明实施例的封装基板(2) 的结构的立体图,其包括通过切除部分半导体芯片 8 而形成的剖面,并示出封装基板 5 的剖面结构。

[0093] 虽然半导体芯片 8 的装载区域中的所有层间连接导体是封装基板(1) 中的高电阻过孔 6a,但是存在如下情况:鉴于封装基板 5 的结构及成本增加,难以将层间绝缘层 4a-4e 的全部层中的层间连接导体形成成为高电阻过孔 6a。

[0094] 这种情况下,如图 3 的封装基板(2) 所示,在图 1 所示的封装基板(1) 中,在层间绝缘层 4a、4c-4e 中,低电阻过孔 6b 布置成位于半导体芯片 8 的装载区域中,仅在邻近半导体芯片 8 的层间绝缘层 4b 中,高电阻过孔 6a 布置成位于半导体芯片 8 的装载区域中,低电阻过孔 6b 布置成位于装载区域外部的的外围区域中。图 3 所示示例中,高电阻过孔 6a 是中空过孔,低电阻过孔 6b 是金属填充过孔。

[0095] 根据封装基板(2) 的结构,尽管效果有限,但仍能够获得电流集中的缓解效果。

[0096] 封装基板 3

[0097] 以与图 1 相同的方式,图 4 是表示本发明实施例的封装基板(3) 结构的立体图,其包括通过切除部分半导体芯片 8 而形成的剖面,并示出了封装基板 5 的剖面结构。

[0098] 在图 1 所示的封装基板(1) 中,另外优选地,当能够制造工艺制造时,在系统板附近(即, BGA 2 附近) 的侧上,将形成有高电阻过孔 6a 的区域扩展成靠近封装基板 5 的主面。也就是说,更多数量的高电阻过孔 6a 在层间绝缘层中形成为靠近图 1 所示封装基板(1) 的上述主面侧,在图 4 所示的示例中,高电阻过孔 6a 是中空过孔,低电阻过孔 6b 是金属填充过孔。

[0099] 在封装基板(1) 的结构中,将形成有高电阻的过孔 6a 的区域限制成半导体芯片 8 的装载区域,然而,在封装基板(3) 的结构中,高电阻过孔 6a 也形成为位于半导体芯片 8 的装载区域外部的的外围区域中。在图 4 所示的示例中,2、4、6 和 8 个高电阻过孔 6a 分别在层间绝缘层 4b、4c、4d 和 4e 中形成为位于半导体芯片 8 的装载区域外部的的外围区域中。

[0100] 与图 1 所示封装基板(1) 结构的情况相比,图 4 所示封装基板(3) 的结构进一步

增强了电流集中的缓解效果。

[0101] 封装基板 (4)

[0102] 以与图 1 相同的方式,图 5 是表示本发明实施例的封装基板 (4) 结构的立体图,其包括通过切除部分半导体芯片 8 而形成的剖面,并示出了封装基板 5 的剖面结构。

[0103] 对于图 1 所示的封装基板 (1) 中的过孔直径变化的结构,高电阻过孔 6a 变为具有小直径的高电阻过孔 6a-1,低电阻过孔 6b 形成大直径过孔。小直径过孔例如是中空过孔、填充有绝缘或介电树脂的过孔 (填充过孔) 等等,大直径过孔例如是由金属或者导电胶填充的填充过孔等等。期望地,通过使用具有高电阻的导电材料形成高电阻过孔 6a-1,通过使用具有低电阻的导电材料形成低电阻过孔。图 5 所示的示例中,高电阻过孔 6a-1 是小直径的金属填充过孔,低电阻过孔 6b 是大直径的金属填充过孔。

[0104] 根据图 5 所示的封装基板 (4) 的结构,以与图 1 所示的封装基板 (1) 结构相同的方式,能够获得电流集中的缓解效果。

[0105] 封装基板 (5)

[0106] 以与图 1 相同的方式,图 6 是表示本发明实施例的封装基板 (5) 的结构立体图,其包括通过切除部分半导体芯片 8 而形成的剖面,并示出了封装基板 5 的剖面结构。

[0107] 形成为中空过孔的低电阻过孔 6b-1 用作图 1 所示的封装基板 (1) 中的低电阻过孔 6b。在图 6 所示的示例中,高电阻过孔 6a 是中空过孔,其内壁具有较薄的镀层 (plating),低电阻过孔 6b-1 是中空过孔,其内壁具有较厚的镀层。如图 6 所示,即使在使用相同直径的过孔时,仍能够通过改变过孔的内壁厚度来形成高电阻过孔和低电阻过孔。

[0108] 能够通过使用相同电阻的导电材料形成高电阻过孔 6a 和低电阻过孔 6b-1,然而,期望地,通过使用具有高电阻的导电材料形成高电阻过孔 6a,通过使用具有低电阻的导电材料形成低电阻过孔 6b-1。

[0109] 根据图 6 所示的封装基板 (5) 结构,以与图 1 所示封装基板 (1) 结构相同的方式,能够获得电流集中的缓解效果。

[0110] 封装基板 (6)

[0111] 以与图 1 相同的方式,图 7 是表示根据本发明实施例的封装基板 (6) 的结构立体图,其包括通过切除部分半导体芯片 8 而形成的剖面,并示出了封装基板 5 的剖面结构。

[0112] 在图 1 所示封装基板 (1) 中,高电阻过孔 6a-2 用作高电阻过孔 6a,高电阻过孔 6a-2 形成为填充有低电导率导电材料的填充过孔,低电阻过孔 6b-2 用作低电阻过孔 6b,低电阻过孔 6b-2 形成为填充有高电导率导电材料的填充过孔。

[0113] 具有高电导率 (或者低电阻率) 的材料例如是铜、银、金、铬等等,具有低电导率 (或者高电阻率) 的材料例如是铝、钨、钼等等。如图 7 所示,即使在使用具有相同直径的过孔时,仍能够通过改变填充到过孔内部的导电材料的电导率 (电阻率) 来形成高电阻过孔和低电阻过孔。只要高电阻过孔 6a-2 的电阻形成为大于低电阻过孔 6b-2 的电阻,高电阻过孔 6a-2 和低电阻过孔 6b-2 也能够具有不同的直径。

[0114] 根据图 7 所示的封装基板 (6) 结构,以与图 1 所示封装基板 (1) 的结构相同的方式,能够获得电流集中的缓解效果。

[0115] 封装基板 (7)

[0116] 以与图 1 相同的方式,图 8 是表示本发明实施例的封装基板 (7) 的结构立体图,

其包括通过切除部分半导体芯片 8 而形成的剖面,并示出了封装基板 5 的剖面结构。

[0117] 虽然在封装基板 (1) 中使用高电阻过孔和低电阻过孔作为层间连接导体,但也能够使用高电阻通孔和低电阻通孔。能够通过改变通孔的直径、镀层厚度、材料等来形成高电阻通孔和低电阻通孔。

[0118] 在图 8 所示的示例中,在层间绝缘层 4a、4b、4d 和 4e 中,过孔 (填充有导电材料的填充过孔) 6 用作层间连接导体,在层间绝缘层 4c 中,高电阻通孔 9a 形成位于半导体芯片 8 的装载区域中的层间连接导体,低电阻通孔 9b 形成在装载区域外部的的外围区域处。

[0119] 只要高电阻通孔 9a 的电阻形成大于低电阻通孔 9b 的电阻,高电阻通孔 9a 和低电阻通孔 9b 能够具有相同的壁厚和不同的直径,或者高电阻通孔 9a 和低电阻通孔 9b 能够具有不同的壁厚和相同的直径。此外,能够通过使用具有相同电阻的导电材料来形成高电阻通孔 9a 和低电阻通孔 9b。期望地,通过使用具有高电阻的导电材料形成高电阻通孔 9a,通过使用具有低电阻的导电材料形成低电阻通孔 9b。

[0120] 根据图 8 所示的封装基板 (7) 的结构,以与图 1 所示封装基板 (1) 的结构相同的方式,能够获得电流集中的缓解效果。

[0121] 在上述封装基板 (1) ~ (7) 中的结构中,通过形成在封装基板 5 的层间绝缘层中的具有高电阻的层间连接导体和具有低电阻的层间连接导体的布置以及这些连接导体的结构,获得了电流集中的缓解效果。然而,如下所述,将高电阻的电阻元件和低电阻的电阻元件分别用作在半导体芯片 8 与封装基板 5 之间连接的凸块阵列 7,或者用作在封装基板 5 与系统板 1 之间连接的 BGA 2,从而以与封装基板 (1) ~ 封装基板 (7) 相同的方式获得电流集中的缓解效果。

[0122] 封装基板 (8)

[0123] 以与图 1 相同的方式,图 9 是表示本发明实施例的封装基板 (8) 的结构的立体图,其包括通过切除部分半导体芯片 8 而形成的剖面,并示出了封装基板 5 剖面结构。

[0124] 在封装基板 (8) 中,高电阻凸块阵列 7a 用作图 1 所示的封装基板 (1) 中的位于与中心部分区域 (包括半导体芯片 8 的装载区域的中心部分) 相对应的位置的凸块阵列,低电阻凸块阵列 7b 用作图 1 所示的封装基板 (1) 中的位于与中心部分区域 (包括装载区域的中心部分) 外部的的外围区域相对应的位置的凸块阵列。

[0125] 在图 9 所示的示例中,在中心部分区域外部的的外围区域中,低电阻凸块阵列 7b 与形成在 L1 层中的接地图案 3a-1 的端子图案部和电源图案 3a-2 的端子图案部相连接,高电阻凸块阵列 7a 与形成在中心部分区域的 L1 层中的接地图案 3a-1 的端子图案部和电源图案 3a-2 的端子图案部相连接。

[0126] 能够通过改变用于形成凸块阵列的导电材料的电导率的大小 (高 / 低) (或者高电阻率 / 低电阻率) 形成高电阻凸块和低电阻凸块。具有高电导率 (或者低电阻率) 的导电材料例如是铜、银、金、铬等等。具有低电导率 (或者高电阻率) 的材料例如是铝、钨、钼等等。

[0127] 在图 9 所示的示例中,过孔 (填充有导电材料的填充过孔) 6 在层间绝缘层 4a-4e 中用作层间连接导体,中间 15 行的高电阻凸块阵列 7a 平行于 x 方向设置,从而与中心部分区域 (其包括半导体芯片 8 的装载区域的中心部分) 相对应,6 行的低电阻凸块阵列 7b 分别在左侧和右侧上平行于 x 方向设置,从而与中心部分区域 (其包括装载区域的中心部分)

外部的包围区域相对应。

[0128] 在图 9 所示的封装基板 (8) 的结构中,当电源层 (这同样适用于接地层) 在重分布层 (re-distribution layer, RDL) 中形成为实体平面状态 (solid plane state) 时,在电流容易集中的区域 (即,包括半导体芯片的装载区域的中心部分的中心部分区域) 中使用高电阻凸块,而在中心部分区域外部的包围区域中使用低电阻凸块,从而以与图 1 所示的封装基板 (1) 结构相同的方式获得电流集中的缓解效果。

[0129] 封装基板 (9)

[0130] 以与图 1 相同的方式,图 10 是表示本发明实施例的封装基板 (9) 的结构的立体图,其包括通过切除部分半导体芯片 8 而形成的剖面,并示出了封装基板 5 的剖面结构。

[0131] 在封装基板 (9) 中,高电阻 BGA 用作位于与图 1 所示封装基板 (1) 中的半导体芯片 8 的装载区域相对应的位置的 BGA,低电阻 BGA 用作位于与装载区域外部的包围区域相对应的位置的 BGA。

[0132] 能够通过改变用于形成 BGA 的导电材料的电导率的大小 (高 / 低) (或者电阻率的高 / 低) 来形成高电阻 BGA 和低电阻 BGA。具有高电导率 (或者低电阻率) 的导电材料例如是铜、银、金、铬等等,具有低电导率 (或者高电阻率) 的材料例如是铝、钨、钼等等。

[0133] 在图 10 中,示出了与 L6 层中所形成的布线层 3f (电源层) 中的端子图案以及与系统板的端子图案 (未图示) 相连接的 BGA,高电阻 BGA2a 布置在半导体芯片 8 的装载区域中,低电阻 BGA 2b 布置在装载区域外部的包围区域中。

[0134] 在图 10 所示的示例中,过孔 (填充有导电材料的填充过孔) 6 在层间绝缘层 4a-4e 中用作层间连接导体,中间 7 行的高电阻 BGA 2a 平行于 x 方向布置成与半导体芯片 8 的装载区域相对应,2 行的低电阻 BGA 2b 分别在左侧和右侧上平行于 x 方向布置成与装载区域外部的包围区域相对应。

[0135] 根据具有上述结构的封装基板 (9) 的结构,以与图 1 所示的封装基板 (1) 的结构相同的方式,能够获得电流集中的缓解效果。

[0136] 封装基板 (10)

[0137] 封装基板 (10) 具有封装基板 (8) 的结构,即,将高电阻凸块用作位于与中心部分区域 (其包括半导体芯片 8 的装载区域的中心部分) 相对应的位置的凸块,及低电阻凸块用作位于与中心部分区域 (其包括装载区域的中心部分) 外部的包围区域相对应的位置的凸块的这种结构与封装基板 (1)-(7) 中的层间连接导体的任一结构相结合。

[0138] 根据封装基板 (10) 的结构,以与图 1 所示的封装基板 (1) 的结构相同的方式,能够获得电流集中的缓解效果。

[0139] 封装基板 (11)

[0140] 封装基板 11 具有封装基板 (9) 的结构,即,将高电阻 BGA 用作位于与半导体芯片 8 的装载区域相对应的位置的 BGA,及低电阻 BGA 用作位于与装载区域外部的包围区域相对应的位置的 BGA 的这种结构与封装基板 (1)-(7) 的层间连接导体的任一结构相结合。

[0141] 根据具有上述结构的封装基板 (11) 的结构,以与图 1 所示的封装基板 (1) 的结构相同的方式,能够获得电流集中的缓解效果。

[0142] 上面说明了用于抑制在用于驱动半导体芯片 8 时的电源电流的集中的封装基板的结构示例。与这些结构示例相同的结构也可应用到接地层、凸块阵列 7 与 BGA 2 之间的

层间绝缘层的结构,从而防止了用于驱动半导体芯片 8 的接地电流的集中(虽然电流流动的方向是相反的),这与上述用于防止电源电流集中的结构示例具有相同的操作并获得相同的效果。

[0143] 虽然,如上所述说明了本发明的实施例,但本发明并不限于上述实施例,且根据本发明的技术构思可以进行各种修改。

[0144] 例如,能够在不限制封装基板的电源层和接地层的数量的情况下实施本发明,本发明不受电源层和接地层的数量限制。也能够在不形成成为贯穿层间绝缘层的层间连接导体的数量、凸块阵列中的凸块的数量以及 BGA 的导电球的数量进行限制的情况下实施本发明,本发明不受层间连接导体的数量、凸块的数量以及导电球的数量限制。另外, BGA 可以是二维布置有平面电极的 LGA(触点栅格阵列(land grid array))。

[0145] 根据本发明实施例,能够提供缓解大电流集中的封装基板、以及使用上述封装基板的模块和电气/电子装置。

[0146] 本领域技术人员应当理解,只要设计要求以及其它因素在本发明所附权利要求或者其等同物的范围内,就可以根据这些设计要求以及其它因素进行各种修改、组合、次组合以及替换。

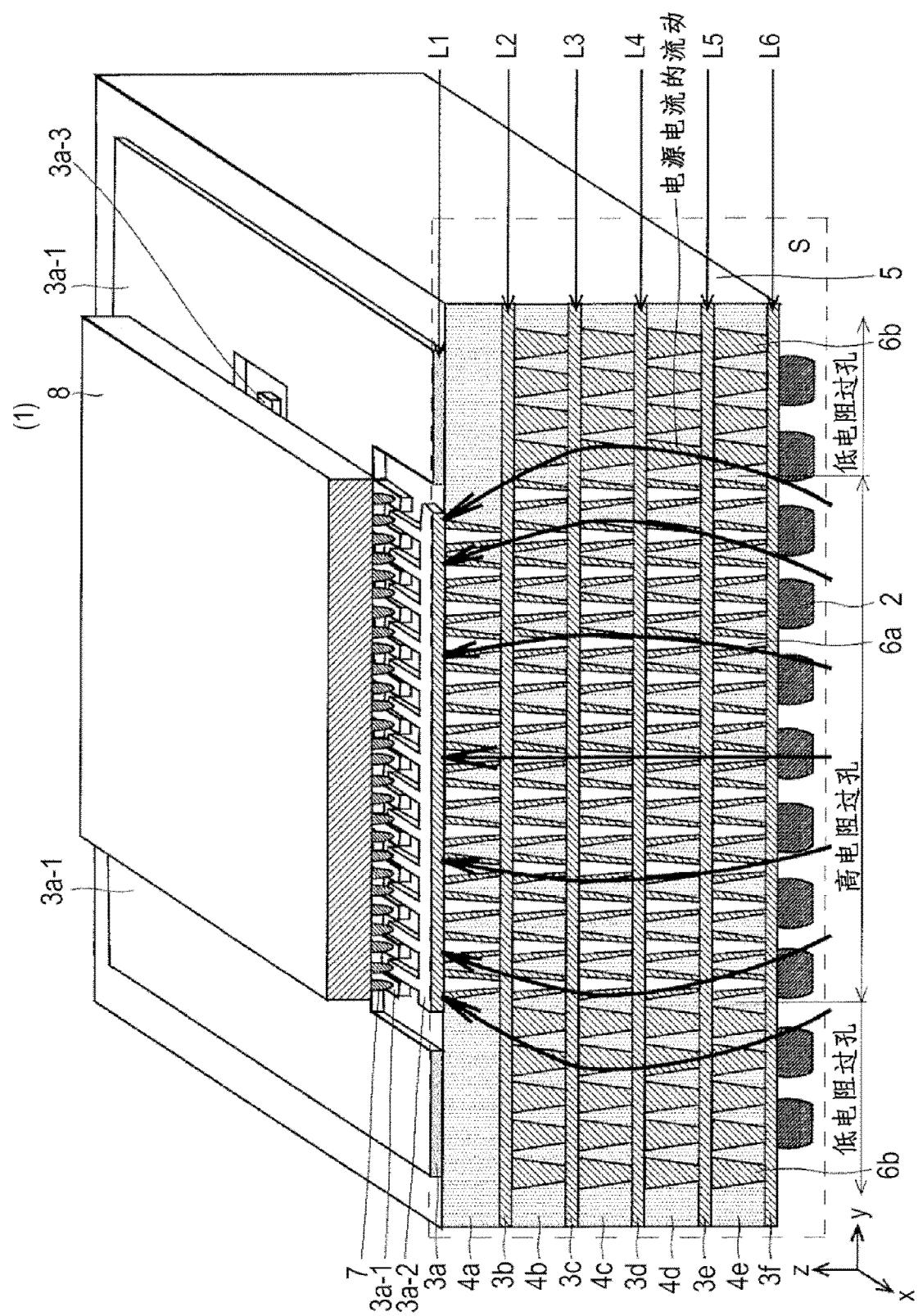


图 1

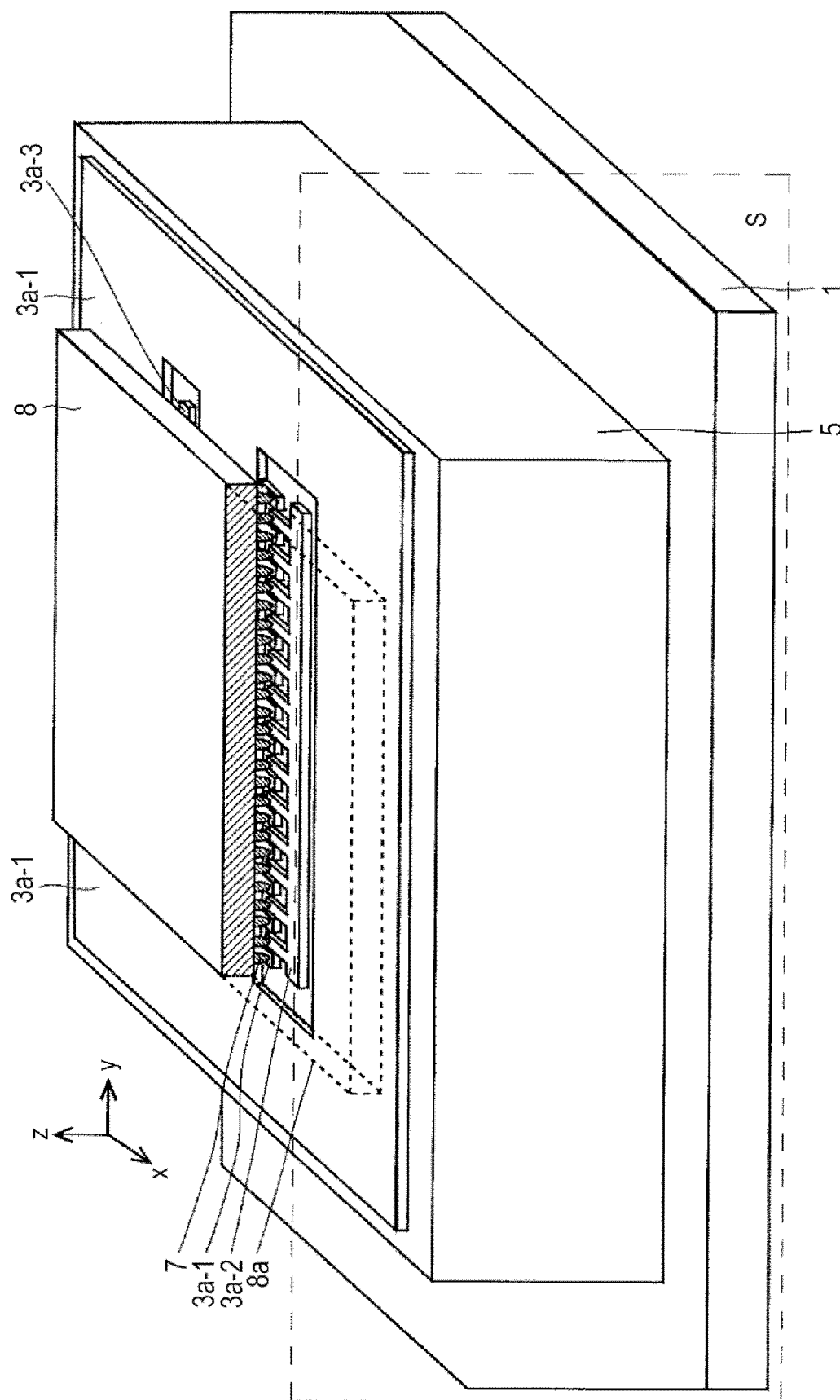


图 2

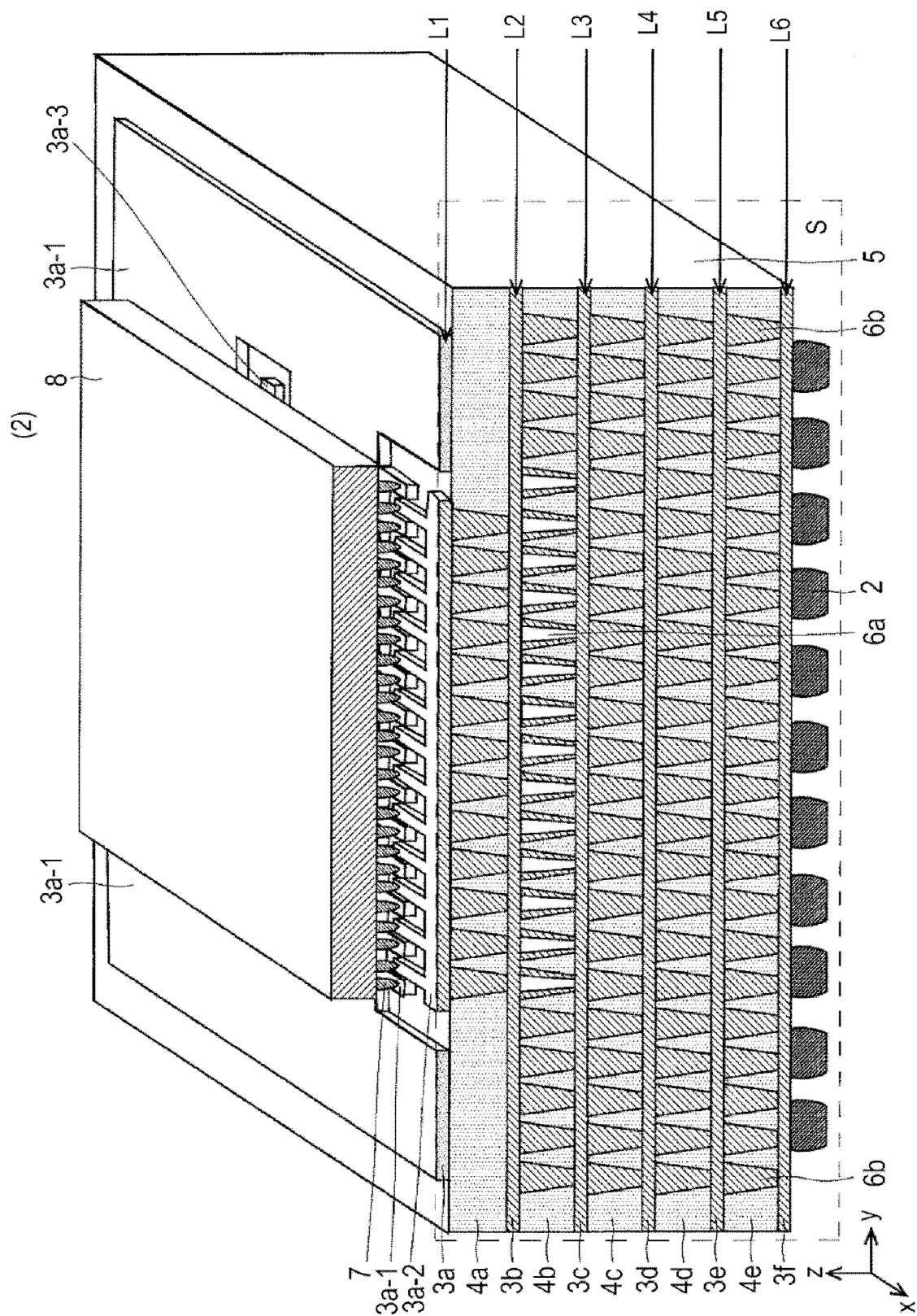


图 3

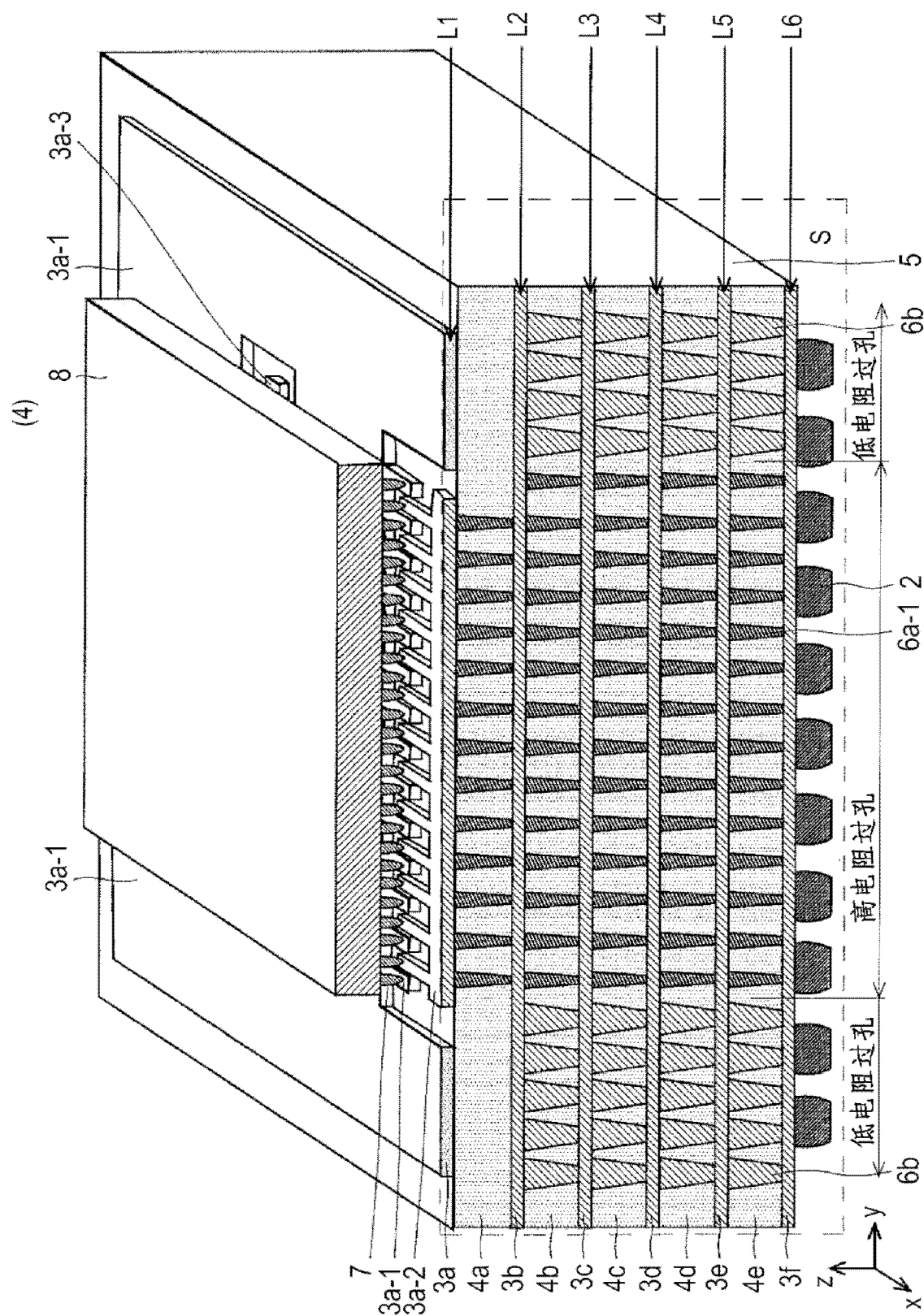


图 5

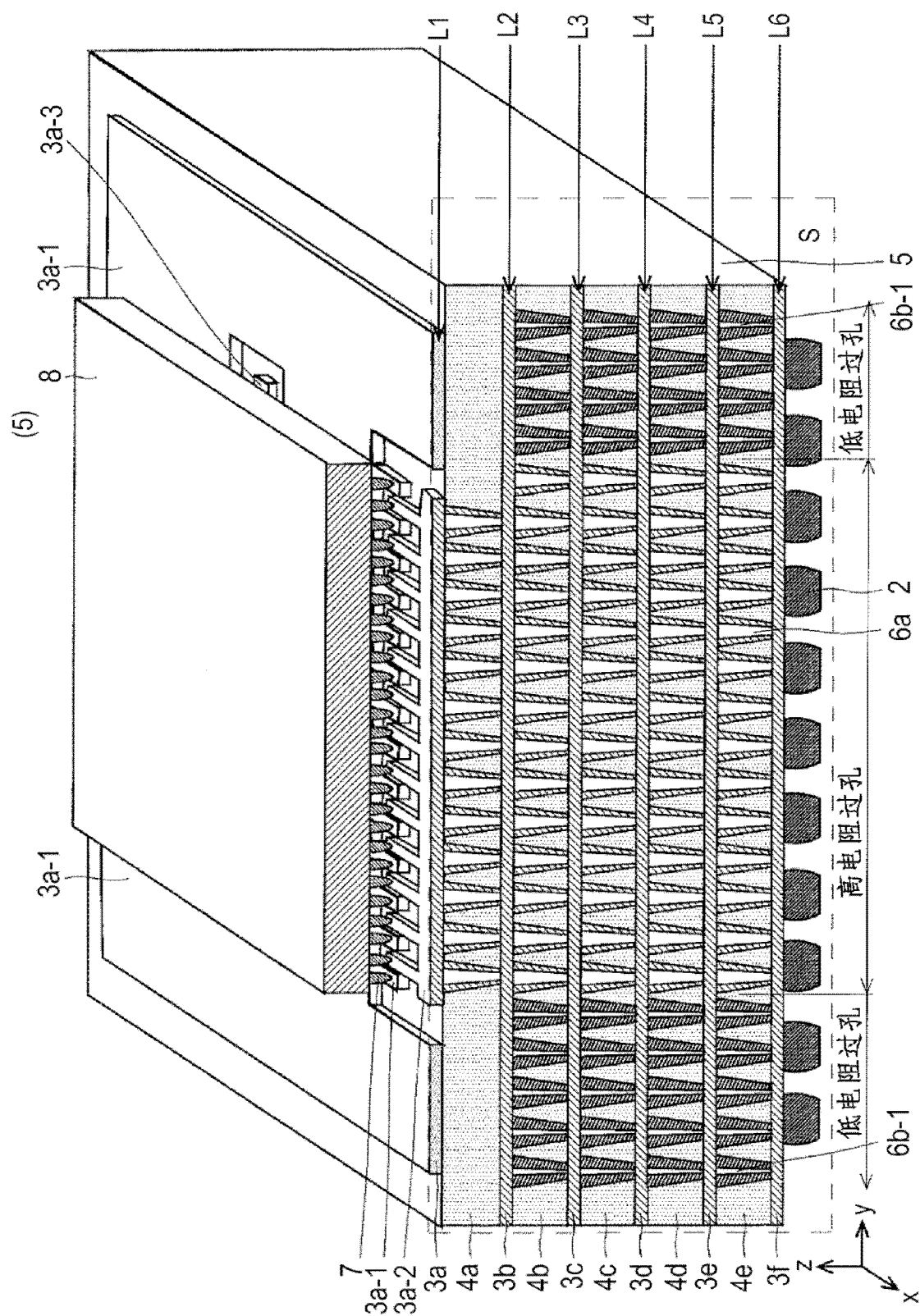


图 6

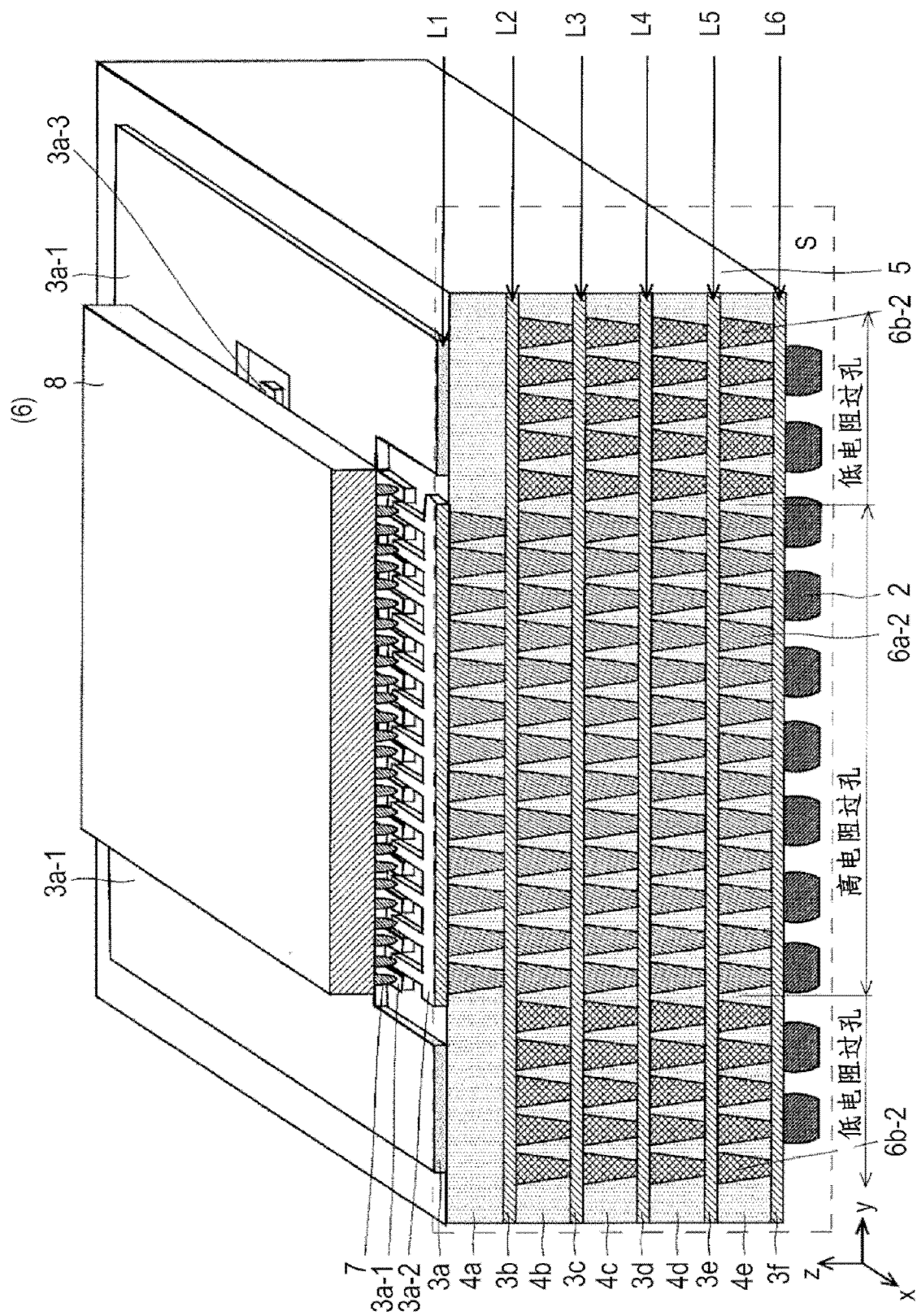


图 7

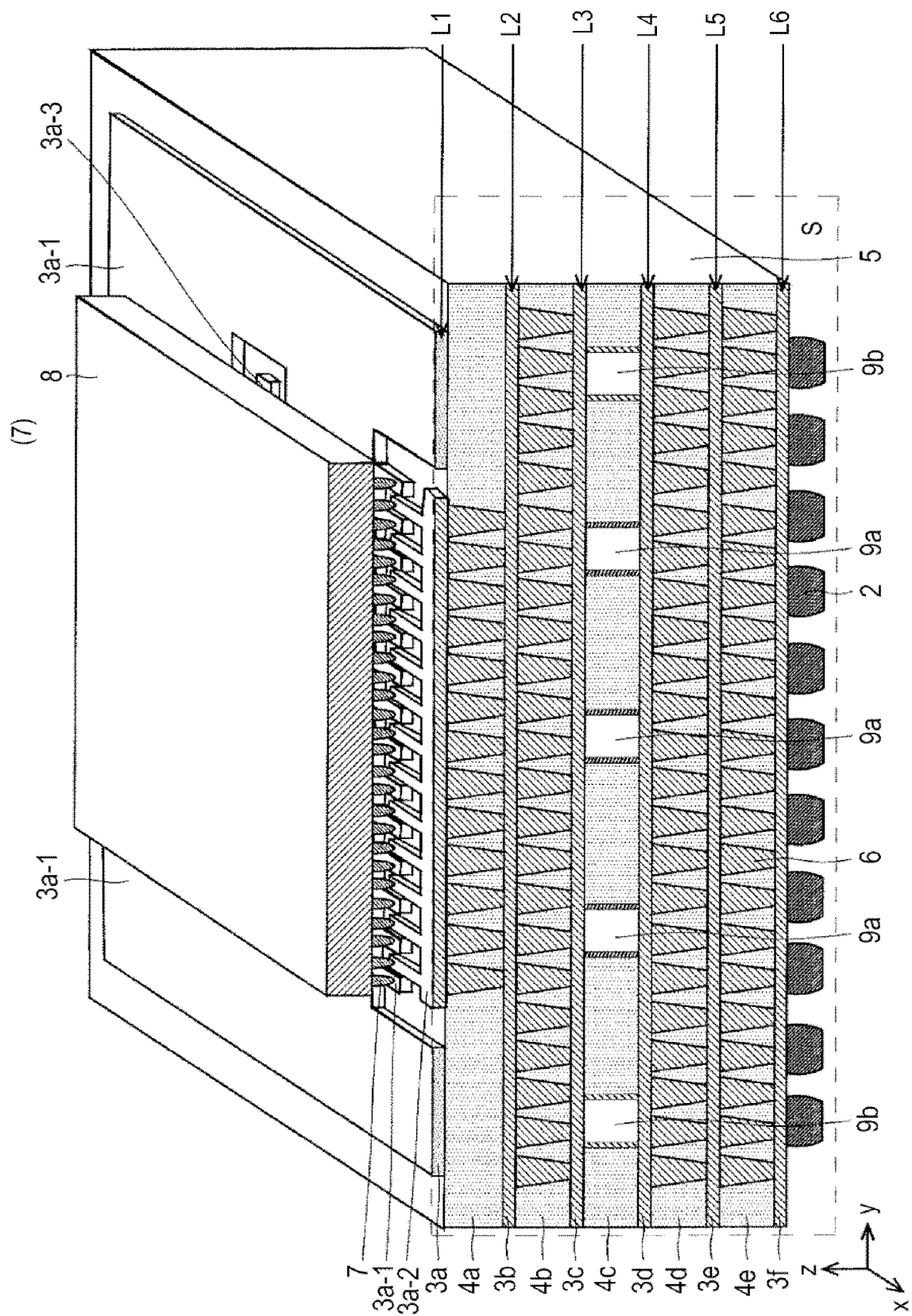


图 8

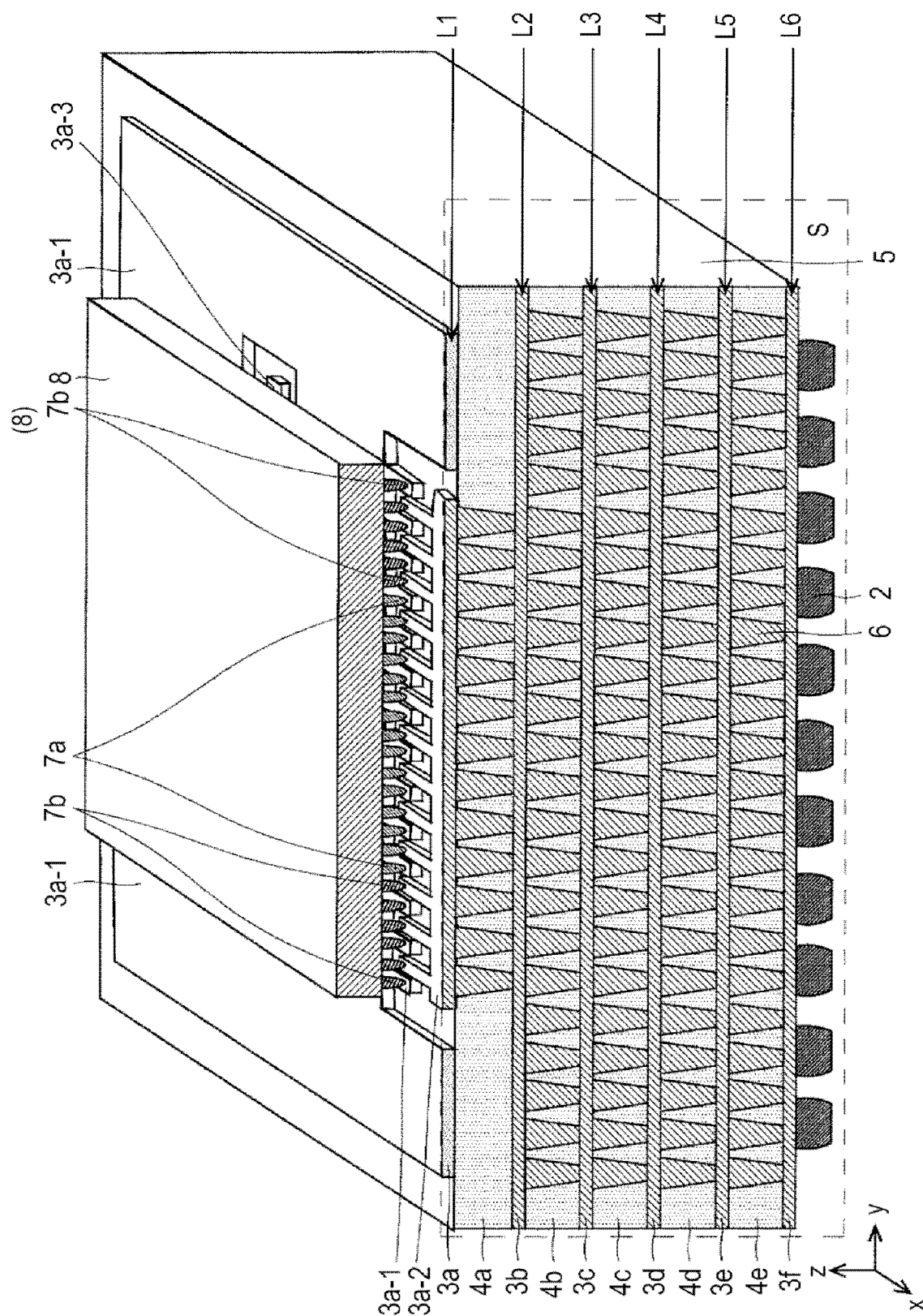


图 9

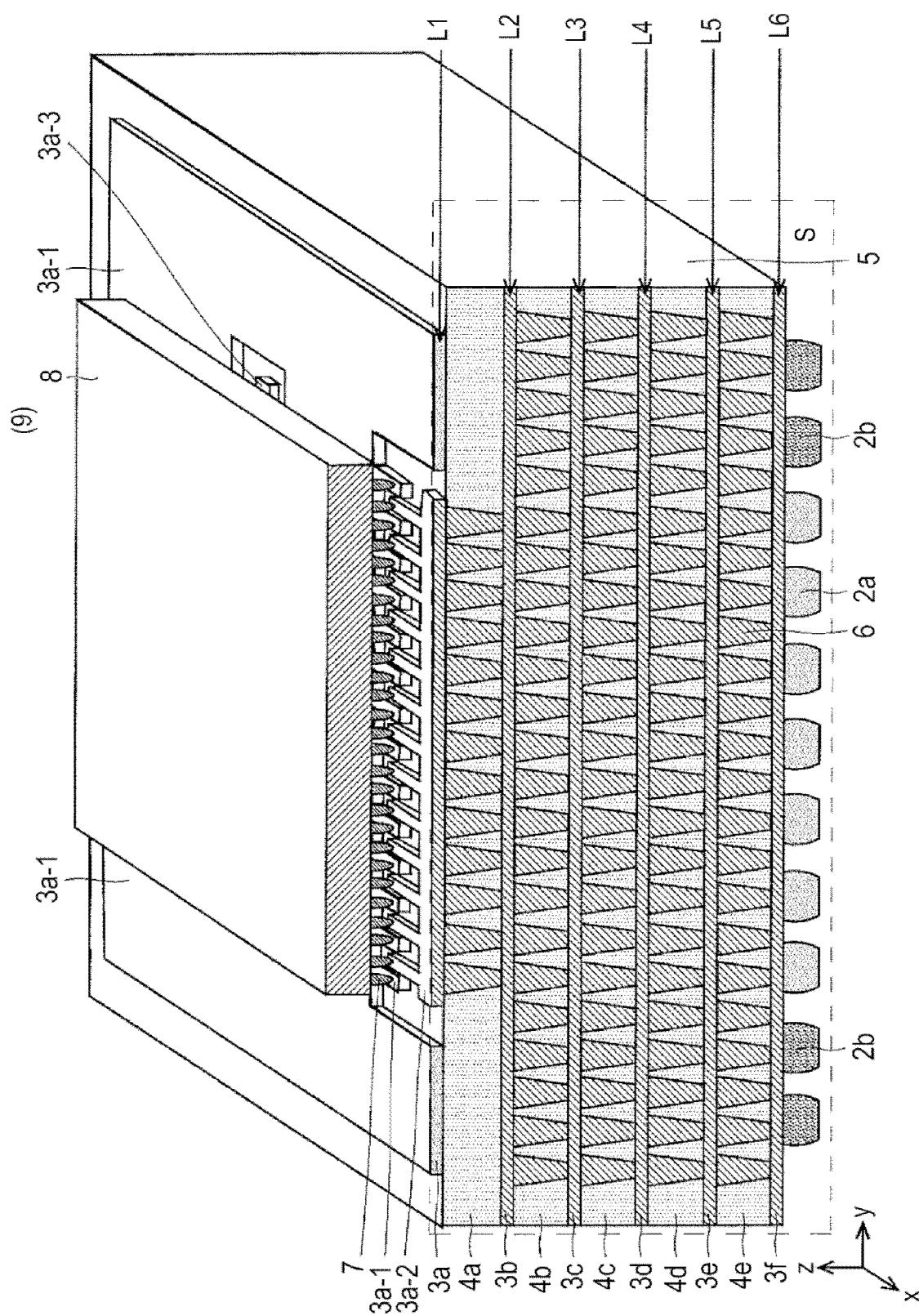


图 10

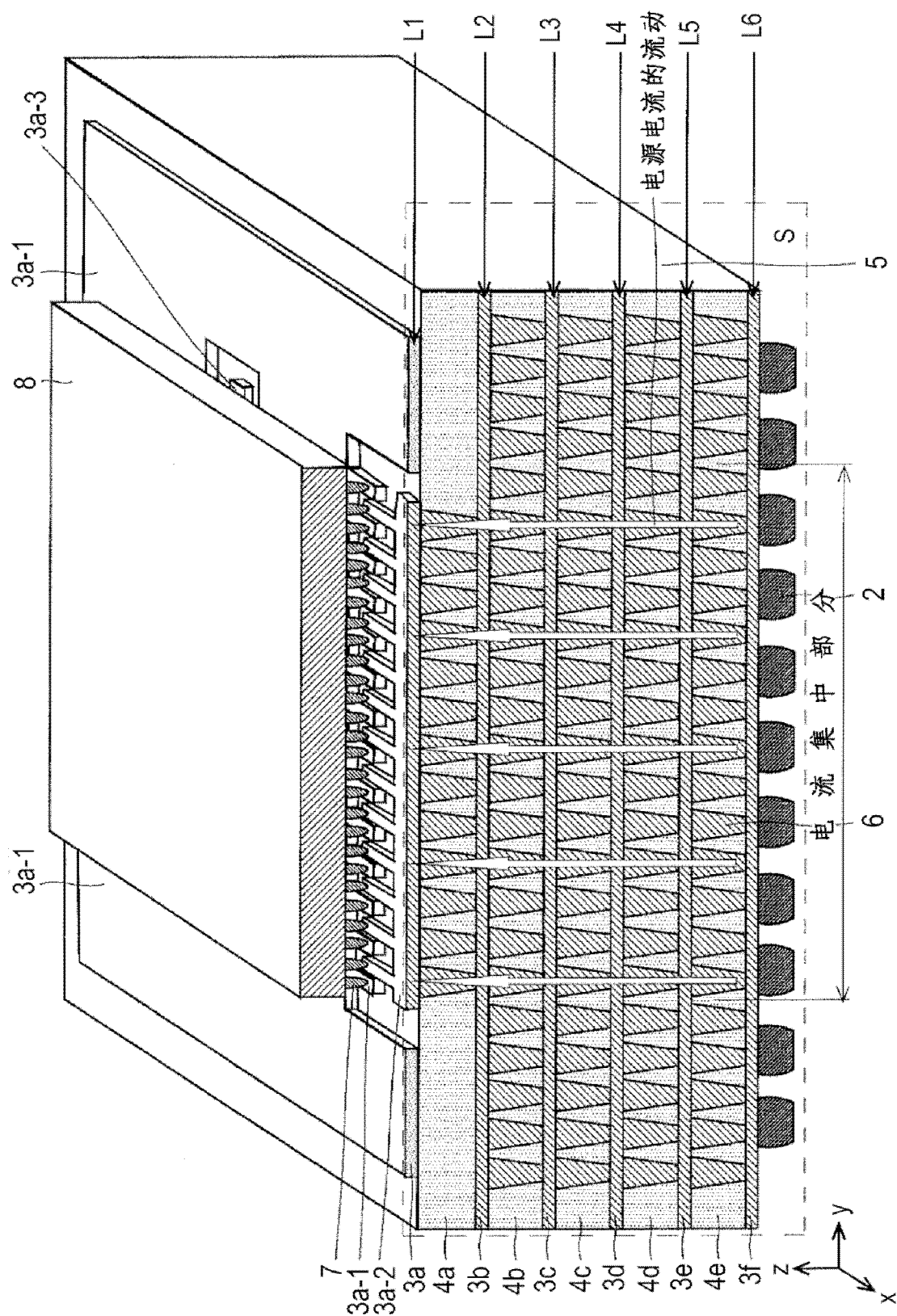


图 11

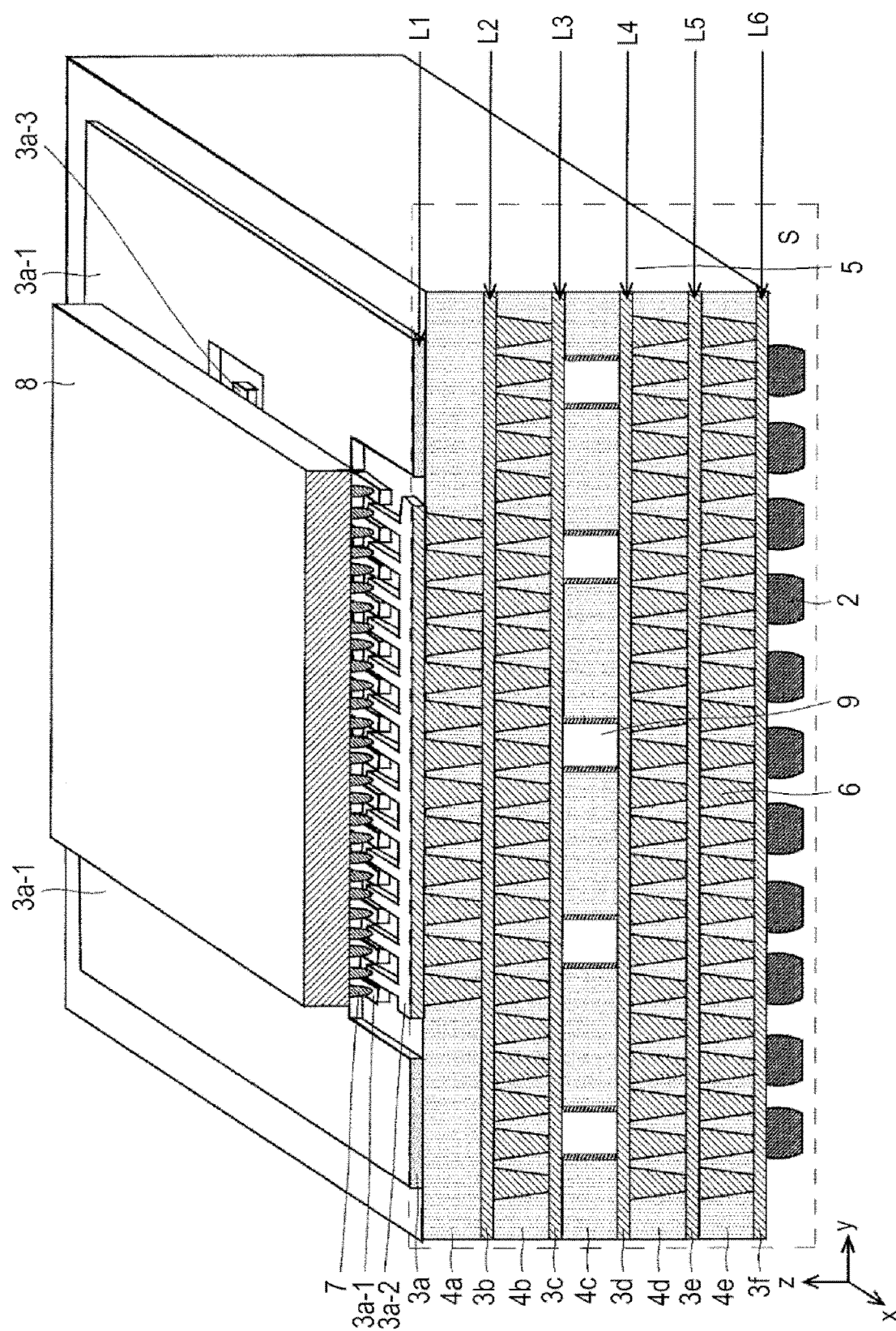


图 12