(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年10 月26 日 (26.10.2006)

PCT

(10) 国際公開番号
WO 2006/112111 A1

(51) 国際特許分類:
G06F 12/08 (2006.01) *G06F 12/12* (2006.01)

(21) 国際出願番号: PCT/JP2006/302141

(22) 国際出願日: 2006 年2 月8 日 (08.02.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-112839 2005 年4 月8 日 (08.04.2005) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真１００６番地 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 岡林 はづき (OKABAYASHI, Hazuki). 田中 哲也 (TANAKA, Tetsuya). 中西 龍太 (NAKANISHI, Ryuta). 中島 雅逸 (NAKAJIMA, Masaitsu). 金子 圭介 (KANEKO, Keisuke).

(74) 代理人: 新居 広守 (NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島５丁目３番１０号 タナカ・イトーピア新大阪ビル６階 新居国際特許事務所内 Osaka (JP).

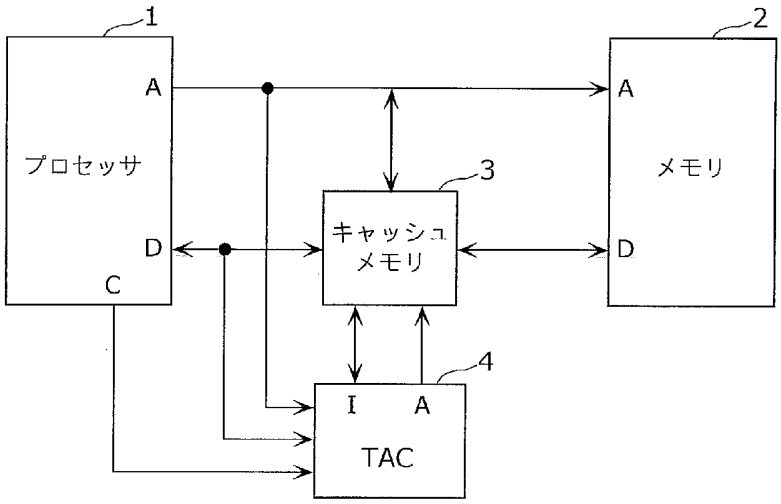
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

[続葉有]

(54) **Title:** CACHE MEMORY SYSTEM, AND CONTROL METHOD THEREFOR

(54) **発明の名称:** キャッシュメモリシステム及びその制御方法



1 PROCESSOR
2 MEMORY
3 CACHE MEMORY

(57) **Abstract:** Provided is a cache memory system for accepting a control from a software positively and processing the control. The cache memory system comprises a cache memory (3) interposed between a processor (1) and a memory (2), and a TAC (Transfer and Attribute Controller) (4) for controlling the cache memory. The TAC (4) is given, when the processor (1) executes a predetermined instruction, a command indicating the transfer and attribute operation of cache data and the address designating the object of the operation, and requests the cache memory for the operation indicated by the command for the address.

[続葉有]

WO 2006/112111 A1

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書
— 補正書・説明書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: ソフトウェアからの制御を積極的に受け入れて処理するキャッシュメモリシステムは、プロセッサ（１）とメモリ（２）との間に設けられるキャッシュメモリ（３）と、前記キャッシュメモリを制御するＴＡＣ（Transfer and Attribute Controller）（４）とを備え、ＴＡＣ（４）はプロセッサ（１）が予め定められた命令を実行することによって、キャッシュデータの転送及び属性操作とその操作の対象を指定するアドレスとを示すコマンドを与えられ、前記アドレスに対する前記コマンドによって示される操作を、前記キャッシュメモリに要求する。

明 細 書

キャッシュメモリシステム及びその制御方法

技術分野

[0001] 本発明は、キャッシュメモリシステム及びその制御方法に関し、特にキャッシュメモリシステムのソフトウェアによる制御性を向上する技術に関する。

背景技術

[0002] 近年のマイクロプロセッサでは、例えば、SRAM(Static Random Access Memory)等から成る小容量で高速なキャッシュメモリをマイクロプロセッサの内部、もしくはその近傍に配置し、データの一部をキャッシュメモリに記憶することによって、マイクロプロセッサのメモリアクセスを高速化させている。

[0003] 従来、キャッシュの効率向上(ヒット率向上、キャッシュミスレイテンシ低減)を指向した種々の技術が知られている。そのような技術の一つに、キャッシュミスが発生する前に、近い未来に使用するデータを予めキャッシュにフィルするプリロード(又はプリフェッチ)がある(例えば特許文献1)。この技術を用いて、プリフェッチ命令により指定したアドレスを含むラインをキャッシュにロードすることにより、キャッシュミスの低減を図ることができる。

特許文献1:特開平7－295882号公報

発明の開示

発明が解決しようとする課題

[0004] しかしながら、上記従来の技術によれば、メモリへのアクセスの状況をハードウェアによって監視し、ハードウェアによって自律的にキャッシュ操作をしようとすると、正確な予測が困難であるためにかえって無駄な転送が発生することがある。このことは、上記従来の技術に限らず、キャッシュの効率向上を指向した種々の技術において同様である。そのようなハードウェアによる自律的な制御によるキャッシュ効率の限界を打開する一つのアプローチとして、ソフトウェアによる制御を援用することが考えられる。

[0005] 本発明は、上記の問題に鑑みてなされたものであり、ソフトウェアからの制御を積極

的に受け入れて処理を行うための好ましい構成を持ったキャッシュメモリシステムを提供することを目的とする。

課題を解決するための手段

[0006] 上記課題を解決するため、本発明のキャッシュメモリシステムは、プロセッサとメモリとの間に設けられるキャッシュメモリと、前記キャッシュメモリを制御する転送及び属性制御手段とを備え、前記転送及び属性制御手段は、前記プロセッサが予め定められた命令を実行することによって、キャッシュデータの転送及び属性操作とその操作の対象を指定するアドレスとを示すコマンドを与えられるコマンドエントリ部と、前記アドレスに対する前記コマンドによって示される操作を、前記キャッシュメモリに要求する操作要求部とを備える。

[0007] また、前記コマンドエントリ部は、さらに、前記プロセッサから前記コマンドに対応してアドレス範囲を与えられ、前記操作要求部は、前記アドレス範囲に属する複数のアドレスに対する前記操作を、前記キャッシュメモリに逐次要求してもよい。

[0008] この構成によれば、前記予め定められた命令を前記プロセッサに実行させることによって、ソフトウェアから、前記キャッシュデータの転送及び属性操作を要求できるので、ソフトウェアからの制御を積極的に受け入れて処理を行うための好ましい構成を持ったキャッシュメモリシステムが得られる。

[0009] また、前記キャッシュメモリは、キャッシュデータの管理単位であるキャッシュエントリに対応付けて、そのキャッシュエントリに保持されるキャッシュデータに対応するメモリアドレスの上位部を示すタグを保持するタグ保持部と、そのキャッシュエントリが有効か否かを示すバリッドフラグと、そのキャッシュエントリに書き込み操作があったか否かを示すダーティフラグと、そのキャッシュエントリがアクセスされた時期を他のどのキャッシュエントリがアクセスされた時期よりも古いとみなすことを示すウィークフラグとを保持するフラグ保持部とを有し、前記転送及び属性制御手段からの要求に応じて、指定されるアドレスにヒットするキャッシュエントリがない場合に、リプレース対象となるキャッシュエントリを選択し、メモリから前記選択されたキャッシュエントリへ前記指定されたアドレスに対応するデータをロードし、タグを設定してバリッドフラグをセットするフィル操作、指定されるアドレスにヒットするキャッシュエントリがない場合に、リプレース対

象となるキャッシュエントリを選択し、メモリから前記選択されたキャッシュエントリへデータをロードすることなくタグを設定してバリッドフラグをセットするタッチ操作、指定されるアドレスにヒットするキャッシュエントリがありかつダーティフラグがセットされている場合に、そのキャッシュエントリのデータをメモリへセーブしてダーティフラグをリセットするライトバック操作、指定されるアドレスにヒットするキャッシュエントリがある場合に、そのキャッシュエントリのデータをダーティフラグの状態に応じてメモリへセーブすることなくバリッドフラグをリセットする無効化操作、指定されるアドレスにヒットするキャッシュエントリがある場合に、ダーティフラグがセットされていればそのキャッシュエントリのデータをメモリへセーブしてダーティフラグ及びバリッドフラグをリセットし、ダーティフラグがリセットされていればそのキャッシュエントリのバリッドフラグのリセットのみを行うライトバック兼無効化操作、及び指定されるアドレスにヒットするキャッシュエントリがある場合に、そのキャッシュエントリのウィークフラグをセットする最古化操作の中の一つを実行してもよい。

[0010] この構成によれば、前記6種類の操作は、キャッシュのヒット率の向上、不必要なバストランザクションの削減、及びバストランザクションの平準化(時間的分散)に効果があるので、ソフトウェアからの制御を積極的に受け入れて処理を行うことによってキャッシュ効率の向上を図る上で好適である。

[0011] また、前記転送及び属性制御手段は、さらに、前記アドレス範囲の先頭及び末尾を、前記キャッシュメモリにおけるキャッシュデータの管理単位であるキャッシュエントリの先頭データを示すように調整するアドレス調整部を有し、前記操作要求部は、前記調整後のアドレス範囲に含まれる複数のアドレスに対する前記操作を、前記キャッシュメモリに逐次要求してもよい。

[0012] この構成によれば、前記アドレス調整部が、前記アドレス範囲の先頭及び末尾を、前記キャッシュエントリの先頭データを示すように調整するので、プログラマやコンパイラはキャッシュメモリのライン境界やラインサイズを管理する必要がなく、キャッシュ管理のための負担が軽減される。

[0013] また、前記転送及び属性制御手段は、さらに、複数のコマンドとそれぞれのコマンドに対応するアドレス範囲とを保持するコマンド保持部と、前記保持された複数のコマ

ンドの中から一つを選択するコマンド選択部とを有し、前記操作要求部は、前記選択されたコマンドに関連するアドレス範囲に属する複数のアドレスに対する、そのコマンドによって示される操作を逐次要求してもよい。

[0014] また、好ましくは、前記コマンド選択部は、前記選択されたコマンドについて全ての要求がなされる前に、他のコマンドを選択し、前記操作要求部は、元のコマンドが再び選択された場合にそのコマンドについてまだ要求していないアドレスに対する操作を逐次要求してもよい。

[0015] この構成によれば、前記転送及び属性制御手段は複数のコマンドを保持して処理できるので、例えば前記複数のコマンドが、例えば前記プロセッサがマルチタスク処理を行う場合の各タスクから与えられる場合に好適である。

[0016] また、前記転送及び属性制御手段は、さらに、次に予定される要求に関して定められる予測アドレスに対して、前記プロセッサによって特定の命令が実行されたか否かを判断する実行判断部と、肯定判断がなされると、前記予測アドレスに所定のオフセット値を加算又は減算することによって実効アドレスを生成する実効アドレス生成部とを有し、前記操作要求部は、前記生成された実効アドレスに対する前記操作を要求してもよい。

[0017] また、好ましくは、前記転送及び属性制御手段は、さらに、複数のコマンドとそれぞれのコマンドに関係するアドレス範囲とを保持するコマンド保持部を有し、前記実行判断部は、前記保持された各コマンドについて、そのコマンドに対応する予測アドレスに対して、前記プロセッサによって特定の命令が実行されたか否かを判断し、前記転送及び属性制御手段は、さらに、肯定判断がなされたコマンドの中から一つを選択するコマンド選択部を有し、前記実効アドレス生成部は、前記選択されたコマンドに対応する予測アドレスに所定値を加算又は減算することによって実効アドレスを生成し、前記操作要求部は、前記生成された実効アドレスに対する前記選択されたコマンドによって示される操作を要求してもよい。

[0018] この構成によれば、前記特定の命令がプリフェッチ付きの命令である場合に特に好適であり、その命令の操作対象に対してその命令の実行に同期して前記操作の要求がなされるので、キャッシュエントリを効率よく操作することができる。

[0019] また、前記転送及び属性制御手段は、さらに、前記キャッシュメモリにおけるキャッシュデータの管理単位である各キャッシュエントリを指定するアドレスを逐次出力するアドレス出力部を有し、前記操作要求部は、前記出力されたアドレスによって指定されるキャッシュエントリを含む一つ以上のキャッシュエントリに対する逐次操作を前記キャッシュメモリに要求し、前記キャッシュメモリは、前記要求に応じて逐次操作を実行してもよい。

[0020] ここで、前記逐次操作は、ライトバック操作であってもよい。

この構成によれば、バストランザクションの平準化(時間的分散)に効果があることは明らかである。

[0021] また、前記コマンドエントリ部は、単一のアドレスに対する操作を示す単独コマンドと、アドレス範囲に含まれる複数のアドレスに対する操作を前記プロセッサが実行する特定の命令と同期して行うことを示す命令連動コマンドと、アドレス範囲に含まれる複数のアドレスに対する操作を前記プロセッサが実行する特定の命令とは非同期に行うことを示す領域コマンドと、キャッシュデータを逐次ライトバックすることを示すオートクリーナコマンドとを、前記プロセッサから与えられ、前記操作要求部は、各コマンドに応じた操作要求を、予め設定された優先順位に基づいて、前記キャッシュメモリに要求してもよい。

[0022] ここで、前記予め設定された優先順位が、前記コマンドの順であってもよい。

この構成によれば、各操作の実行モードに応じた好適な順序で操作を要求することができる。

[0023] また、本発明は、このようなキャッシュメモリシステムとして実現することができるだけでなく、そのようなキャッシュメモリシステムが備える特徴的な手段によって実行される処理をステップとするキャッシュメモリシステムの制御方法として実現することもできる。

発明の効果

[0024] 本発明のキャッシュメモリシステムによれば、前記予め定められた命令をプロセッサに実行させることによって、ソフトウェアから、キャッシュデータの転送及び属性操作を要求できるので、ソフトウェアからの制御を積極的に受け入れて処理を行うための好

ましい構成を持ったキャッシュメモリシステムが得られる。

[0025] キャッシュ効率の向上を図るために前記操作としてキャッシュ効率の向上に効果がある操作を採用し、ソフトウェアからの積極的な制御下でこれらの操作を行えば、ハードウェアとソフトウェアとの良好な機能分担が可能となり、その結果、自律的な制御によるキャッシュ効率の向上を目指してハードウェアがいたずらに大規模化する事態を回避することもできる。

図面の簡単な説明

[0026] [図1]図1は、本発明の実施の形態に係るプロセッサ、キャッシュメモリ、メモリ、TACを含むコンピュータシステムの全体構成例を示すブロック図である。

[図2]図2は、キャッシュメモリの構成例を示すブロック図である。

[図3]図3は、使用フラグの更新例を示す図である。

[図4]図4(a)はウィークフラグが存在しない場合にキャッシュエントリがリプレースされる様子を示す図であり、図4(b)はリプレース処理におけるウィークフラグWの役割を示す説明図である。

[図5]図5は、キャッシュメモリにおける動作プリミティブ処理の一例を示すフローチャートである。

[図6]図6は、キャッシュメモリにおけるオートクリーナ処理の一例を示すフローチャートである。

[図7]図7は、変形例に係るキャッシュエントリの構成例を示す図である。

[図8]図8は、キャッシュメモリとTACとの間のインタフェースの一例を示す図である。

[図9]図9は、TACの構成例を示すブロック図である。

[図10]図10(a)は、動作プリミティブレジスタにコマンドを書き込む命令の一例を示す図であり、図10(b)は、コマンドの一例を示す図である。

[図11]図11(a)は、スタートアドレスレジスタにスタートアドレスを書き込む命令の一例を示す図であり、図11(b)は、サイズレジスタにサイズを書き込む命令の一例を示す図であり、図11(c)は、コマンドレジスタにコマンドを書き込む命令の一例を示す図であり、図11(d)は、コマンドの一例を示す図である。

[図12]図12(a)は、TACコントロールレジスタにコマンドを書き込む命令の一例を示

す図であり、図12(b)は、コマンドの一例を示す図である。

[図13]図13は、アドレス調整の内容を説明する概念図である。

[図14]図14は、アドレス保持部の構成を示すブロック図である。

[図15]図15は、領域コマンド制御部における領域コマンド制御処理の一例を示すフローチャートである。

[図16]図16は、命令連動コマンド制御部における命令連動コマンド制御処理の一例を示すフローチャートである。

[図17]図17は、オートクリーナ制御部におけるオートクリーナ制御処理の一例を示すフローチャートである。

[図18]図18は、操作要求部における操作要求処理の一例を示すフローチャートである。

符号の説明

[0027]

1 プロセッサ

2 メモリ

3 キャッシュメモリ

4 TAC

20 アドレスレジスタ

21 メモリI／F

22 デマルチプレクサ

30 デコーダ

31a～31d ウェイ

32a～32d 比較器

33a～33d アンド回路

34 オア回路

35 セレクタ

36 セレクタ

37 デマルチプレクサ

38 制御部

40 コマンドエントリ部

41 領域コマンド制御部

42 命令連動コマンド制御部

43 オートクリーナ制御部

44 操作要求部

401 動作プリミティブレジスタ

402 スタートアドレスレジスタ

403 サイズレジスタ

404 コマンドレジスタ

405 TACコントロールレジスタ

411 アドレス調整部

412 コマンド保持部

413 コマンド選択部

421 アドレス調整部

422 コマンド保持部

423 実行判断部

424 コマンド選択部

425 実効アドレス生成部

431 クリーニングアドレス出力部

発明を実施するための最良の形態

[0028] 以下、本発明の実施の形態について、図面を参照しながら説明する。

[0029] ＜全体構成＞

図1は、本発明の実施の形態におけるプロセッサ1、メモリ2、キャッシュメモリ3、及びTAC(Transfer and Attribute Controller)4を含むコンピュータシステムの全体構成を示すブロック図である。この実施の形態におけるキャッシュメモリ3及びTAC4が本発明のキャッシュメモリシステムに相当する。

[0030] TAC4は、プロセッサ1が予め定められた命令を実行することによってキャッシュデータの転送及び属性操作とその操作の対象を指定するアドレスとを示すコマンドを与

えられ、そのコマンドによって示される操作をキャッシュメモリ3に要求する。

[0031] キャッシュメモリ3は、プロセッサ1からのメモリアクセスに応じて、従来の一般的なキャッシュメモリが行うようにデータのキャッシングを行う。また、プロセッサ1からのメモリアクセスを処理していないときには、TAC4からの要求に応じて、6種類のキャッシュデータの転送及び属性操作、並びにオートクリーナを実行する。この6種類の操作は動作プリミティブと呼ばれる。動作プリミティブ及びオートクリーナについて、後に詳しく説明する。

[0032] 本発明のキャッシュメモリシステムのこのような構成は、ハードウェアによる自律的な制御によるキャッシュ効率の限界をソフトウェアの援用によって打開しようとしたときに、ソフトウェアからの制御を積極的に受け入れるために適している。

[0033] ＜キャッシュメモリの構成＞

以下、キャッシュメモリ3の具体例として、4ウェイ・セット・アソシエイティブ方式のキャッシュメモリに本発明を適用した場合の構成について説明する。

[0034] 図2は、キャッシュメモリ3の構成例を示すブロック図である。同図のように、キャッシュメモリ3は、アドレスレジスタ20、メモリI／F21、デマルチプレクサ22、デコーダ30、4つのウェイ31a～31d（以下ウェイ0～3と略す）、4つの比較器32a～32d、4つのアンド回路33a～33d、オア回路34、セレクタ35、36、デマルチプレクサ37、制御部38を備える。

[0035] デマルチプレクサ22は、制御部38からの制御に応じて、プロセッサ1から与えられるメモリ2へのアクセスアドレスを優先的に選択し、プロセッサ1からのメモリアクセスがないときにTAC4から与えられるアドレスを選択する。

[0036] アドレスレジスタ20は、選択されたアクセスアドレスを保持するレジスタである。このアクセスアドレスは32ビットであるものとする。同図に示すように、アクセスアドレスは、最上位ビットから順に、21ビットのタグアドレス、4ビットのセットインデックス（図中のSI）、5ビットのワードインデックス（図中のWI）を含む。ここで、タグアドレスはウェイにマッピングされるメモリ中の領域（そのサイズはセット数×ブロックである）を指す。この領域のサイズは、タグアドレスよりも下位のアドレスビット（A10～A0）で定まるサイズつまり2kバイトであり、1つのウェイのサイズでもある。セットインデックス（SI）はウェイ0～

3に跨る複数セットの1つを指す。このセット数は、セットインデックスが4ビットなので16セットある。タグアドレスおよびセットインデックスで特定されるキャッシュエントリは、リプレース単位であり、キャッシュメモリに格納されている場合はラインデータ又はラインと呼ばれる。ラインデータのサイズは、セットインデックスよりも下位のアドレスビットで定まるサイズつまり128バイトである。1ワードを4バイトとすると、1ラインデータは32ワードである。ワードインデックス(WI)は、ラインデータを構成する複数ワード中の1ワードを指す。アドレスレジスタ20中の最下位2ビット(A1、A0)は、ワードアクセス時には無視される。

[0037] メモリI／F21は、キャッシュメモリ3からメモリ2へのデータのライトバックや、メモリ2からキャッシュメモリ3へのデータのロード等、キャッシュメモリ3からメモリ2をアクセスするためのI／Fである。

[0038] デコーダ30は、セットインデックスの4ビットをデコードし、4つのウェイ0～3に跨る16セット中の1つを選択する。

[0039] 4つのウェイ0～3は、同じ構成を有数する4つのウェイであり、4×2kバイトの容量を有する。各ウェイは、16個のキャッシュエントリを有する。1つのキャッシュエントリは、バリッドフラグV、21ビットのタグ、128バイトのラインデータ、ウィークフラグW、使用フラグU、及びダーティフラグDを有する。

[0040] タグは21ビットのタグアドレスのコピーである。ラインデータは、タグアドレスおよびセットインデックスにより特定されるブロック中の128バイトデータのコピーである。

[0041] バリッドフラグVは、当該キャッシュエントリのデータが有効か否かを示す。

[0042] ウィークフラグWは、プロセッサからのアクセスに関しては、アクセス頻度の低いアクセスか否かを示し、キャッシュメモリにおけるリプレース制御に関しては、そのキャッシュエントリのアクセス順序を強制的に最古とする、つまりそのキャッシュエントリがアクセスされた時期が他のどのキャッシュエントリがアクセスされた時期よりも古いとみなすことを示す。ウィークフラグWによって、他のキャッシュエントリよりも先に追い出してもよい最強のリプレース対象が示される。

[0043] 使用フラグUは、そのキャッシュエントリにアクセスがあったか否かを示し、LRU方式におけるキャッシュエントリ間のアクセス順序データの代わりに用いられる。より正確

には、使用フラグUの1は、アクセスがあったことを、0はないことを意味する。ただし、1つのセット内の4つウェイの使用フラグが全て1になる場合には、セットするウェイ以外は0にリセットされる。別言すれば、使用フラグUは、アクセスされた時期が古いか新しいか2つの相対的な状態を示す。つまり、使用フラグUが1のキャッシュエントリは、使用フラグが0のキャッシュエントリよりも新しくアクセスされたことを意味する。

[0044] ダーティフラグDは、当該キャッシュエントリにプロセッサから書き込みがあったか否か、つまりライン中にキャッシュされたデータが存在するが書き込みによりメモリ中のデータと異なる可能性があるためメモリに書き戻すことが必要か否かを示す。

[0045] 比較器32aは、アドレスレジスタ20中のタグアドレスと、セットインデックスにより選択されたセットに含まれる4つのタグ中のウェイ0のタグとが一致するか否かを比較する。比較器32b～32cについても、ウェイ31b～31dに対応すること以外は同様である。

[0046] アンド回路33aは、バリッドフラグと比較器32aの比較結果とが一致するか否かをアンドする。この比較結果をh0とする。比較結果h0が1である場合は、アドレスレジスタ20中のタグアドレスおよびセットインデックスに対応するラインデータが一致すること、つまりウェイ0においてヒットしたことを意味する。比較結果h0が0である場合は、ミスヒットしたことを意味する。アンド回路33b～33dについても、ウェイ31b～31dに対応すること以外は同様である。その比較結果h1～h3は、ウェイ1～3でヒットしたかミスしたかを意味する。

[0047] オア回路34は、比較結果h0～h3のオアをとる。このオアの結果をhitとする。hitは、キャッシュメモリにヒットしたか否かを示す。

[0048] セレクタ35は、選択されたセットにおけるウェイ0～3のラインデータのうち、ヒットしたウェイのラインデータを選択する。

[0049] セレクタ36は、セレクタ35により選択された32ワードのラインデータにうち、ワードインデックスに示される1ワードを選択する。

[0050] デマルチプレクサ37は、キャッシュエントリにデータを書き込む際に、ウェイ0～3の1つに書き込みデータを出力する。この書き込みデータはワード単位でよい。

[0051] 制御部38は、キャッシュメモリ3の全体の制御を行う。

[0052] ＜使用フラグUの説明＞

図3は、制御部38による使用フラグの更新例を示す。同図の上段、中断、下段は、ウェイ0～3に跨るセットNを構成する4つのキャッシュエントリを示している。4つのキャッシュエントリ右端の1又は0は、それぞれ使用フラグの値である。この4つの使用フラグUをU0～U3と記す。

[0053] 同図上段では(U0～U3)＝(1、0、1、0)であるので、ウェイ0、2のキャッシュエントリはアクセスがあったことを、ウェイ1、3のキャッシュエントリはアクセスがないことを意味する。

[0054] この状態で、メモリアクセスがセットN内のウェイ1のキャッシュエントリにヒットした場合、同図中段に示すように、(U0～U3)＝(1、1、1、0)に更新される。つまり、実線に示すようにウェイ1の使用フラグU1が0から1に更新される。

[0055] さらに、同図中段の状態で、メモリアクセスがセットN内のウェイ3のキャッシュエントリにヒットした場合、同図下断に示すように、(U0～U3)＝(0、0、0、1)に更新される。つまり、実線に示すようにウェイ3の使用フラグU1が0から1に更新される。加えて、破線に示すようにウェイ3以外の使用フラグU0～U2が1から0に更新される。これにより、ウェイ3のキャシュエントリが、ウェイ0～2の各キャッシュエントリよりも新しくアクセスされたことを意味することになる。

[0056] 制御部38は、キャッシュミス時にW＝1のキャッシュエントリが存在しなければ、使用フラグに基づいてリプレース対象のキャッシュエントリを決定してリプレースを行う。例えば、制御部38は、図3上段では、ウェイ1とウェイ3の何れかをリプレース対象と決定し、図3中段ではウェイ3をリプレース対象と決定し、図3下段ではウェイ0～2の何れかをリプレース対象と決定する。

[0057] ＜ウィークフラグWの説明＞

図4(a)ウィークフラグが存在しないと仮定した場合の比較例であり、キャッシュエントリがリプレースされる様子を示す図である。同図においても、図3と同様にウェイ0～3に跨るセットNを構成する4つのキャッシュエントリを示している。4つのキャッシュエントリ右端の1又は0は、それぞれ使用フラグの値である。また、データEのみアクセス頻度の低いデータを、データA、B、C、Dはアクセス頻度の高いデータとする。

[0058] 図4(a)の第1段目の状態で、プロセッサ1がデータEにアクセスすると、キャッシュミ

スが発生する。このキャッシュミスにより、例えば、U＝0のキャッシュエントリの中からアクセス頻度の高いデータCのキャッシュエントリがアクセス頻度の低いデータEにリプレースされ、第2段目の状態となる。

[0059] 第2段目の状態で、プロセッサ1がデータCにアクセスすると、キャッシュミスが発生する。このキャッシュミスにより、U＝0のキャッシュエントリであるアクセス頻度の高いデータDのキャッシュエントリがアクセス頻度の高いデータCにリプレースされ、第3段目の状態となる。

[0060] 第3段目の状態で、プロセッサ1がデータDにアクセスすると、キャッシュミスが発生する。このキャッシュミスにより、例えば、アクセス頻度の高いデータAのキャッシュエントリがアクセス頻度の高いデータDにリプレースされ、第4段目の状態となる。

[0061] 同様に、第4段目でも、使用頻度の低いデータEはリプレース対象として選択されないで、キャッシュメモリに残っている。

[0062] 第5段目の状態で、使用頻度の低いデータEは最も古い（U＝0）であることから、リプレース対象として選択されて、追い出される。

[0063] このように、擬似LRU方式において（通常のLRU方式においても）、アクセス頻度の低いデータEによって、4ウェイの場合は最悪4回のキャッシュミスを誘発する場合がある。

[0064] 図4（b）は、リプレース処理におけるウィークフラグWの役割を示す説明図である。

[0065] 図4（b）の第1段目の状態（図4（a）の第1段目と同じ）で、プロセッサ1がデータEにアクセスすると、キャッシュミスが発生する。このキャッシュミスにより、例えば、U＝0のキャッシュエントリの中からアクセス頻度の高いデータCのキャッシュエントリがアクセス頻度の低いデータEにリプレースされる。このとき、プロセッサ1は、データEのキャッシュエントリにウィークフラグWを1に設定するものとする。これにより、次のキャッシュミス時にデータEのキャッシュエントリが真っ先に追い出され、第2段目の状態となる。

[0066] 第2段目の状態で、プロセッサ1がデータCにアクセスすると、キャッシュミスが発生する。このキャッシュミスにより、W＝1のキャッシュエントリであるアクセス頻度の低いデータEのキャッシュエントリがリプレース対象として選択され、アクセス頻度の高いデータCにリプレースされ、第3段目の状態となる。

[0067] このように、ウィークフラグWを設けることにより、アクセス頻度の低いデータによるキャッシュミスの誘発を低減することができる。

[0068] ＜動作プリミティブ＞

次に、キャッシュメモリ3が実行する6種類の動作プリミティブについて説明する。動作プリミティブは、TAC4から指定される単一のアドレスに対する次のような操作である。

(1)フィル操作:前記アドレスにヒットするキャッシュエントリがない場合に、リプレース対象となるキャッシュエントリを選択し、メモリから前記選択されたキャッシュエントリへ前記指定されたアドレスに対応するデータをロードし、タグを設定してバリッドフラグVをセットする。この操作は、キャッシュのヒット率の向上に役立つ。

(2)タッチ操作:前記アドレスにヒットするキャッシュエントリがない場合に、リプレース対象となるキャッシュエントリを選択し、メモリから前記選択されたキャッシュエントリへデータをロードすることなくタグを設定してバリッドフラグVをセットする。この操作は、キャッシュのヒット率の向上と、不必要なバストランザクションの削減に役立つ。

(3)ライトバック操作:前記アドレスにヒットするキャッシュエントリがありかつダーティフラグDがセットされている場合に、そのキャッシュエントリのデータをメモリへセーブしてダーティフラグDをリセットする。この操作は、バストランザクションの平準化(時間的分散)に役立つ。

(4)無効化操作:前記アドレスにヒットするキャッシュエントリがある場合に、そのキャッシュエントリのデータをダーティフラグに応じてメモリへセーブすることなくバリッドフラグVをリセットする。この操作は、不必要なバストランザクションの削減に役立つ。

(5)ライトバック兼無効化操作:前記アドレスにヒットするキャッシュエントリがある場合に、ダーティフラグDがセットされていればそのキャッシュエントリのデータをメモリへセーブしてダーティフラグD及びバリッドフラグVをリセットし、ダーティフラグDがリセットされていればそのキャッシュエントリのバリッドフラグVのリセットのみを行う。この操作は、バストランザクションの平準化(時間的分散)に役立つ。

(6)最古化操作:前記アドレスにヒットするキャッシュエントリがある場合に、そのキャッシュエントリのウィークフラグWをセットする。この操作は、キャッシュのヒット率の向上

に役立つ。

[0069] ＜動作プリミティブ処理＞

図5は、キャッシュメモリ3における動作プリミティブ処理の一例を示すフローチャートである。この動作プリミティブ処理は、TAC4から動作プリミティブの指定Iと、操作対象を指定するアドレスAとを与えられると起動され、指定された動作プリミティブを実行する。

[0070] 制御部38がプロセッサ1からのメモリアクセスを処理中なら、その処理が終了するまで待ち(S101:YES)、そして、プロセッサ1からのメモリアクセスが行われていない期間に、デマルチプレクサ22はTAC4から与えられたアドレスを選択する(S102)。

[0071] そのアドレスにヒットするキャッシュエントリがある場合には(S103:YES)、無効化、最古化、ライトバック、及びライトバック兼無効化のみが、そのヒットしたキャッシュエントリを操作対象として実行される(S104)。指定された動作プリミティブがライトバック又はライトバック兼無効化であれば、ダーティフラグDが1ならライトバックし(S105～S106)、さらに指定された動作プリミティブがライトバック兼無効化であればバリッドフラグVをリセットする(S107～S108)。また、指定された動作プリミティブが無効化であればバリッドフラグVをリセットし(S110)、最古化であればウィークフラグWをセットする(S109)。

[0072] そのアドレスにヒットするキャッシュエントリがない場合には(S103:NO)、フィル及びタッチのみが実行される(S111)。その場合にはまず、リプレース対象となるキャッシュエントリを選択し(S112)、そのキャッシュエントリのダーティフラグDが1ならライトバックし(S113～S114)、タグアドレスを設定して(S115)、さらに指定された動作プリミティブがフィルであればそのキャッシュエントリへメモリからデータをロードし(S117)、その後、Vフラグをセットする(S118)。

[0073] ＜オートクリーナ＞

次に、キャッシュメモリ3が実行するオートクリーナについて説明する。オートクリーナは、TAC4から指定される単一のアドレスに対する次のような操作である。

[0074] 前記アドレスで示されるセットの各キャッシュエントリ(図2を参照して具体的に言えば、前記アドレスに含まれるセットインデックスSIで指し示されるセットに属する4つの

キャッシュエントリ）について、ダーティフラグD及びウィークフラグWが共にセットされていればライトバックする。

[0075] この操作は、バストランザクションの平準化（時間的分散）に役立つ。

[0076] ＜オートクリーナ処理＞

図6は、キャッシュメモリ3におけるオートクリーナ処理の一例を示すフローチャートである。このオートクリーナ処理は、TAC4からオートクリーナの指定Iと、操作対象を指定するアドレスAとを与えられると起動される。

[0077] 制御部38がプロセッサ1からのメモリアクセスを処理中なら、その処理が終了するまで待ち（S201：YES）、そして、プロセッサ1からのメモリアクセスが行われていない期間に、デマルチプレクサ22はTAC4から与えられたアドレスを選択する（S202）。

[0078] そのアドレスに含まれるセットインデックスで指定されるセットに属する各キャッシュエントリについて、以下を繰り返す（S203～S207）。

[0079] ダーティフラグDが1で、かつウィークフラグWが1なら（S204：YES）、ライトバックしてダーティフラグDをリセットする（S205～S206）。

[0080] ＜変形例＞

なお、本発明のキャッシュメモリは、上記の実施の形態の構成に限るものではなく、種々の変形が可能である。以下、変形例のいくつかについて説明する。

（1）上記実施の形態では、4ウェイ・セット・アソシエイティブのキャッシュメモリを例に説明したが、ウェイ数は、いくつでもよい。また、上記実施の形態では、セット数が16である例を説明したが、セット数はいくつでもよい。

（2）上記実施の形態では、セット・アソシエイティブのキャッシュメモリを例に説明したが、フル・アソシエイティブ方式やダイレクトマップ方式のキャッシュメモリであってもよい。

（3）上記実施の形態では、ラインをキャッシュデータのリプレース単位であるとして説明したが、ラインを4つに分割した各部分であるサブラインをリプレース単位としてもよい。その場合、各キャッシュエントリは、4つのバリッドフラグおよび4つのダーティフラグをそれぞれ保持する。

[0081] 図7は、その場合のキャッシュエントリの構成例を示す図である。ラインの1／4をサ

ブラインとする他に、ラインの1／2、1／8、1／16をサブラインとしてもよい。その場合、各キャッシュエントリは、サブラインと同数のバリッドフラグおよびダーティフラグをそれぞれ保持する。リプレース単位をラインとするかサブラインとするかを、TAC4からの指示に応じて切り替えてもよい。

(4)キャッシュメモリとしてのいくつかの機能(例えばリプレース機能)が制限されるウェイ(インアクティブウェイ)を設けてもよい。各ウェイをそのようなインアクティブウェイとするか、全ての機能が利用可能なアクティブウェイとするかを、TAC4からの指示に応じて切り替えてもよい。

[0082] ＜キャッシュメモリ及びTAC間のインタフェースの一例＞

図8は、キャッシュメモリ3とTAC4との間のインタフェース(送受信される信号)の一例を示す図である。この例には、上記の変形例が考慮されている。

[0083] 32ビットのアドレスは、操作の対象を指定する。要求、要求受理、及び実行完了は、要求の発行に関するハンドシェイクに用いられる。フィル、タッチ、ライトバック、無効化、ライトバック兼無効化、最古化、及びオートクリーナは、要求する操作を指定する。3ビットのアクティブウェイは、ウェイごとにアクティブウェイとするかインアクティブウェイとするかを指定する。リフィル単位は、リプレース単位をラインとするかサブラインとするかを指定する。

[0084] ＜TACの構成＞

次に、TACの構成について説明する。

[0085] 図9は、TAC4の構成例を示すブロック図である。TAC4は、プロセッサ1から与えられるコマンドに応じた操作をキャッシュメモリ3へ要求するために、コマンドエントリ部40、領域コマンド制御部41、命令連動コマンド制御部42、オートクリーナ制御部43、及び操作要求部44を備える。

[0086] TAC4がプロセッサ1から与えられるコマンドには、単一のアドレスに対する操作を示す単独コマンドと、アドレス範囲に含まれる複数のアドレスに対する操作を前記プロセッサが実行する特定の命令に同期して行うことを示す命令連動コマンドと、アドレス範囲に含まれる複数のアドレスに操作を前記プロセッサが実行する特定の命令とは非同期に行うことを示す領域コマンドと、キャッシュデータを逐次ライトバックするこ

とを示すオートクリーナコマンドとがある。

[0087] コマンドエントリ部40は、プロセッサ1が予め定められた命令を実行することによって、コマンドとアドレスとを書き込まれるレジスタ群であり、動作プリミティブレジスタ401、スタートアドレスレジスタ402、サイズレジスタ403、コマンドレジスタ404、及びTACコントロールレジスタ405を備える。これらのレジスタは、例えば予め定められたメモリアドレスに割り当てられるなどして、プロセッサ1から直接アクセスが可能であり、プロセッサ1により書き込まれた内容を保持する。

[0088] 領域コマンド制御部41は、領域コマンドを最大4つまで保持し、保持されているコマンドに応じた要求を生成する機能ブロックであり、アドレス調整部411、コマンド保持部412、及びコマンド選択部413を備える。

[0089] 命令連動コマンド制御部42は、命令連動コマンドを最大4つまで保持し、保持されているコマンドに応じた要求を、プロセッサ1が実行する特定の命令と同期して生成する機能ブロックであり、アドレス調整部421、コマンド保持部422、実行判断部423、コマンド選択部424、実効アドレス生成部425を備える。

[0090] オートクリーナ制御部43は、オートクリーナ要求を生成する機能ブロックであり、クリーニングアドレス出力部431を備える。

[0091] ＜コマンドエントリ部＞

単独コマンドは、動作プリミティブレジスタ401に書き込まれ、保持される。

[0092] 図10(a)に、動作プリミティブレジスタ401に単独コマンドを書き込む命令の一例を示す。この命令は、通常の転送命令(mov命令)であり、ソースオペランドとしてコマンドを、デスティネーションオペランドとして動作プリミティブレジスタ(PR)401を指定している。

[0093] 図10(b)に、コマンドフォーマットの一例を示す。このコマンドフォーマットは、操作対象アドレスと動作プリミティブの指定とからなる。

[0094] コマンドエントリ部40は、動作プリミティブレジスタ401に保持された単独コマンドに応じた要求を操作要求部44へ出力する。

[0095] 領域コマンド及び命令連動コマンドは、スタートアドレスレジスタ402、サイズレジスタ403、及びコマンドレジスタ404に書き込まれる。

[0096] 図11(a)に、スタートアドレスレジスタ(SAR)402にスタートアドレスを書き込む命令の一例を示す。この命令も、図10(a)と同様に通常の転送命令である。スタートアドレスは、コマンドの操作対象の先頭アドレスを示す。

[0097] 図11(b)に、サイズレジスタ(SR)403にサイズを書き込む命令の一例を示す。この命令も、通常の転送命令である。サイズは、前記操作対象の大きさを示す。サイズの単位は、バイト数であっても、ライン数(キャッシュエントリ数)であってもよく、予め定められた単位であればよい。

[0098] 図11(c)に、コマンドレジスタ(CR)404にコマンドを書き込む命令の一例を示す。この命令も、通常の転送命令である。

[0099] 図11(d)に、コマンドフォーマットの一例を示す。このコマンドフォーマットは、操作の要求を特定の命令の実行に連動させるか否か(つまり、コマンドが命令連動コマンドか領域コマンドか)を指定する命令連動フラグと、動作プリミティブの指定と、指定されたアドレス範囲内で操作対象とする複数のアドレスの間隔を示すインクリメント値とからなる。

[0100] このインクリメント値を、例えばラインのサイズとすれば、アドレス範囲内の全てのキャッシュデータに順次所望の操作を行うことができる。また、前記特定の命令がポストインクリメント付きのロード・ストア命令である場合に、このインクリメント値をその命令のポストインクリメント値とすれば、その命令の操作対象に順次所望の操作を行うことができる。

[0101] コマンドエントリ部40は、スタートアドレスレジスタ402、サイズレジスタ403、及びコマンドレジスタ404に前述した内容が書き込まれると、そのコマンドが領域コマンドなら領域コマンド制御部41へ出力し、命令連動コマンドなら命令連動コマンド制御部42へ出力する。

[0102] オートクリーナコマンドは、TACコントロールレジスタ405内の予め定められたビット位置にあってオートクリーナを有効とするか無効とするかを示すオートクリーナフラグの値を更新する。

[0103] 図12(a)に、オートクリーナフラグを(TACコントロールレジスタ405全体の内容と共に)更新する命令の一例を示す。この命令も、通常の転送命令である。

[0104] 図12(b)に、コマンドフォーマットの一例を示す。このコマンドフォーマットは、TACコントロールレジスタのフォーマットに対応し、前記ビット位置にオートクリーナフラグの新しい値を含む。

[0105] コマンドエントリ部40は、TACコントロールレジスタ405に保持されたオートクリーナフラグの値をオートクリーナ制御部43へ出力する。

[0106] ＜領域コマンド制御部＞

領域コマンド制御部41において、アドレス調整部411は、コマンドエントリ部40から領域コマンドに関するアドレス範囲を取得し、その両端をそれぞれキャッシュエントリの先頭データを指すように調整し、コマンド保持部412は、アドレス範囲を調整された後の領域コマンドを最大4つまで保持し、コマンド選択部413は、保持されている領域コマンドの一つ(例えば、最も古くから保持されている一つ)を選択して、選択された領域コマンドに応じた要求を生成し、操作要求部44へ出力する。

[0107] ＜アドレス調整部＞

ここで、アドレス調整部411のアドレス調整機能の内容を詳しく説明する。

[0108] アドレス調整部411は、まずスタートアドレスレジスタ402に保持されたスタートアドレスとサイズレジスタ403に保持されたサイズとを加算する。加算結果は、アドレス範囲の終了位置を指すエンドアドレスである。サイズは、前述したように、予め定められた単位で表されていればよく、その単位が例えばバイトであればバイトアドレスとして加算し、ラインであればラインアドレスとして加算すればよい。

[0109] 次に、アドレス調整部411は、スタートアドレス及びエンドアドレスを調整する。

[0110] 図13は、その調整の内容を説明する概念図である。同図において、スタートアドレスはラインNの先頭以外の任意の位置を指す。スタートアドレスは、次のライン(N＋1)の先頭を指すようアラインスタートアドレスaに調整されるか、又はスタートアドレスのデータを含むラインNの先頭を指すようアラインスタートアドレスbに調整される。アラインスタートアドレスが指すラインをスタートラインと呼ぶ。

[0111] また、エンドアドレスはラインMの先頭以外の任意の位置を指す。エンドアドレスは、直前のライン(M－1)の先頭を指すようアラインエンドアドレスaに調整されるか、又はエンドアドレスのデータを含むラインMの先頭を指すようアラインエンドアドレスbに調

整される。アラインエンドアドレスが指すラインをエンドラインと呼ぶ。

[0112] このように、スタートアドレス及びエンドアドレスは、ライン単位で内側アラインされるか又は外側アラインされる。ライン単位の外側アラインの後、さらに、サブライン単位の外側アラインと内側アラインが可能である。

[0113] この調整によりプロセッサ1はラインサイズ及びライン境界とは無関係に、任意のスタートアドレスと任意の大きさとを指定することができる。

[0114] ＜コマンド保持部＞

コマンド保持部412は、アドレス調整部411からアラインスタートアドレスとアラインエンドアドレスとを取得するとともに、コマンドレジスタ404から動作プリミティブとインクリメント値とを取得して保持する。

[0115] 図14は、コマンド保持部412の構成を示すブロック図である。コマンド保持部412は、4つのレジスタ4121～4124から構成され、好ましくは各レジスタの内容を読み出し可能なFIFO(First In First Out)方式のキューであるとしてもよい。各レジスタは、アドレス調整部411から取得されたアラインスタートアドレス及びアラインエンドアドレス、及びコマンドレジスタ404から取得されたインクリメント値及び動作プリミティブを保持する。アラインスタートアドレスは、操作要求部44からの制御に応じて、要求ごとにインクリメント値を加算することによって次々に更新され、カレントアドレスとして用いられる。

[0116] ＜コマンド選択部＞

コマンド選択部413は、コマンド保持部412に保持されているコマンドの一つ(例えば最も古い一つ、つまりFIFOキューの先頭)を選択し、そのカレントアドレスと動作プリミティブとを示す一つの要求を生成し、操作要求部44へ出力する。

[0117] ＜領域コマンド制御処理＞

図15は、領域コマンド制御部41における領域コマンド制御処理の一例を示すフローチャートである。

[0118] コマンドエントリ部40に領域コマンドがエントリされると(S301:YES)、アドレス調整部411はそのコマンドのアドレスを調整して(S302)、コマンド保持部412へアドレス調整後のコマンドを登録する(S303)。このコマンドは、まだコマンドを保持していな

いレジスタに登録されるか、全てのレジスタがコマンドを保持している場合には、最も古いコマンドを上書きすることによって登録される。なお、カレントアドレスがアラインエンドアドレスを上回った(これは、全ての対象アドレスに対する操作を要求し終えたことを意味する)コマンドに上書きするか、又はそのようなコマンドを予め消去しておいてもよく、また、全てのレジスタがコマンドを保持している場合には、新たなコマンドを登録せずにプロセッサ1に例外を発生させることも考えられる。

[0119] コマンドが登録されていれば(S304:YES)、コマンド選択部413は、最も古いコマンドを選択して、そのカレントアドレスと動作プリミティブとを示す要求を操作要求部44へ出力する(S305)。

[0120] なお、コマンド選択部413は、最も古いコマンド以外のコマンドを選択してもよい。具体的には、例えば、各コマンドを発行したタスクと、現在プロセッサ1で実行されているカレントタスクとが知られる構成を設けた上で、カレントタスクから与えられたコマンドを、最も古いコマンドよりも優先して選択することが考えられる。

[0121] この構成は、例えばプロセッサ1がマルチタスク処理を行う場合に適しており、タスクの切り替えに追従してカレントタスクから与えられたコマンドを優先的に処理できる。しかも、コマンド保持部412は、コマンドごとにカレントアドレスを保持しているから、ひとたび他のコマンドが選択された後で、元のコマンドが選択された場合でも、元のコマンドについてまだ要求していないアドレスに対する操作を要求することができる。

[0122] <命令連動コマンド制御部>

命令連動コマンド制御部42において、アドレス調整部421は、コマンドエントリ部40から命令連動コマンドに関するアドレス範囲を取得し、その両端をそれぞれキャッシュエントリの先頭データを指すように調整し、コマンド保持部422は、アドレス範囲を調整された後の命令連動コマンドを最大4つまで保持する。実行判断部423は、保持されている各コマンドについて定められる予測アドレスに対して、前記プロセッサによって特定の命令が実行されたか否かを判断し、コマンド選択部424は、肯定判断されたコマンドの一つ(例えば、最も古くから保持されている一つ)を選択し、実効アドレス生成部425によって生成される実効アドレスに対する要求を操作要求部44へ出力する。

[0123] ここで、アドレス調整部421及びコマンド保持部422は、それぞれアドレス調整部411及びコマンド保持部412と同一であるので、説明を省略する。

[0124] ＜実行判断部＞

実行判断部423は、コマンド保持部422に保持されている各コマンドのカレントアドレスを予測アドレスとして用いて、プロセッサ1によってその予測アドレスをオペランドとする特定命令（具体的には、ポストインクリメント付きロード命令、及びポストインクリメント付きストア命令）が実行されたか否かを判断する。このような判断を行うために、例えば、プロセッサ1は、ポストインクリメント付きロード命令、及びポストインクリメント付きストア命令を実行中であることを示す信号Cを実行判断部423に供給し、実行判断部423は、信号Cが供給されている期間に、アドレスバスに現れるアドレスをコマンド保持部422に保持されている各カレントアドレスと比較してもよい。

[0125] ＜コマンド選択部、及び実効アドレス生成部＞

コマンド選択部424は、実行判断部423によって肯定判断されたコマンドの一つ（例えば最も古い一つ）を選択する。実効アドレス生成部425は、選択されたコマンドがフィル又はタッチを示す場合、そのコマンドのカレントアドレス（前述した予測アドレス）に、1ライン分のオフセット値を加算することによって、コマンドの操作対象となる実効アドレスを生成する。また、選択されたコマンドがライトバック、無効化、ライトバック兼無効化、又は最古化を示す場合、そのコマンドのカレントアドレスから、1ライン分のオフセット値を減算することによって、コマンドの操作対象となる実効アドレスを生成する。そして、コマンド選択部424は、その実効アドレスと動作プリミティブの指定とを示す一つの要求を生成し、操作要求部44へ出力すると共に、選択されたコマンドに対応するカレントアドレスを、インクリメント値分増加させることによって更新する。

[0126] なお、ここではリプレース単位がラインであるとして1ライン分のオフセット値を用いることとしたが、リプレース単位がサブラインである場合には、より小さな（例えば2サブライン分の）オフセット値を用いてもよい。

[0127] ＜命令連動コマンド制御処理＞

図16は、命令連動コマンド制御部42における命令連動コマンド制御処理の一例を示すフローチャートである。

[0128] コマンドエントリ部40に命令連動コマンドがエントリされると(S401:YES)、アドレス調整部421はそのコマンドのアドレスを調整して(S402)、コマンド保持部422へアドレス調整後のコマンドを登録する(S303)。このコマンドは、領域コマンドの場合と同様、まだコマンドを保持していないレジスタに登録されるか、全てのレジスタがコマンドを保持している場合には、最も古いコマンドを上書きすることによって登録される。なお、カレントアドレスがアラインエンドアドレスを上回った(つまり、アドレス範囲内の全ての対象アドレスに対する要求を発行し終えた)コマンドに上書きするか、又はそのようなコマンドを予め消去しておいてもよく、また、全てのレジスタがコマンドを保持している場合には、新たなコマンドを登録せずにプロセッサ1に例外を発生させることも考えられる。

[0129] コマンドが登録されていれば(S404:YES)、実行判断部423は、前記特定命令のオペランドアドレスを各コマンドのカレントアドレスと比較する(S405)。アドレスが一致したコマンドがあれば(S406:YES)、コマンド選択部424は、その中で最も古い一つを選択し(S407)、実効アドレス生成部425は、選択されたコマンドについて実効アドレスを生成して、コマンド選択部424は、その実効アドレスと動作プリミティブとを示す要求を操作要求部44へ出力し、選択されたコマンドに対応するカレントアドレスを、インクリメント値分増加させることによって更新する(S408)。

[0130] <オートクリーナ制御部>

オートクリーナ制御部43において、クリーニングアドレス出力部431は、キャッシュメモリ3における各キャッシュエントリを指定するアドレスを逐次出力する。クリーニングアドレス出力部431は、アドレスを保持して出力する単なるレジスタであってもよい。

[0131] このクリーニングアドレスには、例えば4ウェイ・セット・アソシエイティブ方式のキャッシュメモリ(図2を参照)においては、各セットを指定するアドレスを用いればよい。そのようなアドレスは、図2の例について具体的に言えば、0x00000000から0x00000780までの0x0080(セットの単位アドレス)おきの16個のアドレスによって代表される。これらのアドレスにはセットインデックスSIの全ての値が含まれるので、全てのセットの指定が可能である。

[0132] オートクリーナ制御部43は、TACコントロールレジスタ405からオートクリーナが有

効であることを示すフラグ値が取得される間、クリーニングアドレス出力部431から出力されるアドレスに対するオートクリーナ操作の要求を操作要求部44へ出力する。

[0133] ＜オートクリーナ制御処理＞

図17は、オートクリーナ制御部43におけるオートクリーナ制御処理の一例を示すフローチャートである。

[0134] TACコントロールレジスタ405からオートクリーナが有効であることを示すフラグ値が得られる場合（S501：YES）、オートクリーナ制御部43は、クリーニングアドレス出力部431から出力されるアドレスに対するオートクリーナ操作を操作要求部44へ出力する（S502）。

[0135] ＜操作要求処理＞

ここまでの説明から、操作要求部44には、単独コマンドに応じた要求、命令連動コマンドに応じた要求、領域コマンドに応じた要求、及びオートクリーナ操作の要求の最大4つの要求が与えられる可能性がある。操作要求部44は、これらの要求が同時に与えられた場合、予め設定された優先順位に基づいて一つの要求を選択し、選択した要求をキャッシュメモリ3へ転送する。この予め設定された優先順位は、前述したコマンドの順序としてもよい。

[0136] また、操作要求部44は、命令連動コマンドに応じた要求、領域コマンドに応じた要求、及びオートクリーナ操作の要求を転送した場合には、その要求の次の操作対象が示されるように、コマンドのカレントアドレス、及びクリーニングアドレスを制御する。

[0137] 図18は、操作要求部44における操作要求処理の一例を示すフローチャートである。

[0138] 単独コマンドに応じた要求があれば（S601：YES）、その要求をキャッシュメモリ3に転送する（S602）。単独コマンドに応じた要求を転送した後、操作要求部44は、動作プリミティブレジスタの内容を消去してもよい。

[0139] 命令連動コマンドに応じた要求があれば（S603：YES）、その要求をキャッシュメモリ3へ転送する（S604）。転送した要求に対応するコマンドのカレントアドレス（コマンド選択部424においてそのコマンドが選択された際にインクリメントされる）がアラインエンドアドレスを上回っている場合には、そのコマンドを消去してもよい。

[0140] 領域コマンドに応じた要求があれば(S606:YES)、その要求をキャッシュメモリ3へ転送し(S607)、その後、領域コマンド制御部41を介して、その領域コマンドのカレントアドレスを、インクリメント値分増加させることによって更新する(S608)。この更新によって、カレントアドレスがアラインエンドアドレスを上回った場合には、そのコマンドを消去してもよい。

[0141] オートクリーナコマンドに応じた要求があれば(S609:YES)、その要求をキャッシュメモリ3へ転送し(S610)、その後、オートクリーナ制御部43を制御して、クリーニングアドレス出力部431から出力されるアドレスを、セットの単位アドレス分増加させる。

[0142] <まとめ>

以上説明したように、TAC4は、プロセッサ1が予め定められた命令を実行することによってキャッシュデータの転送及び属性操作に関するコマンドを与えられ、そのコマンドに応じて6種類の動作プリミティブ及びオートクリーナ操作をキャッシュメモリ3に要求し、キャッシュメモリ3は、プロセッサ1からのメモリアクセスに応じて従来の一般的なキャッシングを行う合間に、TAC4からの要求に応じた操作を実行する。

[0143] この6種類の動作プリミティブ及びオートクリーナ操作は、キャッシュのヒット率の向上、不必要なバストランザクションの削減、及びバストランザクションの平準化(時間的分散)に効果があり、かつ前記予め定められた命令(例えば、図10、図11、図12を参照)をプロセッサ1に実行させることでソフトウェアから要求できる。従って、キャッシュ効率の向上を図る上でソフトウェアからの積極的な制御下でこれらの操作を行うために、この構成は好適である。

[0144] また、そのような特定の命令は、コンパイラによりプログラム中に挿入してもよい。具体的に、コンパイラは、データの生存期間を判断するなどしてデータが最初にアクセスされるプログラム位置を知ってその前にフィル操作を要求するコマンドを挿入し、また、同様にしてそれ以降データに書き込みがなされないプログラム位置を知ってその後に最古化を要求するコマンドを挿入するといったことが考えられる。

[0145] キャッシュメモリ3が行う6種類の動作プリミティブ及びオートクリーナ操作の内容を鑑みれば、プロセッサからのメモリアクセスに応じた一般的なキャッシング操作を行う従来のハードウェアに大規模な追加、修正を施すことなく、キャッシュメモリ3を実現で

きる。

[0146] TAC4もまた、プロセッサ1からのコマンド取得、コマンドのキューイングと選択、複数のアドレスに対する要求の逐次発生、及びキャッシュメモリ3への要求の転送管理といった簡明な機能のみを果たす。

[0147] ハードウェアをこの程度に簡素化しかつソフトウェアからの制御を受け入れるために好ましい構成とすることによって、ハードウェアとソフトウェアとの良好な機能分担が可能となり、その結果、自律的な制御によるキャッシュ効率の向上を目指してハードウェアがいたずらに大規模化する事態を回避することができる。

産業上の利用可能性

[0148] 本発明は、ソフトウェアからの制御性を向上するキャッシュメモリに利用可能であり、例えば、オンチップキャッシュメモリ、オフチップキャッシュメモリ、データキャッシュメモリ、命令キャッシュメモリ等に適用できる。

請求の範囲

[1] プロセッサとメモリとの間に設けられるキャッシュメモリと、

前記キャッシュメモリを制御する転送及び属性制御手段とを備え、

前記転送及び属性制御手段は、

前記プロセッサが予め定められた命令を実行することによって、キャッシュデータの転送及び属性操作とその操作の対象を指定するアドレスとを示すコマンドを与えられるコマンドエントリ部と、

前記アドレスに対する前記コマンドによって示される操作を、前記キャッシュメモリに要求する操作要求部と

を備えることを特徴とするキャッシュメモリシステム。

[2] 前記キャッシュメモリは、キャッシュデータの管理単位であるキャッシュエントリに対応付けて、

そのキャッシュエントリに保持されるキャッシュデータに対応するメモリアドレスの上位部を示すタグを保持するタグ保持部と、

そのキャッシュエントリが有効か否かを示すバリッドフラグと、そのキャッシュエントリに書き込み操作があったか否かを示すダーティフラグと、そのキャッシュエントリのアクセス順序を強制的に最古とすることを示すウィークフラグとを保持するフラグ保持部と

を有し、

前記転送及び属性制御手段からの要求に応じて、

指定されるアドレスにヒットするキャッシュエントリがない場合に、リプレース対象となるキャッシュエントリを選択し、メモリから前記選択されたキャッシュエントリへ前記指定されたアドレスに対応するデータをロードし、タグを設定してバリッドフラグをセットするフィル操作、

指定されるアドレスにヒットするキャッシュエントリがない場合に、リプレース対象となるキャッシュエントリを選択し、メモリから前記選択されたキャッシュエントリへデータをロードすることなくタグを設定してバリッドフラグをセットするタッチ操作、

指定されるアドレスにヒットするキャッシュエントリがありかつダーティフラグがセットさ

れている場合に、そのキャッシュエントリのデータをメモリへセーブしてダーティフラグをリセットするライトバック操作、

指定されるアドレスにヒットするキャッシュエントリがある場合に、そのキャッシュエントリのデータをダーティフラグの状態に応じてメモリへセーブすることなくバリッドフラグをリセットする無効化操作、

指定されるアドレスにヒットするキャッシュエントリがある場合に、ダーティフラグがセットされていればそのキャッシュエントリのデータをメモリへセーブしてダーティフラグ及びバリッドフラグをリセットし、ダーティフラグがリセットされていればそのキャッシュエントリのバリッドフラグのリセットのみを行うライトバック兼無効化操作、及び

指定されるアドレスにヒットするキャッシュエントリがある場合に、そのキャッシュエントリのウィークフラグをセットする最古化操作

の中の一つを実行する

ことを特徴とする請求項1に記載のキャッシュメモリシステム。

[3] 前記コマンドエントリ部は、さらに、前記プロセッサから前記コマンドに対応してアドレス範囲を与えられ、

前記操作要求部は、前記アドレス範囲に属する複数のアドレスに対する前記操作を、前記キャッシュメモリに逐次要求する

ことを特徴とする請求項1または2に記載のキャッシュメモリシステム。

[4] 前記転送及び属性制御手段は、さらに、

前記アドレス範囲の先頭及び末尾を、前記キャッシュメモリにおけるキャッシュデータの管理単位であるキャッシュエントリの先頭データを示すように調整するアドレス調整部を有し、

前記操作要求部は、前記調整後のアドレス範囲に含まれる複数のアドレスに対する前記操作を、前記キャッシュメモリに逐次要求する

ことを特徴とする請求項3に記載のキャッシュメモリシステム。

[5] 前記転送及び属性制御手段は、さらに、

複数のコマンドとそれぞれのコマンドに対応するアドレス範囲とを保持するコマンド保持部と、

前記保持された複数のコマンドの中から一つを選択するコマンド選択部と

を有し、

前記操作要求部は、前記選択されたコマンドに対応するアドレス範囲に属する複数のアドレスに対する、そのコマンドによって示される操作を逐次要求する

ことを特徴とする請求項3または4に記載のキャッシュメモリシステム。

[6] 前記コマンド選択部は、前記選択されたコマンドについて全ての要求がなされる前に、他のコマンドを選択し、

前記操作要求部は、元のコマンドが再び選択された場合にそのコマンドについてまだ要求していないアドレスに対する操作を逐次要求する

ことを特徴とする請求項5に記載のキャッシュメモリシステム。

[7] 前記転送及び属性制御手段は、さらに、

次に予定される要求に関して定められる予測アドレスに対して、前記プロセッサによって特定の命令が実行されたか否かを判断する実行判断部と、

肯定判断がなされると、前記予測アドレスに所定のオフセット値を加算又は減算することによって実効アドレスを生成する実効アドレス生成部と

を有し、

前記操作要求部は、前記生成された実効アドレスに対する前記操作を要求する

ことを特徴とする請求項3に記載のキャッシュメモリシステム。

[8] 前記転送及び属性制御手段は、さらに、

複数のコマンドとそれぞれのコマンドに対応するアドレス範囲とを保持するコマンド保持部を有し、

前記実行判断部は、前記保持された各コマンドについて、そのコマンドに対応する予測アドレスに対して、前記プロセッサによって特定の命令が実行されたか否かを判断し、

前記転送及び属性制御手段は、さらに、

肯定判断がなされたコマンドの中から一つを選択するコマンド選択部を有し、

前記実効アドレス生成部は、前記選択されたコマンドに対応する予測アドレスに所定値を加算又は減算することによって実効アドレスを生成し、

前記操作要求部は、前記生成された実効アドレスに対する前記選択されたコマンドによって示される操作を要求する

ことを特徴とする請求項7に記載のキャッシュメモリシステム。

[9] 前記転送及び属性制御手段は、さらに、

前記キャッシュメモリにおけるキャッシュデータの管理単位である各キャッシュエントリを指定するアドレスを逐次出力するアドレス出力部を有し、

前記操作要求部は、前記出力されたアドレスによって指定されるキャッシュエントリを含む一つ以上のキャッシュエントリに対する何れかの操作要求を保持する要求保持手段を備え、操作要求を保持している間は自発的に操作要求をし続ける

ことを特徴とする請求項1に記載のキャッシュメモリシステム。

[10] 前記操作要求部は、前記キャッシュメモリに要求する操作がライトバック操作であり、

前記キャッシュメモリは、前記要求に応じてライトバック操作を実行する

ことを特徴とする請求項1または9に記載のキャッシュメモリシステム。

[11] 前記コマンドエントリ部は、単一のアドレスに対する操作を示す単独コマンドと、アドレス範囲に含まれる複数のアドレスに対する操作を前記プロセッサが実行する特定の命令と同期して行うことを示す命令連動コマンドと、アドレス範囲に含まれる複数のアドレスに対する操作を前記プロセッサが実行する特定の命令とは非同期に行うことを示す領域コマンドと、キャッシュデータを逐次操作することを示す逐次操作コマンドのうちの少なくとも一つを前記プロセッサから与えられ、

前記操作要求部は、各コマンドに応じた操作要求を予め設定された優先順位に基づいて選択を行い、前記キャッシュメモリに要求する

ことを特徴とする請求項1または2に記載のキャッシュメモリシステム。

[12] 前記操作要求部は、各コマンドに応じた操作を、前記コマンドの順に優先して、前記キャッシュメモリに要求する

ことを特徴とする請求項11に記載のキャッシュメモリシステム。

[13] プロセッサとメモリとの間に設けられるキャッシュメモリを制御する制御方法であって、

前記プロセッサから、キャッシュデータの転送及び属性操作とその操作の対象を指定するアドレスとを示すコマンドを取得する取得ステップと、

前記アドレスに対する前記コマンドによって示される操作を、前記キャッシュメモリに要求する操作要求ステップと

を含むことを特徴とする制御方法。

補正書の請求の範囲

[2006年08月07日（07.08.2006）国際事務局受理]

[1] （補正後）プロセッサとメモリとの間に設けられるキャッシュメモリと、

前記キャッシュメモリに対してキャッシュデータの転送と属性操作とを要求する転送及び属性制御手段とを備え、

前記キャッシュメモリは、

前記プロセッサからのメモリアクセス及び前記転送及び属性制御手段からの要求に応じて、キャッシュデータの転送と属性操作との実行を制御する制御部を備え、

前記転送及び属性制御手段は、

前記プロセッサが予め定められた命令を実行することによって、キャッシュデータの転送及び属性操作とその操作の対象を指定するアドレスとを示すコマンドを与えられるコマンドエントリ部と、

前記アドレスに対する前記コマンドによって示される操作を前記キャッシュメモリに要求する操作要求部と

を備えることを特徴とするキャッシュメモリシステム。

[2] 前記キャッシュメモリは、キャッシュデータの管理単位であるキャッシュエントリに対応付けて、

そのキャッシュエントリに保持されるキャッシュデータに対応するメモリアドレスの上位部を示すタグを保持するタグ保持部と、

そのキャッシュエントリが有効か否かを示すバリッドフラグと、そのキャッシュエントリに書き込み操作があったか否かを示すダーティフラグと、そのキャッシュエントリのアクセス順序を強制的に最古とすることを示すウィークフラグとを保持するフラグ保持部と

を有し、

前記転送及び属性制御手段からの要求に応じて、

指定されるアドレスにヒットするキャッシュエントリがない場合に、リプレース対象となるキャッシュエントリを選択し、メモリから前記選択されたキャッシュエントリへ前記指定されたアドレスに対応するデータをロードし、タグを設定してバリッドフラグをセットするフィル操作、

指定されるアドレスにヒットするキャッシュエントリがない場合に、リプレース対象となるキャッシュエントリを選択し、メモリから前記選択されたキャッシュエントリへデータをロードすることなくタグを設定してバリッドフラグをセットするタッチ操作、

指定されるアドレスにヒットするキャッシュエントリがありかつダーティフラグがセットさ

前記操作要求部は、前記生成された実効アドレスに対する前記選択されたコマンドによって示される操作を要求する

ことを特徴とする請求項７に記載のキャッシュメモリシステム。

[9] 前記転送及び属性制御手段は、さらに、

前記キャッシュメモリにおけるキャッシュデータの管理単位である各キャッシュエントリを指定するアドレスを逐次出力するアドレス出力部を有し、

前記操作要求部は、前記出力されたアドレスによって指定されるキャッシュエントリを含む一つ以上のキャッシュエントリに対する何れかの操作要求を保持する要求保持手段を備え、操作要求を保持している間は自発的に操作要求をし続ける

ことを特徴とする請求項１に記載のキャッシュメモリシステム。

[10] 前記操作要求部は、前記キャッシュメモリに要求する操作がライトバック操作であり、

前記キャッシュメモリは、前記要求に応じてライトバック操作を実行する

ことを特徴とする請求項１または９に記載のキャッシュメモリシステム。

[11] 前記コマンドエントリ部は、単一のアドレスに対する操作を示す単独コマンドと、アドレス範囲に含まれる複数のアドレスに対する操作を前記プロセッサが実行する特定の命令と同期して行うことを示す命令連動コマンドと、アドレス範囲に含まれる複数のアドレスに対する操作を前記プロセッサが実行する特定の命令とは非同期に行うことを示す領域コマンドと、キャッシュデータを逐次操作することを示す逐次操作コマンドのうちの少なくとも一つを前記プロセッサから与えられ、

前記操作要求部は、各コマンドに応じた操作要求を予め設定された優先順位に基づいて選択を行い、前記キャッシュメモリに要求する

ことを特徴とする請求項１または２に記載のキャッシュメモリシステム。

[12] 前記操作要求部は、各コマンドに応じた操作を、前記コマンドの順に優先して、前記キャッシュメモリに要求する

ことを特徴とする請求項１１に記載のキャッシュメモリシステム。

[13] （補正後）プロセッサとメモリとの間に設けられるキャッシュメモリと前記キャッシュメモリに対してキャッシュデータの転送と属性操作とを要求する転送及び属性制御手段とからなるキャッシュメモリシステムを制御する制御方法であって、

前記キャッシュメモリで、前記プロセッサからのメモリアクセス及び前記転送及び属性制御手段からの要求に応じて、キャッシュデータの転送と属性操作との実行を制御する制御ステップと、

前記転送及び属性制御手段で、前記プロセッサから、キャッシュデータの転送及び属性操作とその操作の対象を指定するアドレスとを示すコマンドを取得する取得ステップと、

前記アドレスに対する前記コマンドによって示される操作を、前記転送及び属性制御手段から前記キャッシュメモリに要求する操作要求ステップと

を含むことを特徴とする制御方法。

[14] （追加）前記コマンドエントリ部は、

予め定められたメモリアドレスに割り当てられ、前記プロセッサが前記命令を実行することによって、前記コマンドを表すデータを設定されるレジスタを備え、

前記操作要求部は、前記レジスタに設定されたコマンドによって示される操作を前記キャッシュメモリの制御部に要求する

ことを特徴とする請求項１に記載のキャッシュメモリシステム。

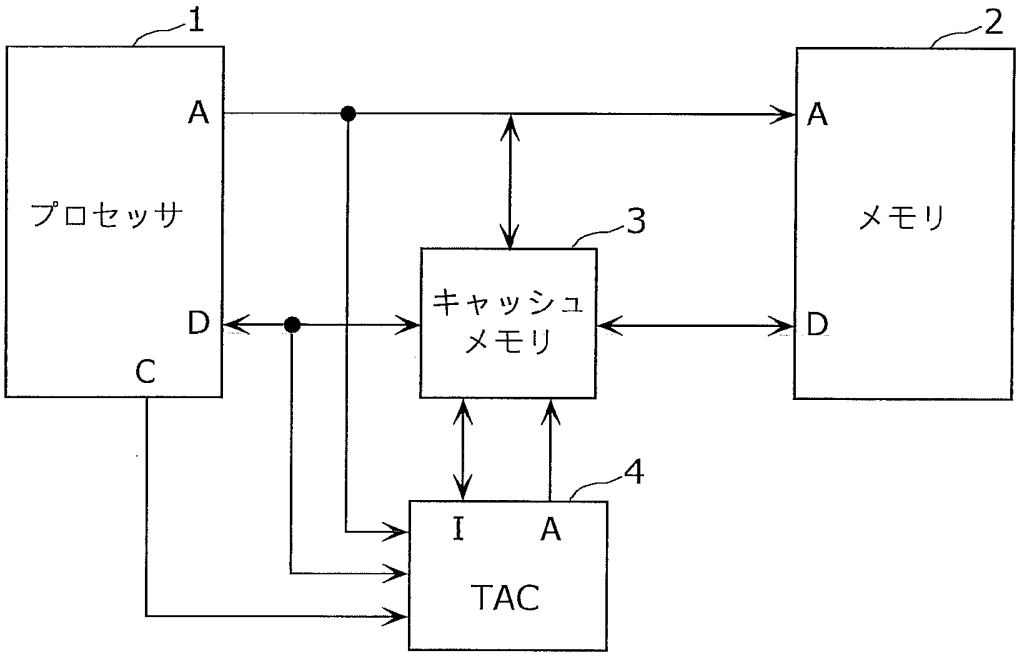
条約第１９条（１）に基づく説明書

請求の範囲第１項を補正した。補正後の請求の範囲第１項における第２行の内容は、出願時の明細書の段落［００３０］によってサポートされている。補正後の請求の範囲第１項における第４～６行の内容は、出願時の明細書の段落［００３１］、［００３５］によってサポートされている。

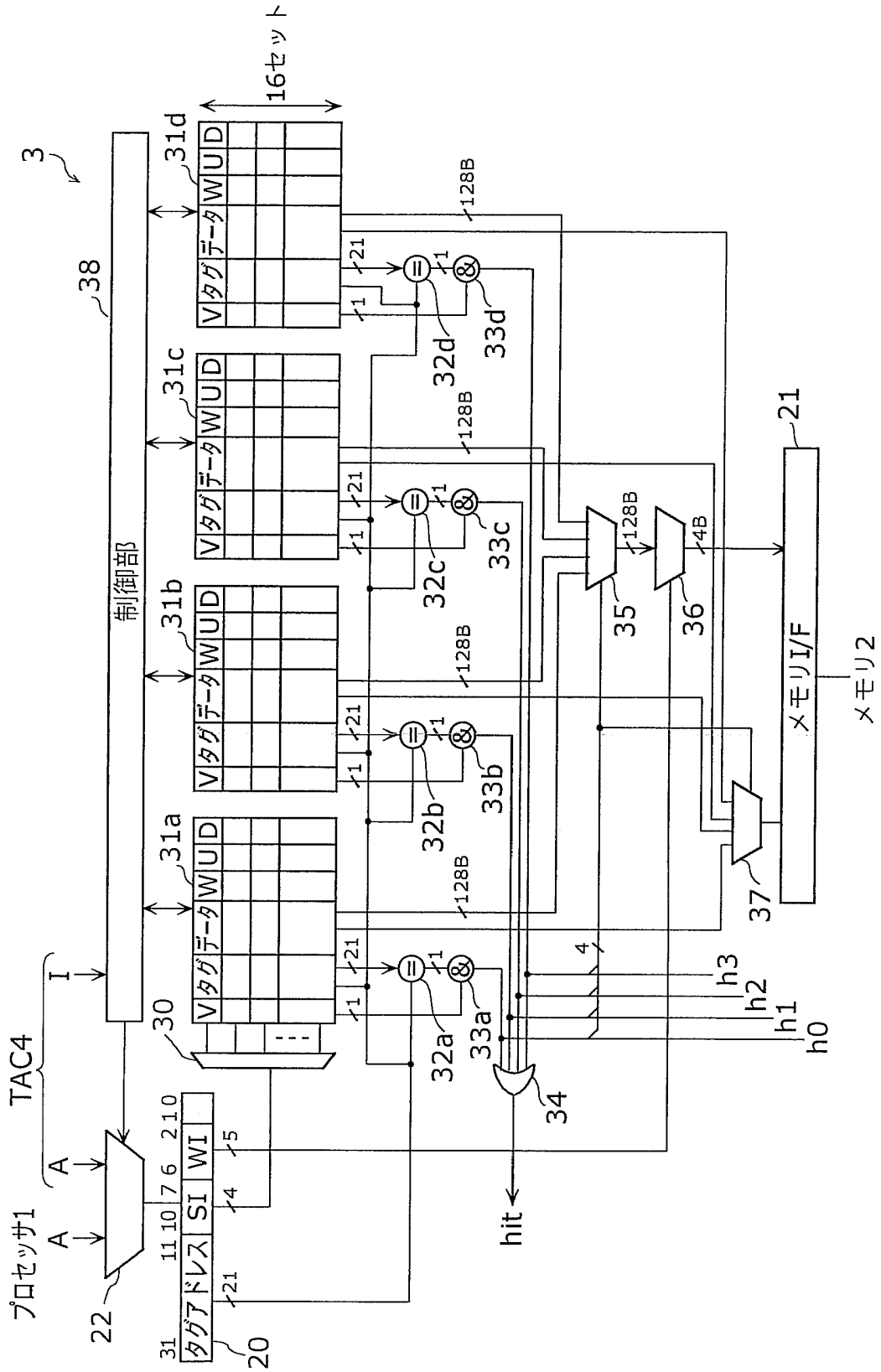
請求の範囲第１３項を補正した。補正後の請求の範囲第１３項の内容は、補正後の請求の範囲第１項について示した出願時の明細書の箇所と同じ箇所によってサポートされている。

請求の範囲第１４項を追加した。追加された請求の範囲第１４項の内容は、出願時の明細書の段落［００８７］、［０１３５］によってサポートされている。

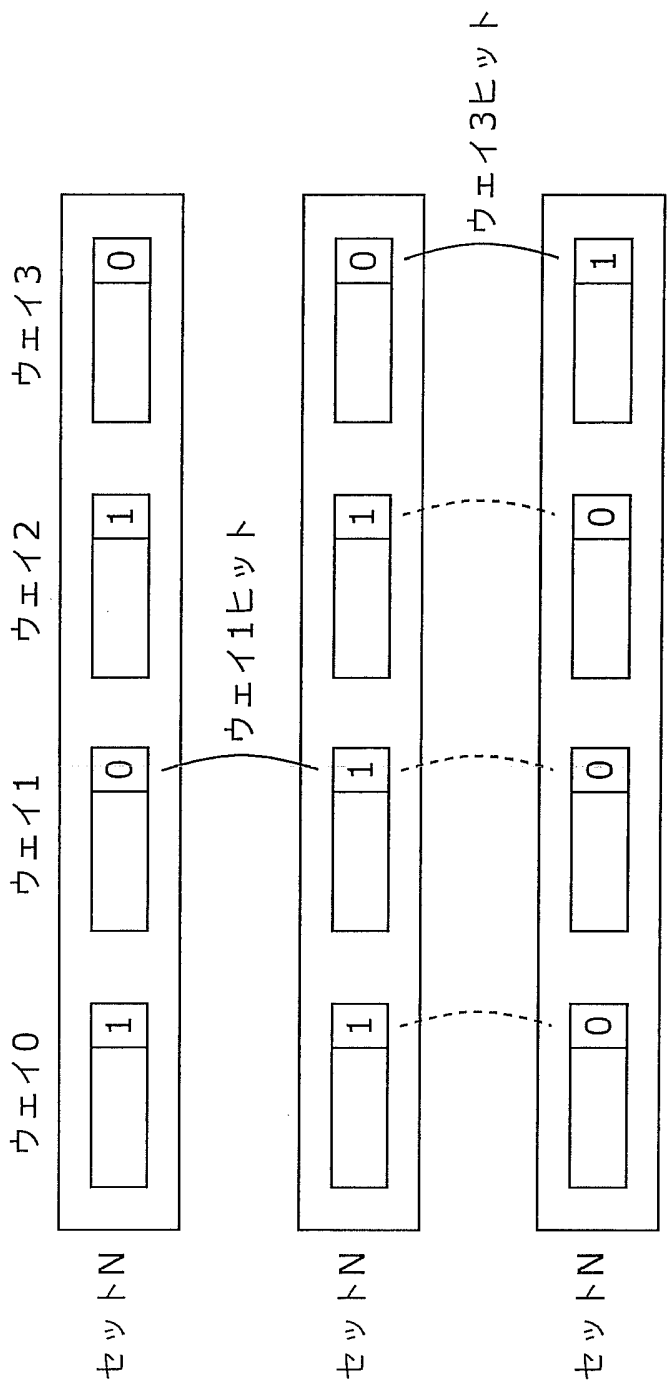
[図1]



[図2]

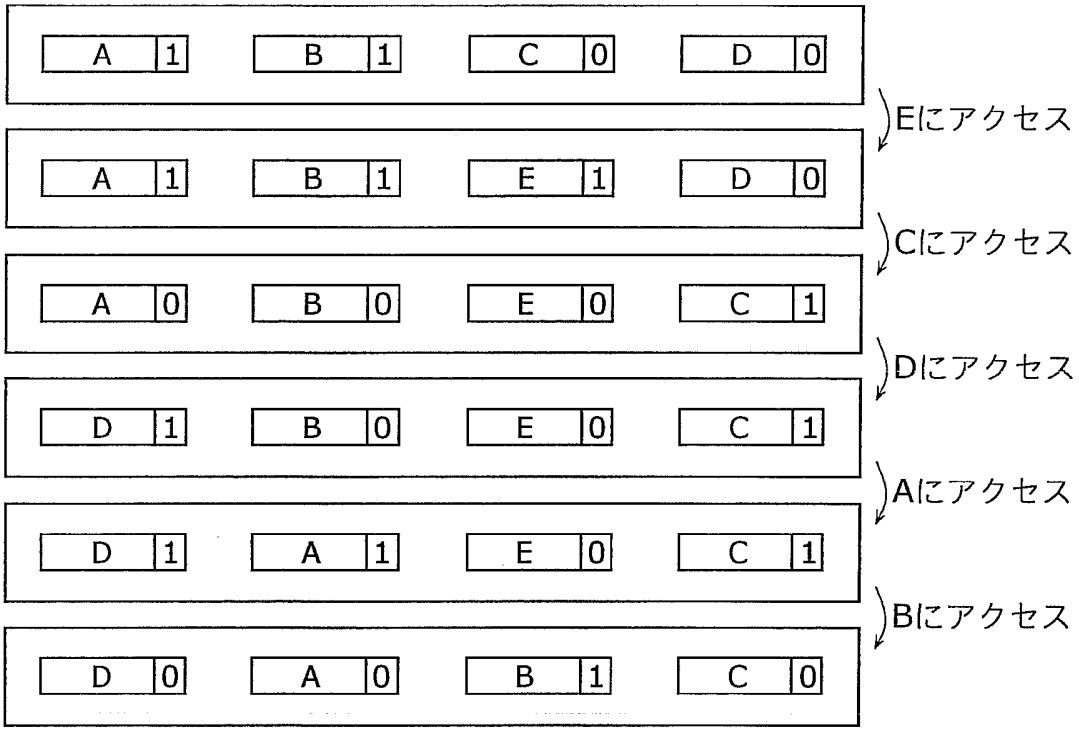

3
38
制御部
16セット
31d
31c
31b
31a
V
タグ
データ
W
U
D
128B
21
1
32d
33d
32c
33c
32b
33b
32a
33a
34
35
36
37
4B
4
h3
h2
h1
h0
hit
21
メモリI/F
メモリ2
30
TAC4
I
A
プロセッサ1
22
11 10
7 6
2 1 0
SI
WI
5
4
タグアドレス
31
20

[図3]

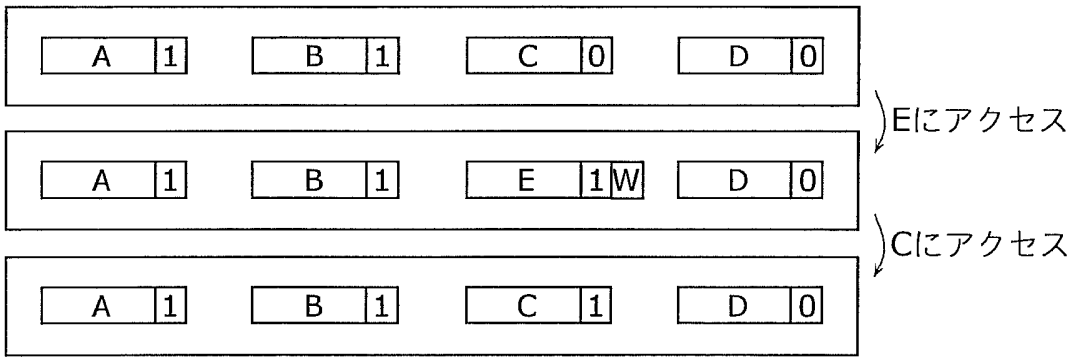

ウェイ0
ウェイ1
ウェイ2
ウェイ3
ウェイ1ヒット
ウェイ3ヒット
セットN
セットN
セットN
1
0
1
0
1
0
1
0
1
0
1
0

[図4]

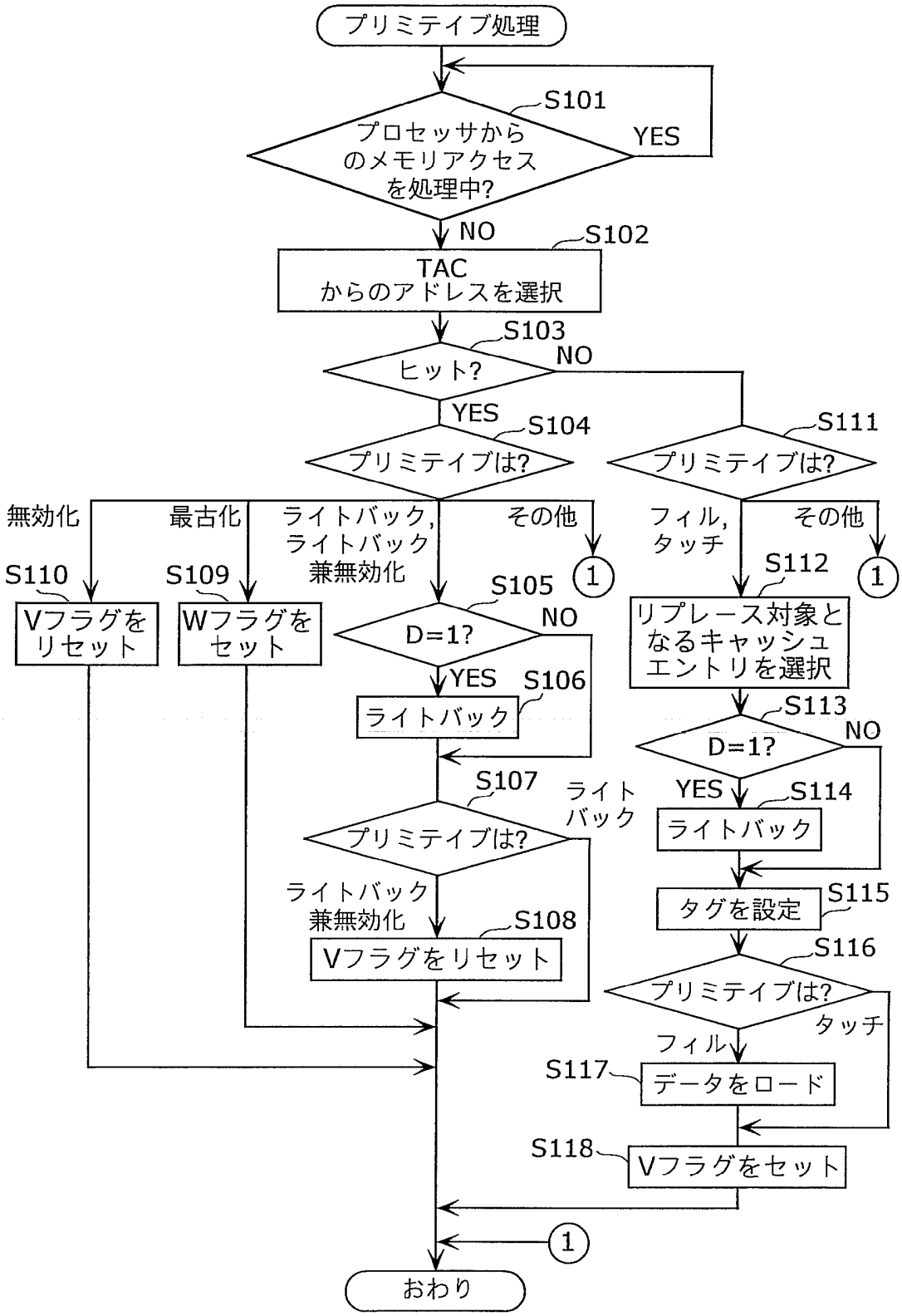
(a)


A 1 B 1 C 0 D 0
Eにアクセス
A 1 B 1 E 1 D 0
Cにアクセス
A 0 B 0 E 0 C 1
Dにアクセス
D 1 B 0 E 0 C 1
Aにアクセス
D 1 A 1 E 0 C 1
Bにアクセス
D 0 A 0 B 1 C 0

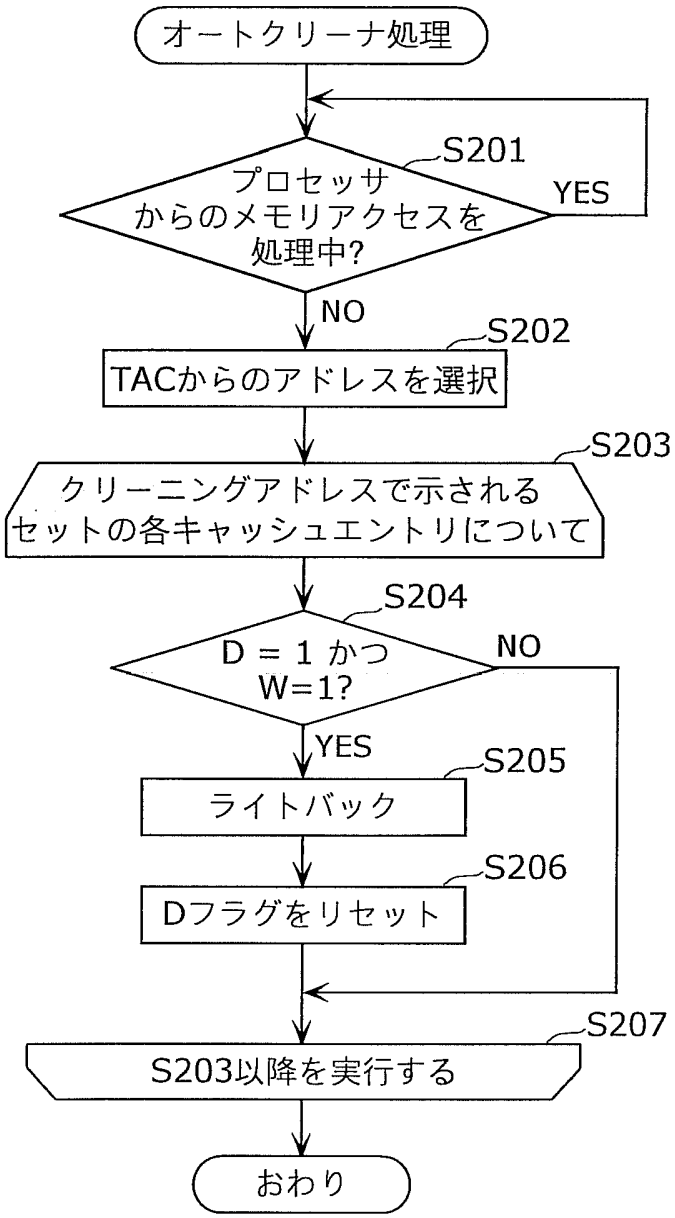
(b)


A 1 B 1 C 0 D 0
Eにアクセス
A 1 B 1 E 1 W D 0
Cにアクセス
A 1 B 1 C 1 D 0

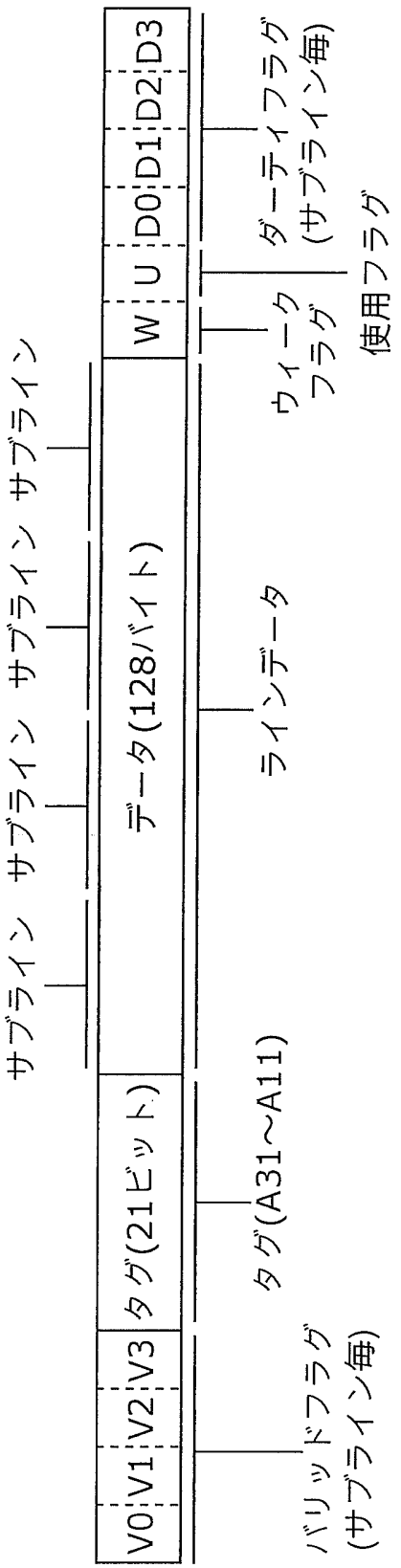
[図5]


プリミティブ処理
S101
プロセッサから
のメモリアクセス
を処理中?
YES
NO
S102
TAC
からのアドレスを選択
S103
ヒット?
NO
YES
S104
プリミティブは?
S111
プリミティブは?
無効化
最古化
ライトバック,
ライトバック
兼無効化
その他
フィル,
タッチ
その他
S110
S109
S105
S112
Vフラグを
リセット
Wフラグを
セット
D=1?
NO
YES
S106
ライトバック
リプレース対象と
なるキャッシュ
エントリを選択
S113
D=1?
NO
YES
S114
ライトバック
S107
ライト
バック
プリミティブは?
ライトバック
兼無効化
S108
Vフラグをリセット
タグを設定
S115
S116
プリミティブは?
タッチ
フィル
S117
データをロード
S118
Vフラグをセット
1
1
1
おわり

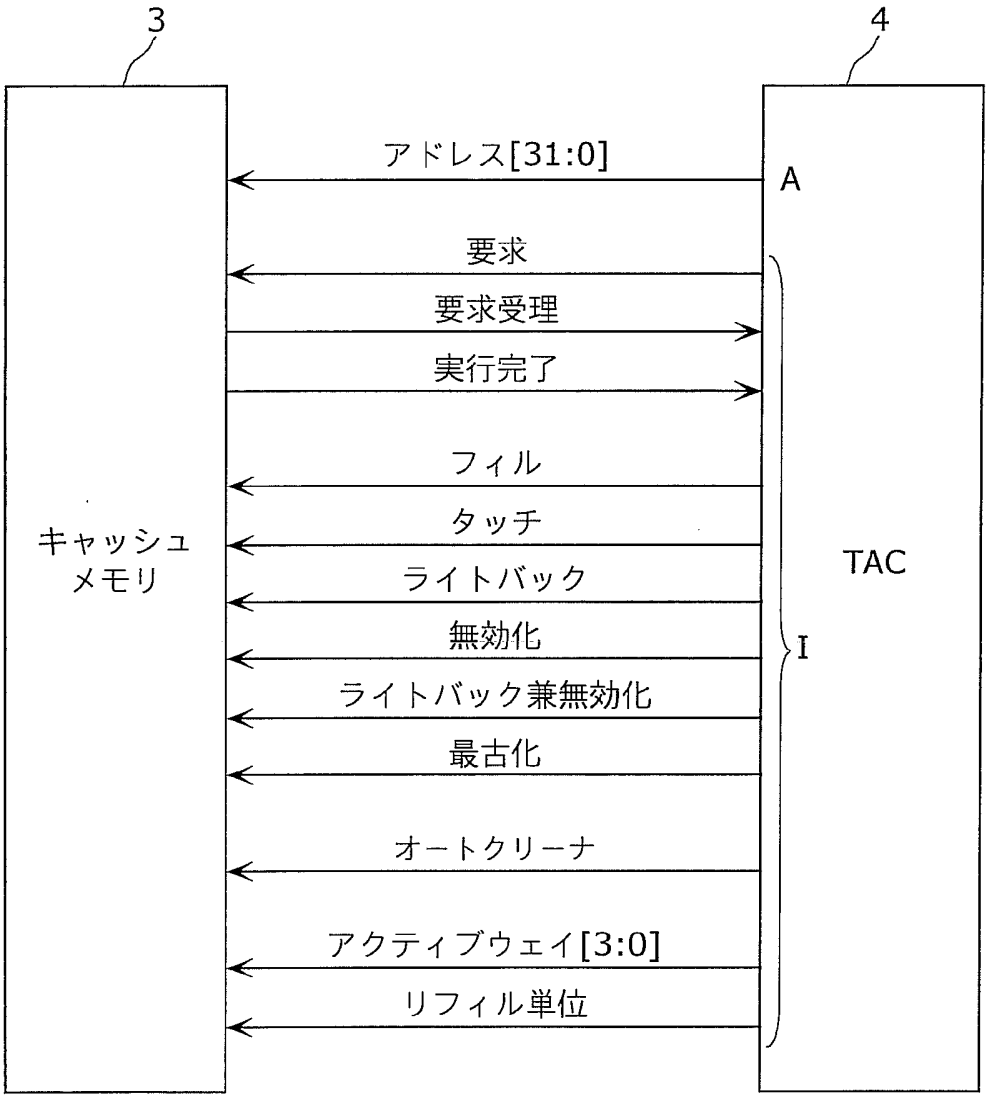
[図6]


オートクリーナ処理
S201
プロセッサからのメモリアクセスを処理中?
YES
NO
S202
TACからのアドレスを選択
S203
クリーニングアドレスで示されるセットの各キャッシュエントリについて
S204
D = 1 かつ W=1?
NO
YES
S205
ライトバック
S206
Dフラグをリセット
S207
S203以降を実行する
おわり

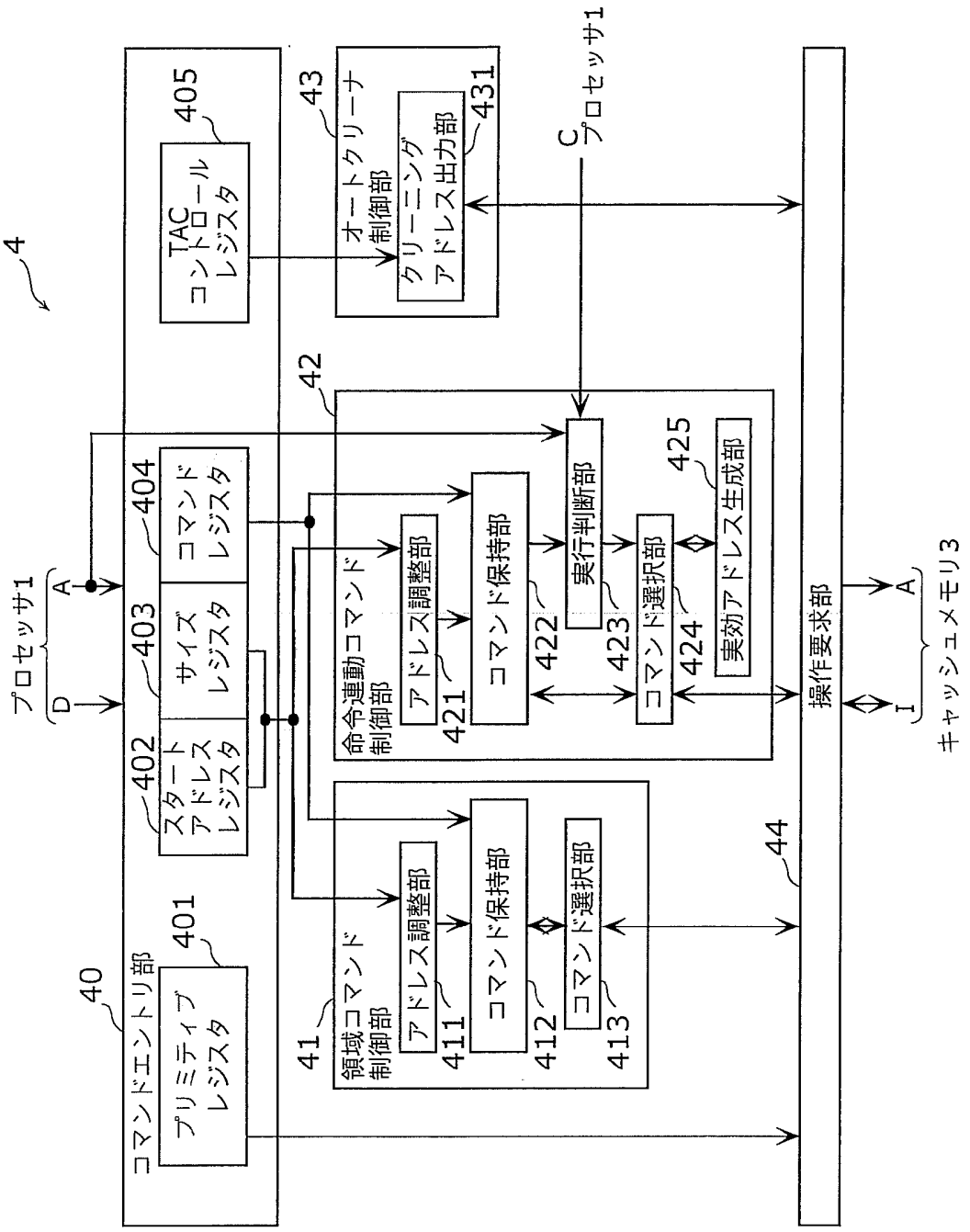
[図7]


サブライン
サブライン
サブライン
サブライン
サブライン
V0
V1
V2
V3
タグ(21ビット)
データ(128バイト)
W
U
D0
D1
D2
D3
バリッドフラグ
(サブライン毎)
タグ(A31～A11)
ラインデータ
ウィーク
フラグ
ダーティフラグ
(サブライン毎)
使用フラグ

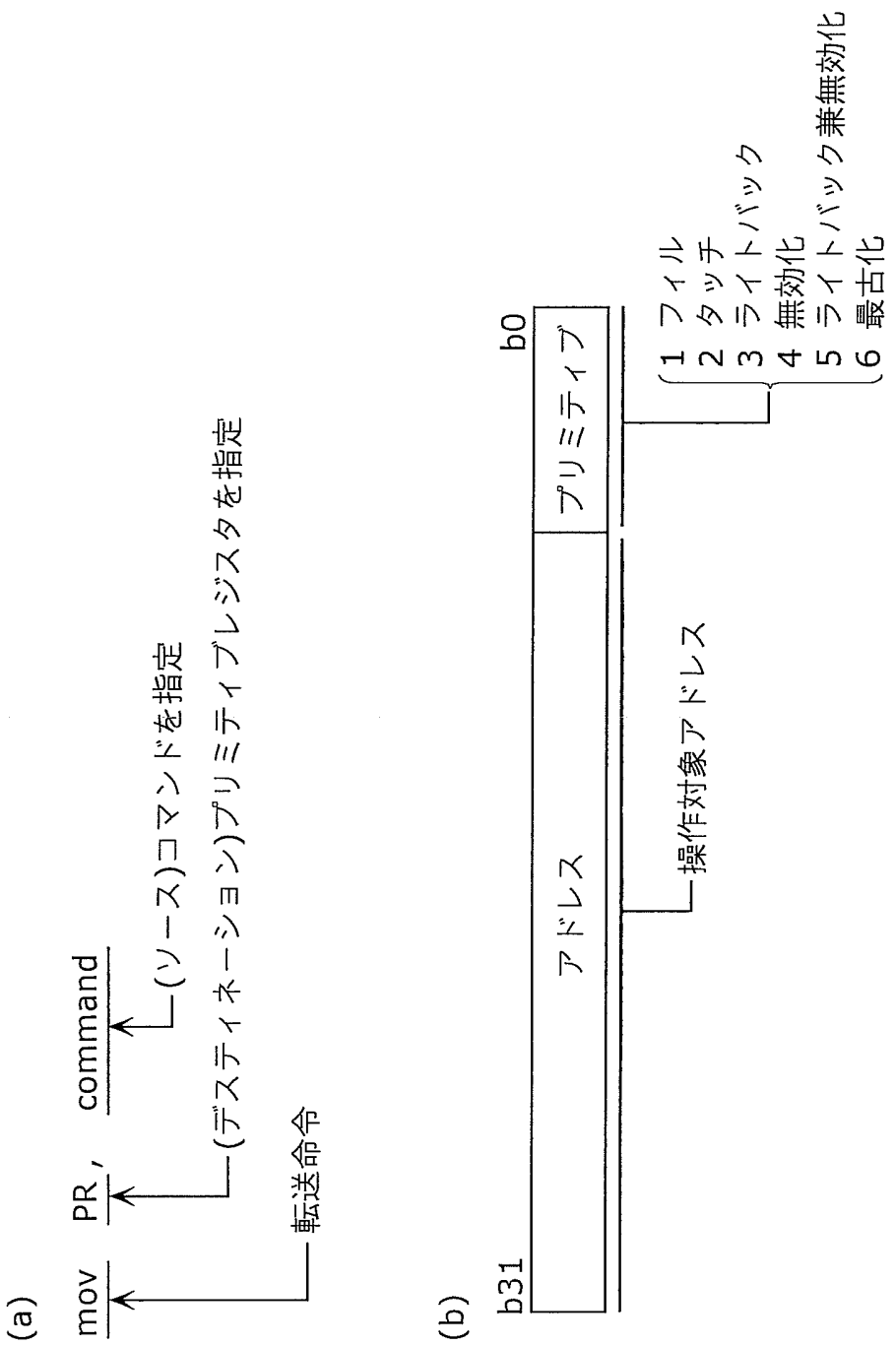
[図8]


3
4
キャッシュ
メモリ
TAC
アドレス[31:0]
A
要求
要求受理
実行完了
フィル
タッチ
ライトバック
無効化
ライトバック兼無効化
最古化
オートクリーナ
アクティブウェイ[3:0]
リフィル単位
I

[図9]

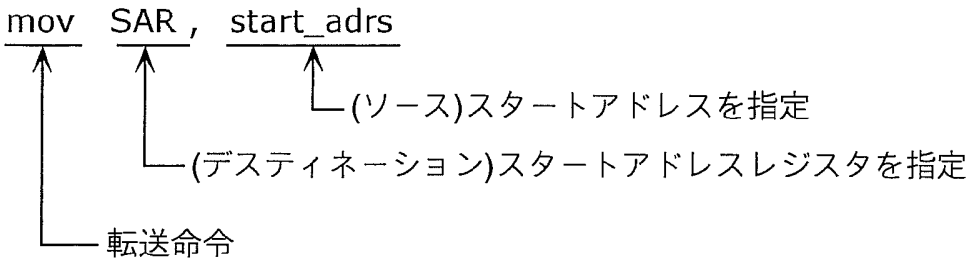

4
プロセッサ1
A
D
コマンドエントリ部
40
プリミティブ
レジスタ
401
スタート
アドレス
レジスタ
402
サイズ
レジスタ
403
コマンド
レジスタ
404
TAC
コントロール
レジスタ
405
領域コマンド
制御部
41
アドレス調整部
411
コマンド保持部
412
コマンド選択部
413
命令連動コマンド
制御部
42
アドレス調整部
421
コマンド保持部
422
実行判断部
423
コマンド選択部
424
実効アドレス生成部
425
オートクリーナ
制御部
43
クリーニング
アドレス出力部
431
C
プロセッサ1
44
操作要求部
A
I
キャッシュメモリ3

[図10]

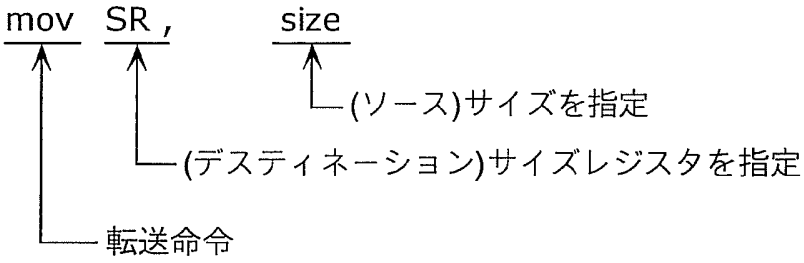

(a)
mov PR, command
転送命令
(デスティネーション)プリミティブレジスタを指定
(ソース)コマンドを指定
(b)
b31
b0
アドレス
プリミティブ
操作対象アドレス
1 フィル
2 タッチ
3 ライトバック
4 無効化
5 ライトバック兼無効化
6 最古化

[図11]

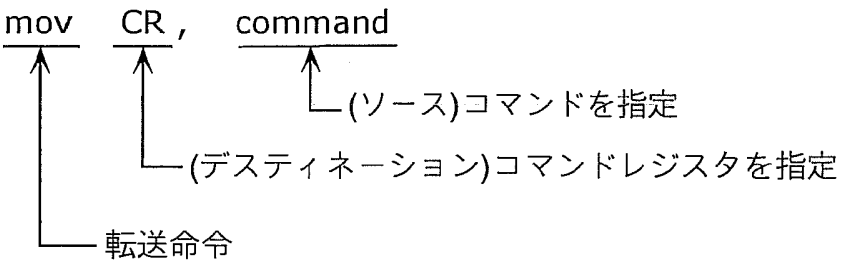
(a)


mov SAR , start_adrs
(ソース)スタートアドレスを指定
(デスティネーション)スタートアドレスレジスタを指定
転送命令

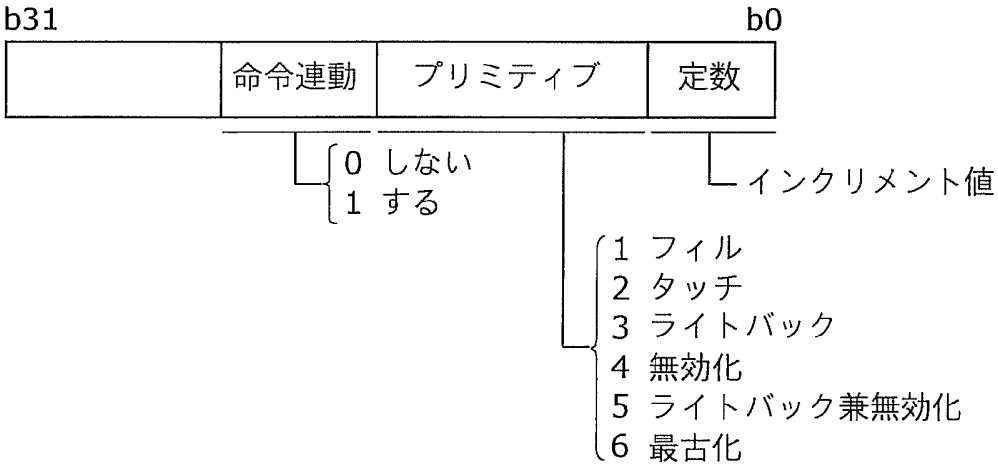
(b)


mov SR , size
(ソース)サイズを指定
(デスティネーション)サイズレジスタを指定
転送命令

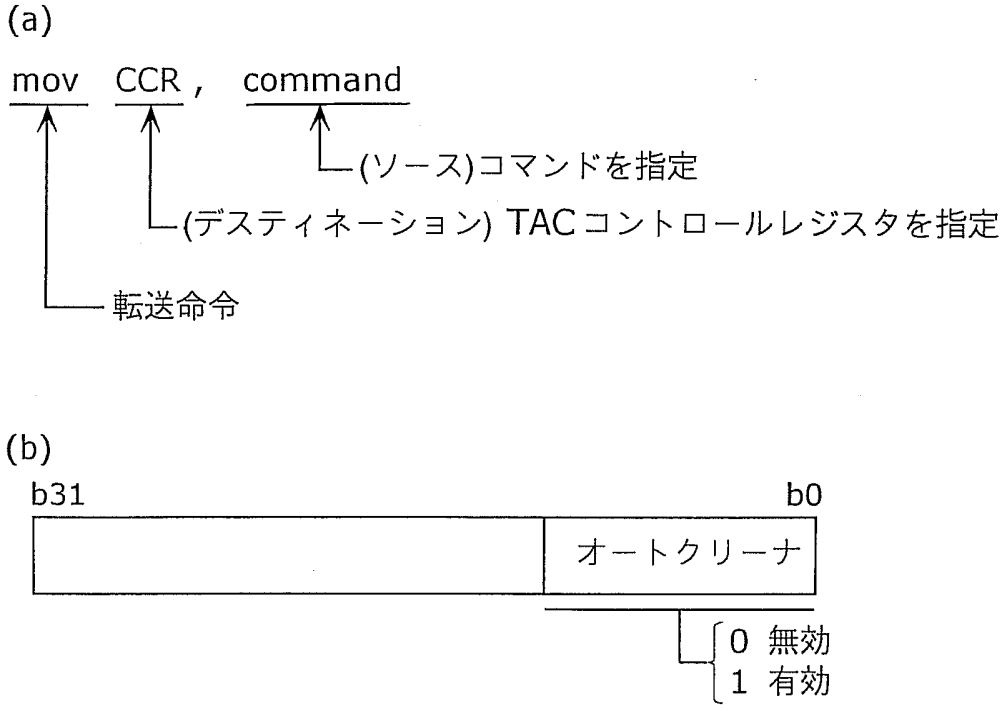
(c)


mov CR , command
(ソース)コマンドを指定
(デスティネーション)コマンドレジスタを指定
転送命令

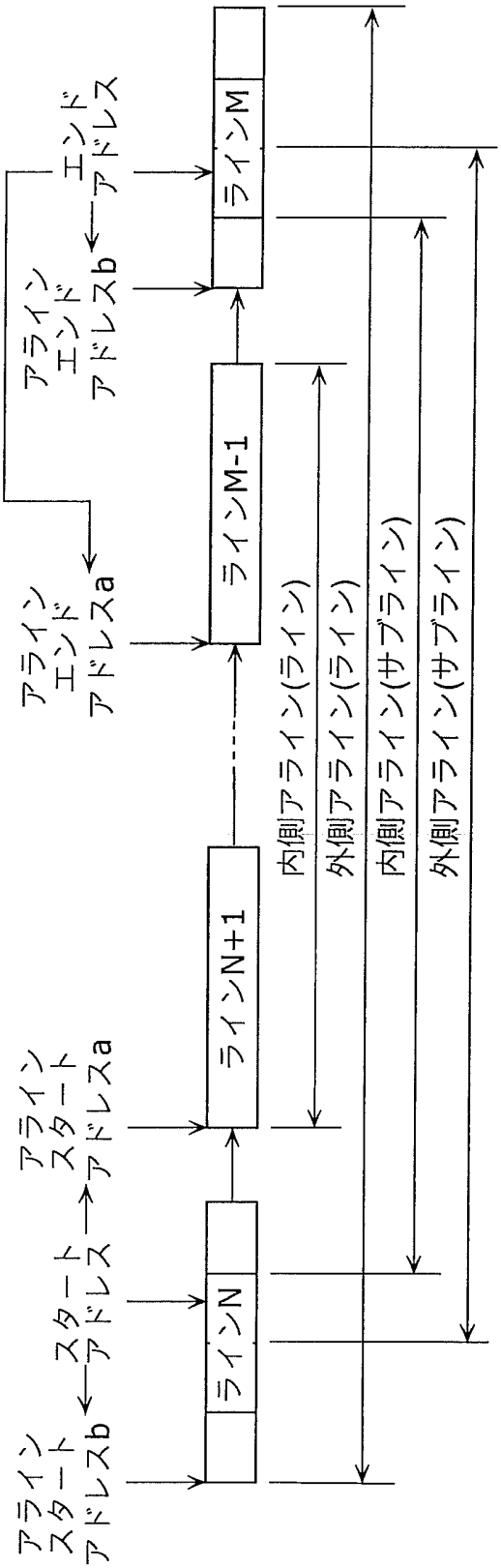
(d)


b31
b0
命令連動
プリミティブ
定数
0 しない
1 する
インクリメント値
1 フィル
2 タッチ
3 ライトバック
4 無効化
5 ライトバック兼無効化
6 最古化

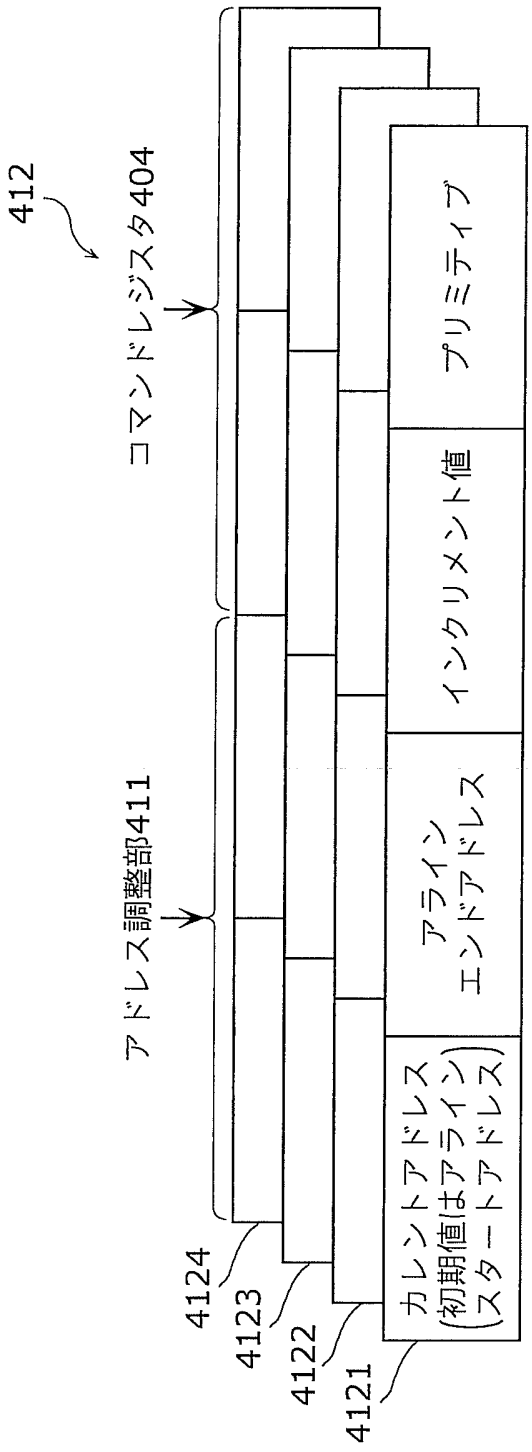
[図12]


(a)
mov CCR , command
(ソース)コマンドを指定
(デスティネーション) TACコントロールレジスタを指定
転送命令
(b)
b31
b0
オートクリーナ
0 無効
1 有効

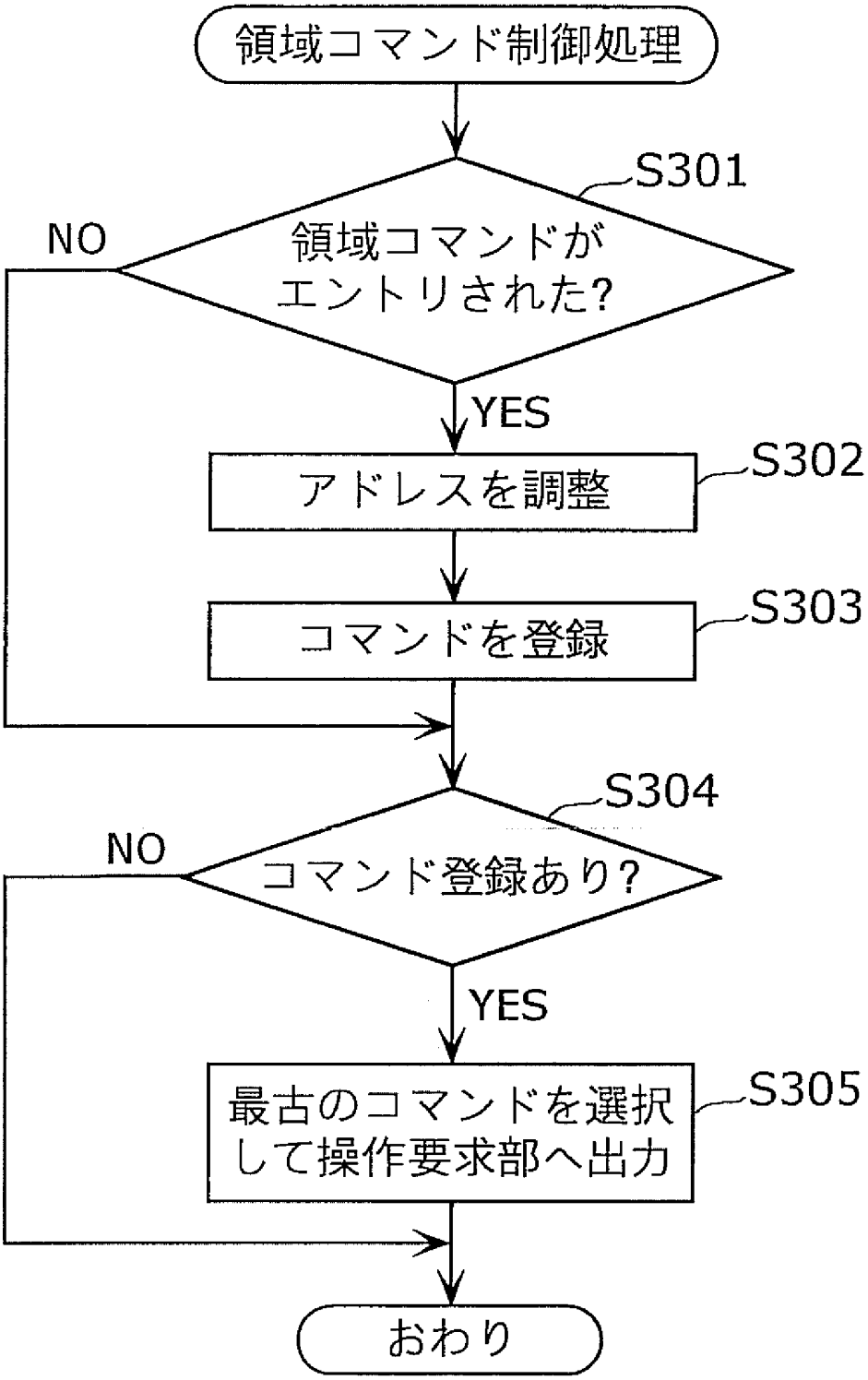
[図13]


ラインN
ラインN+1
ラインM-1
ラインM
アライン
スタート
アドレスb
スタート
アドレス
アライン
スタート
アドレスa
アライン
エンド
アドレスa
アライン
エンド
アドレスb
エンド
アドレス
内側アライン(ライン)
外側アライン(ライン)
内側アライン(サブライン)
外側アライン(サブライン)

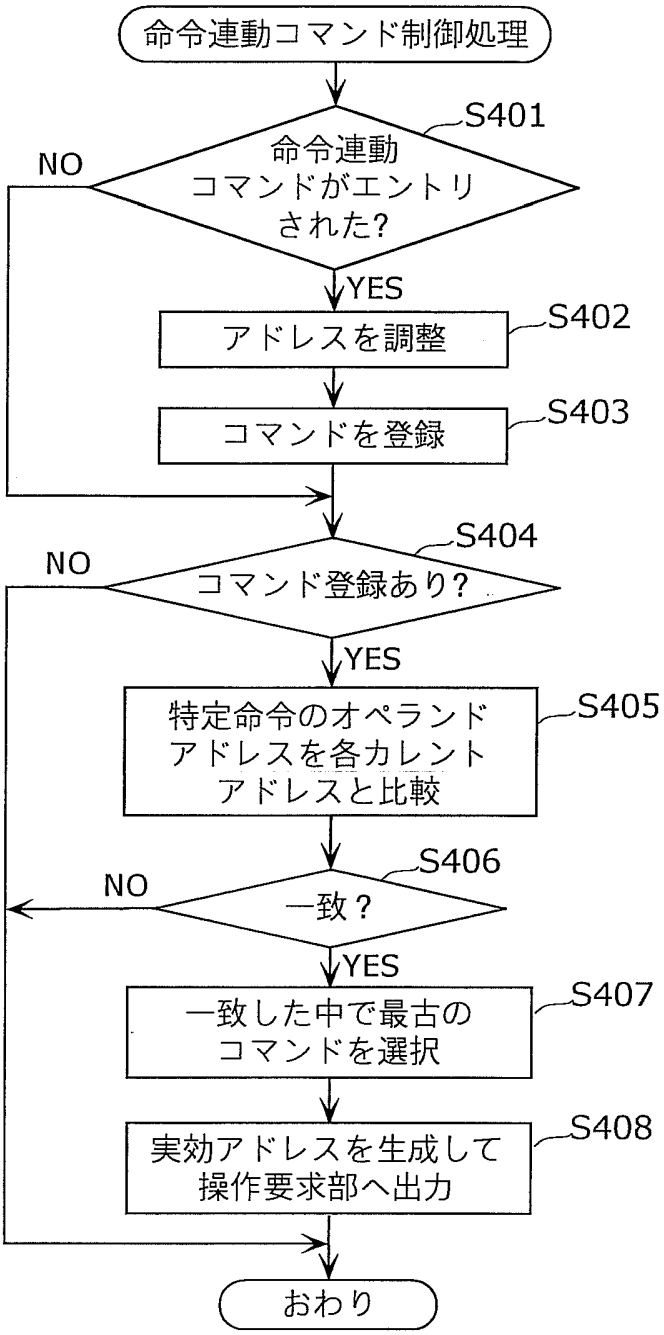
[図14]


412
コマンドレジスタ404
アドレス調整部411
4124
4123
4122
4121
カレントアドレス
(初期値はアライン
スタートアドレス)
アライン
エンドアドレス
インクリメント値
プリミティブ

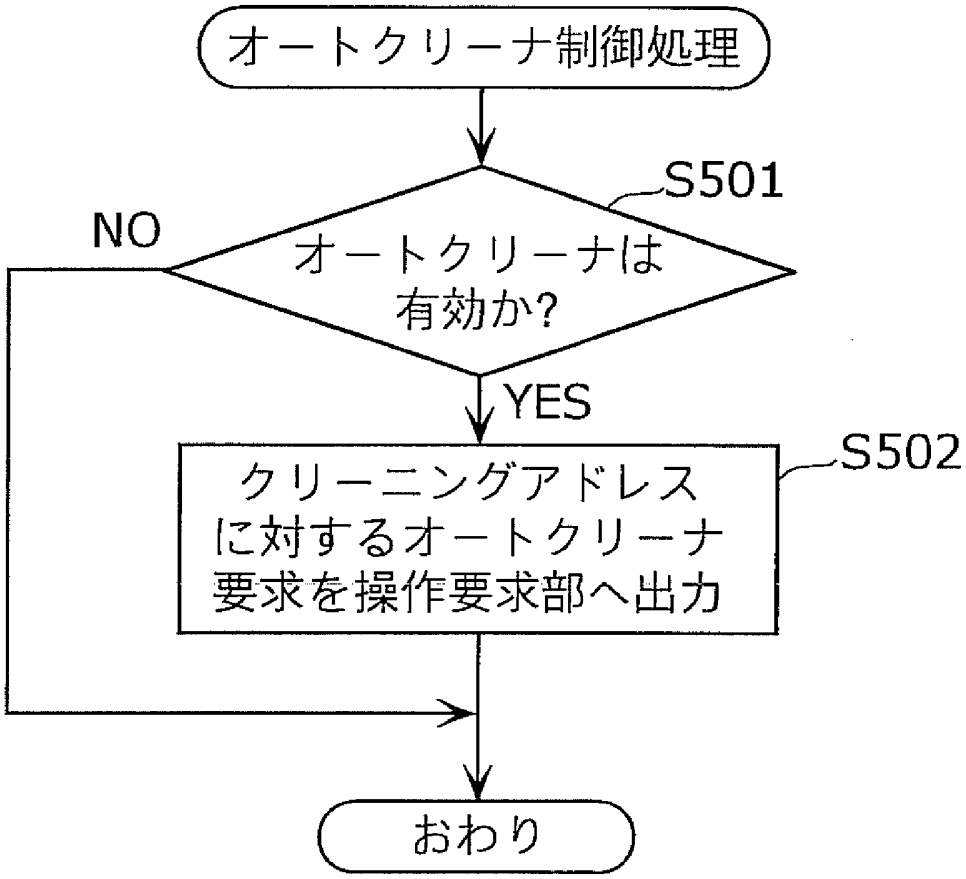
[図15]


領域コマンド制御処理
S301
領域コマンドが
エントリされた?
NO
YES
アドレスを調整
S302
コマンドを登録
S303
S304
コマンド登録あり?
NO
YES
最古のコマンドを選択
して操作要求部へ出力
S305
おわり

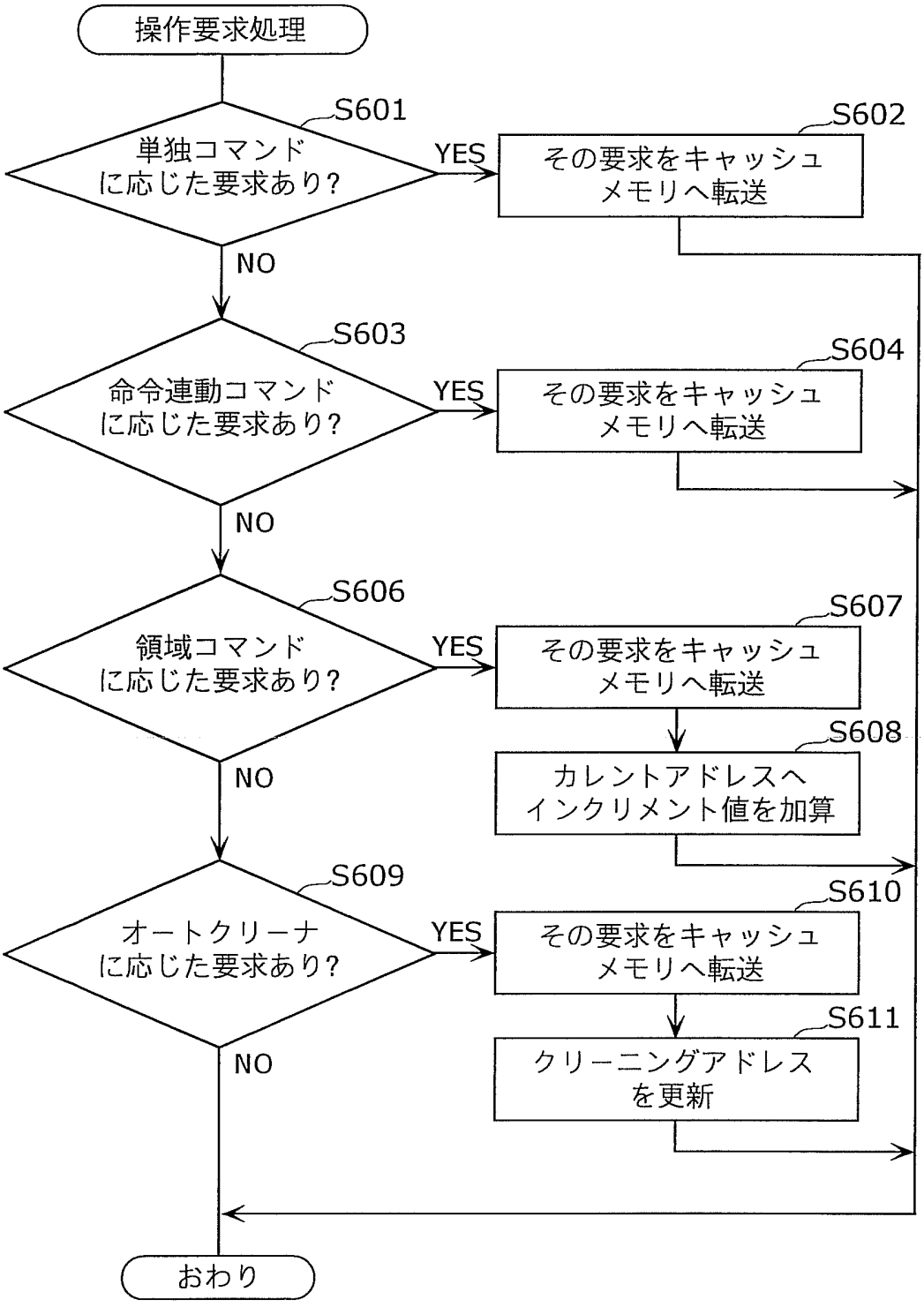
[図16]


命令連動コマンド制御処理
S401
命令連動
コマンドがエントリ
された?
NO
YES
アドレスを調整
S402
コマンドを登録
S403
S404
NO
コマンド登録あり?
YES
特定命令のオペランド
アドレスを各カレント
アドレスと比較
S405
S406
NO
一致?
YES
一致した中で最古の
コマンドを選択
S407
実効アドレスを生成して
操作要求部へ出力
S408
おわり

[図17]


オートクリーナ制御処理
S501
NO
オートクリーナは
有効か?
YES
S502
クリーニングアドレス
に対するオートクリーナ
要求を操作要求部へ出力
おわり

[図18]


操作要求処理
S601
単独コマンド
に応じた要求あり?
YES
S602
その要求をキャッシュ
メモリへ転送
NO
S603
命令連動コマンド
に応じた要求あり?
YES
S604
その要求をキャッシュ
メモリへ転送
NO
S606
領域コマンド
に応じた要求あり?
YES
S607
その要求をキャッシュ
メモリへ転送
S608
カレントアドレスへ
インクリメント値を加算
NO
S609
オートクリーナ
に応じた要求あり?
YES
S610
その要求をキャッシュ
メモリへ転送
S611
クリーニングアドレス
を更新
NO
おわり

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/302141

A. CLASSIFICATION OF SUBJECT MATTER
G06F12/08(2006.01), ***G06F12/12***(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F12/08-12/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006
Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 6-12327 A (Motorola, Inc.), 21 January, 1994 (21.01.94), & US 5375216 A & EP 0557884 A1	1,10,13 2-5,9
X Y	JP 2003-223360 A (Hitachi, Ltd.), 08 August, 2003 (08.08.03), Par. Nos. [0011], [0071], [0073] to [0079]; Figs. 6 to 8 (Family: none)	1,13 2-5,9,10

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 April, 2006 (17.04.06)	25 April, 2006 (25.04.06)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/302141

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-326758 A (International Business Machines Corp.), 18 November, 2004 (18.11.04), & US 2004/0215896 A1	1,13 2-5,9,10
X Y	JP 51-19453 A (Fujitsu Ltd.), 16 February, 1976 (16.02.76), (Family: none)	1,13 2-5,9,10
Y A	JP 11-272551 A (Hitachi, Ltd.), 08 October, 1999 (08.10.99), (Family: none)	9,10 6
A	JP 11-167520 A (NEC Corp.), 22 June, 1999 (22.06.99), & US 6173392 B1	7,8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００６／３０２１４１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　*G06F12/08(2006.01), G06F12/12(2006.01)*

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G06F12/08-12/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００６年
日本国実用新案登録公報	１９９６－２００６年
日本国登録実用新案公報	１９９４－２００６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ Ｙ	ＪＰ　６－１２３２７　Ａ（モトローラ・インコーポレイテッド） １９９４．０１．２１ ＆ＵＳ　５３７５２１６　Ａ　＆ＥＰ　０５５７８８４　Ａ１	1,10,13 2-5,9
Ｘ Ｙ	ＪＰ　２００３－２２３３６０　Ａ（株式会社日立製作所） ２００３．０８．０８， 【００１１】， 【００７１】，【００７３】－【００７９】，【図６】－【図８】 （ファミリなし）	1,13 2-5,9,10

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １７．０４．２００６	国際調査報告の発送日 ２５．０４．２００６
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｎ　９６４３ 清木　泰 電話番号　０３－３５８１－１１０１　内線　３５８６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ Ｙ	ＪＰ　２００４－３２６７５８　Ａ （インターナショナル・ビジネス・マシーンズ・コーポレーション） ２００４．１１．１８ ＆　ＵＳ　２００４／０２１５８９６　Ａ１	1,13 2-5,9,10
Ｘ Ｙ	ＪＰ　５１－１９４５３　Ａ（富士通株式会社） １９７６．０２．１６（ファミリなし）	1,13 2-5,9,10
Ｙ Ａ	ＪＰ　１１－２７２５５１　Ａ（株式会社日立製作所） １９９９．１０．０８（ファミリなし）	9,10 6
Ａ	ＪＰ　１１－１６７５２０　Ａ（日本電気株式会社） １９９９．０６．２２ ＆ＵＳ　６１７３３９２　Ｂ１	7,8