

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年10月6日(06.10.2022)



(10) 国際公開番号

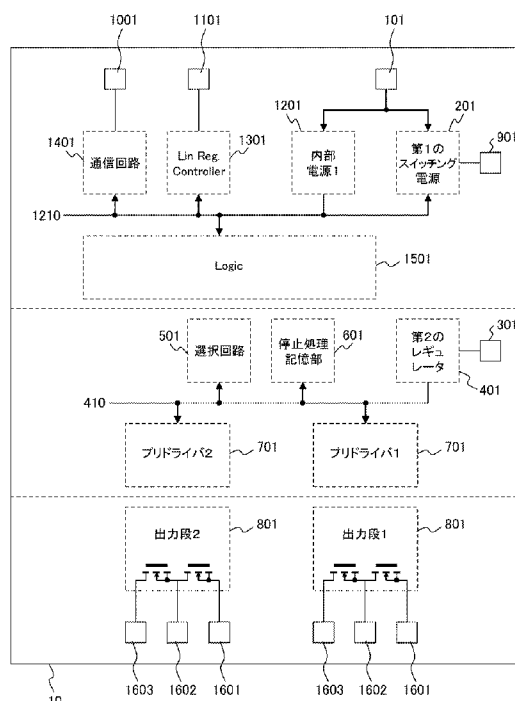
WO 2022/208933 A1

- (51) 国際特許分類:
G05F 1/56 (2006.01) H02M 3/00 (2006.01)
G06F 1/26 (2006.01) F16H 61/12 (2010.01)
- (21) 国際出願番号: PCT/JP2021/033310
- (22) 国際出願日: 2021年9月10日(10.09.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2021-057067 2021年3月30日(30.03.2021) JP
- (71) 出願人: 日立 Astemo 株式会社(HITACHI ASTEMO, LTD.) [JP/JP]; 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 Ibaraki (JP).
- (72) 発明者: 小森山 恵士(KOMORIYAMA Keishi); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立 Astemo 株式会社内 Ibaraki (JP). 小林 洋一郎(KOBAYASHI Yoichiro); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立 Astemo 株式会社内 Ibaraki (JP). 右田 稔(MIGITA Minoru); 〒3128503 茨城県ひたちなか市高場 2 5 2 0 番地 日立 Astemo 株式会社内 Ibaraki (JP).
- (74) 代理人: ポレール弁理士法人(POLAIRE I.P.C.); 〒1030021 東京都中央区日本橋本石町三丁目3番5号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: SEMICONDUCTOR DEVICE, TRANSMISSION CONTROL DEVICE, AND METHOD OF CONTROLLING ELECTRONIC CONTROL DEVICE

(54) 発明の名称: 半導体装置、変速機の制御装置、電子制御装置の制御方法

[図1]



201... FIRST SWITCHING POWER SOURCE
401... SECOND REGULATOR
501... SELECTION CIRCUIT
601... STOP PROCESSING STORAGE UNIT
701... PRE-DRIVER
801... OUTPUT STAGE
1201... INTERNAL POWER SOURCE
1301... LIN REG. CONTROLLER
1401... COMMUNICATION CIRCUIT
1501... LOGIC

(57) Abstract: Provided is a semiconductor device with which a switching power source circuit and a driver circuit are consolidated, wherein the power-conserving and highly reliable semiconductor device enables proper control by the driver circuit even when a battery terminal is disconnected, while also reducing power loss in the semiconductor device as a whole. The invention is characterized by being provided with: a first terminal connected to a battery power source; a switching power source circuit for stepping down a battery voltage inputted from the first terminal; a second terminal

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

connected to a switching power source different from the battery power source; a regulator circuit for stepping down a voltage inputted from the second terminal; and a pre-driver circuit connected to the regulator circuit.

(57) 要約: スイッチング電源回路とドライバ回路を混載する半導体装置において、半導体装置全体での電力損失を低減しつつ、バッテリー端子断線時にもドライバ回路による適切な制御が可能な省電力かつ高信頼な半導体装置を提供することにある。バッテリー電源に接続される第1の端子と、前記第1の端子から入力されるバッテリー電圧を降圧するスイッチング電源回路と、前記バッテリー電源とは異なるスイッチング電源に接続される第2の端子と、前記第2の端子から入力される電圧を降圧するレギュレータ回路と、前記レギュレータ回路に接続されるプリドライバ回路と、を備えることを特徴とする。

明 細 書

発明の名称：

半導体装置、変速機の制御装置、電子制御装置の制御方法

技術分野

[0001] 本発明は、半導体装置の構成とその制御に係り、特に、省電力化及び小型軽量化が要求される車載電子制御装置に搭載される半導体装置に適用して有効な技術に関する。

背景技術

[0002] 自動車の環境規制の強化に伴い、パワートレインシステムは一層の効率化が求められている。一方、より高度な電子制御を実現するため、パワートレインシステムに搭載される電子制御装置（Electronic Control Unit：ECU）やセンサ、アクチュエータは増加し続け、システムの複雑化が進んでおり、小型軽量化も重要な課題となっている。

[0003] 自動車に搭載される電子制御装置には、例えば、バッテリー電圧を用いてソレノイドバルブなどのアクチュエータ（負荷）を半導体素子により駆動する負荷駆動装置が搭載されている。

[0004] 本技術分野の背景技術として、例えば、特許文献１のような技術がある。特許文献１には、「第一の降圧レギュレータ１１は、バッテリー電圧からDC 12Vの安定化電圧を生成するリニアレギュレータで、スピーカーやオーディオアンプ等が高圧側負荷３０として接続されている車載電源装置」が開示されている。（特許文献１の図３及び段落〔００１９〕等）

先行技術文献

特許文献

[0005] 特許文献１：特開２００９－１５３８０号公報

発明の概要

発明が解決しようとする課題

[0006] 上記特許文献１に記載の装置は、オーディオアンプ等の高圧側負荷が未使

用時においては電力消費が抑えられるが、動作時には負荷を駆動するための電圧（例えばバッテリー電圧と同じく 12V とする）にてアンプやその他のドライバ等を動作させる構成となっている。

[0007] このような構成において、例えばアンプ回路は通常半導体チップ上に構成された集積回路（Integrated Circuit：IC）が用いられるが、この集積回路は全て 12V で供給された電力を消費して動作する。

[0008] ところで、アンプ等を構成する電子回路としては、12V のような高い電圧が必要となる箇所は、実際は負荷を駆動するための出力部分だけで良い場合がある。その他のアンプ回路として動作させるために必須となる基準電流源や電圧源、あるいは入力信号を受けるためのインタフェース部等においては、例えば 5V などといった低電圧で十分な場合があり、低電圧で動作可能な回路部においては、無駄に電力を損失していた。

[0009] すなわち、同じ消費電流であれば、12V で動作させる場合は、5V で動作させる場合に比べて 2.4 倍の電力消費を必要とした。

[0010] この様な無駄な電力消費については、特に負荷を駆動するためのアンプやその他のドライバ等が高機能になる程顕著になる。例えば、アンプやドライバ回路が負荷へ出力するアナログ電流量を検出する機能を備える場合には、上記に加えて電流検出用のアナログ回路等が追加されるためである。そして、この損失は熱として消費されるため、放熱構造が余計に大型化するという問題がある。

[0011] また、例えば変速機の制御装置においては、高圧側負荷としてソレノイドバルブ及びソレノイドドライバがある。一般に、変速機の機械部品は油圧回路によって、ギアのかみ合わせや、無段階変速におけるプリー幅の調整などが行われており、ソレノイドバルブは、その油圧の制御に用いられる。そして、ソレノイドドライバは、電流出力によりソレノイドバルブを制御している。

[0012] このため、ソレノイドドライバの出力制御は、変速比の制御と直接関係している。また、低圧側負荷として、ソレノイドドライバの出力電流量を、車

速やエンジン回転数などから最適な変速比を計算して求めるために、マイクロコンピュータ（マイコン）が専用の半導体チップとして用いられる。

[0013] このような変速機の制御装置において、例えば、バッテリー端子の断線等で、電源電圧がマイコンの動作保証範囲を下回った場合には、ソレノイドドライバ出力が不定とならないように、マイコンは強制リセット状態にせざるを得ない。このとき、マイコンのリセットに伴いソレノイドドライバ出力は即時遮断されるが、車両が走行不能に陥らないように、油圧回路の機械的なフェールセーフ機能によって、ある特定の変速比に固定されるといった安全処置がとられる。しかしながら、急峻な変速比の変更は、変速ショックが発生する恐れがある。

[0014] そこで、本発明の目的は、スイッチング電源回路とドライバ回路を混載する半導体装置において、半導体装置全体での電力損失を低減しつつ、バッテリー端子断線時にもドライバ回路による適切な制御が可能な省電力かつ高信頼な半導体装置及びそれを用いた変速機の制御装置、電子制御装置の制御方法を提供することにある。

課題を解決するための手段

[0015] 上記課題を解決するために、本発明は、バッテリー電源に接続される第1の端子と、前記第1の端子から入力されるバッテリー電圧を降圧するスイッチング電源回路と、前記バッテリー電源とは異なるスイッチング電源に接続される第2の端子と、前記第2の端子から入力される電圧を降圧するレギュレータ回路と、前記レギュレータ回路に接続されるプリドライバ回路と、を備えることを特徴とする。

[0016] また、本発明は、上記の半導体装置を用いた変速機の制御装置であって、前記プリドライバ回路により前記変速機の電磁コイルを駆動制御することを特徴とする。

[0017] また、本発明は、スイッチング電源回路とドライバ回路を混載する半導体装置を搭載した電子制御装置の制御方法であって、前記ドライバ回路は、前記スイッチング電源回路の出力電力により制御されることを特徴とする。

発明の効果

[0018] 本発明によれば、スイッチング電源回路とドライバ回路を混載する半導体装置において、半導体装置全体での電力損失を低減しつつ、バッテリー端子断線時にもドライバ回路による適切な制御が可能な省電力かつ高信頼な半導体装置及びそれを用いた変速機の制御装置、電子制御装置の制御方法を実現することができる。

[0019] これにより、車載電子制御装置の省電力化及び小型軽量化、高信頼化に寄与できる。

[0020] 上記した以外の課題、構成及び効果は、以下の実施形態の説明により明らかにされる。

図面の簡単な説明

[0021] [図1]本発明の実施例1に係る半導体装置の概略構成を示す図である。

[図2]図1の選択回路の概略構成を示す図である。

[図3]本発明の実施例1に係る変速機の制御装置の概略構成を示す図である。

[図4]本発明の実施例1に係る第1の端子断線時の選択切り替え動作を示すタイミングチャートである。

[図5]本発明の実施例2に係る選択回路の概略構成を示す図である。

[図6]本発明の実施例2に係る第1の端子断線時の選択切り替え動作を示すタイミングチャートである。

[図7]本発明の実施例3に係る選択回路の概略構成を示す図である。

[図8]本発明の実施例3に係る停止処理の書き換え動作を示すタイミングチャートである。

発明を実施するための形態

[0022] 以下、図面を用いて本発明の実施例を説明する。なお、各図面において同一の構成については同一の符号を付し、重複する部分についてはその詳細な説明は省略する。

実施例 1

[0023] 図1から図4を参照して、本発明の実施例1の半導体装置及びそれを用いた変速機の制御装置、電子制御装置の制御方法について説明する。図1は、本実施例の半導体装置の概略構成を示す図である。図2は、図1の選択回路の概略構成を示す図である。図3は、本実施例の変速機の制御装置の概略構成を示す図である。図4は、本実施例における第1の端子断線時の選択切り替え動作を示すタイミングチャートである。

[0024] 本実施例の半導体装置10は、図1に示す様に、周辺との入出力ブロックとして第1のスイッチング電源201と、ドライバ出力（出力段1，出力段2）801と、通信回路1401と、レギュレータ制御回路1301を備えており、さらに、これらを動作させるために、内部電源1（1201）と、ロジック（logic）1501と、第2のレギュレータ401と、プリドライバ（プリドライバ1，プリドライバ2）701と、選択回路501と、停止処理記憶部601を備える。

[0025] 第1のスイッチング電源201は、スイッチング方式のレギュレータ回路の電力スイッチであって、第1の端子101とスイッチング出力端子901間の導通と非導通を制御する。

[0026] 通信回路1401は、半導体装置10の外部との通信を行う回路であり、通信端子1001を持つ。

[0027] レギュレータ制御回路1301は、FET外付けのリニアレギュレータであり、外付けFETのレギュレータ制御端子1101を持つ。

[0028] ロジック（logic）1501は、通常動作時における各種ブロックの設定値の保持、及び通信回路1401を介した外部からの入力信号を各ブロックに分配する事ができる。

[0029] 内部電源1（1201）は、第1の端子101の電圧を降圧して、例えば5Vといった低圧の内部電源を生成するレギュレータ回路であって、内部の電源配線1210を通じて第1のスイッチング電源201と通信回路1401とレギュレータ制御回路1301とロジック（logic）1501に電力を供給する。

[0030] ドライバ出力（出力段１，出力段２）８０１は、ソレノイドバルブに電流を供給するためのソレノイドドライバの出力段であり、ドライバ出力Hi端子１６０１とドライバ出力端子１６０２の間、及びドライバ出力Lo端子１６０３とドライバ出力端子１６０２の間を、排他的に導通制御させることと、双方を遮断させることができる。

[0031] プリドライバ（プリドライバ１，プリドライバ２）７０１は、ドライバ出力（出力段１，出力段２）８０１の導通を制御し、また、出力を検出するための回路部であり、ドライバ出力（出力段１，出力段２）８０１よりも低い電圧で動作可能な回路部である。

[0032] 停止処理記憶部６０１は、異常発生時の停止処理を記憶するブロックである。停止処理は、例えば、現在の出力電流量から段階的に低下させることや、複数のドライバ出力を持つ場合には、遮断する順番を決める。

[0033] 第２のレギュレータ４０１は、第２の端子３０１の電圧を降圧して、例えば５Vといった低圧の内部電源を生成するレギュレータ回路であって、内部の電源配線４１０を通じてプリドライバ（プリドライバ１，プリドライバ２）７０１と選択回路５０１と停止処理記憶部６０１に電力を供給する。

[0034] ここで、選択回路５０１について、図２を用いて説明する。

[0035] 選択回路５０１は、選択信号２００１により、ロジック（logic）１５０１と停止処理記憶部６０１のいずれか一方をプリドライバ７０１と接続するための選択回路である。

[0036] 例えば、選択信号２００１がLoレベルであれば、ロジック（logic）１５０１を介して通信回路１４０１からのドライバへの入力信号がプリドライバ７０１へと伝達され、ドライバ出力（出力段）８０１が制御される。逆に、選択信号２００１がHiレベルであれば、停止処理記憶部６０１に記憶された処理が順次プリドライバ７０１に入力され、ドライバ出力（出力段）８０１が制御される。

[0037] ここで、選択信号２００１は、例えば第１の端子１０１の電圧である。

[0038] 次に、図３を用いて、本実施例の半導体装置１０を用いた制御装置の例と

して、変速機の制御装置 20 について説明する。

[0039] 変速機の制御装置 20 は、上述した半導体装置 10 と、マイコン 30 を備える。また、スイッチング電源を構成する素子として、インダクタンス素子 L (40) と、ダイオード D (60)、及びキャパシタ C (50) とを備える。また、リニアレギュレータを構成する素子として FET (70) を備える。また、半導体装置 10 のプリドライバ 701 により変速機の電磁コイル (ソレノイドバルブ 39) を駆動制御する。

[0040] 第 1 の端子 101 は、バッテリーに接続されており、バッテリーから 12V の電圧が供給される。第 2 の端子 301 は、降圧型スイッチング電源の出力電圧と接続されている。

[0041] ここで、スイッチング電源の出力電圧は、例えば 6V といった値に設定する。

[0042] マイコン 30 の電源は、例えば 5V であって、レギュレータ制御端子 1101 により制御された FET (70) を介して供給される。

[0043] ドライバ出力 Hi 端子 1601 はバッテリーからの電圧が供給され、ドライバ出力 Lo 端子 1603 はグランド電位が接続され、ドライバ出力端子 1602 はソレノイドバルブ 39 と接続される。

[0044] 半導体装置 10 は、通信端子 1001 を介してマイコン 30 からの制御信号を受け付けており、通常時において、マイコン 30 は、I/O (34) を介して受け取る車速やエンジン回転数などの情報を基に、ドライバ出力端子 1602 から駆動電力を出力し、ソレノイドバルブ 39 を制御する。

[0045] 次に、図 4 を用いて、上記の構成において、第 1 の端子 101 が断線故障した場合の動作を説明する。

[0046] 図 4 において、時刻 t1 で第 1 の端子 101 が断線した場合を想定する。

[0047] 時刻 t1 までは、第 1 の端子 101 にはバッテリー電圧が供給されており、したがって、選択信号 2001 は Hi レベルであり、ドライバ出力電流はマイコン 30 からの通信信号によって制御されている。

[0048] 時刻 t1 にて断線が発生すると、スイッチング電源動作により第 1 の端子

101の電圧は引き抜かれ低下する。

[0049] 時刻 t_2 にて、第1の端子101の電圧が選択回路501の判定閾値を下回った時点で、選択回路501は停止処理記憶部601に切り替わり、停止処理を開始する。また、スイッチング電源のダイオードD(60)とLCフィルタ(インダクタンス素子L(40)及びキャパシタC(50))により、第1の端子101の電圧低下より遅れてスイッチング電源の出力電圧、すなわち第2の端子301の電圧が低下し始める。

[0050] 時刻 t_3 にて、スイッチング電源出力の低下に伴い、マイコン30がリセット状態に置かれる。このとき、既にドライバ出力は停止処理が開始しており、停止処理が継続する。また、マイコン30のリセット状態は、マイコン30の消費電流が低下するため、第2の端子301の電圧の低下は緩やかになる。

[0051] 時刻 t_4 にて、第2の端子301の電圧が、第2のレギュレータ401の動作下限を下回ると、ドライバは遮断する。

[0052] ドライバ回路などの回路は、半導体チップ上に形成されたMetal Oxide Semiconductor (MOS) 構造やBipolar Junction Transistor (BJT) などのトランジスタで構成されるが、これらは耐電圧を高める程素子面積が増加する。例えば、MOSであればLaterally double Diffused MOS (LDMOS) と呼ばれる構造が用いられることがあるが、LDMOSはドレイン端子側のドリフト領域を広げ、ゲートから離すことで耐压をもたせており、さらに個別に絶縁膜で分離が必要になるため、同じゲート長のMOSに対して面積が大きくなる。

[0053] 第1の端子101に接続される内部電源1(1201)の場合、バッテリー電圧に耐える必要があるため、LDMOSを使う必要があるが、第2の端子301に接続される第2のレギュレータ401においては、第1のスイッチング電源201にて降圧された後の電圧が入力となるため、内部電源1(1201)で用いるLDMOSよりもドリフト領域を短くすることや、あるいは通常のMOS構造を用いることができる。

[0054] 上記の様に、半導体装置10に6V程度とバッテリー電圧よりも低い電圧が供

給される第2の端子301によりドライバ回路を動作させることによって、バッテリー電圧が供給される第1の端子101を用いるよりもプリドライバ回路の損失を低減することができ、このとき第2のレギュレータ401は比較的面積の小さい素子で構成可能であることから、面積の縮小が可能となる。

[0055] さらに、第1の端子101が断線した場合でも、ある程度の停止処理を実施することができる。

[0056] 以上説明したように、本実施例の半導体装置10は、バッテリー電源に接続される第1の端子101と、第1の端子101から入力されるバッテリー電圧を降圧するスイッチング電源回路（第1のスイッチング電源201）と、バッテリー電源とは異なるスイッチング電源（インダクタンス素子L（40）、キャパシタC（50）、ダイオードD（60））に接続される第2の端子301と、第2の端子301から入力される電圧を降圧するレギュレータ回路（第2のレギュレータ401）と、レギュレータ回路（第2のレギュレータ401）に接続されるプリドライバ回路（プリドライバ701）と、を備えて構成されている。

[0057] また、通常動作時における各ブロックの設定値の保持および通信回路を介した外部からの入力信号の各ブロックへの分配を行うロジック回路（ロジック1501）と、異常発生時の停止処理フローを記憶する停止処理記憶部601と、外部からの選択信号2001によりロジック回路（ロジック1501）と停止処理記憶部601のいずれか一方をプリドライバ回路（プリドライバ701）と接続する選択回路501と、を有し、選択回路501は、第1の端子101の電圧が所定の電圧を下回った場合に、停止処理記憶部601に予め記憶させた停止処理フローに基づきプリドライバ回路（プリドライバ701）を停止させる。

[0058] また、第1の端子101の電圧が所定の電圧を下回った場合に、半導体装置10を制御するマイコン30への電源供給を停止する停止信号を出力する。

[0059] これにより、スイッチング電源回路とドライバ回路を混載する半導体装置

において、半導体装置全体での電力損失を低減しつつ、バッテリー端子断線時にもドライバ回路による適切な制御が可能となる。

[0060] なお、図示しないが、半導体装置 10 にパワートランジスタ等の出力トランジスタをさらに混載し、プリドライバ回路（プリドライバ 701）が出力トランジスタを制御して、1つの電圧設定で絶対値の等しい正負両電圧を出力するトラッキングレギュレータとして機能するように構成してもよい。

[0061] また、パワートランジスタ等の出力トランジスタを半導体装置 10 とは別に配置し、プリドライバ回路が外付けの出力トランジスタを駆動制御するように構成してもよい。

[0062] いずれの場合も、電力損失を低減することができる。

実施例 2

[0063] 図 5 及び図 6 を参照して、本発明の実施例 2 の半導体装置、及び電子制御装置の制御方法について説明する。図 5 は、本実施例の選択回路の概略構成を示す図である。図 6 は、本実施例における第 1 の端子断線時の選択切り替え動作を示すタイミングチャートである。

[0064] 本実施例の選択回路は、図 5 に示す様に、実施例 1（図 2）の選択回路の構成に加えて、レギュレータ制御回路 1301 の起動・停止を切り替える選択回路 502 と、レギュレータ制御回路 1301 を停止させるための停止処理記憶部 602 をさらに備える。

[0065] 選択回路 502 は、選択信号 2001 が Hi の時にはロジック（logic）1501 により起動・停止処理が行われ、Lo の時には停止処理記憶部 602 に従い停止する。

[0066] 図 6 を用いて、上記の構成において、第 1 の端子 101 が断線故障した場合の動作を説明する。

[0067] 図 6 において、時刻 t1 で第 1 の端子 101 が断線した場合を想定する。

[0068] 時刻 t1 までは、第 1 の端子 101 にはバッテリー電圧が供給されており、したがって、選択信号 2001 は Hi レベルであり、ドライバ出力電流はマイコン 30 からの通信信号によって制御されている。また、レギュレータ制御

端子 1101 は FET (70) を制御してマイコン 30 に電源を供給しており、このときのマイコン消費電流は例えば 100 mA といった値である。また、ブリドライバ 701 への電力供給のため、第 2 の端子 301 の電流消費は例えば 2 mA といった値である。

[0069] 時刻 t_1 にて断線が発生すると、スイッチング電源動作により第 1 の端子 101 の電圧は引き抜かれ低下する。

[0070] 時刻 t_2 にて、第 1 の端子 101 の電圧が選択回路 501 の判定閾値を下回った時点で、選択回路 501, 502 はそれぞれ停止処理記憶部 601, 602 に切り替わり、停止処理を開始する。このとき、レギュレータ制御端子 1101 を停止させて FET (70) を遮断することで、マイコン 30 の消費電流を完全に遮断することができる。

[0071] また、第 2 の端子 301 の消費電流は、ドライバの停止処理に不必要な機能ブロックを停止させることで抑制することができる。このことにより、第 2 の端子 301 の電圧の低下はより緩やかになる。

[0072] 時刻 t_5 にて、第 2 の端子 301 の電圧が、第 2 のレギュレータ 401 の動作下限を下回ると、ドライバは遮断する。

[0073] ここで、時刻 t_2 から t_5 の第 2 の端子 301 の電圧低下速度は、キャパシタ C (50) と第 2 の端子 301 の消費電流により決定され、第 2 の端子 301 の消費電流を I とし、キャパシタ C (50) の容量値を C と置けば、 $dV/dt = -I/C$ である。

[0074] 例えば、 $I=0.1$ mA であり、 $C=100$ μ F のとき、 -1 V/s となる。したがって、この例において、第 2 の端子 301 の電圧の正常値が 6 V であり、第 2 のレギュレータ 401 の動作下限が 2 V のとき、完全な遮断までに 4 秒程度の猶予が得られる。

[0075] 上記の様に、停止処理中には消費する電流を必要最低限に抑制することができるため、停止処理の猶予時間が拡大できる。

[0076] 以上説明したように、本実施例の半導体装置 10 は、第 2 のレギュレータ 401 とは異なる別のレギュレータ回路 (レギュレータ制御回路 1301)

と、選択回路501とは異なる別の選択回路502と、停止処理記憶部601とは異なる停止処理記憶部602と、を有し、選択回路502は、第1の端子101の電圧が所定の電圧を下回った場合に、停止処理記憶部602に予め記憶させた停止処理フローに基づきレギュレータ制御回路1301を停止させる。

実施例 3

[0077] 図7及び図8を参照して、本発明の実施例3の半導体装置、及び電子制御装置の制御方法について説明する。図7は、本実施例の選択回路の概略構成を示す図である。図8は、本実施例における停止処理の書き換え動作を示すタイミングチャートである。

[0078] 本実施例の選択回路は、図7に示す様に、ドライバの各チャンネル毎に選択回路501及び停止処理記憶部603を備えており、通信回路1401とロジック(logic)1501により、停止処理を外部から読み書き可能に構成されている。

[0079] 図8を用いて、本実施例による、停止処理記憶部603の設定タイミングを説明する。

[0080] 図8において、ドライバ出力1と2の2チャンネルのドライバを制御する制御回路を想定する。本実施例において、ドライバ出力1は細かい電流指示により出力電流を制御するリニアソレノイドバルブの駆動に用いられ、ドライバ出力2はONかOFFの2択で電流の駆動制御をおこなうON/OFFソレノイドバルブの駆動に用いられる。この例において、ドライバ出力2は、電流を流す(ON)か遮断する(OFF)かに意味があり、細かい電流量を制御する必要が無い。

[0081] 半導体装置10の起動後、時刻t10までは、各ドライバの停止処理は、初期設定として即時「遮断」することとする。

[0082] 時刻t10において、通信回路1401を介して、ドライバ出力1の停止処理の内容を「徐々に遮断」することに切り替える。また、時刻t11において、同様にドライバ出力2の停止処理の内容はそのまま「遮断」とする。

この後、通常動作を行う。

[0083] 時刻 t_2 において、選択信号 2001 が切り替わると、各ドライバ出力は、各ドライバの停止処理に従い停止処理を実行する。

[0084] 上記の様に、通信回路 1401 を介して各ドライバ出力の停止処理を個別に書き換え可能とすることにより、個別の駆動対象について最適な停止処理を設定できる。

[0085] なお、本発明は上記した実施例に限定されるものではなく、様々な変形例が含まれる。例えば、上記した実施例は本発明を分かりやすく説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施例の構成の一部を他の実施例の構成に置き換えることが可能であり、また、ある実施例の構成に他の実施例の構成を加えることも可能である。また、各実施例の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

符号の説明

[0086] 10…半導体装置、20…変速機の制御装置、30…マイコン、31…マイコン電源、34…I/O、39…ソレノイドバルブ、40…インダクタンス素子L、50…キャパシタC、60…ダイオードD、70…FET、101…第1の端子、201…第1のスイッチング電源、301…第2の端子、401…第2のレギュレータ、410…（第2のレギュレータ出力の）電源配線、501, 502…選択回路、601～603…停止処理記憶部、701…プリドライバ（プリドライバ1, プリドライバ2）、801…ドライバ出力（出力段1, 出力段2）、901…スイッチング出力端子、1001…通信端子、1101…レギュレータ制御端子、1201…内部電源1、1210…電源配線、1301…レギュレータ制御回路、1401…通信回路、1501…ロジック（logic）、1601…ドライバ出力Hi端子、1602…ドライバ出力端子、1603…ドライバ出力Lo端子、2001…選択信号。

請求の範囲

- [請求項1] バッテリ電源に接続される第1の端子と、
 前記第1の端子から入力されるバッテリ電圧を降圧するスイッチング電源回路と、
 前記バッテリ電源とは異なるスイッチング電源に接続される第2の端子と、
 前記第2の端子から入力される電圧を降圧するレギュレータ回路と、
 、
 前記レギュレータ回路に接続されるプリドライバ回路と、
 を備える半導体装置。
- [請求項2] 請求項1に記載の半導体装置であって、
 通常動作時における各ブロックの設定値の保持および通信回路を介した外部からの入力信号の前記各ブロックへの分配を行うロジック回路と、
 異常発生時の停止処理フローを記憶する停止処理記憶部と、
 外部からの選択信号により前記ロジック回路と前記停止処理記憶部のいずれか一方を前記プリドライバ回路と接続する選択回路と、を有し、
 前記選択回路は、前記第1の端子の電圧が所定の電圧を下回った場合に、前記停止処理記憶部に予め記憶させた停止処理フローに基づき前記プリドライバ回路を停止させる半導体装置。
- [請求項3] 請求項1に記載の半導体装置であって、
 前記スイッチング電源は、インダクタンス素子とダイオードとキャパシタとを有する半導体装置。
- [請求項4] 請求項1に記載の半導体装置であって、
 前記第1の端子の電圧が所定の電圧を下回った場合に、当該半導体装置を制御するマイコンへの電源供給を停止する停止信号を出力する半導体装置。

- [請求項5] 請求項2に記載の半導体装置であって、
前記停止処理記憶部に記憶された停止処理フローは、前記通信回路を介した外部からの入力信号により書き換え可能である半導体装置。
- [請求項6] 請求項2に記載の半導体装置であって、
前記レギュレータ回路とは異なる別のレギュレータ回路と、
前記選択回路とは異なる別の選択回路と、
前記停止処理記憶部とは異なる停止処理記憶部と、を有し、
前記別の選択回路は、前記第1の端子の電圧が所定の電圧を下回った場合に、前記別の停止処理記憶部に予め記憶させた停止処理フローに基づき前記別のレギュレータ回路を停止させる半導体装置。
- [請求項7] 請求項1に記載の半導体装置であって、
出力トランジスタをさらに備え、
前記プリドライバ回路は、前記出力トランジスタを制御して、1つの電圧設定で絶対値の等しい正負両電圧を出力するトラッキングレギュレータである半導体装置。
- [請求項8] 請求項1に記載の半導体装置であって、
前記プリドライバ回路は、外付けの出力トランジスタを駆動制御する駆動回路である半導体装置。
- [請求項9] 請求項1から8のいずれか1項に記載の半導体装置を用いた変速機の制御装置であって、
前記プリドライバ回路により前記変速機の電磁コイルを駆動制御する変速機の制御装置。
- [請求項10] スイッチング電源回路とドライバ回路を混載する半導体装置を搭載した電子制御装置の制御方法であって、
前記ドライバ回路は、前記スイッチング電源回路の出力電力により制御される電子制御装置の制御方法。
- [請求項11] 請求項10に記載の電子制御装置の制御方法であって、
前記スイッチング電源回路の入力電圧が所定の電圧を下回った場合

に、停止処理記憶部に予め記憶させた停止処理フローに基づき前記ドライバ回路を停止させる電子制御装置の制御方法。

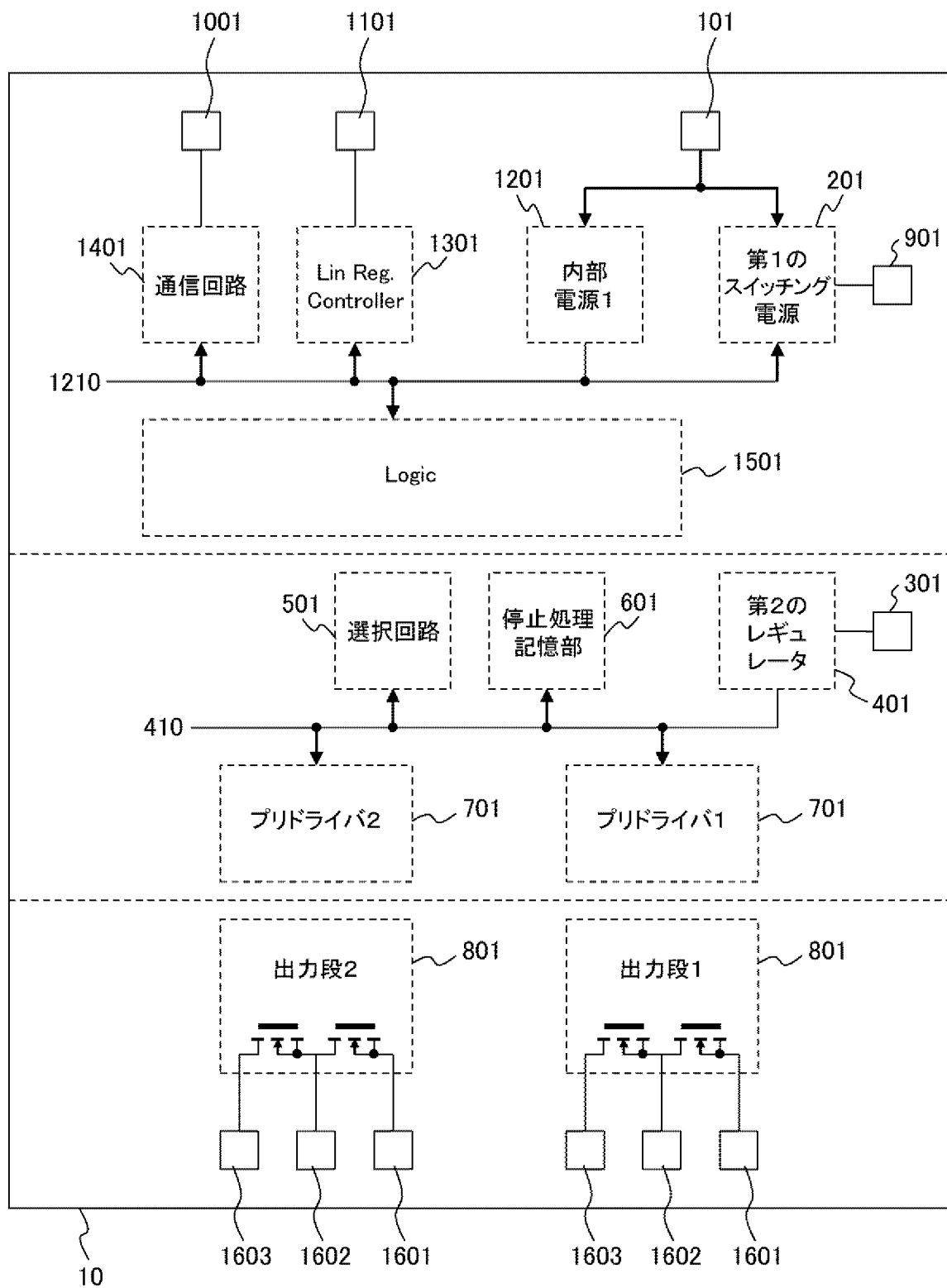
[請求項12]

請求項11に記載の電子制御装置の制御方法であって、

前記ドライバ回路は、変速機の電磁コイルを駆動制御する電子制御装置の制御方法。

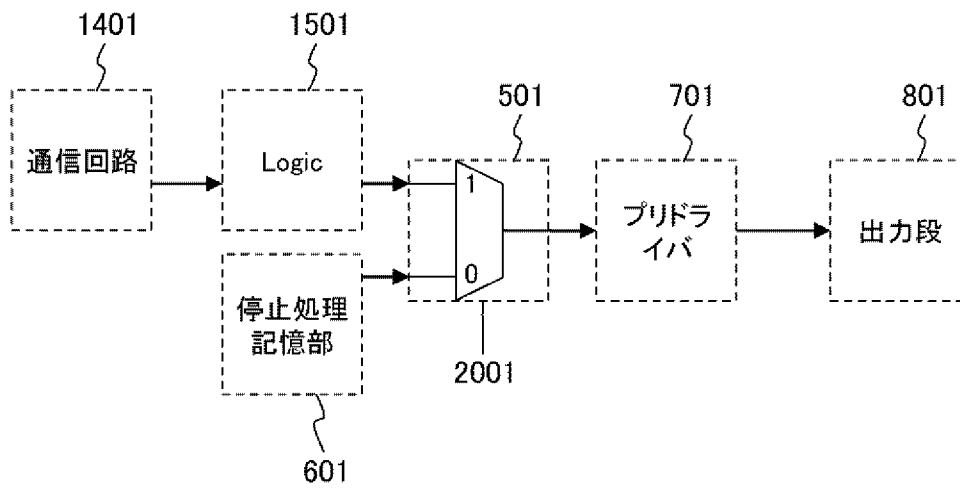
[図1]

図 1



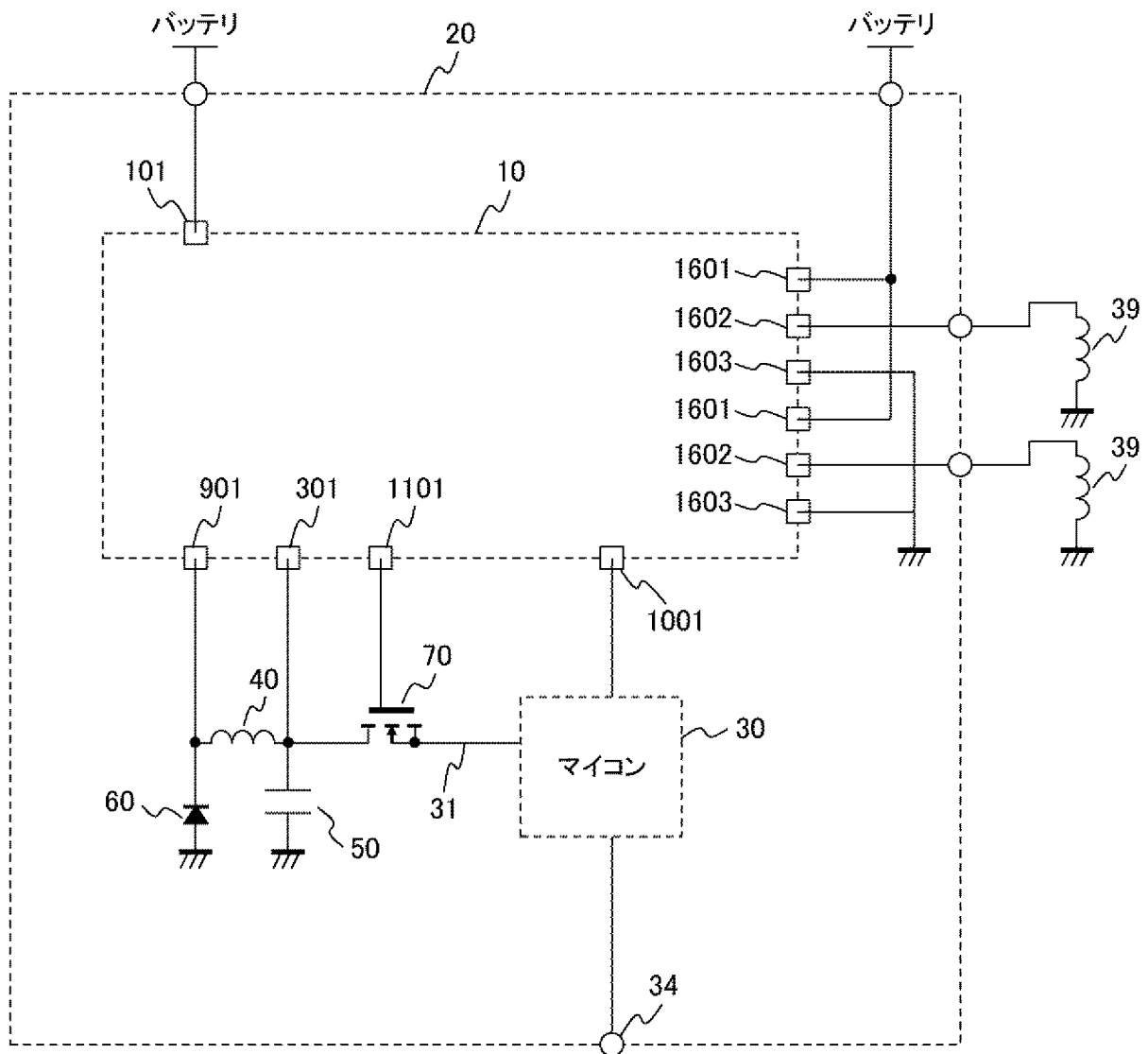
[図2]

図 2



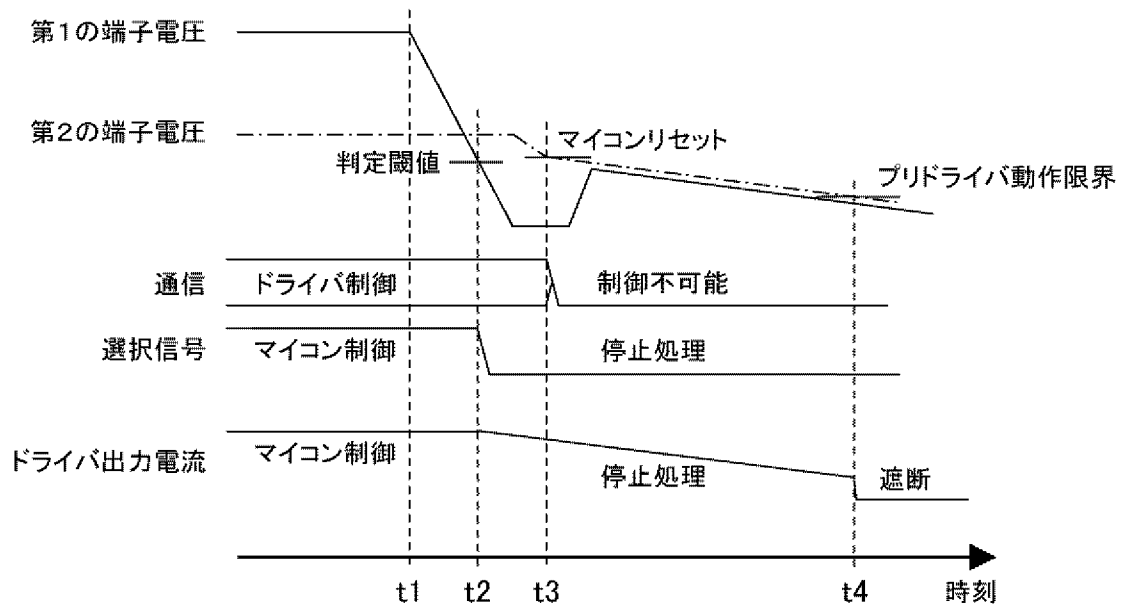
[図3]

図 3



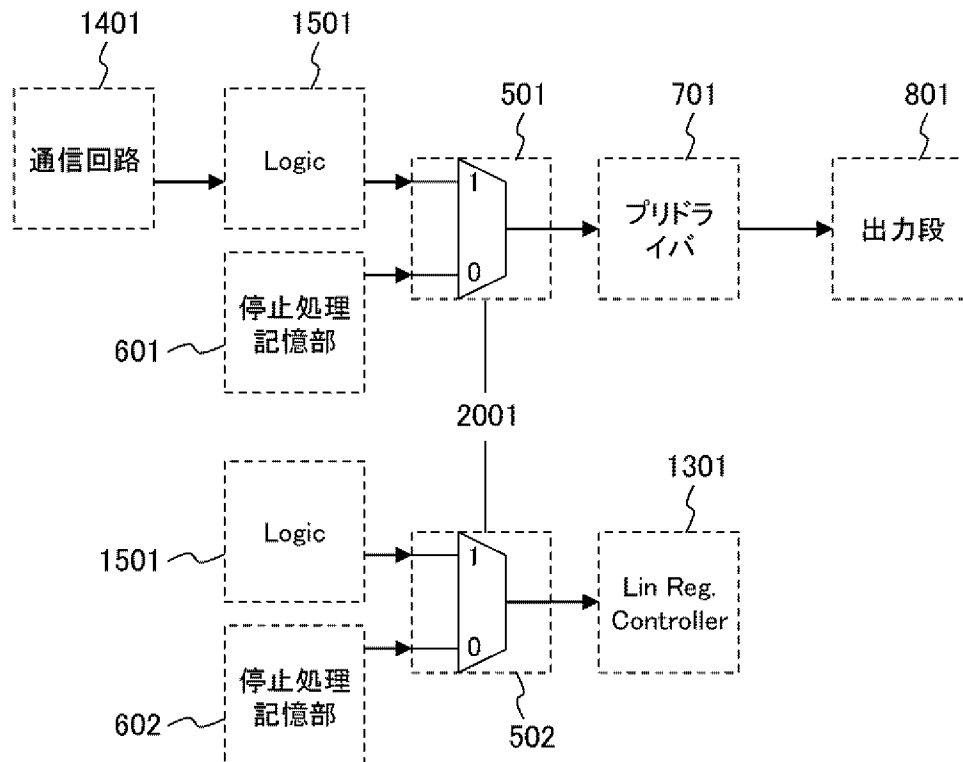
[図4]

図 4



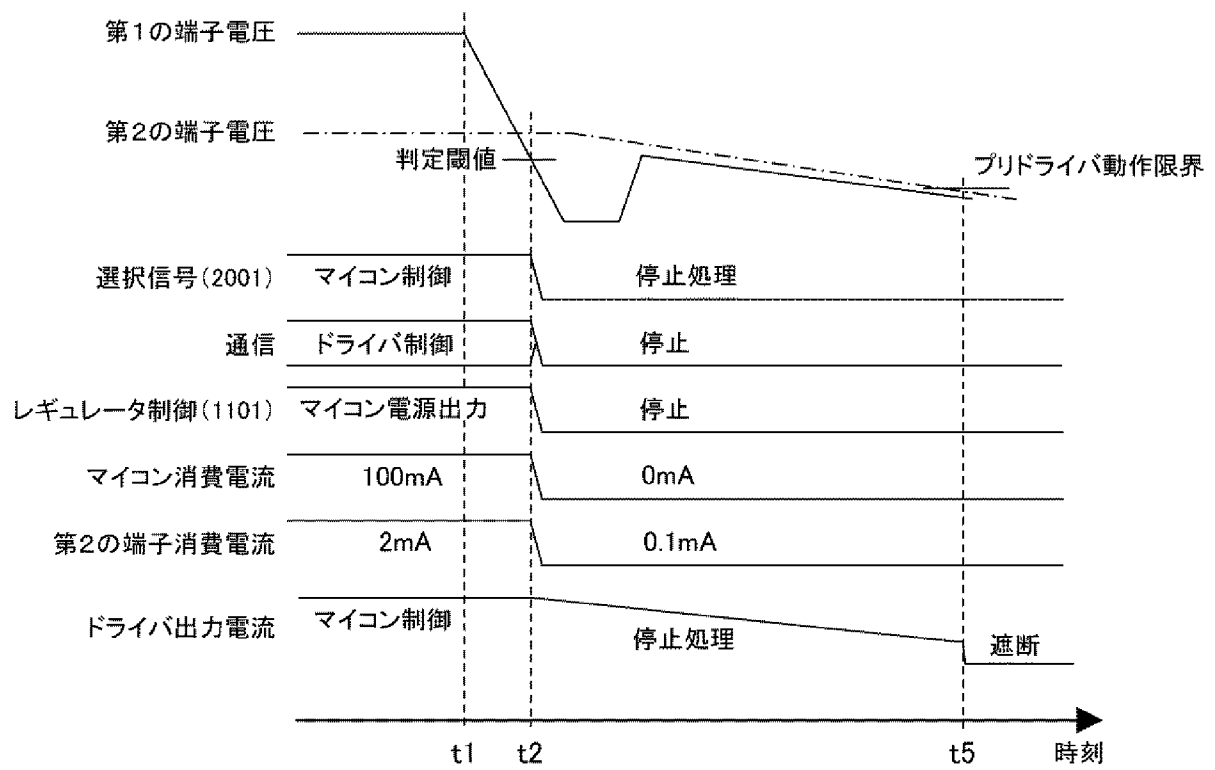
[図5]

図 5



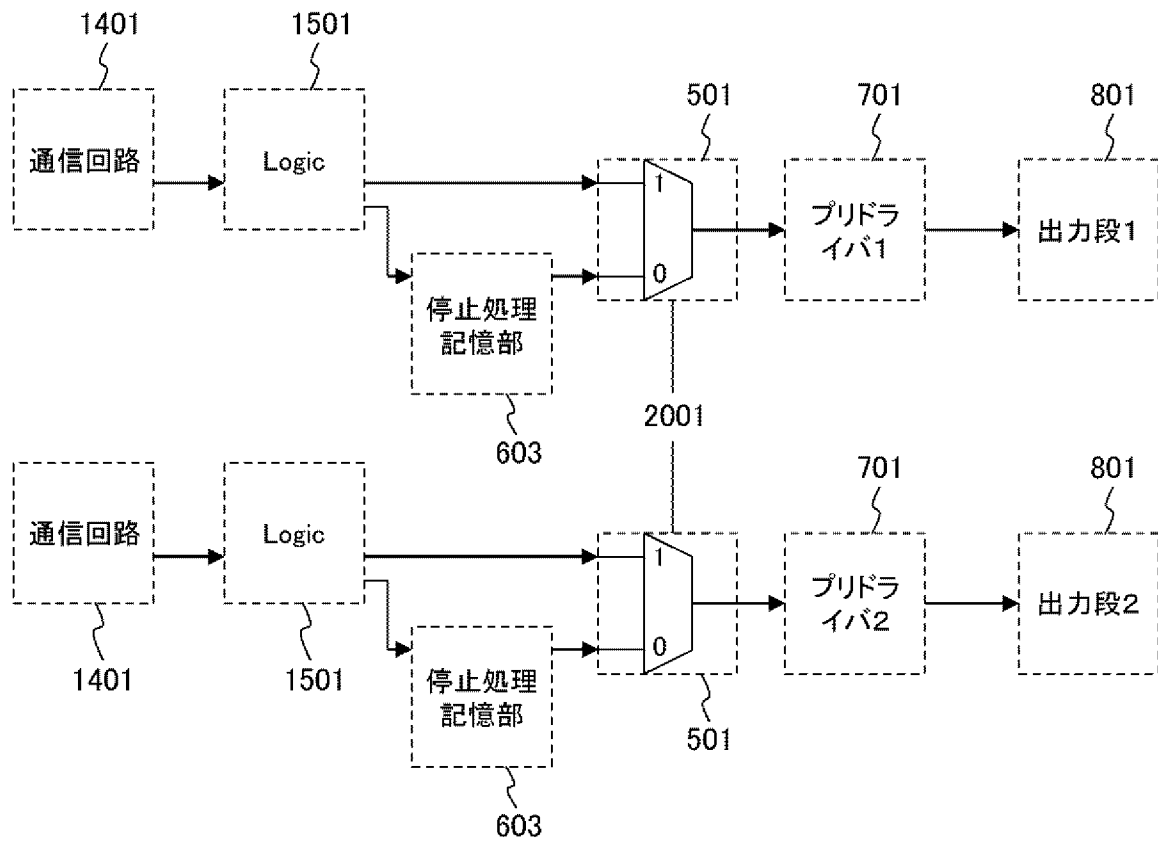
[図6]

図 6



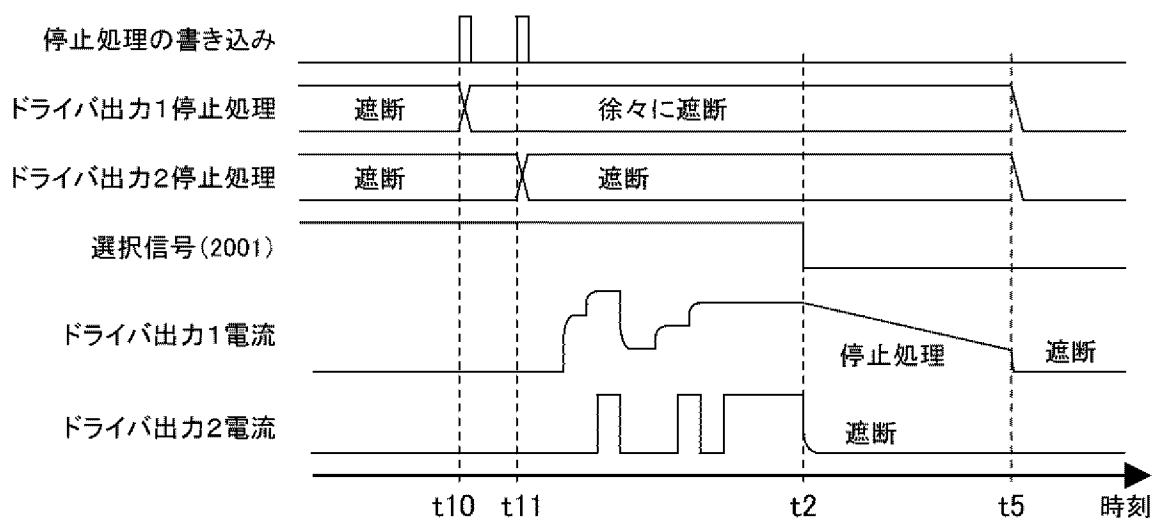
[図7]

図 7



[図8]

図 8



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/033310

A. CLASSIFICATION OF SUBJECT MATTER**G05F 1/56**(2006.01)i; **G06F 1/26**(2006.01)i; **H02M 3/00**(2006.01)i; **F16H 61/12**(2010.01)i

FI: G06F1/26 303; F16H61/12; G05F1/56 310K; H02M3/00 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G05F1/56; G06F1/26; H02M3/00; F16H61/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2021
 Registered utility model specifications of Japan 1996-2021
 Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-245489 A (NIDEC CORP.) 07 September 2001 (2001-09-07) paragraphs [0011], [0012], [0016]-[0026], [0037], fig. 1	10, 12
A		1-9, 11
A	WO 2020/179250 A1 (HITACHI ASTEMO, LTD.) 10 September 2020 (2020-09-10) entire text, all drawings	1-12
A	JP 2013-156874 A (FUJITSU TEN LTD.) 15 August 2013 (2013-08-15) entire text, all drawings	1-12

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 October 2021

Date of mailing of the international search report

09 November 2021

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2021/033310

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2001-245489	A	07 September 2001	(Family: none)	
WO	2020/179250	A1	10 September 2020	(Family: none)	
JP	2013-156874	A	15 August 2013	CN 103226369 A	
entire text, all drawings					

A. 発明の属する分野の分類（国際特許分類（IPC）） G05F 1/56(2006.01)i; G06F 1/26(2006.01)i; H02M 3/00(2006.01)i; F16H 61/12(2010.01)i FI: G06F1/26 303; F16H61/12; G05F1/56 310K; H02M3/00 Z														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） G05F1/56; G06F1/26; H02M3/00; F16H61/12														
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2001-245489 A（日本電産株式会社）07.09.2001（2001 - 09 - 07） 段落[0011]-[0012], [0016]-[0026], [0037], 図1	10, 12												
A		1-9, 11												
A	WO 2020/179250 A1（日立Astemo株式会社）10.09.2020（2020 - 09 - 10） 全文、全図	1-12												
A	JP 2013-156874 A（富士通テン株式会社）15.08.2013（2013 - 08 - 15） 全文、全図	1-12												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 25. 10. 2021	国際調査報告の発送日 09. 11. 2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 松浦 かおり 5E 1791 電話番号 03-3581-1101 内線 3521													

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2021/033310

引用文献			公表日	パテントファミリー文献	公表日
JP	2001-245489	A	07.09.2001	(ファミリーなし)	
WO	2020/179250	A1	10.09.2020	(ファミリーなし)	
JP	2013-156874	A	15.08.2013	CN 103226369 A	
全文、全図					