

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成20年9月18日(2008.9.18)

【公表番号】特表2008-521213(P2008-521213A)

【公表日】平成20年6月19日(2008.6.19)

【年通号数】公開・登録公報2008-024

【出願番号】特願2007-540633(P2007-540633)

【国際特許分類】

H 01 L 23/14 (2006.01)

【F I】

H 01 L 23/14 S

【手続補正書】

【提出日】平成20年7月31日(2008.7.31)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも一つの電子構成部品を含む第一の面と、前記第一の面の反対側にあり、空洞を形成する第二の面と、を有するSOIウエハと、

前記空洞の中に配置された少なくとも一つのチップと、

前記少なくとも一つのチップを、前記ウエハの一部を通して前記少なくとも一つの電子構成部品に接続するスルー・バイアと、

を含む半導体パッケージ。

【請求項2】

前記第一の面は上部シリコン層を含み、前記第二の面はシリコン基板を含み、前記上部シリコン層は、前記シリコン基板から埋め込み誘電体層によって分離される、請求項1に記載のパッケージ。

【請求項3】

前記スルー・バイアは、前記埋め込み誘電体層を通って形成され、前記電子構成部品と前記少なくとも一つのチップとの間の接続を形成する、請求項2に記載のパッケージ。

【請求項4】

前記第一の面は、プロセッサとメモリ・デバイスとのうちの一方を含み、前記少なくとも一つのチップは、メモリ・デバイスとプロセッサとのうちの一方を含む、請求項1に記載のパッケージ。

【請求項5】

前記少なくとも一つのチップは接点を含み、前記接点は前記スルー・バイアに接続可能な、請求項1に記載のパッケージ。

【請求項6】

前記少なくとも一つのチップを少なくとも部分的に囲む伝熱充填材料をさらに含む、請求項1に記載のパッケージ。

【請求項7】

前記少なくとも一つのチップの少なくとも一部の上に形成された伝熱層をさらに含む、請求項1に記載のパッケージ。

【請求項8】

前記伝熱層の上に形成された吸熱源をさらに含む、請求項7に記載のパッケージ。

**【請求項 9】**

前記空洞は、開口表面の下に深さを含み、前記少なくとも一つのチップはその内部に配置され、前記少なくとも一つのチップは、前記開口表面の下の前記深さの中に適合する、請求項 1 に記載のパッケージ。

**【請求項 10】**

片面の上に空洞を有する少なくとも一つの親チップと、

前記空洞の中に取り付けられ、前記少なくとも一つの親チップの少なくとも一部を通して延在するスルー・バイアによって前記少なくとも一つの親チップに接続された少なくとも一つの子チップと、

を含み、これによって、前記少なくとも一つの親チップと前記少なくとも一つの子チップとが電気的に協同して機能を実行する半導体パッケージ。

**【請求項 11】**

前記少なくとも一つの親チップは、シリコン・オン・インシュレータ (SOI) ウエハの中に形成され、前記 SOI ウエハは、上部シリコン層とシリコン基板とを含み、前記上部シリコン層は、前記シリコン基板から埋め込み誘電体層によって分離される、請求項 1 0 に記載のパッケージ。

**【請求項 12】**

前記スルー・バイアは、前記埋め込み誘電体層を通って形成され、前記少なくとも一つの親チップの上の電子構成部品と、前記少なくとも一つの子チップの上の電子構成部品との間の接続を形成する、請求項 1 1 に記載のパッケージ

**【請求項 13】**

前記少なくとも一つの親チップと、前記少なくとも一つの子チップとは、メモリ・デバイスとプロセッサとのうちの一方を含む、請求項 1 0 に記載のパッケージ。

**【請求項 14】**

前記少なくとも一つの親チップの前記スルー・バイアは、前記少なくとも一つの子チップの接点にハンダ付けされる、請求項 1 0 に記載のパッケージ。

**【請求項 15】**

前記少なくとも一つの子チップの周囲を少なくとも部分的に囲む伝熱材料をさらに含む、請求項 1 0 に記載のパッケージ。

**【請求項 16】**

前記少なくとも一つの子チップの少なくとも一部の上に形成された伝熱層をさらに含む、請求項 1 0 に記載のパッケージ。

**【請求項 17】**

前記伝熱層の上に形成された吸熱源をさらに含む、請求項 1 6 に記載のパッケージ。

**【請求項 18】**

前記空洞は、開口表面の下にある深さを含み、前記開口の中に前記少なくとも一つの子チップが配置され、前記少なくとも一つの子チップは前記開口表面の下の前記深さの中に適合する、請求項 1 0 に記載のパッケージ。

**【請求項 19】**

半導体パッケージを形成するための方法であって、

ウエハの第一の面を通るスルー・バイアを形成する工程と、

前記ウエハの第二の面の上に空洞を形成し、前記スルー・バイアの一部を露出させる工程と、

前記空洞の中に少なくとも一つのサブ・チップを配置し、前記サブ・チップを前記スルー・バイアに接続する工程と、

を含む方法。

**【請求項 20】**

前記ウエハは、シリコン・オン・インシュレータ・ウエハを含み、ウエハの第一の面を通るスルー・バイアを形成する前記工程は、上部シリコン層と埋め込み誘電体層とを通してバイア・ホールをエッチングすることと、前記バイア・ホールを導電体で充填すること

とを含む、請求項 1 9 に記載の方法。

【請求項 2 1】

前記ウエハの第二の面の上に空洞を形成し、前記スルー・バイアの一部を露出させる前記工程は、前記ウエハのシリコン基板をエッティングして、前記スルー・バイアの前記一部を露出させることを含む、請求項 2 0 に記載の方法。

【請求項 2 2】

前記スルー・バイアの一部を露出させることは、前記空洞の中の前記スルー・バイアの周りにポケットを開けることを含む、請求項 1 9 に記載の方法。

【請求項 2 3】

前記スルー・バイアの前記露出された部分にハンダを選択的に堆積する工程をさらに含む、請求項 1 9 に記載の方法。

【請求項 2 4】

前記空洞の中に少なくとも一つのサブ・チップを配置し、前記サブ・チップを前記スルー・バイアに接続する工程は、前記サブ・チップの接点を前記スルー・バイアにハンダ付けする工程を含む、請求項 1 9 に記載の方法。

【請求項 2 5】

前記サブ・チップの下に伝熱材料を充填する工程をさらに含む、請求項 1 9 に記載の方法。

【請求項 2 6】

前記サブ・チップの上に伝熱層を堆積する工程をさらに含む、請求項 1 9 に記載の方法。

【請求項 2 7】

前記サブ・チップからの熱の放散のための吸熱源を設ける工程をさらに含む、請求項 1 9 に記載の方法。

【請求項 2 8】

前記サブ・チップを前記スルー・バイアに接続することは、前記サブ・チップの接点を、ハンダ付けされたスルー・バイアに位置合わせして接触させ、熱を加えて前記接点を前記スルー・バイアにボンディングすることを含む、請求項 1 9 に記載の方法。