

|                                                                                   |                                                                  |                                                    |
|-----------------------------------------------------------------------------------|------------------------------------------------------------------|----------------------------------------------------|
|  | (19) 대한민국특허청(KR)<br>(12) 공개특허공보(A)                               | (11) 공개번호 10-2014-0033593<br>(43) 공개일자 2014년03월19일 |
| <hr/>                                                                             |                                                                  |                                                    |
| (51) 국제특허분류(Int. Cl.)<br>G11C 29/00 (2006.01) G11C 17/00 (2006.01)                | (71) 출원인<br>창원대학교 산학협력단<br>경상남도 창원시 의창구 사림동 9 창원대학교              |                                                    |
| (21) 출원번호 10-2012-0099241                                                         | (72) 발명자<br>김영희<br>경남 창원시 성산구 외동반림로 219, 112동 1001호 (반림동, 현대아파트) |                                                    |
| (22) 출원일자 2012년09월07일<br>심사청구일자 2012년09월07일                                       | 장지혜<br>울산 남구 신북로79번길 8, 1005호 (무거동, 남운그린힐)                       |                                                    |
|                                                                                   | (74) 대리인<br>고윤희, 이철희                                             |                                                    |

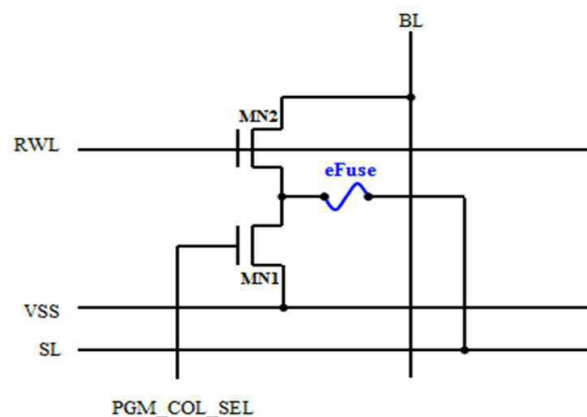
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 **피एम아이씨용 고신뢰성 이퓨즈 오티피 메모리 장치**

### (57) 요약

본 발명은 피엠아이씨용 고신뢰성 이퓨즈 오티피 메모리 구조에 관한 것이다. 이는 PMIC(power management IC)를 위한 24bit 이퓨즈(eFuse, electrical Fuse) 오티피(OTP, One-Time Programmable) 메모리 구조에 있어서, 1행 × 24열의 OTP 셀 어레이, 제어 신호(RD, PGM, TM\_EN)에 따라 동작 모드에 적합한 내부 제어신호를 공급하는 제어 로직, 어드레스 A[4:0]를 디코딩하여 프로그램되는 열(column)을 선택해주는 PGM\_COL\_SEL 회로, 프로그램 데이터를 저장하는 데이터 래치(data latch) 회로, BL의 데이터를 읽어내기 위한 DOUT 버퍼, 그리고 데이터 래치에 저장된 프로그램 데이터 PD[23:0]와 DOUT 버퍼의 읽어낸 데이터 DOUT[23:0]이 일치하는지 비교해주는 비교회로를 포함하여 구성되고, 패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 테스트하는 프로그램-검증-읽기 모드일 때, 상기 비교회로는 상기 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 판독 데이터를 비교하여 Pfb 핀으로 비교 결과를 출력하도록 구성된다. 이에 따라 이퓨즈 오티피 메모리를 구비하는 PMIC 칩 패키지에 있어서 이퓨즈 오티피 메모리를 프로그램한 후 패키지 상태에서 프로그램의 오류 여부가 하나의 핀을 통해 출력되는 데이터에 의하여 테스트가능하게 함으로써, PMIC의 고신뢰성을 보장하는 등의 현저한 효과를 제공한다.

**대표도** - 도1



## 특허청구의 범위

### 청구항 1

PMIC(power management IC)를 위한 24bit 이퓨즈(eFuse, electrical Fuse) 오티피(OTP, One-Time Programmable) 메모리 구조에 있어서, 1행 × 24열의 OTP 셀 어레이, 제어 신호(RD, PGM, TM\_EN)에 따라 동작 모드에 적합한 내부 제어신호를 공급하는 제어 로직, 어드레스 A[4:0]를 디코딩하여 프로그램되는 열(column)을 선택해주는 PGM\_COL\_SEL 회로, 프로그램 데이터를 저장하는 데이터 래치(data latch) 회로, BL의 데이터를 읽어내기 위한 DOUT 버퍼, 그리고 데이터 래치에 저장된 프로그램 데이터 PD[23:0]와 DOUT 버퍼의 읽어낸 데이터 DOUT[23:0]이 일치하는지 비교해주는 비교회로를 포함하며,

패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 테스트하는 프로그램-검증-읽기 모드일 때, 상기 비교회로는 상기 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 판독 데이터를 비교하여 Pfb 핀으로 비교 결과를 출력하도록 구성되는

것을 특징으로 하는 피엠프아이씨용 고신뢰성 이퓨즈 오티피 메모리 구조.

### 청구항 2

청구항 1에 있어서, 상기 비교회로는 PD[23:0]와 DOUT[23:0]를 해당 비트끼리 비교하였을 때 모든 비트가 일치하는 경우는 정상적으로 프로그램되었음을 나타내기 위해 Pfb 신호로서 1을 출력하고, 다른 한편 24비트 중 한 비트 이상이 불일치하면 Pfb 신호로서 0를 출력하도록 구성된 것을 특징으로 하는 피엠프아이씨용 고신뢰성 이퓨즈 오티피 메모리 구조.

### 청구항 3

청구항 1에 있어서, 상기 비교회로는 동적 의사 NMOS 로직회로를 이용한 프로그램 데이터 비교회로로서, 상기 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 판독 데이터를 비교하여 Pfb 핀으로 비교 결과를 출력하도록 구성된 것을 특징으로 하는 피엠프아이씨용 고신뢰성 이퓨즈 오티피 메모리 구조.

### 청구항 4

청구항 1에 있어서, 상기 이퓨즈 오티피 메모리의 이퓨즈 셀은 24bit 듀얼포트 eFuse OTP 셀인 것을 특징으로 하는 피엠프아이씨용 고신뢰성 이퓨즈 오티피 메모리 구조.

## 명세서

### 기술분야

[0001]

본 발명은 일반적으로 이퓨즈(eFuse, electrical Fuse) 방식을 사용하는 오티피(OTP, One-Time Programmable) 메모리 구조에 관한 것으로, 더 상세하게는 이퓨즈 메모리를 구비하는 피엠프아이씨(PMIC, Power Management IC) 칩에 있어서 PMIC 칩 패키지 상태에서 한 개의 핀에 대해 테스트하는 것으로서 이퓨즈 메모리가 정상적으로 프로그램 되었는지를 확인가능하게 함으로써, PMIC의 고신뢰성이 보장될 수 있게 한 새로운 피엠프아이씨용 고신뢰성 이퓨즈 오티피 메모리 구조에 관한 것이다.

### 배경기술

[0002]

최근 배터리에 기반하여 동작하는 모바일 정보기기의 발전에 따라, 제한된 배터리 리소스의 효율적인 제어 및 관리 기능을 하는 전력 반도체 기반 PMIC(power management IC)가 매우 중요하게 부각되고 있다. PMIC는 다양한 제어 및 관리 기능을 원칩화하여 공간이 절약되고 코스트가 다운될 수 있도록 하기 때문에 배터리의 기반의 모바일

일 정보 기기에서는 핵심부품이라고 할 수 있다.

- [0003] PMIC는 전력용 디스크리트 파워 소자모듈과 고전압 파워회로, 저전압 디지털회로, 고전압 및 저전압 아날로그 회로로 구성된 파워제어 모듈로 2칩 또는 1칩으로 구성되어 전자기기에 들어오는 전력을 그 전자기기에 맞게 전력을 변환, 분배, 충전 및 제어하는 역할을 하기 때문에, 일반 반도체에 비해서 고내압화, 고신뢰성화 등이 요구된다.
- [0004] 특히 PMIC는 아날로그 트리밍 기능을 수행하기 위해 소용량의 비휘발성 메모리를 필요로 한다. 내장되는 비휘발성 메모리는 추가 공정이 필요 없는 로직 공정 기반 설계가 가능한 이퓨즈 오티피(eFuse OTP, electrical fuse one-time programmable) 메모리가 많이 사용되고 있으며, 메모리 용량은 수백 Kb 이하가 요구된다(참고기술문헌 1: S. H. Kulkarni et al., A 4kb metal-fuse OTP-ROM macro featuring a 2V programmable 1.37<sup>2</sup> 1T1R bit cell in 32 high-k metal-gate CMOS, IEEE Solid-State Circuits, vol. 45, no. 4, pp. 863-868, April 2010). eFuse OTP 메모리는 eFuse에 과전류를 흘려 블로잉(blowing)하여 프로그램 한다(참고기술문헌2: J. Safran, A. Leslie, et al., A compact eFuse programmable array memory for SOI CMOS, Symposium on VLSI Circuits, pp. 72-73, June 2007)(참고기술문헌3: N. Robson et al., Electrically programmable fuse (eFuse): From memory redundancy to autonomic chip, Proceedings of Custom Integrated Circuits Conference, pp. 799-804, Sep. 2007). eFuse의 프로그램 이전 저항은 50~100 오옴 정도이고, eFuse를 통해 프로그램 과전류가 흐르면서 eFuse의 프로그램 후 저항은 대개 수 십 오옴 이상이 된다. 이와 같이 eFuse는 한 비트의 디지털 데이터를 전도 상태와 고저항 상태 중 하나로 프로그램한다.
- [0005] eFuse OTP 메모리는 데이터 리텐션(retention) 시간동안 프로그램된 eFuse 링크의 저항이 줄었을 때 센싱 불량 이 발생하지 않도록 하는 설계가 요구된다(참고기술문헌4: M. Alavi et al., A PROM element based on salicide agglomeration of poly fuses in a CMOS logic process, IEEE International Electron Devices Meeting, pp. 855-858, Dec. 1997). eFuse 링크의 프로그램된 저항 변동을 고려한 가변 풀-업 부하 저항(variable pull-up load resistor)은 테스트 읽기 모드(test read mode)와 읽기 모드(read mode)에서 비트라인(BL) 프리차징 회로에 사용되는 풀-업 부하 저항을 가변시킨다. 테스트 읽기 모드에서 센싱 가능한 eFuse 저항은 읽기 모드보다 더 크다. 그래서 테스트 읽기 모드와 읽기 모드에서 센싱 가능한 eFuse 저항의 차이 값이 데이터 리텐션 시간 동안 센싱 마진 저항이 된다(참고기술문헌5: J. H. Kim et al., Design of 1-Kb eFuse OTP memory IP with reliability considered, Journal of Semiconductor Technology and Science, vol. 11, no. 2, pp. 88-94, June, 2011)(참고기술문헌6: J. H. Jang et al., Design of an 8-bit differential paired eFuse OTP memory IP reducing sensing resistance, J. Cent. South Univ., vol. 19, no. 1, pp. 168-173, January 2012). 한편 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 패키지(package) 상태에서 테스트가 가능하도록 설계가 되어야 한다. 그런데 PMIC 칩은 사용 핀(pin) 수가 몇 개 되지 않으므로 8b 이상의 OTP 관독 데이터를 패키지 핀에서 읽어볼 수 없다는 문제점이 있다.

## 발명의 내용

### 해결하려는 과제

- [0006] 본 발명은 기존 이퓨즈 오티피 메모리를 구비하는 PMIC 칩 패키지에 있어서 이퓨즈 오티피 메모리를 프로그램한 후 패키지 상태에서 프로그램의 오류 여부를 테스트할 수 없었던 문제를 해결하는 것을 그 일반적인 목적으로 한다.
- [0007] 구체적으로 본 발명의 목적은 PMIC의 패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 테스트하는 프로그램-검증-읽기 모드(program-verify-read mode)를 제공한다. 프로그램 모드에서 프로그램 데이터(program data)는 eFuse OTP 메모리를 프로그램 하는데 사용할 뿐만 아니라 프로그램 데이터 래치(data latch) 회로에 래치된다. 프로그램 모드를 수행한 이후 프로그램-검증-읽기 모드를 수행하면 동적 의사(dynamic pseudo) NMOS 로직회로를 이용한 프로그램 데이터 비교회로는 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 관독 데이터를 비교하여 PFb(pass fail bar) 핀으로 비교 결과를 출력할 수 있다. 이렇게 하므로 패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램 되었는지를 알 수 있게 한다.
- [0008] 또한 본 발명의 목적은, 프로그램-검증-읽기 모드에서는 가변 풀-업 부하 저항 회로를 이용하여 데이터 리텐션 시간 동안 프로그램된 eFuse 링크의 저항 변동에 대한 마진 테스트가 가능하도록 구성하는 것이다.

## 과제의 해결 수단

- [0009] 상기 목적은 본 발명에 따라 제공되는 피엠티아이씨용 고신뢰성 이퓨즈 오티피 메모리 구조에 의하여 달성된다.
- [0010] 본 발명의 일 양상에 따라 제공되는 피엠티아이씨용 고신뢰성 이퓨즈 오티피 메모리 구조는, PMIC(power management IC)를 위한 24bit 이퓨즈(eFuse, electrical Fuse) 오티피(OTP, One-Time Programmable) 메모리 구조에 있어서, 1행 × 24열의 OTP 셀 어레이, 제어 신호(RD, PGM, TM\_EN)에 따라 동작 모드에 적합한 내부 제어 신호를 공급하는 제어 로직, 어드레스 A[4:0]를 디코딩하여 프로그램되는 열(column)을 선택해주는 PGM\_COL\_SEL 회로, 프로그램 데이터를 저장하는 데이터 래치(data latch) 회로, BL의 데이터를 읽어내기 위한 DOUT 버퍼, 그리고 데이터 래치에 저장된 프로그램 데이터 PD[23:0]와 DOUT 버퍼의 읽어낸 데이터 DOUT[23:0]이 일치하는지 비교해주는 비교회로를 포함하며, 패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 테스트하는 프로그램-검증-읽기 모드일 때, 상기 비교회로는 상기 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 판독 데이터를 비교하여 PFb 핀으로 비교 결과를 출력하도록 구성될 수 있다.
- [0011] 일 실시예에 있어서, 상기 비교회로는 PD[23:0]와 DOUT[23:0]를 해당 비트끼리 비교하였을 때 모든 비트가 일치하는 경우는 정상적으로 프로그램되었음을 나타내기 위해 PFb 신호로서 1을 출력하고, 다른 한편 24비트 중 한 비트 이상이 불일치하면 PFb 신호로서 0을 출력하도록 구성될 수 있다.
- [0012] 다른 실시예에 있어서, 상기 비교회로는 동적 의사 NMOS 로직회로를 이용한 프로그램 데이터 비교회로로서, 상기 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 판독 데이터를 비교하여 PFb 핀으로 비교 결과를 출력하도록 구성될 수 있다.
- [0013] 그리고 또 다른 실시예에 있어서, 상기 이퓨즈 오티피 메모리의 이퓨즈 셀은 24bit 듀얼 포트 eFuse OTP 셀일 수 있다.

## 발명의 효과

- [0014] 상술한 구성을 가지는 본 발명에 따르면, PMIC에 있어서, 패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 테스트하는 프로그램-검증-읽기 모드가 제공된다. 프로그램 모드에서 프로그램 데이터(program data)는 eFuse OTP 메모리를 프로그램하는데 사용할 뿐만 아니라 프로그램 데이터 래치(data latch) 회로에 래치된다. 프로그램 모드를 수행한 이후, 프로그램-검증-읽기 모드를 수행하면 동적 의사 NMOS 로직회로를 이용한 프로그램 데이터 비교회로는 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 판독 데이터를 비교하여 PFb(pass fail bar) 핀으로 비교 결과를 출력한다. 이렇게 하므로 패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램 되었는지를 알 수 있다. 또한 프로그램-검증-읽기 모드에서는 가변 풀-업 부하 저항 회로를 이용하여 데이터 리텐션 시간 동안 프로그램된 eFuse 링크의 저항 변동에 대한 마진 테스트가 가능하다. 이에 따라 이퓨즈 오티피 메모리를 구비하는 PMIC 칩 패키지에 있어서 이퓨즈 오티피 메모리를 프로그램한 후 패키지 상태에서 프로그램의 오류 여부가 하나의 핀을 통해 출력되는 데이터에 의하여 테스트가능하게 함으로써, PMIC의 고신뢰성을 보장하는 등의 현저한 효과를 제공한다.

## 도면의 간단한 설명

- [0015] 도 1은 본 발명에 따른 듀얼 포트 이퓨즈 셀 회로도.
- 도 2는 본 발명에 따른 24bit eFuse OTP 메모리의 블록도.
- 도 3a는 본 발명에 따른 동작 모드별 타이밍 다이어그램으로서, 프로그램 모드를 도시하는 다이어그램.
- 도 3b는 본 발명에 따른 동작 모드별 타이밍 다이어그램으로서, 읽기 모드를 도시하는 다이어그램.
- 도 3c는 본 발명에 따른 동작 모드별 타이밍 다이어그램으로서, 프로그램-검증-읽기 모드를 도시하는 다이어그램.
- 도 4의 본 발명에 따른 PGM\_COL\_SEL 회로의 구성을 예시하는 회로도.

도 5는 본발명에 따른 프로그램 데이터 래치 회로의 구성을 예시하는 회로도.

도 6은 본 발명에 따른 DOUT 버퍼 회로의 구성을 예시하는 회로도.

도 7은 본 발명에 따라 동적 의사 NMOS 로직을 이용한 24비트 프로그램 데이터 비교회로의 구성을 예시하는 회로도.

도 8a는 본 발명에 따라 프로그램-검증-읽기 모드에서의 모의 실험 결과를 보여주는 타이밍 다이어그램으로서, '1'로 프로그램된 경우를 예시하는 다이어그램.

도 8b는 본 발명에 따라 프로그램-검증-읽기 모드에서의 모의 실험 결과를 보여주는 타이밍 다이어그램으로서, '0'으로 프로그램된 경우를 예시하는 다이어그램.

도 9는 본 발명에 따라 설계된 24비트 eFuse OTP 메모리의 레이아웃.

### 발명을 실시하기 위한 구체적인 내용

- [0016] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하고, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명의 청구범위에 의해 한정된다.
- [0017] 본 발명의 실시예들을 설명함에 있어 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다. 그리고 후술되는 용어들은 본 발명의 실시예에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0018] 이하, 첨부된 도면을 참조하여 본 발명을 구체적인 예를 들어 설명하면 다음과 같다.
- [0019] 본 발명은 이하에서 상세히 설명하는 바와 같이, BCD 공정 기반으로 PMIC용 고신뢰성 24bit 듀얼 포트(dual port) eFuse OTP 메모리를 설계하였다. 제안된 동적 의사 NMOS 로직회로를 이용한 프로그램 데이터 비교회로는 프로그램-검증-읽기 모드에서 프로그램 데이터와 판독 데이터를 비교하여 PFb(pass fail bar) 핀으로 비교 결과를 출력한다. 그래서 한 개의 PFb 핀만 테스트하므로 eFuse OTP 메모리가 정상적으로 프로그램 되었는지를 확인할 수 있다. 그리고 프로그램-검증-읽기 모드를 이용하여, 프로그램된 eFuse 저항의 변동을 고려한 가변 풀-업 부하(variable pull-up load)를 갖는 센싱 마진 테스트 회로를 설계할 수 있다. 본 발명의 일 실시예에 따라, Magnachip 0.35 BCD 공정을 이용하여 설계된 24bit eFuse OTP 메모리의 레이아웃 면적은  $289.9\mu\text{m} \times 163.65\mu\text{m}$  ( $\approx 0.0475\text{mm}^2$ )이다.
- [0020] 본 발명의 일 실시예에 따라 Magnachip 0.35 BCD 공정을 이용하여 설계한 24bit eFuse OTP 메모리의 주요 특징은 표 1과 같다.

표 1

| Items                  | Main Features                        |
|------------------------|--------------------------------------|
| Process                | MC 0.35μm BCD Process(HP35E65)       |
| Cell Array Size        | 1R × 24C                             |
| eFuse Type             | P-poly(Ti-silicide)                  |
| Supply Voltage         | 2.3V~5.5V                            |
| Temperature Range      | -40℃ ~ 85℃                           |
| Operating Mode         | Program / Read / Program-Verify-Read |
| Program bit / Read bit | 1bit / 24bit                         |
| Program Voltage        | 5.5V                                 |
| Program Time           | 200us                                |
| Access Time            | 200ns                                |

[0021]

[0022]

표 1에서 알 수 있는 바와 같이, 셀 어레이는 1행 × 24열로 구성되어 있다. eFuse OTP 셀은 OTP 메모리의 레이아웃 면적을 줄이기 위해 디퍼렌셜 페어(differential paired) eFuse OTP 셀에 비해 셀 면적이 작은 듀얼 포트(dual port) eFuse OTP 셀을 사용하였으며, eFuse 링크는 p-폴리실리콘(p-polysilicon)을 사용하였다. 동작 모드는 프로그램 모드, 읽기 모드, 및 프로그램-검증-읽기 모드가 있다. 그리고 eFuse OTP 메모리의 프로그램 비트와 판독 비트는 각각 1비트, 24비트이고 프로그램 시간은 200s이다. 사용되는 전원전압은 VDD의 단일전원이 사용된다. VDD 전압은 프로그램 모드인 경우 eFuse 링크에 충분한 프로그램 파워를 공급하기 위해 5.5V가 사용되며, 읽기 모드인 경우 4.5 ~ 5.5V가 사용된다. 설계에 사용된 소자는 5V MOS 트랜지스터만 사용하였다.

[0023]

예컨대, 24비트 eFuse OTP 메모리 설계에 사용된 듀얼 포트 eFuse OTP 셀의 회로도 도 1에서 보는 바와 같으며, 큰 프로그램 전류를 흘릴 수 있는 프로그램용 NMOS 트랜지스터(MN1)와 읽기 모드 전류를 줄일 수 있는 읽기용 NMOS 트랜지스터(MN2)가 각각 사용되고 있다.

[0024]

동작 모드별 eFuse 셀의 바이어스 전압 표 2에서 보는 바와 같다.

표 2

| 구분          |            | Program  |          | Read    |         |
|-------------|------------|----------|----------|---------|---------|
|             |            | DIN=0    | DIN=1    | DIN=0   | DIN=1   |
| RWL         |            | 0V       | 0V       | 0.67VDD | 0.67VDD |
| PGM_COL_SEL | Unselected | 0V       | 0V       | 0V      | 0V      |
|             | Selected   | 0V       | VDD      | 0V      | 0V      |
| SL          |            | VDD      | VDD      | 0V      | 0V      |
| BL          |            | Floating | Floating | 0V      | VDD     |
| DOUT        |            | X        | X        | 0       | 1       |
| eFuse       |            | Unblown  | Blown    | Unblown | Blown   |

[0025]

- [0026] 표 2에서 알 수 있는 바와 같이, 프로그램 모드에서 1로 프로그램되는 eFuse 셀의 SL(source line)과 PGM\_COL\_SEL 신호는 모두 VDD로 구동된다. 이와 같이 eFuse에 과전류가 흐르면 eFuse는 블로잉(blowing)된다. 그리고 읽기 모드에서 읽기워드라인(RWL, read word line)은 0.67VDD를 구동하며, SL은 0V를 구동한다. 0로 프로그램된 셀은 eFuse는 전도 상태이므로 비트라인(BL)에 0V를 출력하는 반면, 1로 프로그램된 셀은 고저항 상태이므로 BL에 VDD를 출력한다.
- [0027] BCD 공정을 이용하여 설계한 24b eFuse OTP 메모리의 블록도는 도 2에서 보는 바와 같이 1행 × 24열의 OTP 셀 어레이, 제어 신호(RD, PGM, TM\_EN)에 따라 동작 모드에 적합한 내부 제어신호를 공급하는 제어 로직, 어드레스 A[4:0]를 디코딩하여 프로그램되는 열(column)을 선택해주는 PGM\_COL\_SEL 회로, 프로그램 데이터를 저장하는 데이터 래치(data latch) 회로, BL의 데이터를 읽어내기 위한 DOUT 버퍼, 그리고 데이터 래치에 저장된 프로그램 데이터 PD[23:0]와 DOUT 버퍼의 읽어낸 데이터 DOUT[23:0]이 일치하는지 비교해주는 비교회로로 구성되어 있다.
- [0028] PD[23:0]와 DOUT[23:0]를 해당 비트끼리 비교하였을 때 모든 비트가 일치하는 경우는 정상적으로 프로그램 되었으므로 Pfb 신호는 1을 출력하고, 24비트 중 한 비트 이상이 불일치하면 0를 출력한다. TM\_EN(test mode enable) 신호는 프로그램-검증-읽기 모드와 읽기 모드를 구분해 준다.
- [0029] 도 3a, 도 3b, 및 도 3c는 eFuse OTP의 동작 모드별 타이밍 다이어그램들을 보여주고 있다. 도 3a는 프로그램 모드에서의 타이밍 다이어그램이며, 프로그램 동작은 어드레스 A[4:0]와 입력 데이터 DIN을 먼저 인가한 상태에서 PGM 신호가 low에서 high로 활성화 되면 선택되는 OTP 메모리 셀은 프로그램 된다. 그리고 프로그램 모드에서 프로그램 입력 데이터 DIN은 eFuse OTP 메모리를 프로그램하는데 사용할 뿐만 아니라 프로그램 데이터 래치 회로에 래치된다.
- [0030] 도 3b는 읽기 모드에서의 타이밍 다이어그램이며, 읽기 동작은 RD 신호를 high로 활성화시키면 24비트의 출력 데이터가 액세스 시간이 지난 이후 DOUT[23:0] 포트로 출력된다. 이때 PGM 신호는 low 상태를 유지해야 된다.
- [0031] 그리고 도 3c는 프로그램-검증-읽기 모드의 타이밍 다이어그램이며, RD 신호와 TM\_EN 신호를 동시에 high로 활성화하면 동적 의사 NMOS 로직회로를 이용한 프로그램 데이터 비교회로는 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 판독 데이터를 비교하여 Pfb 핀으로 비교 결과를 출력한다.
- [0032] 도 4는 프로그램 모드에서 프로그램되는 열을 선택해주는 PGM\_COL\_SEL 회로이며, 프로그램 모드로 진입하게 되면 행 어드레스인 A[4:0]을 디코딩하여 프로그램 되는 PGM\_COL\_SEL만 VDD(=5.5V)로 구동되고 프로그램 되지 않는 PGM\_COL\_SEL 신호는 0V를 유지하도록 한다. 그리고 읽기 모드에서는 PGM\_COL\_SEL[23:0] 신호는 모두 0V를 유지한다.
- [0033] 그리고 도 5는 포지티브 레벨-감응형(positive level-sensitive) D 래치 형태인 프로그램 데이터 래치(program data latch) 회로이다. 프로그램 모드에서 프로그램 데이터인 DIN은 프로그램 데이터 래치 회로에 저장된다.
- [0034] 도 6은 DOUT 버퍼 회로를 예시한다. 이 회로에서, 읽기 모드와 프로그램-검증-읽기 모드에서 BL(bit line) 프리차지 신호인 BL\_PCG 신호에 의해 BL은 0V로 프리차징 된다. OTP 셀의 RWL(read word line) 신호가 0.67VDD로 활성화되면 풀-업 부하 트랜지스터(MP1 또는 MP2)에 의해 BL은 VDD로 풀-업된다. eFuse OTP 메모리 셀의 데이터가 BL에 충분히 전달되면 DOUT 버퍼는 SAENb(sense amplifier enable bar) 신호가 0V로 활성화된 뒤 VDD 또는 0V인 BL 전압을 센싱하여 DOUT 포트로 읽은 데이터를 출력한다. 그런데 eFuse OTP 셀은 데이터 리텐션 시간 동안 프로그램된 eFuse 링크의 저항이 줄어드는 경우에 BL 센싱 불량이 발생할 수 있다. 그래서 본 발명에서는 프로그램된 eFuse 저항의 변동을 고려한 가변 풀-업 부하 회로(참고기술문헌5 참조)를 사용하였다.
- [0035] eFuse를 프로그램한 후 프로그램-검증-읽기(program-verify-read) 모드에서는 도 6의 가변 풀-업 부하 트랜지스터 중 MP1만 ON시켜 eFuse 저항이 정상적으로 프로그램되었는지 테스트한다. 그리고 읽기 모드에서는 MP1보다 풀-업 저항이 작은 MP2만 ON시켜 프로그램된 eFuse 저항이 낮게 변동하더라도 BL을 풀-업시켜 정상적인 1 데이터로 센싱하도록 한다. 그래서 프로그램-검증-읽기 모드와 읽기 모드에서 센싱 가능한 eFuse 저항의 차이 값이 데이터 리텐션 시간 동안 DOUT 버퍼에서의 BL 센싱 마진 저항이 된다. 한편 프로그램된 eFuse 저항이 높게 변하는 경우는 BL 센싱 마진이 증가하는 경우이므로 문제가 되지 않는다.
- [0036] 한편 도 7은 동적 의사(dynamic pseudo) NMOS 로직회로를 이용한 프로그램 데이터 비교회로를 예시한다. 이 비교회로는 프로그램 모드 이후 프로그램-검증-읽기 모드를 수행하면 프로그램 데이터 래치 회로에 래치된 프로그램 데이터인 PD[23:0]와 읽혀진 판독 데이터인 DOUT[23:0]가 일치하는지 해당되는 비트끼리 데이터를 비교한다. 프로그램 데이터 비교 결과는 Pfb 핀으로 출력한다.

[0037] COMP\_EN(compare enable) 신호가 0V인 경우는 MATCH 신호가 VDD로 프리차지 상태를 유지하고 PFb는 VDD를 출력한다. 프로그램-검증-읽기 모드에서 DOUT[23:0]가 먼저 셋-업(set-up)된 상태에서 COMP\_EN이 high로 활성화된다. 만약 24-비트의 PD[23:0]와 DOUT[23:0]가 비트끼리 모두 일치하면 MATCH는 VDD를 유지하며, PFb 신호는 VDD로 출력한다. 만약 24-비트의 데이터 중 한 비트이상 다르면 MATCH 신호는 0V로 방전되어 PFb는 0V를 출력한다.

[0038] 도 7의 MP1은 래치-백(latch-back) 트랜지스터로 24-비트 데이터가 모두 일치하는 경우 누설전류에 의해 MATCH 신호가 low로 떨어지는 것을 방지하기 위해 사용하였다.

[0039] 모의 실험 결과

[0040] 본 발명에 따라, 0.35 BCD 공정 기반의 24b eFuse OTP 메모리를 설계하였다. 표 3은 프로그램된 eFuse 링크의 센싱 저항에 대한 모의실험 결과이다.

표 3

| VDD  | Temp  | Program-Verify-Read Mode |          |          |          |          | Read Mode |          |          |          |          |
|------|-------|--------------------------|----------|----------|----------|----------|-----------|----------|----------|----------|----------|
|      |       | SS model                 | SF model | TT model | FS model | FF model | SS model  | SF model | TT model | FS model | FF model |
| 4.5V | -40°C | 12KΩ                     | 8KΩ      | 11KΩ     | 13KΩ     | 9KΩ      | 3KΩ       | 2KΩ      | 4KΩ      | 5KΩ      | 4KΩ      |
|      | 25°C  | 13KΩ                     | 9KΩ      | 12KΩ     | 14KΩ     | 11KΩ     | 4KΩ       | 3KΩ      | 4KΩ      | 5KΩ      | 4KΩ      |
|      | 85°C  | 14KΩ                     | 10KΩ     | 13KΩ     | 15KΩ     | 11KΩ     | 4KΩ       | 3KΩ      | 4KΩ      | 5KΩ      | 4KΩ      |
| 5V   | -40°C | 11KΩ                     | 8KΩ      | 10KΩ     | 12KΩ     | 9KΩ      | 3KΩ       | 2KΩ      | 3KΩ      | 4KΩ      | 3KΩ      |
|      | 25°C  | 12KΩ                     | 9KΩ      | 11KΩ     | 14KΩ     | 10KΩ     | 3KΩ       | 3KΩ      | 4KΩ      | 5KΩ      | 4KΩ      |
|      | 85°C  | 13KΩ                     | 9KΩ      | 12KΩ     | 15KΩ     | 11KΩ     | 4KΩ       | 3KΩ      | 4KΩ      | 5KΩ      | 4KΩ      |
| 5.5V | -40°C | 11KΩ                     | 8KΩ      | 10KΩ     | 11KΩ     | 9KΩ      | 3KΩ       | 2KΩ      | 3KΩ      | 4KΩ      | 3KΩ      |
|      | 25°C  | 12KΩ                     | 8KΩ      | 11KΩ     | 13KΩ     | 10KΩ     | 3KΩ       | 2KΩ      | 3KΩ      | 5KΩ      | 4KΩ      |
|      | 85°C  | 13KΩ                     | 9KΩ      | 12KΩ     | 14KΩ     | 11KΩ     | 4KΩ       | 3KΩ      | 4KΩ      | 5KΩ      | 4KΩ      |

[0041]

[0042] 표 3에서 보여주는 바와 같이, VDD=4.5V, FF 모델 파라미터, -40의 프로그램-검증-읽기 모드와 읽기 모드에서의 eFuse 센싱 저항은 각각 9k 오옴, 4k 오옴으로 모의실험되었다. 이 경우 프로그램된 eFuse 저항이 4k 오옴이하로 떨어지지 않는 이상 정상적으로 센싱이 가능하다.

[0043] 도 8a는 본 발명에 따라 '1'로 프로그램된 경우 24비트 eFuse OTP 메모리에 대한 프로그램-검증-읽기 모드에서의 모의실험 결과이고 도 8b는 본 발명에 따라 '0'으로 프로그램된 경우 24비트 eFuse OTP 메모리에 대한 프로그램-검증-읽기 모드에서의 모의실험 결과이다. RD 신호가 활성화 되면 액세스 시간이 지난 후 DOUT이 출력된다. 그 이후 COMP\_EN 신호가 high로 활성화되면서 PFb는 PD와 DOUT의 비교 결과를 출력한다.

[0044] 도 9는 본 발명에 따라 0.35 BCD 공정을 이용하여 설계된 24비트 eFuse OTP 메모리의 레이아웃 사진을 보여주고 있으며, 레이아웃 면적은  $289.9\mu\text{m} \times 163.65\mu\text{m} (=0.0475\text{mm}^2)$ 이다.

[0045] 결 론

[0046] 상술한 바와 같이, 본 발명에 따라 패키지 상태에서 eFuse OTP 메모리가 정상적으로 프로그램 되었는지 테스트 하는 프로그램-검증-읽기 모드가 제안된다. 프로그램-검증-읽기 모드는 동적 의사 NMOS 로직회로를 이용한 프

로그래밍 데이터 비교회로가 프로그램 데이터 래치 회로에 래치된 프로그램 데이터와 읽기 모드에서 읽혀진 관독 데이터를 비교하여 PFb 핀으로 비교 결과를 출력한다. 이렇게 하므로 패키지 상태에서 하나의 핀으로 출력되는 PFb를 통해 eFuse OTP 메모리가 정상적으로 프로그램 되었는지를 알 수 있다. 또한 프로그램-검증-읽기 모드에서는 가변 풀-업 부하 저항 회로를 이용하여 데이터 리텐션 시간 동안 프로그램된 eFuse 링크의 저항 변동에 대한 마진 테스트가 가능하도록 설계하였다. 본 발명에 따라 Magnchip 0.35 BCD 공정을 이용하여 설계된 24b eFuse OTP 메모리의 레이아웃 사이즈는  $289.9\mu\text{m} \times 163.65\mu\text{m} (=0.0475\text{mm}^2)$ 이다.

## 부호의 설명

SL : 소스라인

BL : 비트라인

RWL : 읽기워드라인

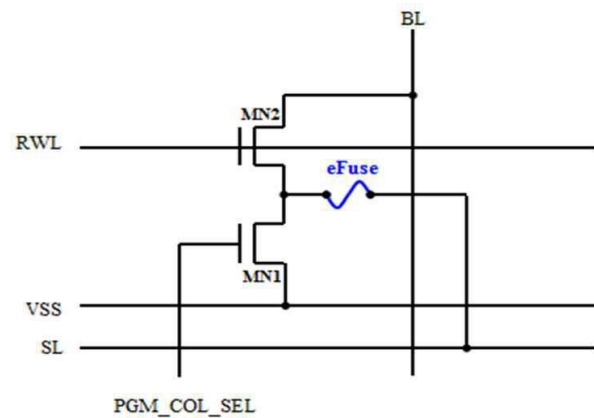
MN1 : 프로그램용 트랜지스터

MN2 : 읽기용 트랜지스터

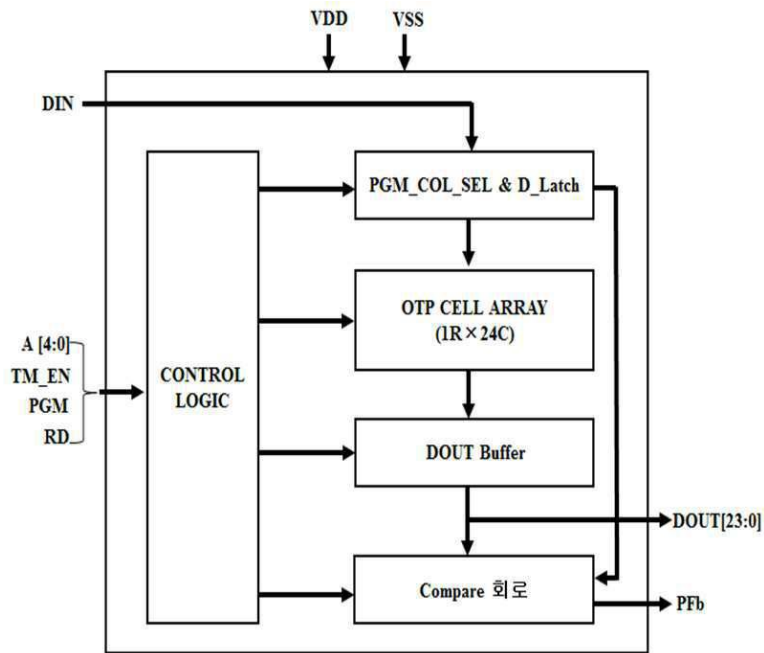
eFuse : 이퓨즈

## 도면

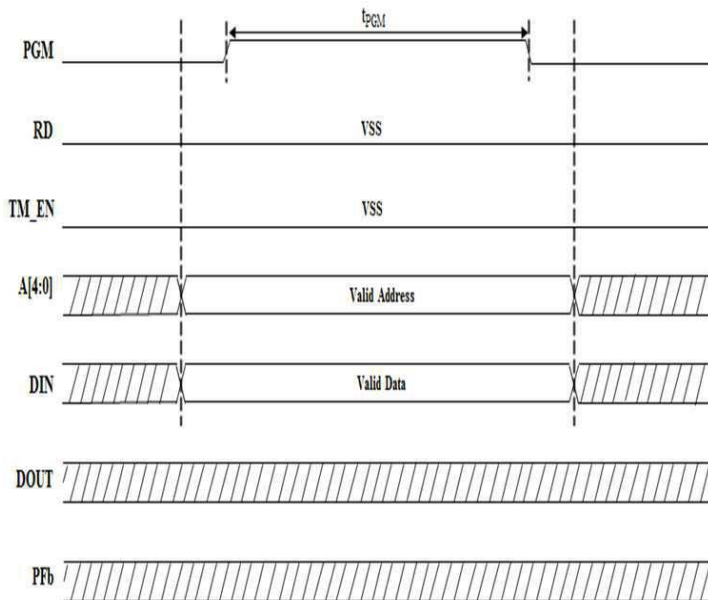
### 도면1



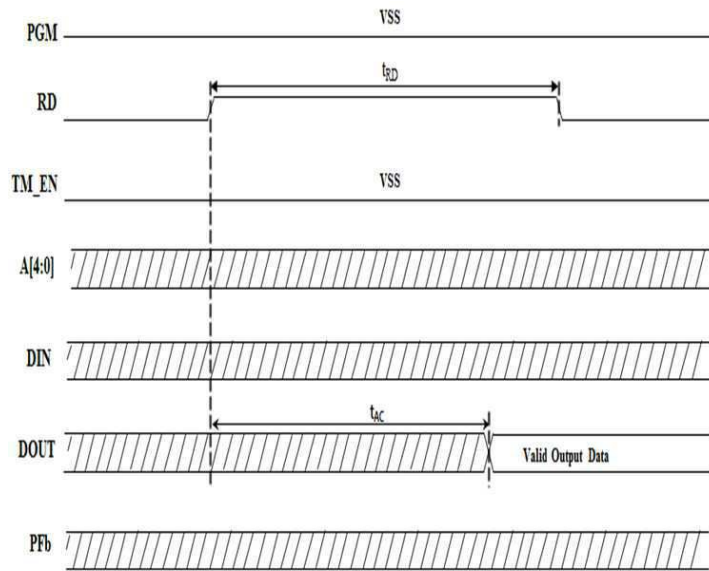
도면2



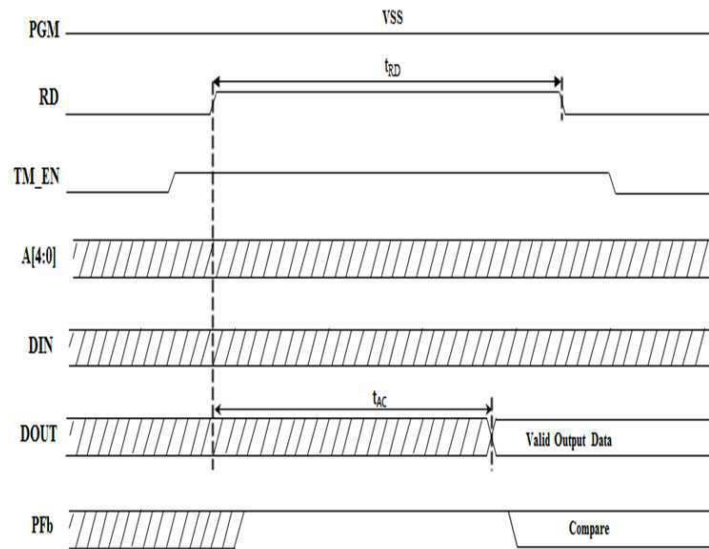
도면3a



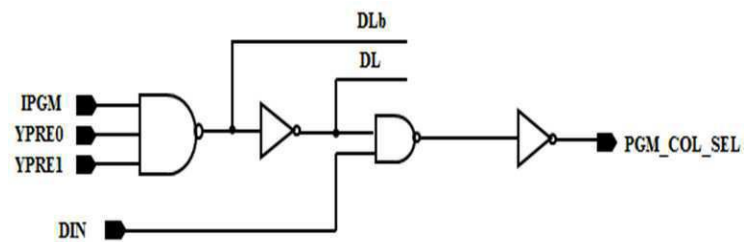
도면3b



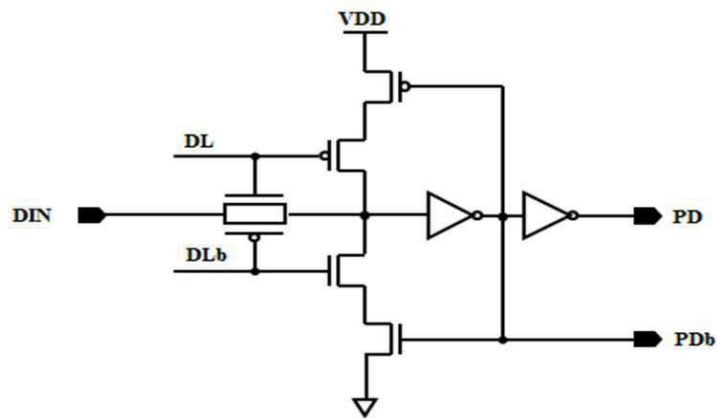
도면3c



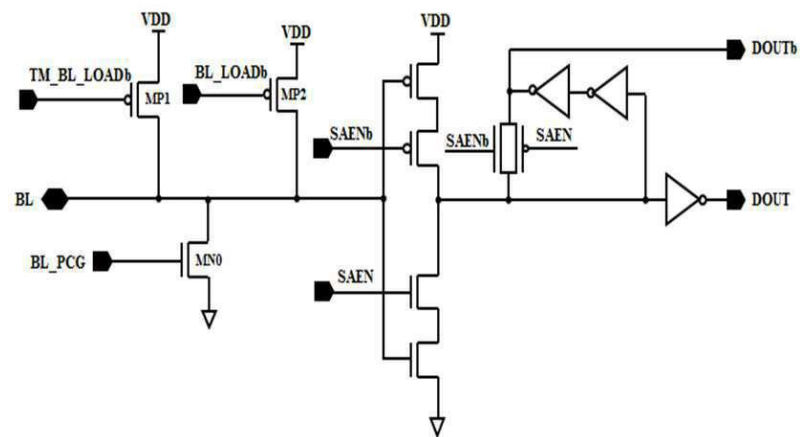
도면4



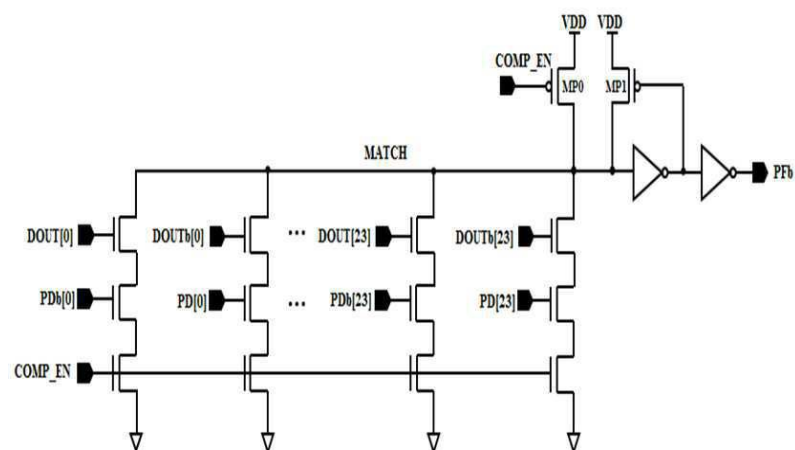
도면5



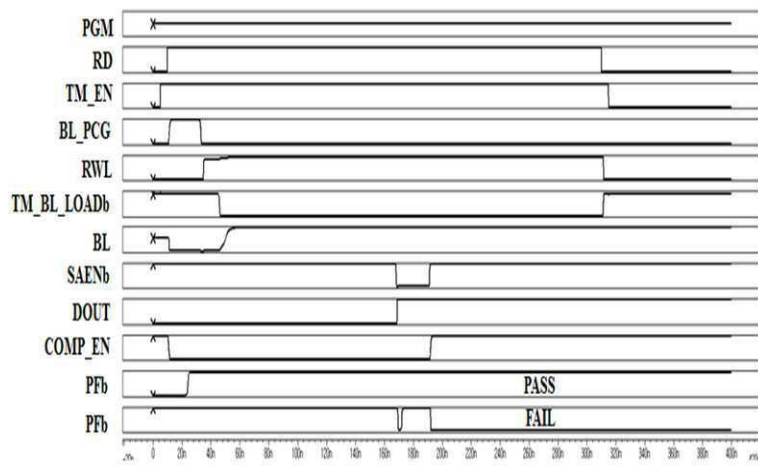
도면6



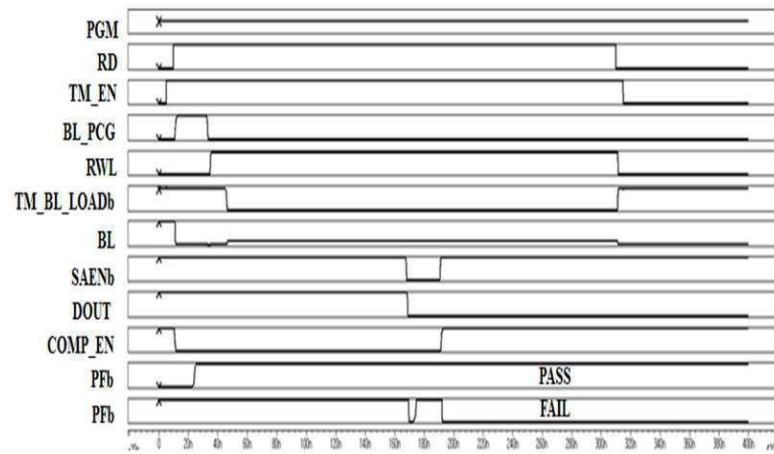
도면7



도면8a



도면8b



도면9

