



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I450322 B

(45)公告日：中華民國 103 (2014) 年 08 月 21 日

(21)申請案號：098108469

(22)申請日：中華民國 98 (2009) 年 03 月 16 日

(51)Int. Cl. : H01L21/205 (2006.01)

H05H1/16 (2006.01)

H05H1/46 (2006.01)

(30)優先權：2008/03/17 日本

2008-068480

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：古野誠 FURUNO, MAKOTO (JP)；杉山徹朗 SUGIYAMA, TETSUO (JP)；野澤太
一 NOZAWA, TAICHI (JP)；一條充弘 ICHIO, MITSUHIRO (JP)；田島亮太
TAJIMA, RYOTA (JP)；山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

EP 0445855B1

JP H11204297A

JP 2001326221A

JP 200487932A

US 006548113B1

審查人員：楊啟全

申請專利範圍項數：2 項 圖式數：42 共 0 頁

(54)名稱

電漿處理設備及製造半導體裝置之方法

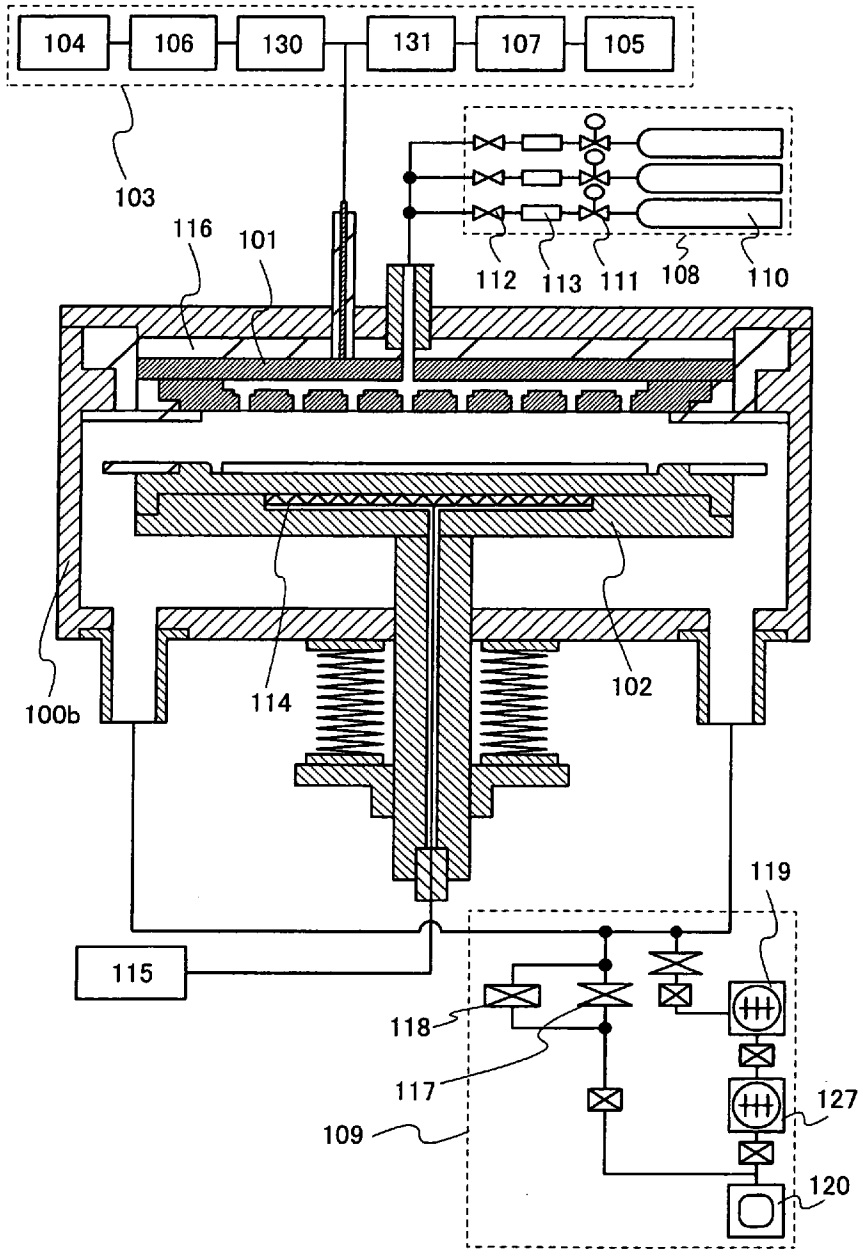
PLASMA PROCESSING APPARATUS AND METHOD FOR MANUFACTURING
SEMICONDUCTOR DEVICE

(57)摘要

藉由使用第一渦輪分子泵與第二渦輪分子泵串聯連接的排氣單元將反應室內的到達的最低壓力降低到超高真空區域。並且，進一步藉由刀口型金屬密封法蘭降低反應室的洩漏量。由此在降低到超高真空區域的同一反應室內層疊微晶半導體膜和非晶半導體膜。藉由形成覆蓋微晶半導體膜表面的非晶半導體膜可以防止微晶半導體膜的氧化。

By an evacuation unit including first and second turbo molecular pumps connected in series, the ultimate pressure in a reaction chamber is reduced to ultra-high vacuum. By a knife-edge-type metal-seal flange, the amount of leakage in the reaction chamber is reduced. A microcrystalline semiconductor film and an amorphous semiconductor film are stacked in the same reaction chamber where the pressure is reduced to ultra-high vacuum. By forming the amorphous semiconductor film covering the surface of the microcrystalline semiconductor film, oxidation of the microcrystalline semiconductor film is prevented.

圖 1

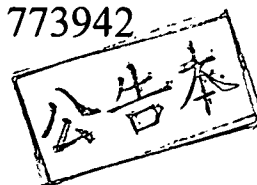


- 101 . . . 第一電極
- 100b . . . 反應室
- 102 . . . 第二電極
- 103 . . . 高頻電力供給單元
- 104 . . . 第一高頻電源
- 105 . . . 第二高頻電源
- 106 . . . 第一匹配器
- 107 . . . 第二匹配器
- 108 . . . 氣體供給單元
- 109 . . . 排氣單元
- 110 . . . 汽缸
- 111 . . . 壓力調節閥
- 112 . . . 停止閥
- 113 . . . 質量流量控制器
- 114 . . . 基板加熱器
- 115 . . . 加熱控制器
- 116 . . . 絕緣材料
- 117 . . . 蝶閥
- 118 . . . 閥門
- 119 . . . 渦輪分子泵
- 120 . . . 乾燥泵
- 127 . . . 渦輪分子泵
- 130 . . . 第一高頻濾波器
- 131 . . . 第二高頻濾波器

773942

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)



※申請案號：98108469

※申請日：98年03月16日

※IPC分類：

H01L 21/265 (2006.01)

H05H 1/16 (2006.01)

H05H 1/46 (2006.01)

一、發明名稱：(中文／英文)

電漿處理設備及製造半導體裝置之方法

Plasma processing apparatus and method for manufacturing semiconductor device

二、中文發明摘要：

藉由使用第一渦輪分子泵與第二渦輪分子泵串聯連接的排氣單元將反應室內的到達的最低壓力降低到超高真空區域。並且，進一步藉由刀口型金屬密封法蘭降低反應室的洩漏量。由此在降低到超高真空區域的同一反應室內層疊微晶半導體膜和非晶半導體膜。藉由形成覆蓋微晶半導體膜表面的非晶半導體膜可以防止微晶半導體膜的氧化。

三、英文發明摘要：

PLASMA PROCESSING APPARATUS AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

By an evacuation unit including first and second turbo molecular pumps connected in series, the ultimate pressure in a reaction chamber is reduced to ultra-high vacuum. By a knife-edge-type metal-seal flange, the amount of leakage in the reaction chamber is reduced. A microcrystalline semiconductor film and an amorphous semiconductor film are stacked in the same reaction chamber where the pressure is reduced to ultra-high vacuum. By forming the amorphous semiconductor film covering the surface of the microcrystalline semiconductor film, oxidation of the microcrystalline semiconductor film is prevented.

四、指定代表圖：

(一)、本案指定代表圖為：第(1)圖。

(二)、本代表圖之元件代表符號簡單說明：

101：第一電極	100b：反應室
102：第二電極	103：高頻電力供給單元
104：第一高頻電源	105：第二高頻電源
106：第一匹配器	107：第二匹配器
108：氣體供給單元	109：排氣單元
110：汽缸	111：壓力調節閥
112：停止閥	113：質量流量控制器
114：基板加熱器	115：加熱控制器
116：絕緣材料	117：蝶閥
118：閥門	119：渦輪分子泵
120：乾燥泵	127：渦輪分子泵
130：第一高頻濾波器	131：第二高頻濾波器

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

【發明所屬之技術領域】

本發明關於具有包含使用半導體膜的薄膜電晶體（以下，稱為 TFT）之電路的半導體裝置的製造方法。另外，本發明還關於製造半導體裝置時，採用在形成薄膜的製程中使用的電漿 CVD 法的電漿處理裝置。此外，本發明還關於使用電漿處理裝置的成膜方法。舉例而言，本發明關於太陽能電池或感測器為典型的光電變換裝置、以液晶顯示面板為典型的電光裝置、包含發光元件的發光裝置，或是配備有包含天線作為元件的無線晶片的電子裝置。

在本說明書中，半導體裝置是指能夠藉由利用半導體特性而工作的所有型式的裝置。電光裝置、發光裝置、半導體電路以及電子裝置都是包含於半導體裝置的類別中。

【先前技術】

近年來，使用形成在具有絕緣表面的基板上的半導體薄膜（厚度為幾十 nm 至幾百 nm 左右）來構成薄膜電晶體的技術引人注目。薄膜電晶體被廣泛應用於諸如 IC 和電光學裝置等電子裝置中，特別地，正在加快開發作為影像顯示裝置的開關元件的薄膜電晶體。

藉由典型的成膜方法的電漿 CVD 法，沉積非晶半導體膜、多晶半導體膜以及微晶半導體膜等。

作為影像顯示裝置的開關元件，已知有使用非晶半導體膜的薄膜電晶體、使用多晶半導體膜的薄膜電晶體。作

為形成在玻璃基板上的多晶半導體膜的形成方法，已知有如下技術，即利用光學系統將脈衝振盪的受激準分子雷射光束加工成線形，並在將該線形雷射光束對形成在玻璃基板上的非晶矽膜進行掃描的同時進行照射而使該非晶矽膜結晶化。

另外，作為影像顯示裝置的開關元件有使用微晶半導體膜的薄膜電晶體（參考文獻 1：日本公開專利申請號 H4-242724 以及參考文獻 2：日本公開專利申請號 2005-49832）。

此外，至今為止，採用了從一個母體玻璃基板切割出多個面板的高效率地進行批次生產的生產技術。母體玻璃基板的尺寸從 1990 年初期的第一代 300mm×400mm 到 2000 年的第四代 680mm×880mm 或 730mm×920mm 逐漸大型化，生產技術不斷進步到可以從一個基板取出多個顯示面板。

另外，隨著基板尺寸如上所述般變大，對生產力的提高以及低成本化的要求也越來越高。

作為滿足這些要求的 TFT 結構，反交錯型（底閘型）的 TFT 結構成為主流。

另外，隨著半導體元件的微細化，每個製程都需要高精度。在半導體製程中，藉由各種各樣的方法（電漿、熱、光等）使氣體源發生反應而得到的反應生成膜沉積在配置在成膜裝置的反應室內要處理的基板上。特別是對在進行成膜的處理裝置內產生的微粒的抑制是重大課題。此外

，保持反應室內的清潔對於穩定製程也是重要的。

參考文獻 3（日本公開專利申請號 H7-122621 號）揭示基板處理設備，在基板處理設備中，在基板上連續地執行例如形成薄膜等眾多處理，並同時保持氣密。

【發明內容】

本發明的目的在於提供一種高量產性地製造半導體裝置的方法，所述半導體裝置包含薄膜電晶體，所述薄膜電晶體與使用非晶半導體膜的薄膜電晶體相比，其電特性的可靠性高。

本發明的另一個目的在於提供電漿處理裝置，藉由電漿處理裝置，即使在成膜步驟中仍可形成具有結晶性的半導體膜，典型的為微晶半導體膜，並可以實現良好膜品質。

為了實現良好的膜品質，重要的是減少膜中所含有的氧、氮。氧、氮是使半導體層的一部分 n 型化的元素。這些元素增加非晶半導體層中的缺陷密度以及降低場效應遷移率。再者，膜中所含有的氧、氮還有可能是導致 TFT 的電特性發生不均勻的主要原因之一。注意，傳統上，有氮也被稱為惰性氣體的情況，並可以認為其是即使小量地進入在反應室內或膜中也沒有影響的元素。氮是大氣成分之一的氣體且佔據大氣的大約 80%。

另外，還有所獲得的微晶半導體膜的晶粒的表面容易被氧化的問題。為此，還有當通道形成區域的晶粒被氧化

時，發生如下問題：在晶粒的表面上形成氧化膜，該氧化膜阻礙載子的遷移，並導致薄膜電晶體的電特性降低。

爲了減少使用電漿處理裝置得到的膜中所含有的氧、氮，抑制電漿處理裝置的反應室（反應容器）內的洩漏以達成高真空度。

在電漿處理裝置中，除了氣體引入系統和排氣系統之外，密封部還設置在各種各樣的地方，對至少一個密封部使用刀口型金屬密封法蘭以進行氣密。爲了減少洩漏量，重要的是減少一個反應室所使用的 O 型密封圈的總數。藉由使用刀口型金屬密封法蘭可以大幅度地降低洩漏量。使用刀口型金屬密封法蘭的密封結構是法蘭的圓錐形密封邊緣壓破墊片而在材料內造成冷流（cold flow）。由於此冷流，墊片的外表面被按壓到法蘭壁，因而產生反作用力。由此可以得到高壓力。藉由該高壓力，可以去除密封面以及墊片表面的缺陷而得到可靠性高的密封結構。

另外，將兩個渦輪分子泵串聯以在反應室內取得等於或小於 10^{-5}Pa 的壓力。爲了在成膜前預先儘量減少真空反應室內的氧、氮、 H_2O 等的大氣成分氣體的殘留，將到達的最低壓力降低到 $1\times 10^{-7}\text{Torr}$ 至 $1\times 10^{-10}\text{Torr}$ （約 $1\times 10^{-5}\text{Pa}$ 至 $1\times 10^{-8}\text{Pa}$ ）的超高真空（UHV）區域，流過具有高純度的材料氣體，並將成膜時的基板溫度設定爲 100°C 以上且低於 300°C 的範圍內。

藉由使用抑制向反應室內的洩漏並達到高真空度的電漿處理裝置，可以獲得具有良好膜品質的微晶半導體膜。

更佳的是，使用高頻電力，所述高頻電力係藉由將連接至用於產生輝光放電電漿的電極之電源的頻率設定為具有 30MHz 至 300MHz 的 VHF 頻帶的頻率且波長小於 10m 而取得的。藉由使用具有 VHF 頻帶的頻率的電源，可以降低電漿溫度以及增加電漿密度。

另外，還可以藉由對產生輝光放電電漿的電極供給頻率不同的兩種以上的高頻電力來獲得具有良好膜品質的微晶半導體膜。第一高頻電力為不呈現表面駐波作用的頻帶的電力，並使用波長約為大於或等於 10m 的高頻。然後向第一高頻電力施加波長比其短的第二高頻電力。較佳的是，使用的兩個電源的頻率的差較大，以便降低表面駐波的影響。

在此，表面駐波作用是指如下現象：由於與用於產生輝光放電電漿的電極連接的電源的頻率增加及用於產生輝光放電電漿的電極的表面的最大尺寸的增加，所以，電場強度具有寬的分佈。當母玻璃，亦即玻璃基板，變得更大時，則用於在大玻璃基底上形成膜的電漿處理裝置也變成具有更大的電極面積。在此情況下，大約從使用第六代尺寸的玻璃基板開始，電漿處理裝置的電極的尺寸接近高頻率電源的頻率的波長。舉例而言，當採用 27MHz 的電源頻率時波長為 1100mm，當採用 60MHz 的電源頻率時波長為 500mm，當採用 120MHz 的電源頻率時波長為 250mm。在此情況下，表面駐波的影響變得明顯，因此電漿處理裝置的反應室內的電漿密度分佈變得不均勻。結果，造成形

成在玻璃基板上的薄膜的品質以及厚度之均勻性變差的問題。

藉由對電漿處理裝置的電極重疊施加頻率不同的（波長不同的）高頻電力，可以實現電漿的高密度化，並減少表面駐波的影響，以致於可以在其長邊超過 2000mm 的大面積基板上形成均勻且具有良好膜品質的薄膜。

由於在生成輝光放電電漿的電極上連接有頻率不同的兩種以上的高頻電源，所以為防止各個電源的互相干擾而分別對其設置高頻濾波器。高頻濾波器是至少具有可變電容器的電路，並被設置在匹配器與電極之間。舉例而言，當使用兩種高頻電源時，第一高頻電源與第一匹配器連接，第一匹配器與第一高頻濾波器連接，且第一高頻濾波器與電極連接。並且，第二高頻電源與第二匹配器連接，第二匹配器與第二高頻濾波器連接，且第二高頻濾波器與電極連接。第一高頻濾波器使第一高頻電源的頻率的信號通過而對第二高頻電源的頻率的信號進行阻擋。另外，第二高頻濾波器使第二高頻電源的頻率的信號通過而對第一高頻電源的頻率的信號進行阻擋。注意，還可以將使用可變電容器和線圈構成的並聯諧振電路作為高頻濾波器。

當使用大於或等於 60MHz 的高頻電源時，用於產生輝光放電電漿的電極的導電率是重要的。舉例而言，當高頻電源的頻率為 60MHz 時，作為上部電極的材料採用鋁，作為下部電極的材料採用不銹鋼，也可以產生電漿放電。另一方面，當使用頻率為 100MHz 時，較佳地作為上部

電極以及下部電極的材料都採用鋁。另外，較佳地在頻率大於或等於 60MHz 的情形中，在連接至高頻電源連接的上部電極和加熱器之間較佳地插入銅板，以使電漿的分佈得到改善。還可以進一步在下部電極和加熱器之間夾入銅板或者，可以在上部電極側上設置加熱器。

在本說明書中所公開的發明的實施例是電漿處理裝置，其中，在反應室內產生輝光放電電漿並在配置在該反應室內的基板上沉積反應生成物，電漿處理裝置包括：在所述反應室內產生所述輝光放電電漿的電極；與電極電連接的第一高頻濾波器以及第二高頻濾波器；與第一高頻濾波器電連接的第一匹配器；與第一匹配器電連接的第一高頻電源；與第二高頻濾波器電連接的第二匹配器；以及與第二匹配器電連接的第二高頻電源，並且從第一高頻電源輸出的高頻的電波具有大於或等於 10m 的波長，並且從第二高頻電源輸出的高頻的電波具有低於 10m 的波長，並且第一高頻濾波器遮斷來自第二高頻電源的高頻電力，第二高頻濾波器遮斷來自第一高頻電源的高頻電力。

另外，上述電漿處理裝置具有對反應室內進行抽真空的排氣單元，所述單元是將第一渦輪分子泵與第二渦輪分子泵串聯連接的排氣單元。藉由排氣單元將反應室內的可以到達的最低壓力降低到超高真空區域。另外，作為反應室的氣密密封單元使用刀口型金屬密封法蘭。可以藉由刀口型金屬密封法蘭以降低反應室的洩漏量。

本發明解決上述問題中的至少之一。

另外，尚有所形成的微晶半導體膜的晶粒表面易被氧化的問題。為解決此問題，在相同反應室內層疊微晶半導體膜和非晶半導體膜。覆蓋微晶半導體膜表面的非晶半導體膜可以防止微晶半導體膜的氧化。

本發明的另一實施例是半導體裝置之製造方法。所述方法包括如下步驟：將第一反應氣體引入反應室內；對反應室內的上部電極施加具有大於或等於 30MHz 且小於或等於 300MHz 的範圍內的頻率的高頻電力以產生輝光放電電漿；在配置在反應室內的下部電極上的基板上沉積微晶半導體膜；將第二反應氣體引入反應室內；對上部電極施加具有大於或等於 30MHz 且小於或等於 300MHz 的範圍內的頻率的高頻電力以產生輝光放電電漿；以及，在微晶半導體膜上層疊非晶半導體膜。

舉例而言，第一反應氣體為含有磷化氫、矽烷氣體和氫的混合氣體，藉由將矽烷氣體和氫的混合氣體作為第二反應氣體，可以層疊 n⁻型的微晶半導體膜和 i 型非晶半導體膜。另外，作為第一反應氣體和第二反應氣體可以使用相同的氣體，並可以藉由改變如流量、施加的電力等成膜條件，以層疊 i 型微晶半導體膜以及 i 型非晶半導體膜。

當兩種或更多的高頻電源連接至用於產生輝光放電電漿的電極的電漿處理裝置被使用時，藉由在具有不同頻率的高頻電源之間切換，可以在相同反應室內層疊微晶半導體膜和非晶半導體膜。

另外，在對電漿處理裝置的電極重疊施加頻率不同（

波長不同)的高頻電力而形成微晶半導體膜之後，可以藉由在相同反應室內僅施加來自具有 VHF 頻帶的頻率的高頻電源的電壓來進行氫電漿處理從而提高微晶半導體膜的膜品質。在微晶半導體膜中，會有化學上尚未與其他鍵鍵合的懸空鍵存在且該懸空鍵將成為復合中心，所以可以藉由進行氫電漿處理來降低復合中心的密度。

本發明的另一實施例是半導體裝置之製造方法。所述方法包括如下步驟：將反應氣體引入反應室內；對反應室內的上部電極重疊施加具有大於或等於 3MHz 且低於或等於 30MHz 的範圍內的第一頻率的第一高頻電力以及具有大於或等於 30MHz 且小於或等於 300MHz 的範圍內的第二頻率的第二高頻電力以生成輝光放電電漿；在配置在反應室內的下部電極上的基板上沉積微晶半導體膜；在沉積微晶半導體膜之後將氫引入反應室內；對上部電極施加大於或等於 30MHz 且小於或等於 300MHz 的範圍內的第三頻率的第三高頻電力來對微晶半導體膜進行電漿處理。

在本說明書中，如“上”、“下”、“側”、“水準”、“垂直”等表示方向的詞是指裝置配置在基板表面上的情況中根據基板表面的方向。

能夠提供電漿處理裝置，藉由電漿處理裝置，即使在成膜步驟中，仍可形成以微晶半導體膜為代表的具有結晶性的半導體膜，以及實現具有良好膜品質。另外，可以高量產性地製造包含薄膜電晶體的半導體裝置，所述薄膜電晶體與使用非晶半導體膜的薄膜電晶體相比，其電特性的

可靠性高。

【實施方式】

以下對本發明的實施方式進行說明。

實施方式 1

圖 1 表示被施加多個高頻電力的電漿處理裝置的結構實施例。反應室 100b 由鋁或不銹鋼等具有剛性的材料形成，且可被抽成真空。在本實施方式中，使用不銹鋼形成反應室以增加其強度，且對其內面進行鋁熱噴塗。另外，反應室可以分解以便維修，以及，其內部規律地進行再次鋁熱噴塗。在反應室 100b 中具備有第一電極 101（也稱為上部電極）和第二電極 102（也稱為下部電極）。

第一電極 101 聯結有高頻電力供給單元 103，接地電位施加至第二電極 102，以及，基板可以設置於第二電極 102 上。第一電極 101 與反應室 100b 藉由絕緣材料 116 絕緣分離，並構成爲不漏失高頻電力。當使用陶瓷材料作為絕緣材料 116 時，由於很難使用刀口型金屬密封法蘭，所以使用 O 型密封圈密封上部電極。

注意，雖然在圖 1 中表示採用電容耦合型（平行平板型）結構的第一電極 101 和第二電極 102，但是只要是可藉由施加兩種以上的不同高頻電力在反應室 100b 內部生成輝光放電電漿的結構，就可以採用例如感應耦合型等其他結構。

高頻電力供給單元 103 包括第一高頻電源 104 和第二高頻電源 105、第一匹配器 106 和第二匹配器 107、第一高頻濾波器 130 和第二高頻濾波器 131。從第一高頻電源 104 和第二高頻電源 105 輸出的高頻電力一起供給給第一電極 101。在第一匹配器 106 的輸出側設置有阻擋從第二高頻電源 105 輸出的高頻電力的第一高頻濾波器 130。另外，在第二匹配器 107 的輸出側設置有阻擋從第一高頻電源 104 輸出的高頻電力的第二高頻濾波器 131。藉由設置第一高頻濾波器 130 和第二高頻濾波器 131，可以使電漿穩定，或防止各高頻電源的損壞。例如，13.56MHz 的行波在沒有設置濾波器的情況下有可能作為反射波流向 60MHz 的高頻電源而使 60MHz 的高頻電源損壞，或振盪不穩定。同樣地，60MHz 的行波在沒有設置濾波器的情況下有可能作為反射波流向 13.56MHz 的高頻電源而使 13.56MHz 的高頻電源損壞，或振盪不穩定。

作為第一高頻電源 104 所供給的高頻電力，使波長約大於或等於 10m 的高頻電力，並且使用頻率在 HF 帶的 3MHz 至 30MHz，典型地為 13.56MHz 之高頻電力。作為第二高頻電源 105 所供給的高頻電力，使用具有 VHF 頻帶的頻率且波長大約小於 10m，即 30MHz 至 300MHz 的高頻電力。

第一高頻電源 104 所供給的高頻電力的波長為第一電極 101 的一邊的長度的 3 倍或更長，第二高頻電源 105 所供給的高頻電力的波長短於第一高頻電源 104 所供給的高

頻電力的波長。藉由將不引起表面駐波的高頻電力供給到第一電極 101 而生成輝光放電電漿，以及，供給屬於 VHF 頻帶的高頻電力來取得高密度的輝光放電電漿，因而可以在長邊超過 2000mm 的大面積基板上形成均勻且膜品質優良的薄膜。

例如，在使用具有 13.56MHz 頻率的電源作為第一高頻電源 104，使用具有 60MHz 頻率的電源作為第二高頻電源 105 的情況下，使用 10pF 至 100pF 的可變電容器（使用大約 14.5pF）作為第一高頻濾波器 130，並使用 25pF 至 250pF（使用大約 63.8pF）的可變電容器作為第二高頻濾波器 131。

另外，藉由進一步以線圈用於第一高頻濾波器 130 和第二高頻濾波器 131，可以形成使用線圈和可變電容器的並聯諧振電路。在此情況下，第一高頻濾波器 130 採用 $0.3\ \mu\text{H}$ 或 $0.6\ \mu\text{H}$ 的線圈。此外，第二高頻濾波器 131 採用 $1.1\ \mu\text{H}$ 、 $1.6\ \mu\text{H}$ 或 $2.1\ \mu\text{H}$ 的線圈。圖 19 示出構成使用線圈和可變電容器的並聯諧振電路的實施例。在圖 19 中，舉例說明第一高頻濾波器 130 的等效電路、第二高頻濾波器 131 的等效電路、第一匹配器 106 的等效電路以及第二匹配器 107 的等效電路。注意，當採用圖 19 的結構時，可以根據使用的高頻電源等適當地選擇使用的線圈。

第一電極 101 也聯結到氣體供給單元 108。氣體供給單元 108 包含填充反應氣體的汽缸 110、壓力調節閥 111、停止閥 112、質量流量控制器 113 等。在反應室 100b 內

，第一電極 101 與基板相對的面被加工為蓮蓬頭板，並設有多個細孔。供應給第一電極 101 的反應氣體從內部的空心結構經過該細孔而供給到反應室 100b 內。

連接到反應室 100b 的排氣單元 109 具備進行抽真空和在導入反應氣體的情況下控制反應室 100b 內保持預定的壓力的功能。作為排氣單元 109 的結構包括蝶閥 117、閥門 118、渦輪分子泵 119、127、乾燥泵 120 等。另外，渦輪分子泵 127 藉由閥門與乾燥泵 120 聯結。

在對反應室 100b 內進行抽真空的情況下，首先打開用於粗略排氣的閥門 118，在使用乾燥泵對反應室 100b 內進行排氣之後關閉閥門 118 而打開比閥門 118 口徑小的蝶閥 117 進行抽真空。再者，當對反應室 100b 內以低於 10^{-5} Pa 的壓力進行超高真空排氣時，在使用乾燥泵對反應室 100b 內進行排氣後關閉蝶閥 117，藉由使用串聯連接的渦輪分子泵 119、127 進行排氣來進行抽真空。注意，雖然在圖 1 中示出將用於檢查洩漏的維修用閥門設置在渦輪分子泵 119 和渦輪分子泵 127 之間的一實施例但本發明並不侷限於此，也可以不設置維修用閥門。如此，圖 1 中所示的排氣系統只要是在排氣方向上串聯地設置多個渦輪分子泵的結構就沒有特別的限制。此外，較佳地對反應室進行熱處理以進行從內壁的脫氣處理。

由加熱控制器 115 控制溫度的基板加熱器 114 設置在第二電極 102 中。在基板加熱器 114 設置在第二電極 102 內的情況下，採用熱傳導加熱方式。例如，基板加熱器

114 由套管加熱器構成。可以適當地設定第一電極 101 和第二電極 102 之間的間隔（也稱為間隙間隔）。使用波紋管改變反應室 100b 內的第二電極 102 的高度來調節該間隔。

例如，當使用圖 1 所示的電漿處理裝置形成 i 型微晶矽膜時，作為其成膜條件的一實施例如下：使用 60MHz 的高頻電源、電功率為 30W、間隙間隔為 20mm、矽烷氣體流量為 2sccm、氫氣體流量為 400sccm、壓力為 100Pa、基板溫度為 200℃。

此外，當形成 n⁻型的微晶矽膜時，作為其成膜條件的一實施例如下：使用 60MHz 的高頻電源、電功率為 15W、間隙間隔為 20mm、含有 100ppm 的磷化氫的矽烷氣體流量為 2sccm、氫氣體流量為 400sccm、壓力為 100Pa、基板溫度為 200℃。

此外，在形成上述微晶半導體膜之後，較佳地在同一反應室內層疊非晶半導體膜以防止氧化。作為其成膜條件的一實施例如下：使用 60MHz 的高頻電源、電功率為 30W、間隙間隔為 25mm、僅採用矽烷氣體且其流量為 60sccm、壓力為 28Pa、基板溫度為 200℃。

此外，也可以在形成這些微晶半導體膜之前或在其後提供屬於 VHF 頻帶的高頻電力以進行氫電漿處理。

利用如圖 1 所示的電漿處理裝置，即至少使用一個具有 VHF 頻帶的頻率的高頻電源的電漿處理裝置而獲得的膜的膜厚度均勻性可以實現製造半導體裝置時至少需要的

膜厚度均勻性，即 $\pm 10\%$ 。

另外，圖 2 表示將圖 1 所示的電漿處理裝置作為其一室的具備多個反應室的多室電漿處理裝置的一實施例。該裝置具備公共腔 123、裝載/卸載室 122、第一反應室 100a、相當於圖 1 的反應室的第二反應室 100b、第三反應室 100c。嵌裝於裝載/卸載室 122 的盒子 (cassette) 124 的基板由公共腔 123 的搬送機構 126 搬送/搬入到各反應室，即採用板料送進方式。在公共腔 123 和各室之間設置有閘門閥 125，以便各反應室內進行的處理互不干涉。

各反應室根據所形成的薄膜的種類區分。例如，第一反應室 100a 是用作形成閘極絕緣膜等絕緣膜的反應室，反應室 100b 是用作形成微晶半導體層、非晶半導體層的反應室，第三反應室 100c 是用作形成構成源極電極及汲極電極的一導電率型的雜質半導體層（典型的有 n^+ 型半導體層）的反應室。當然，反應室的個數不侷限於此，根據需要可以任意增減。既可以在一個反應室內形成一膜，又可以在一個反應室內形成眾多膜。

各反應室連接有渦輪分子泵 119 和乾燥泵 120 作為排氣單元。排氣單元不侷限於這些真空泵的組合，只要能夠排氣到大約 10^{-1}Pa 至 10^{-5}Pa 的真空度，就可以應用其他真空泵。

裝載/卸載室 122 聯結有低溫泵 121，可以與乾燥泵切換使用。

氣體供給單元 108 包含填充以矽烷為代表的半導體材

料氣體或稀有氣體等的用於製程的氣體的汽缸 110、停止閥 112、質量流量控制器 113 等。氣體供給單元 108g 連接到第一反應室 100a 並供給用來形成閘極絕緣膜的氣體。氣體供給單元 108i 連接到反應室 100b 並供給用來形成微晶半導體膜（或非晶半導體膜）的氣體。氣體供給單元 108n 連接到第三反應室 100c 並供給如用來形成 n^+ 型半導體膜的氣體。氣體供給單元 108a 供給氫，並且氣體供給單元 108f 供給用於反應室內的清洗的蝕刻氣體。如此，氣體供給單元 108a 和 108f 設置為各反應室共用。

各反應室聯結有用來形成輝光放電電漿的高頻電力供給單元。高頻電力供給單元包括高頻電源、匹配器和高頻濾波器。

如本實施方式所示，藉由利用多個反應室並且在公共腔中彼此聯結，可以在不接觸於大氣的狀態下連續地層疊多個不同的層。

具體而言，將預先形成有閘極電極、電容電極的玻璃基板等具有絕緣表面的平板型的基板安置在裝載/卸載室 122 中，在第一反應室 100a 中進行閘極絕緣膜的成膜。作為閘極絕緣膜的成膜條件的一實施例，使用 60MHz 的高頻電源、電功率為 160W、間隙間隔為 25mm、矽烷氣體流量為 5sccm、 NH_3 氣體為 400sccm、氫氣體為 50sccm、壓力為 80Pa、基板溫度為 250℃。接下來，將基板搬至反應室 100b，在反應室 100b 進行微晶半導體膜和非晶半導體膜的層疊成膜。微晶半導體膜藉由混合矽烷等的氫化矽氣

體和氫及/或稀有氣體並且利用輝光放電電漿形成，該輝光放電電漿藉由重疊施加 HF 頻帶（3MHz 至 30MHz，典型為 13.56MHz）和 VHF 頻帶的高頻電力來生成。作為典型的氫化矽氣體，可以舉出 SiH_4 或 Si_2H_6 。另外，作為鹵化矽氣體或鹵化氫化矽氣體，可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等。矽烷等被氫及/或稀有氣體稀釋到 10 倍至 2000 倍。因此需要大量的氫及/或稀有氣體。基板的加熱溫度為 100°C 至 300°C ，較佳的為 120°C 至 220°C 。為了以氫使微晶矽膜的成長表面惰性化並促進微晶矽的成長，較佳地在基板的加熱溫度為 120°C 至 220°C 以下的範圍進行成膜。此外，層疊在微晶半導體膜上的非晶半導體膜用作緩衝層保護微晶半導體膜。可以在上述成膜條件下進行微晶半導體膜和非晶半導體膜的成膜。接下來，將基板搬運到第三反應室 100c，在第三反應室 100c 進行 n^+ 型半導體膜的成膜。作為 n^+ 型半導體膜的成膜條件的一實施例，可以使用 27.12MHz 的高頻電源、電功率為 30W、間隙間隔為 25mm、矽烷氣體流量為 60sccm、使用氫稀釋為 0.5% 的磷化氫氣體 110sccm、壓力為 30Pa、基板溫度為 200°C 。在形成 n^+ 型半導體膜之後，可以將基板搬入裝載/卸載室 122，再從裝載/卸載室 122 搬出裝置外，並藉由連續地進行之後的步驟來製造薄膜電晶體。

實施方式 2

在本實施方式中，參照圖 3A 至圖 6 說明用於液晶顯

示裝置的薄膜電晶體的製造步驟。圖 3A 至圖 5C 是示出薄膜電晶體的製造步驟的截面圖，而圖 6 是一個像素中的薄膜電晶體及像素電極的連接區域的俯視圖。

如圖 3A 所示在基板 50 上形成由金屬層的疊層而形成的閘極電極。

基板 50 除了可以使用如鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋁矽酸鹽玻璃等藉由利用熔融法或浮法而製造的非鹼性玻璃基板和陶瓷基板之外，還可以使用可以承受本製造步驟的處理溫度的耐熱性的塑膠基板等。此外，還可以使用在不銹鋼合金等金屬基板表面上設置絕緣膜的基板。當基板 50 為母玻璃時，基板的尺寸可以採用第一代（ $300\text{mm}\times 400\text{mm}$ ）、第二代（ $400\text{mm}\times 500\text{mm}$ ）、第三代（ $550\text{mm}\times 650\text{mm}$ ）、第四代（ $680\text{mm}\times 880\text{mm}$ 、或 $730\text{mm}\times 920\text{mm}$ ）、第五代（ $1000\text{mm}\times 1200\text{mm}$ 、或 $1100\text{mm}\times 1250\text{mm}$ ）、第六代（ $1500\text{mm}\times 1800\text{mm}$ ）、第七代（ $1900\text{mm}\times 2200\text{mm}$ ）、第八代（ $2160\text{mm}\times 2460\text{mm}$ ）、第九代（ $2400\text{mm}\times 2800\text{mm}$ 、或 $2450\text{mm}\times 3050\text{mm}$ ）、第十代（ $2950\text{mm}\times 3400\text{mm}$ ）等。

閘極電極藉由使用鈦、鉬、鉻、鉭、鎢、鋁等的金屬材料或其合金材料而形成。可以藉由使用濺射法在基板 50 上形成導電膜，在該導電膜上藉由使用光微影技術或噴墨法形成掩罩，並使用該掩罩蝕刻導電膜，以形成閘極電極。閘極電極還可以藉由使用噴墨法將銀、金、銅等的導電奈米膏噴射並焙燒而形成。另外，作為提高閘極電極的貼

緊性並防止向基底擴散的阻擋金屬，也可以在基板 50 和閘極電極之間設置上述金屬材料的氮化物膜。這裏，使用藉由第一光罩而形成的抗蝕劑掩罩蝕刻形成在基板 50 上的疊層膜，以形成閘極電極。

作為閘極電極結構的具體實施例，可以在成為第一導電層 51a 的鋁膜上層疊成為第二導電層 51b 的鉬膜，以防止鋁特有的小丘或電遷移。由於在本實施方式中示出使用大面積基板來製造大顯示畫面的顯示裝置的實施例，所以將由電阻低的鋁形成的第一導電層 51a 和比第一導電層 51a 耐熱性高的第二導電層 51b 層疊作為閘極電極。此外，還可以採用鋁膜被夾在鉬膜之間的三層結構。另外，作為閘極電極結構的其他實施例，可以舉出在銅膜上層疊鉬膜的結構、在銅膜上層疊氮化鈦膜的結構以及在銅膜上層疊氮化鉬膜的結構。

另外，由於在閘極電極上形成半導體膜或佈線，所以較佳地將其端部加工為錐形以防止斷裂。雖然未圖示，但是在上述步驟中還可以同時形成與閘極電極連接的佈線。

然後，在為閘極電極的上層的第二導電層 51b 上形成閘極絕緣膜 52a、52b。

在實施方式 1 中所示的第一反應室 100a 中形成氮化矽膜、氧氮化矽膜、或氮氧化矽膜以作為各閘極絕緣膜。這裏，作為第一層的閘極絕緣膜 52a，形成氮化矽膜，並以不接觸於大氣的方式層疊氧氮化矽膜作為第二層的閘極絕緣膜 52b。至此為止的步驟的截面圖相當於圖 3A。

這裏，氧氮化矽膜指的是在其組成上氧含量多於氮含量的物質，並且在藉由盧瑟福背散射光譜學法（RBS,即 Rutherford Backscattering Spectrometry）及氫前向散射分析（HFS,即 Hydrogen Forward Scattering）進行測量的情況下，其包含氧、氮、Si 及氫，其濃度如下：50 原子%至 70 原子%的氧；0.5 原子%至 15 原子%的氮；25 原子%至 35 原子%的 Si；以及 0.1 原子%至 10 原子%的氫。另一方面，氮氧化矽膜指的是在其組成上氮含量多於氧含量的物質，在藉由 RBS 及 HFS 進行測量的情況下，其包含氧、氮、Si 及氫，其濃度如下：5 原子%至 30 原子%的氧；20 原子%至 55 原子%的氮；25 原子%至 35 原子%的 Si；以及 10 原子%至 30 原子%的氫。注意，假設在將構成氧氮化矽膜或氮氧化矽膜的原子總數設為 100 原子%的情況下，氮、氧、Si 及氫的含有比率包含在上述範圍內。

接著，在形成閘極絕緣膜之後，不接觸於大氣地搬運基板，以在與形成閘極絕緣膜的真空室不相同的真空室中形成微晶半導體膜。在本實施方式中，在實施方式 1 所示的反應室 100b 中形成微晶半導體膜。

在將基板搬入反應室 100b 之前，較佳地引入氫或稀有氣體產生電漿以去除附著在反應室 100b 內壁上的氣體（氧以及氮等大氣成分、反應室的清洗時使用的蝕刻氣體）。

然後，將基板搬入反應室 100b 中在閘極絕緣膜上形成微晶矽膜 53。典型地說，微晶矽膜 53 可以藉由使用氫

稀釋氫化矽如 SiH_4 或 Si_2H_6 等生成電漿來形成。作為微晶矽膜 53，還可以使用流量為氫化矽的流量的 12 倍以上 1000 倍以下，較佳地為 50 倍以上 200 倍以下，更佳地為 100 倍的氫來形成微晶矽膜。另外，可以使用 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等代替氫化矽。

接下來，使用相同反應室，在不暴露在大氣中的情況下形成 i 型非晶矽膜 54。i 型非晶矽膜 54 可以僅使用氫化矽或者使用流量為氫化矽的流量的 1 倍以上 10 倍以下，較佳地為 1 倍以上 5 倍以下的氫來形成含有氫的 i 型非晶矽膜。

由此，如圖 3B 所示那樣形成微晶矽膜 53 和 i 型非晶矽膜 54 的疊層。

此外，藉由採用上述步驟以及反應室 100b 可以降低氧、氮以及碳在上述疊層與閘極絕緣膜之間的介面附近混入的濃度。

接著，較佳地在形成 i 型非晶矽膜 54 之後，不接觸於大氣地搬運基板，以在與形成 i 型非晶矽膜的真空室不相同的真空室中形成添加有賦予一導電率型的雜質的半導體膜 55。

關於添加有賦予一導電率型的雜質的半導體膜 55，作為典型的雜質元素可以添加磷，還對氫化矽添加如磷化氫氣體等的含有賦予一導電率型的雜質的氣體，即可。添加有賦予一導電率型的雜質的半導體膜 55 的厚度為 2nm 以上 50nm 以下。藉由減少添加有賦予一導電率型的雜質的

半導體膜（也稱為 n^+ 型半導體膜）的厚度，可以提高生產率。

接著，如圖 4A 所示，在添加有賦予一導電率型的雜質的半導體膜 55 上形成抗蝕劑掩罩 56。抗蝕劑掩罩 56 藉由使用光微影技術或噴墨法而形成。這裏，藉由使用第二光罩，對塗敷在添加有賦予一導電率型的雜質的半導體膜 55 上的抗蝕劑進行曝光及顯影，以形成抗蝕劑掩罩 56。

接著，藉由使用抗蝕劑掩罩 56 對微晶矽膜 53、i 型非晶矽膜 54、以及添加有賦予一導電率型的雜質的半導體膜 55 進行蝕刻並使其分離，如圖 4B 所示那樣形成微晶矽膜 61、i 型非晶矽膜 62、及添加有賦予一導電率型的雜質的半導體膜 63。然後，去除抗蝕劑掩罩 56。

由於微晶矽膜 61 和 i 型非晶矽膜 62 的端部側面傾斜，從而可以防止在形成在 i 型非晶矽膜 62 上的源區及汲區和微晶矽膜 61 之間產生洩漏電流。還可以防止在源極電極及汲極電極和微晶矽膜 61 之間產生洩漏電流。微晶矽膜 61 和 i 型非晶矽膜 62 的端部側面的傾斜角度為 30° 至 90° ，較佳地為 45° 至 80° 。藉由採用上述角度，可以防止由臺階形狀導致的源極電極或汲極電極的斷開。

接著，如圖 4C 所示，形成導電膜 65a 至 65c 以覆蓋添加有賦予一導電率型的雜質的半導體膜 63 及閘極絕緣膜 52b。導電膜 65a 至 65c 較佳地由鋁、銅、或添加有矽、鈦、釷、鈳、鉬等的耐熱性提高元素或小丘防止元素的鋁合金的單層或疊層構成。還可以採用如下疊層結構：藉

由使用鈦、鉭、鉬、鎢或這些元素的氮化物形成與添加有賦予一導電率型的雜質的半導體膜接觸一側的膜，並在其上形成鋁或鋁合金。再者，可以採用如下疊層結構：鋁或鋁合金的上表面及下表面由鈦、鉭、鉬、鎢或這些元素的氮化物夾住。這裏，作為導電膜，示出如下疊層導電膜：導電膜 65a 及 65c 由鉬膜構成，且導電膜 65b 由鋁膜構成。導電膜 65a 至 65c 藉由濺射法或真空蒸鍍法而形成。

接著，如圖 4D 所示，在導電膜 65a 至 65c 上藉由使用第三光罩形成抗蝕劑掩罩 66，並蝕刻導電膜 65a 至 65c 的一部分，以形成一對源極電極及汲極電極 71a 至 71c。藉由對導電膜 65a 至 65c 進行濕蝕刻，導電膜 65a 至 65c 被選擇性地蝕刻。其結果，由於以各向同性的方式對導電膜 65a 至 65c 進行蝕刻，所以可以形成其面積比抗蝕劑掩罩 66 小的源極電極及汲極電極 71a 至 71c。

然後，如圖 5A 所示，藉由使用抗蝕劑掩罩 66 蝕刻添加有賦予一導電率型的雜質的半導體膜 63，形成一對源區及汲區 72。再者，在該蝕刻步驟中，i 型非晶矽膜 62 的一部分也被蝕刻。由於其一部分被蝕刻而形成有凹部（槽）的 i 型非晶矽膜被稱為 i 型非晶矽膜 73。可以以同一步驟形成源區及汲區、以及 i 型非晶矽膜的凹部（槽）。藉由將 i 型非晶矽膜的凹部（槽）的深度設定為 i 型非晶矽膜的最厚區域的 $1/2$ 至 $1/3$ ，可以增加源區及汲區的距離，因此可以降低源區及汲區之間的洩漏電流。之後，去除抗蝕劑掩罩 66。

由於抗蝕劑掩罩在暴露於用於乾蝕刻等的電漿時變質，所以，不能在抗蝕劑去除步驟中完全去除光阻掩罩，因此殘留其餘留物。為了防止此情形，將 i 型非晶矽膜蝕刻 50nm 左右。在導電膜 65a 至 65c 的一部分的蝕刻處理及在形成源區及汲區 72 時的蝕刻處理這兩次蝕刻處理中使用抗蝕劑掩罩 66，在採用乾蝕刻作為該兩次蝕刻處理的情況下容易殘留殘渣，因此將在完全去除殘渣時可以被蝕刻的 i 型非晶矽膜形成得厚是有效的。

接著，如圖 5B 所示，形成絕緣膜 76，該絕緣膜 76 覆蓋源極電極及汲極電極 71a 至 71c、源區及汲區 72、i 型非晶矽膜 73、微晶矽膜 61 以及閘極絕緣膜 52a 及 52b。絕緣膜 76 可以以與閘極絕緣膜 52a、52b 相同的成膜方法形成。注意，絕緣膜 76 是為防止浮游在大氣中的有機物、金屬物、水蒸氣等的污染雜質的侵入而提供的，因此，較佳地採用緻密的膜。另外，藉由將氮化矽膜用作絕緣膜 76，可以將 i 型非晶矽膜 73 中的氧濃度設定為 $5 \times 10^{19} \text{atoms/cm}^3$ 以下，較佳地設定為 $1 \times 10^{19} \text{atoms/cm}^3$ 以下。

如圖 5B 所示，源極電極及汲極電極 71a 至 71c 的端部與源區及汲區 72 的端部不一致且彼此錯開，源極電極及汲極電極 71a 至 71c 的端部的距離拉開，從而可以防止源極電極及汲極電極之間的洩漏電流或短路。另外，由於源極電極及汲極電極 71a 至 71c 的端部與源區及汲區 72 的端部不一致且偏離，所以在源極電極及汲極電極 71a 至

71c 和源區及汲區 72 的端部中不發生電場集中，從而可以防止閘極電極和源極電極及汲極電極 71a 至 71c 之間的洩漏電流。由此，可以製造高可靠性及高耐壓的薄膜電晶體。

藉由上述步驟，可以形成薄膜電晶體 74。

在本實施方式所示的薄膜電晶體中，在閘極電極上層疊了閘極絕緣膜、微晶矽膜、i 型非晶矽膜、源區及汲區、源極電極及汲極電極。另外，在 i 型非晶矽膜的一部分中形成有凹部（槽），而且該凹部以外的區域被源區及汲區覆蓋。就是說，由於形成在 i 型非晶矽膜中的凹部而在源區及汲區之間有一定的距離，因此可以降低源區及汲區之間的洩漏電流。另外，因為藉由蝕刻 i 型非晶矽膜的一部分形成凹部，所以可以去除在形成源區及汲區的步驟中產生的蝕刻殘渣，從而可以避免由殘渣導致的源區及汲區的洩漏電流（寄生通道）。

然後，在絕緣膜 76 上形成平坦化膜 82。平坦化膜 82 由有機樹脂膜形成。藉由使用利用第四光罩而形成的抗蝕劑掩罩對絕緣膜 76 以及平坦膜 82 的一部分進行蝕刻來形成接觸孔，並形成在該接觸孔中與源極電極或汲極電極 71c 接觸的像素電極 77。圖 5C 相當於沿圖 6 的虛線 A-B 的截面圖。

如圖 6 所示，源區及汲區 72 的端部位於源極電極及汲極電極 71c 的端部的側外。另外，i 型非晶矽膜 73 的端部位於源極電極及汲極電極 71c、源區及汲區 72 的端部的

外側。源極電極及汲極電極中的一方具有包圍源極電極及汲極電極中的另一方的形狀（具體地說，U 字形狀、C 字形狀）。因此，可以增加載子移動的區域的面積，從而可以增大電流量，並可以縮小薄膜電晶體的面積。注意，源極電極及汲極電極中的一方還用作源極佈線或汲極佈線。

此外，像素電極 77 可以使用包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物、銦鋅氧化物、添加有氧化矽的銦錫氧化物等的具有透光性的導電材料。

另外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物形成像素電極 77。較佳的是，藉由使用導電組成物而形成的像素電極的薄片電阻（sheet resistance）為 $10000\Omega/\square$ 以下，波長 550nm 中的透光率為 70% 以上。另外，包含在導電組成物中的導電高分子的電阻率為 $0.1\Omega \cdot \text{cm}$ 以下。

作為導電高分子，可以使用所謂的 π 電子共軛系統導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、或這些兩種以上的共聚物等。

這裏，作為像素電極 77，在藉由濺射法形成銦錫氧化物膜之後將抗蝕劑塗敷在銦錫氧化物膜上。接著，藉由利用第五光罩對抗蝕劑進行曝光及顯影，以形成抗蝕劑掩罩。然後，使用抗蝕劑掩罩蝕刻銦錫氧化物膜，以形成像素電極 77。

藉由上述步驟，可以形成應用於顯示裝置的元件基板。

實施方式 3

在本實施方式中，示出與實施方式 2 不同結構的可以進行高速工作，導通電流高且截止電流低的薄膜電晶體的製造步驟。

關於具有非晶半導體層或微晶半導體層的薄膜電晶體，n 型薄膜電晶體具有比 p 型薄膜電晶體高的場效應遷移率，因此更適合用於驅動電路。較佳地是，在同一基板上形成同一極性的薄膜電晶體，以減少製造步驟。這裏，使用 n 通道型薄膜電晶體進行說明。

使用圖 7A 至圖 10 示出薄膜電晶體的製造步驟。另外，在圖 7A 至 7E 和圖 8A 至 8C 中左側為沿圖 10 的 A-B 的截面圖，示出形成薄膜電晶體的區域的截面，右側為沿圖 10 的 C-D 的截面圖，示出在像素中閘極佈線以及源極佈線交叉區域的截面。

如圖 7A 所示，在基板 201 上形成導電層 203。作為導電層 203，可以使用實施方式 1 所示的作為閘極電極舉出的導電材料而形成。導電層 203 藉由濺射法、CVD 法、鍍敷法、印刷法、液滴噴射法等形成。

接下來，如圖 7B 所示那樣，在將抗蝕劑塗敷在導電層 203 上之後，藉由利用使用第一光罩的微影製程形成的抗蝕劑掩罩將導電層 203 蝕刻為所希望的形狀，形成閘極

佈線 205。之後去除抗蝕劑掩罩。

接下來，在閘極佈線 205 及基板 201 上形成閘極絕緣膜 209。作為閘極絕緣膜 209，可以使用實施方式 1 所示的作為閘極絕緣膜舉出的材料而形成。閘極絕緣膜 209 藉由 CVD 法或濺射法等形成。這裏，使用實施方式 1 所示的第一反應室 100a 形成膜厚度為 240nm 的氮化矽膜。

接下來，在閘極絕緣膜 209 上層疊形成導電層 211 及緩衝層 213。下面示出當導電層 211 為添加有用作施體的雜質元素的半導體層時的形成方法。

在電漿處理裝置的反應室中混合包含矽或鍺的沉積氣體和氫，並且利用輝光放電電漿形成微晶半導體層或非晶半導體層。藉由稀釋將氫的流量設定包含矽或鍺的沉積氣體的流量的 10 倍至 2000 倍，較佳地設定為 50 倍至 200 倍，以形成微晶半導體層。基板的加熱溫度為 100℃ 至 300℃、較佳地為 120℃ 至 220℃ 的條件下進行。另外，藉由與上述原料氣體一起混合包含磷、砷以及銻等的氣體，可以形成添加有用作施體的雜質元素的半導體層。在此，藉由與矽烷、氫及 / 或稀有氣體一起混合磷化氫，並且利用輝光放電電漿形成包含磷的微晶矽層。另外，作為包含矽或鍺的沉積氣體的代表例子可以舉出 SiH_4 、 Si_2H_6 、 GeH_4 、 Ge_2H_6 等。

在添加有成為施體的雜質元素的半導體層的形成步驟中，藉由施加 3MHz 至 30MHz，典型為 13.56MHz、27.12MHz 的高頻電力，或大於 30MHz 至 300MHz 左右的

高頻電力，典型地為施加 60MHz 的高頻電力來進行。這裏，利用實施方式 1 所示的反應室 100b 以不接觸於大氣的方式層疊導電層 211 以及緩衝層 213。作為導電層 211 形成膜厚度為 20nm 的 n^+ 型微晶矽膜，其條件為使用 60MHz 的高頻電源、電功率為 15W、間隙間隔為 20mm、包含 100ppm 的磷化氫的矽烷氣體流量為 2sccm、氫氣體流量為 400sccm、壓力為 100Pa、基板溫度為 200℃。此外，在該成膜條件下形成的 n^+ 型微晶矽膜的拉曼強度比 (I_c/I_a) 約為 4 至 5。

另外，也可以形成添加有成為施體的雜質元素的絕緣層作為閘極絕緣膜 209，並且在其上形成不包含成為施體的雜質元素的半導體層，而代替形成添加有成為施體的雜質元素的半導體層。例如，可以形成包含成為施體的雜質元素（磷、砷或銻）的氧化矽層、氮化矽層、氧氮化矽層或氮氧化矽層等作為閘極絕緣膜。另外，在閘極絕緣膜 209 具有疊層結構的情況下，也可以對接觸於微晶半導體層的層或接觸於基板 201 的層添加成為施體的雜質元素。

作為被用作閘極絕緣膜 209 的添加有成為施體的雜質元素的絕緣層的形成方法，可以與絕緣層的原料氣體一起使用包含成為施體的雜質元素的氣體形成絕緣層。例如，可以藉由利用矽烷、氫以及磷化氫的電漿 CVD 法形成包含磷的氮化矽層。另外，可以藉由利用矽烷、一氧化二氮、氫以及磷化氫的電漿 CVD 法形成包含磷的氧氮化矽層。

另外，也可以在形成閘極絕緣膜 209 之前，將包含成為施體的雜質元素的氣體流入成膜裝置的反應室中，以使成為施體的雜質元素吸附到基板 201 表面及反應室內壁。之後，藉由形成閘極絕緣膜 209，一邊引入成為施體的雜質元素一邊沉積絕緣層，因此可以形成添加有成為施體的雜質元素的絕緣層。

另外，也可以在形成添加有成為施體的雜質元素的半導體層之前，將包含成為施體的雜質元素的氣體流入成膜裝置的反應室中，以使成為施體的雜質元素吸附到閘極絕緣膜 209 及反應室內壁。之後，藉由沉積半導體層，一邊引入成為施體的雜質元素一邊沉積微晶半導體層，因此可以形成添加有成為施體的雜質元素的半導體層。

另外，在導電層 211 為金屬層、金屬氮化物層、金屬碳化物層、金屬硼化物層、金屬矽化物層的情況下，藉由濺射法、蒸鍍法、CVD 法、液滴噴射法、印刷法等形成導電層。

在閘極絕緣膜 209 為氧化矽層或氮化矽層的情況下，也可以在形成導電層 211 之前對閘極絕緣膜 209 的表面進行電漿處理。典型地說，將閘極絕緣膜 209 的表面暴露於氫電漿、氬電漿、 H_2O 電漿、氮電漿、氫電漿、氖電漿等的電漿。其結果是，可以減少閘極絕緣層表面的缺陷。典型地說，可以終止閘極絕緣膜 209 表面的懸空鍵。之後，藉由形成導電層或非晶半導體層，可以減少導電層或非晶半導體的介面上的缺陷。其結果是，可以減少由缺陷導

致的載子捕捉，而可以提高導通電流。

接下來，形成緩衝層 213。在形成半導體層作為緩衝層 213 的情況下，可以藉由利用包含矽或銻的沉積氣體的電漿 CVD 法形成非晶半導體層。例如，可以只使用矽烷氣體形成非晶半導體層。或者，除了包含矽或銻的沉積氣體以外，還可以使用選自氫、氫、氬、氖中的一種或多種稀有氣體元素稀釋，來形成非晶半導體層。或者，藉由使用其流量為矽烷氣體流量的 1 倍以上 10 倍以下，更佳地為 1 倍以上 5 倍以下的氫，可以形成包含氫的非晶半導體層。另外，也可以對上述氫化半導體層添加氟、氯等鹵素。

這裏，作為緩衝層 213，使用實施方式 1 所示的反應室 100b 形成膜厚度為 50nm 的 i 型非晶矽膜，其條件為使用 60MHz 的高頻電源、電功率為 30W、間隙間隔為 25mm、矽烷氣體流量為 60sccm、壓力為 28Pa、基板溫度為 200℃。

另外，在導電層 211 為添加有成為施體的雜質元素的半導體層的情況下，較佳地藉由電漿 CVD 法以 300℃ 至 400℃ 的溫度形成緩衝層 213。借助於該成膜處理，供給添加有成為施體的雜質元素的半導體層氫，而得到與使添加有成為施體的雜質元素的半導體層氫化相同的效果。換言之，藉由在添加有成為施體的雜質元素的半導體層上沉積緩衝層 213，可以將氫擴散到添加有成為施體的雜質元素的半導體層中，來終止懸空鍵。

在添加有成爲施體的雜質元素的半導體層是由微晶半導體層形成的情況下，藉由在添加有成爲施體的雜質元素的半導體層的表面上形成非晶半導體層，再者還形成包含氫、氮或鹵素的非晶半導體層來作爲緩衝層 213，可以防止添加有成爲施體的雜質元素的半導體層所含有的晶粒表面的自然氧化。尤其是在非晶半導體和微晶粒接觸的區域中容易因局部應力而產生裂縫。當該裂縫與氧接觸時晶粒氧化，而形成氧化矽。但是，藉由在添加有成爲施體的雜質元素的半導體層的表面上形成非晶半導體層，可以防止微晶粒的氧化。另外，對薄膜電晶體施加的電壓較高（例如 15V 左右）的顯示裝置，典型地爲液晶顯示裝置中，藉由將緩衝層的厚度形成得較厚，耐壓性提高，並且即使向薄膜電晶體施加高電壓也可以避免薄膜電晶體的退化。

另外，作爲緩衝層 213，可以藉由使用矽、鍺等半導體作爲靶材並且利用氫或稀有氣體進行濺射形成非晶半導體層。

在形成絕緣層作爲緩衝層 213 的情況下，可以與閘極絕緣膜 209 同樣地形成。或者，可以在塗敷聚醯亞胺、丙烯酸樹脂、環氧樹脂、其他有機絕緣層的原料之後焙燒來形成絕緣層。

接下來，在緩衝層 213 上塗敷抗蝕劑之後，利用由於使用第二光罩的微影製程而形成的抗蝕劑掩罩將緩衝層 213 及導電層 211 蝕刻爲所希望的形狀，以如圖 7C 所示那樣在薄膜電晶體的形成區域中形成相離的導電層 251a

及 251b、相離的緩衝層 219a 及 219b。另外，在閘極佈線及源極佈線的交叉區域中形成導電層 217 及緩衝層 221。之後，去除抗蝕劑掩罩。

接下來，如圖 7D 所示，層疊微晶半導體層 222 和非晶半導體層 223。這裏，作為微晶半導體層 222，使用實施方式 1 所示的反應室 100b 形成膜厚度為 10nm 的 i 型微晶矽膜，其條件為使用 60MHz 的高頻電源、電功率為 30W、間隙間隔為 20mm、矽烷氣體流量為 4sccm、氫氣體流量為 400sccm、壓力為 100Pa、基板溫度為 200℃。

另外，在微晶半導體層 222 上以不接觸大氣的方式形成非晶半導體層 223。作為非晶半導體層 223，可以與作為緩衝層 213 使用半導體層形成的情況同樣地形成。這裏，使用實施方式 1 所示的反應室 100b 形成膜厚度為 60nm 的非晶矽膜，其條件為如下：使用 60MHz 的高頻電源、電功率為 30W、間隙間隔為 25mm、僅使用矽烷氣體且其流量為 60sccm、壓力為 28Pa、基板溫度為 200℃。

另外，i 型微晶矽膜的厚度也可以為 20nm，該情況下將非晶半導體層 223 的厚度設定為 70nm。

接下來，在非晶半導體層 223 上形成添加有賦予一導電率型的雜質元素的雜質半導體層 225。

這裏，為了形成 n 通道型薄膜電晶體，藉由使用包含矽或銻的沉積氣體和磷化氫的電漿 CVD 法形成添加有賦予一導電率型的雜質元素的雜質半導體層 225。另外，在形成 p 通道型薄膜電晶體時藉由使用包含矽或銻的沉積氣

體和乙硼烷的電漿 CVD 法而形成。

添加有賦予一導電率型的雜質元素的雜質半導體層 225 可以使用實施方式 1 所示的第三反應室 100c 形成膜厚度為 50nm 的 n^+ 型非晶矽膜。作為 n^+ 型半導體膜的成膜條件的一實施例，可以使用 27.12MHz 的高頻電源、電功率為 30W、間隙間隔為 25mm、矽烷氣體流量為 60sccm、使用氫稀釋為 0.5% 的磷化氫氣體為 110sccm、壓力為 30Pa、基板溫度為 200℃。

在導電層 211、緩衝層 213、微晶半導體層 222、非晶半導體層 223 以及添加有賦予一導電率型的雜質元素的雜質半導體層 225 的形成步驟中，為了產生輝光放電電漿，施加 3MHz 至 30MHz，典型為 13.56MHz、27.12MHz 的高頻電力或施加大於 30MHz 至 300MHz 左右，典型為 60MHz 的高頻電力。

接下來，在添加有賦予一導電率型的雜質元素的雜質半導體層 225 上形成導電層 227。作為導電層 227，可以使用實施方式 1 所示的作為導電膜 65a 至 65c 所舉出的導電材料而形成。導電層 227 藉由 CVD 法、濺射法、印刷法、液滴噴射法等形成。

接下來，在導電層 227 上塗敷抗蝕劑。作為抗蝕劑可以使用正性抗蝕劑或負性抗蝕劑。這裏，使用正性抗蝕劑。

接下來，使用多級灰度掩罩作為第三光罩，對抗蝕劑照射光，然後進行顯影，以形成抗蝕劑掩罩 229。

這裏，參照圖 9A 至 9D 說明使用多級灰度掩罩 159 的曝光。

多級灰度掩罩是指能夠設定三個曝光水準的掩罩，該三個曝光水準為曝光部分、中間曝光部分以及未曝光部分。藉由進行一次的曝光及顯影步驟，可以形成具有多個（典型為兩種）厚度的區域的抗蝕劑掩罩。由此，藉由使用多級灰度掩罩，可以減少光罩的數量。

作為多級灰度掩罩的代表例子，有如圖 9A 所示那樣的灰色調掩罩 159a、如圖 9C 所示那樣的半色調掩罩 159b。

如圖 9A 所示，灰色調掩罩 159a 由透光基板 163、形成在其上的遮光部 164 及衍射光柵 165 構成。在遮光部 164 中，光的透過率為 0%。另一方面，衍射光柵 165 可以藉由將狹縫、點、網眼等的光的透過部的間隔設定為用於曝光的光的解析度限度以下的間隔來控制光的透過率。另外，週期性狹縫、點、網眼或非週期性狹縫、點、網眼都可以用於衍射光柵 165。

作為具有透光性的基板 163，可以使用石英等的具有透光性的基板。遮光部 164 及衍射光柵 165 可以使用鉻、氧化鉻等的吸收光的遮光材料形成。

在對灰色調掩罩 159a 照射曝光光線的情況下，如圖 9B 所示，在遮光部 164 中，光的透過率 166 為 0%，而在不設置有遮光部 164 及衍射光柵 165 的區域中，光的透過率 166 為 100%。另外，在衍射光柵 165 中，可以將透過

率調整為 10%至 70%。另外，衍射光柵 165 中的光的透過率可以藉由調整衍射光柵的狹縫、點或網眼的間隔及間距而調整。

如圖 9C 所示，半色調掩罩 159b 由具有透光性的基板 163、形成在其上的半透過部 167 及遮光部 168 構成。可以將 MoSiN、MoSi、MoSiO、MoSiON、CrSi 等用於半透過部 167。遮光部 168 可以使用鉻或氧化鉻等的吸收光的遮光材料形成。

在對半色調掩罩 159b 照射曝光光線的情況下，如圖 9D 所示，在遮光部 168 中，光的透過率 169 為 0%，而在不設置有遮光部 168 及半透過部 167 的區域中，光的透過率 169 為 100%。另外，在半透過部 167 中，可以將透過率調整為 10%至 70%。半透過部 167 中的光的透過率可以藉由調整半透過部 167 的材料來調整。

藉由在使用多級灰度掩罩進行曝光之後進行顯影，可以如圖 7D 所示那樣形成具有厚度不同的區域的抗蝕劑掩罩 229。

接下來，使用抗蝕劑掩罩 229 對微晶半導體層 222、非晶半導體層 223、添加有賦予一導電率型的雜質的雜質半導體層 225 以及導電層 227 進行蝕刻而使它們分離。其結果是，可以形成如圖 7E 所示的微晶半導體層 232、234、非晶半導體層 233、235、添加有賦予一導電率型的雜質元素的雜質半導體層 237、239 以及導電層 241、243。

接著，對抗蝕劑掩罩 229 進行灰化處理。其結果是，

抗蝕劑的面積縮小，其厚度變薄。此時，厚度薄的區域的抗蝕劑（與閘極佈線 205 的一部分重疊的區域）被去除，而可以形成如圖 7E 所示的被分離的抗蝕劑掩罩 245。

接下來，使用抗蝕劑掩罩 245 對導電層 241 進行蝕刻而使其分離。其結果是，可以形成如圖 8A 所示的源極佈線 263、汲極電極 265。當使用抗蝕劑掩罩 245 對導電層 241 進行濕蝕刻時，導電層 241 被選擇性地蝕刻。其結果，由於導電層 241 被各向同性地蝕刻，可以形成其面積比抗蝕劑掩罩 245 小的源極佈線 263 及汲極電極 265。

在閘極佈線 205 及添加有賦予一導電率型的雜質元素的雜質半導體層 239 的交叉部中，除了閘極絕緣膜 209 以外還形成有導電層 217、緩衝層 221、微晶半導體層 234 以及非晶半導體層 235，從而閘極佈線 205 及添加有賦予一導電率型的雜質元素的雜質半導體層 239 的間隔增大了。因此，可以減少閘極佈線 205 及添加有賦予一導電率型的雜質元素的雜質半導體層 239 的交叉區域中的寄生電容。

接下來，使用抗蝕劑掩罩 245，對添加有賦予一導電率型的雜質元素的雜質半導體層 237 進行蝕刻，來形成添加有賦予一導電率型的雜質元素的一對雜質半導體層 259 及 261。注意，在該蝕刻步驟中，非晶半導體層 233 的一部分也被蝕刻，而成爲非晶半導體層 255。

這裏，源極佈線 263 及汲極電極 265 的端部和添加有賦予一導電率型的雜質元素的一對雜質半導體層 259 及

261 的端部不一致而偏離，在源極佈線 263、汲極電極 265 的端部的外側形成有添加有賦予一導電率型的雜質元素的一對雜質半導體層 259 及 261 的端部。然後，去除抗蝕劑掩罩 245。

接著，也可以將 H_2O 電漿照射到露出的非晶半導體層 255。典型地說，將由於汽化了的水的電漿放電而產生的自由基照射到非晶半導體層 255、添加有賦予一導電率型的雜質元素的一對雜質半導體層 259 及 261、源極佈線 263 及汲極電極 265 的露出部，來可以實現薄膜電晶體的高速工作，並且進一步提高導通電流。此外，還可以降低截止電流。

藉由上述步驟，可以形成薄膜電晶體。在本實施方式中，由於使用反應室 100b 形成導電層 221、緩衝層 213、微晶半導體層 222、非晶半導體層 223，所以可以分別得到高品質的膜。

如圖 8B 所示，在源極佈線 263、汲極電極 265、閘極絕緣膜 209 上形成保護絕緣層 267。作為保護絕緣層 267，可以使用氮化矽層、氮氧化矽層、氧化矽層或氧氮化矽層形成。另外，保護絕緣層 267 是為防止懸浮在大氣中的有機物、金屬物、水蒸氣等污染雜質的侵入而設置的，從而較佳地為緻密的膜。

接下來，也可以在保護絕緣層 267 上形成平坦化層 269。作為平坦化層 269，可以使用丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽氧烷聚合物等有機絕緣層而形成。在此，

使用光敏性有機樹脂形成平坦化層 269。接著，在使用第四光罩使平坦化層 269 感光之後進行顯影，以如圖 8C 所示那樣使保護絕緣層 267 的一部分露出。接著，使用平坦化層 269 對保護絕緣層 267 進行蝕刻，以形成使汲極電極 265 的一部分露出的接觸孔。

接下來，在接觸孔中形成像素電極 271。在此，在平坦化層 269 上形成導電層之後，在導電層上塗敷抗蝕劑。然後，使用由於使用第五光罩的微影製程而形成的抗蝕劑掩罩對導電層進行蝕刻，以形成像素電極 271。

作為像素電極 271，可以使用包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、ITO、銦鋅氧化物、添加有氧化矽的銦錫氧化物等具有透光性的導電材料。

另外，可以使用包含導電高分子（也稱為導電聚合物）的導電組成物形成像素電極 271。使用導電組成物形成的像素電極的薄片電阻較佳地為 $10000\ \Omega/\square$ 以下，波長為 550 nm 處的透過率較佳地為 70 以上。另外，包含在導電組成物中的導電高分子的電阻率較佳地為小於或等於 $0.1\ \Omega \cdot \text{cm}$ 。

作為導電高分子，可以使用所謂的（電子共軛類導電高分子。例如，可以舉出聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物或這些兩種以上的共聚物等。

在此，像素電極 271 是藉由如下步驟形成的，即在藉由濺射法形成 ITO 膜後在 ITO 膜上塗敷抗蝕劑，然後使用

第五光罩對抗蝕劑進行曝光及顯影以形成抗蝕劑掩罩，接著使用抗蝕劑掩罩對 ITO 膜進行蝕刻。之後，去除抗蝕劑掩罩。注意，圖 8C 相當於沿著圖 10 的 A-B 線及 C-D 線的截面圖。雖然圖 10 所示的薄膜電晶體是源區及汲區相對的通道形成區域的俯視形狀為平行形狀，但是也可以形成通道形成區域的俯視形狀為 C 字（U 字）形的薄膜電晶體而代替俯視形狀為平行形狀的薄膜電晶體。

藉由上述步驟，可以製造截止電流低，導通電流高且能夠進行高速工作的薄膜電晶體。另外，可以製造以該薄膜電晶體作為像素電極的開關元件的元件基板。注意，在本實施方式中，與通常的反交錯型薄膜電晶體的製造步驟相比，增加了一個用來將導電層及緩衝層蝕刻為預定形狀的光罩。但是，因為使用多級灰度掩罩作為用來將一對非晶半導體層、添加有賦予一導電率型的雜質元素的一對雜質半導體層以及佈線蝕刻為預定形狀的光罩，所以，在該製程中可以減少一個光罩。由此，從整體製程來看，沒有增加掩罩數量。

實施方式 4

在本實施方式中，將參考圖 11，說明部分結構與實施方式 3 不同的薄膜電晶體。

在實施方式 3 中，示出層疊微晶半導體層 232 和非晶半導體層 255 的實施例，但是在本實施方式中示出採用非晶半導體層 255 的單層的實施例。由於其他部分與實施方

式 3 相同，所以在圖 11 中與圖 7A 至 7E 及圖 8A 至 8C 相同的部分使用相同的代號來表示。另外，關於製造方法也可以根據實施方式 3 來製造。

另外，作為非晶半導體層 255，形成膜厚度為 80nm 的非晶矽膜，其條件為使用 60MHz 的高頻電源、電功率為 30W、間隙間隔為 25mm、矽烷氣體流量為 60sccm、壓力為 28Pa、基板溫度為 200℃。

現在，對圖 11 的薄膜電晶體的結構進行說明。

在圖 11 所示的薄膜電晶體中，第一薄膜電晶體 Tr01、第二薄膜電晶體 Tr02 以及第三薄膜電晶體 Tr03 連接。第一薄膜電晶體 Tr01 包含閘極電極 205、閘極絕緣膜 209、導電層 251a、緩衝層 219a、非晶半導體層 255、添加有賦予一導電率型的雜質元素的雜質半導體層 259 以及佈線 263。第二薄膜電晶體 Tr02 包含閘極電極 205、閘極絕緣膜 209 以及非晶半導體層 255。第三薄膜電晶體 Tr03 包含閘極電極 205、閘極絕緣膜 209、導電層 251b、緩衝層 219b、非晶半導體層 255、添加有賦予一導電率型的雜質元素的雜質半導體層 261 以及佈線 265 構成。

第二薄膜電晶體 Tr02 為將非晶半導體層 255 作為通道形成區域的薄膜電晶體。另一方面，在第一薄膜電晶體 Tr01 及第三薄膜電晶體 Tr03 中，載子流過的區域為導電層 251a 及 251b。該區域的導電率為 0.9 (S/cm) 至 2 (S/cm)，與非晶半導體層及微晶半導體層相比，其電阻率低。因此，即使在將低於第二薄膜電晶體 Tr02 的臨界值

電壓的正電壓施加到閘極電極 205 的狀態下，也處於導電層 251a 及 251b 中產生多數載子的狀態。當將第二薄膜電晶體 Tr02 的臨界值電壓以上的正電壓施加到閘極電極 205 時，第二薄膜電晶體 Tr02 導通，從而導電層 251a 及 251b 中產生的多數載子流過第一薄膜電晶體 Tr01 的佈線 263 或第三薄膜電晶體 Tr03 的佈線 265。

本實施方式的薄膜電晶體的通道長度 L 為導電層 251a 和導電層 251b 的距離 a 、添加有賦予一導電率型的雜質元素的雜質半導體層 259 的端部和導電層 251a 的端部之間的距離 b 以及添加有賦予一導電率型的雜質元素的雜質半導體層 261 的端部和導電層 251b 的端部之間的距離 c 的總和。相對於通道長度 L ，增大添加有賦予一導電率型的雜質元素的雜質半導體層 259 的端部和導電層 251a 的端部之間的距離 b 及添加有賦予一導電率型的雜質元素的雜質半導體層 261 的端部和導電層 251b 之間的距離 c ，並縮短導電層 251a 和導電層 251b 之間的距離 a ，來提高導通電流。

另外，在本實施方式所示的薄膜電晶體中，使用藉由利用同一光罩的微影製程而形成的抗蝕劑掩罩來蝕刻導電層 251a 及 251b。因此，不需要以次微米級的準確度來對準光罩，而可以減少導電層 251a 和導電層 251b 之間的距離 a 的不均勻。另外，距離 a 可以約為曝光裝置的解析度極限。另外，藉由使用相位移掩罩，距離 a 可以降低至小於或等於曝光裝置的解析度極限的距離。由於在導電層

251a 和導電層 251b 之間的距離 a 中的非晶半導體層 255 的區域用作在施加正的閘極電壓時發揮功能的第二薄膜電晶體的通道，因此可以減少不均勻，而可以提高薄膜電晶體的導通電流和遷移率。

注意，因為藉由本實施方式可以縮短第二薄膜電晶體 Tr02 的通道長度（即，距離 a），所以較佳地減薄閘極絕緣膜的厚度，以便防止在第二薄膜電晶體 Tr02 中發生短通道效應。

另一方面，在對閘極電極 205 施加負電壓時，即使導電層 251a 及 251b 中產生載子，也由第二薄膜電晶體 Tr02 妨礙截止電流的流通。第二薄膜電晶體 Tr02 由非晶半導體層形成，因此其截止電流低。

如上所述，本實施方式所示的薄膜電晶體是其導通電流及遷移率高，且截止電流低的薄膜電晶體。

另外，連接源區及汲區的非晶半導體層 255 表面（背通道）呈凹凸狀，其距離長，因此流過源區及汲區之間的非晶半導體層 255 表面的洩漏電流的距離變長。其結果是，可以減少流過非晶半導體層 255 表面的洩漏電流。

再者，在閘極電極 205 和添加有賦予一導電率型的雜質元素的雜質半導體層 259 及 261 之間，除了閘極絕緣層之外，還形成有非晶半導體層 255，因此閘極電極 205 和添加有賦予一導電率型的雜質元素的雜質半導體層 259 及 261 的間隔變大。因此，可以減少在閘極電極 205 和添加有賦予一導電率型的雜質元素的雜質半導體層 259 及 261

之間產生的寄生電容。尤其是，可以為減少汲極電極一側的電壓下降的薄膜電晶體。由此，採用這種結構的顯示裝置可以提高像素的回應速度。尤其是形成在液晶顯示裝置的像素中的薄膜電晶體，因為能夠減少汲電壓的電壓下降，可以提高液晶材料的回應速度。

此外，本實施方式還可以與實施方式 1、實施方式 2、實施方式 3 組合。

實施方式 5

在本實施方式中，將參考圖 12，說明結構的一部分與實施方式 3 不同的薄膜電晶體。

在實施方式 3 中，示出將導電層 251a、251b 和緩衝層 219a、219b 層疊的實施例，但是在本實施方式中示出採用導電層 251a、251b 的單層的實施例。由於其他部分與實施方式 3 相同，所以在圖 12 中與圖 7A 至 7E 及圖 8A 至 8C 相同的部分使用相同的代號表示。另外，關於製造方法也可以根據實施方式 3 來製造。

在圖 12 所示的薄膜電晶體中，在基板 201 上形成閘極電極 205，在閘極電極 205 上形成閘極絕緣膜 209，並且在閘極絕緣膜 209 上形成相離設置的導電層 251a 及 251b。另外，形成有覆蓋導電層 251a 及 251b 的側面及上面的微晶半導體層 232，並且在微晶半導體層 232 上形成非晶半導體層 255。微晶半導體層及非晶半導體層的形狀大致相同。在非晶半導體層 255 上形成添加有賦予一導電

率型的雜質元素的一對雜質半導體層 259 及 261，並且在添加有賦予一導電率型的雜質元素的雜質半導體層 259 及 261 上形成佈線 263 及 265。

微晶半導體層 232 可以由微晶矽層、微晶矽鍺層、微晶鍺層形成。另外，也可以添加成為施體的雜質元素，該雜質元素的濃度低於可用於導電層 251a 及 251b 的添加有成為施體的雜質元素的半導體層所包含的成為施體的雜質元素濃度。藉由添加低濃度的成為施體的雜質元素，可以控制薄膜電晶體的臨界值電壓。

藉由將微晶半導體層 232 的厚度減薄，即 5nm 至 30nm，較佳地為 10nm 至 20nm，可以使薄膜電晶體截止電流保持為低。另外，因為在微晶半導體層 232 和添加有賦予一導電率型的雜質元素的雜質半導體層 259 及 261 之間形成非晶半導體層 255，所以與使用微晶半導體層形成的薄膜電晶體相比，可以減少截止電流。另外，藉由在非晶半導體層 255 和閘極絕緣膜 209 之間設置其電阻率低於非晶半導體層的微晶半導體層 232，可以使載子容易流過，而可以實現薄膜電晶體的高速工作。

另外，與形成氮化矽層作為閘極絕緣膜 209 並且形成非晶半導體層而不形成微晶半導體層時相比，藉由形成氧化矽層或氧氮化矽層作為閘極絕緣膜 209 並且形成微晶矽層作為微晶半導體層 232，可以減少臨界值變動。

注意，本實施方式可以分別與實施方式 1 至 4 組合。

實施方式 6

在本實施方式中，將參考圖 14A 和 14B，說明圖 13 所示的被設置在元件基板 300 的周圍部中的掃描線輸入端子部和信號線輸入端子部的結構。圖 14A 和 14B 是被設置在基板 201 的周圍部中的掃描線輸入端子部及信號線輸入端子部、像素部的薄膜電晶體的截面圖。此外，在圖 14A 和 14B 中與圖 7A 至 7E 及圖 8A 至 8C 相同的部分使用相同的代號表示。

另外，在採用將控制像素電極的電位元的薄膜電晶體設置於像素部的像素中的主動矩陣型顯示裝置的情況下，掃描線連接於閘極電極。或者，掃描線的一部分被用作閘極電極。因此，掃描線也被表示為閘極佈線 205。另外，信號線連接於薄膜電晶體的源極電極，因此，信號線也被表示為源極佈線 263。但是，在信號線連接於薄膜電晶體的汲極電極的情況下，可以將信號線作為汲極佈線。

如圖 13 所示，設置有像素部 301，在像素部 301 和基板 201 的周圍部之間設置保護電路 302 及 322、信號線 323 以及掃描線 303。雖然未圖示，但是，可以形成從保護電路 302 及 322 至像素部 301 之信號線和掃描線。在信號線 323 和掃描線 303 的端部中設置信號線輸入端子部 326 及掃描線輸入端子部 306。FPC324 及 304 分別連接於信號線輸入端子部 326 和掃描線輸入端子部 306 的端子，並且在 FPC324 及 304 上設置信號線驅動電路 325 和掃描線驅動電路 305。另外，雖然未顯示，像素但是在像素部

301 中將像素 327 配置為矩陣形狀。

在圖 14A 中，掃描線輸入端子 306a 連接於薄膜電晶體 330 的閘極佈線 205。另外，信號線輸入端子 326a 連接於源極佈線 263。

掃描線輸入端子 306a 和信號線輸入端子 326a 分別由與像素部的薄膜電晶體 330 的像素電極 271 相同的層形成。另外，在形成在源極佈線 263 上的平坦化層 269 上形成掃描線輸入端子 306a 和信號線輸入端子 326a。另外，在平坦化層 269 上，掃描線輸入端子 306a 和信號線輸入端子 326a 隔著各向異性導電黏合劑 307 及 327 的導電粒子 308 及 328 連接於 FPC304 及 324 的佈線 309 及 329。

這裏，閘極佈線 205 和掃描線輸入端子 306a 連接，但是也可以在閘極佈線 205 和掃描線輸入端子 306a 之間設置由與源極佈線 263 相同的層形成的導電層。

在圖 14B 中，掃描線輸入端子 306b 連接於薄膜電晶體 330 的閘極佈線 205。另外，信號線輸入端子 326b 連接於薄膜電晶體 330 的源極佈線 263。

掃描線輸入端子 306b 和信號線輸入端子 326b 分別由與像素部的薄膜電晶體 330 的像素電極 271 相同的層形成。另外，掃描線輸入端子 306b 和信號線輸入端子 326b 形成在平坦化層 269 及保護絕緣層 267 上。另外，在平坦化層 269 及保護絕緣層 267 的開口部中，掃描線輸入端子 306b 和信號線輸入端子 326b 隔著各向異性導電黏合劑 307 及 327 的導電粒子 308 及 328 連接於 FPC304 及 324

的佈線 309 及 329。

關於連接於源極佈線 263 的信號線輸入端子 326b，在基板 201 及源極佈線 263 之間除了閘極絕緣膜 209 以外還形成有微晶半導體層 232、非晶半導體層 255、添加有賦予一導電率型的雜質元素的雜質半導體層 239，從而厚度增大，因此容易連接信號線輸入端子 326b 和 FPC324 的佈線 328。

注意，本實施方式可以分別與實施方式 1 至實施方式 5 組合。

實施方式 7

於下，將說明本發明的顯示裝置的實施方式之顯示面板的結構。

圖 15A 顯示顯示面板的實施方式，其中，信號線驅動電路 6013 分別形成且連接于形成在基板 6011 上的像素部 6012。形成有像素部 6012、保護電路 6016 以及掃描線驅動電路 6014 的元件基板使用上述實施方式所示的元件基板而形成。藉由使用場效應遷移率高於使用非晶半導體層的薄膜電晶體的薄膜電晶體形成信號線驅動電路，可以使信號線驅動電路的工作穩定，該信號線驅動電路被要求其驅動頻率高於掃描線驅動電路。注意，信號線驅動電路 6013 可以為使用單晶半導體的電晶體、使用多晶半導體的薄膜電晶體或使用 SOI 的電晶體。使用 SOI 的電晶體包括將形成在玻璃基板上的使用單晶半導體層的電晶體。藉由

FPC6015 分別供給像素部 6012、信號線驅動電路 6013 以及掃描線驅動電路 6014 電源電位、各種信號等。還可以在信號線驅動電路 6013 及 FPC6015 之間或在信號線驅動電路 6013 及像素部 6012 之間設置由上述實施方式 1 至 5 所示的薄膜電晶體形成的保護電路 6016。作為保護電路 6016，也可以設置由選自薄膜電晶體、二極體、電阻元件以及電容元件等中的一種或多種元件構成的保護電路以代替由上述實施方式 1 至 5 所示的薄膜電晶體形成的保護電路。

注意，也可以將信號線驅動電路及掃描線驅動電路共同形成在與像素部相同的基板上。

此外，在分別形成驅動電路的情況下，不一定需要將形成有驅動電路的基板貼合在形成有像素部的基板上，例如也可以貼合在 FPC 上。圖 15B 示出只有信號線驅動電路 6023 另外形成且形成有形成在基板 6021 上的像素部 6022、保護電路 6026 以及掃描線驅動電路 6024 的元件基板和 FPC 連接的顯示裝置面板的方式。使用上述實施方式所示的薄膜電晶體形成像素部 6022、保護電路 6026 以及掃描線驅動電路 6024。信號線驅動電路 6023 藉由 FPC6025 及保護電路 6026 連接於像素部 6022。藉由 FPC6025 分別供給像素部 6022、信號線驅動電路 6023 以及掃描線驅動電路 6024 電源電位、各種信號等。還可以在 FPC6025 及像素部 6022 之間設置由上述實施方式 1 至 5 所示的薄膜電晶體形成的保護電路 6026。作為保護電路

6026，也可以設置由選自薄膜電晶體、二極體、電阻元件以及電容元件等中的一種或多種元件構成的保護電路以代替由上述實施方式 1 至 5 所示的薄膜電晶體形成的保護電路。

另外，也可以是只有信號線驅動電路的一部分或掃描線驅動電路的一部分由上述實施方式所示的薄膜電晶體形成在與像素部相同的基板上，而其另一部分另外形成並將它電連接於像素部。圖 15C 示出將信號線驅動電路所具有的類比開關 6033a 形成在與像素部 6032、掃描線驅動電路 6034 相同的基板 6031 上，並且將信號線驅動電路所具有的移位暫存器 6033b 另外形成在不同的基板上，而彼此貼合的顯示裝置面板的方式。使用上述實施方式所示的薄膜電晶體形成像素部 6032、保護電路 6036 以及掃描線驅動電路 6034。信號線驅動電路所具有的移位暫存器 6033b 藉由 FPC6035 及保護電路 6036 連接於像素部 6032。藉由 FPC6035 分別供給像素部 6032、信號線驅動電路以及掃描線驅動電路 6034 電源電位、各種信號等。還可以在移位暫存器 6033b 及類比開關 6033a 之間設置由上述實施 1 至 5 方式所示的薄膜電晶體形成的保護電路 6036。作為保護電路 6036，也可以設置由選自薄膜電晶體、二極體、電阻元件以及電容元件等中的一種或多種元件構成的保護電路以代替由上述實施方式 1 至 5 所示的薄膜電晶體形成的保護電路。

如圖 15A 至 15C 所示，可以在與像素部相同的基板上

使用上述實施方式所示的薄膜電晶體形成本實施方式的顯示裝置的驅動電路的一部分或全部。

注意，對於另外形成的基板的連接方法沒有特別的限制，可以使用已知的 COG 方法、引線鍵合方法或 TAB 方法等。此外，連接的位置只要能夠電連接，就不限於圖 15A 至 15C 所示的位置。另外，也可以另外形成控制器、CPU、記憶體等而連接。

注意，信號線驅動電路包括移位暫存器和類比開關。或者，除了移位暫存器和類比開關之外，還可以包括緩衝器、位準轉移器、源極電極跟隨器等其他電路。另外，不需要一定設置移位元暫存器和類比開關，例如既可以使用像解碼器電路那樣的可以選擇信號線的其他電路代替移位暫存器，又可以使用鎖存器等代替類比開關。

注意，本實施方式可以分別與實施方式 1 至 6 組合。

實施方式 8

可以將根據本發明獲得的元件基板及使用其的顯示裝置等用於主動矩陣型顯示裝置面板。就是說，可以在將這些組裝到顯示部中的所有電子設備中實施本發明。

作為這種電子設備，可以舉出影像拍攝裝置如攝影機和數位相機等、頭戴式顯示器（護目鏡型顯示器）、汽車導航、投影機、汽車音響、個人電腦、可攜式資訊終端（行動電腦、行動電話或電子書籍等）等。圖 16A 至 16D 示出這些設備的實施例。

圖 16A 示出電視裝置。藉由如圖 16A 所示那樣將顯示面板組裝在外殼中，可以完成電視裝置。主螢幕 2003 由顯示面板形成，作為其他附屬裝置具有揚聲器部 2009、操作開關等。像這樣，可以完成電視裝置。

如圖 16A 所示，在外殼 2001 中組裝利用顯示元件的顯示用面板 2002，從而可以由接收機 2005 接收普通的電視廣播，而且還可以藉由數據機 2004 連接到有線或無線方式的通訊網絡以進行單向（從發送者到接收者）或雙向（發送者和接收者之間或接收者之間）的資訊通訊。電視裝置的操作可以由組裝在外殼中的開關或另外形成的遙控單元 2006 進行，並且該遙控單元 2006 也可以設置有顯示輸出資訊的顯示部 2007。

此外，除了主螢幕 2003 以外，電視裝置還可以設置有由第二顯示面板形成的副螢幕 2008，以顯示頻道或音量等。在這種結構中，也可以利用視角優越的液晶顯示面板形成主螢幕 2003，並且利用能夠以低耗電量進行顯示的發光顯示面板形成副螢幕 2008。另外，為了優先低耗電量化，也可以利用發光顯示面板形成主螢幕 2003，並且利用發光顯示面板形成副螢幕 2008，其中副螢幕 2008 能夠點亮和熄滅。

圖 17 是示出電視裝置的主要結構的方塊圖。像素部 921 形成在顯示面板上。也可以採用 COG 方式將信號線驅動電路 922 和掃描線驅動電路 923 安裝在顯示面板上。

關於其他外部電路，電視裝置在視頻信號的輸入一側

包含視頻信號放大電路 925、視頻信號處理電路 926、控制電路 927 等。其中，視頻信號放大電路 925 放大調諧器 924 所接收的信號中的視頻信號，視頻信號處理電路 926 將從視頻信號放大電路 925 輸出的信號轉換成對應於紅、綠和藍的各種顏色的顏色信號，控制電路 927 將其視頻信號轉換成驅動器 IC 的輸入規格。控制電路 927 將信號分別輸出到掃描線一側和信號線一側。在進行數位驅動的情況下，也可以採用如下結構：在信號線一側設置信號分割電路 928，並將輸入數位信號劃分成 m 個來供給。

由調諧器 924 接收的信號中的音頻信號被發送到音頻信號放大電路 929，且其輸出經過音頻信號處理電路 930 供給到揚聲器 933。控制電路 931 從輸入部 932 接收接收站（接收頻率）或音量的控制資訊，並將信號傳送到調諧器 924、音頻信號處理電路 930。

當然，本發明不侷限於電視裝置，還可以應用於各種用途如個人電腦的監視器、火車站或機場等中的資訊顯示幕或街頭上的廣告顯示幕等的大面積顯示媒體。

藉由在主螢幕 2003 和副螢幕 2008 中應用上述實施方式 1 至 7 所示的元件基板及具有它的顯示裝置，可以提高電視裝置的量產力。

圖 16B 表示行動電話機 2301 的一例。該行動電話機 2301 包括顯示部 2302、操作部 2303 等。藉由在顯示部 2302 中應用上述實施方式所示的元件基板及具有它的顯示裝置，可以提高行動電話機的量產力。

圖 16C 所示的行動電腦包括主體 2401、顯示部 2402 等。藉由在顯示部 2402 中應用上述實施方式所示的元件基板及具有它的顯示裝置，可以提高電腦的量產力。

圖 16D 是桌上照明器具，包括照明部分 2501、燈罩 2502、可變臂 2503、支柱 2504、台 2505 和電源 2506。藉由對照明部分 2501 使用本發明的發光裝置來製造桌上照明器具。注意，照明器具包括固定到天花板上的照明器具、掛在牆上的照明器具等。藉由應用上述實施方式 1 至 7 所示的元件基板及具有它的顯示裝置，可以提高量產力，並且可以提供廉價的桌上照明器具。

圖 18A 至 18C 為應用本發明的智慧手機的結構的實施例。圖 18A 為正視圖，圖 18B 為後視圖，圖 18C 為展開圖。智慧手機由外殼 1111 及 1112 的兩個外殼構成。智慧手機具有行動電話和可攜式資訊終端雙方的功能，其內置有電腦，除了音頻通話以外還可以進行各種資料處理。

智慧手機由外殼 1111 及 1112 的兩個外殼構成。外殼 1111 包含顯示部 1101、揚聲器 1102、麥克風 1103、操作鍵 1104、定位裝置 1105、表面影像拍攝裝置用透鏡 1106、外部連接端子插孔 1107、耳機端子 1108 等，外殼 1112 由鍵盤 1201、外部存儲槽 1202、背面影像拍攝裝置 1203、燈 1204 等。另外，在外殼 1111 中內置有天線。

除了上述結構以外，還可以內置有非接觸 IC 晶片、小型記錄裝置等。

彼此重疊的外殼 1111 和外殼 1112（圖 18A）滑動而

如圖 18C 那樣展開。可以在顯示部 1101 中組裝上述實施方式 1 至 7 所示的顯示裝置，其顯示方向根據使用方式而適當地變化。由於在與顯示部 1101 同一面上設置有表面相機用透鏡 1106，所以可以進行電視電話。

揚聲器 1102 及麥克風 1103 不侷限於音頻通話，而還具有電視電話、錄音、再現等的用途。操作鍵 1104 可以進行電話的發送和接受、電子郵件等的簡單的資訊輸入、畫面的捲動（scroll）、指標移動等。

另外，在製造檔、作為可攜式資訊終端使用等要處理的資訊多時，若使用鍵盤 1201 就方便。再者，彼此重疊的外殼 1111 和外殼 1112（圖 18A）滑動而如圖 18C 那樣展開並用作可攜式資訊終端時，可以使用鍵盤 1201 和定位裝置 1105 進行順利的操作。外部連接端子插孔 1107 可以與 AC 適配器及 USB 電纜等各種電纜連接，而可以進行充電、與個人電腦等的資料通訊。另外，藉由將記錄介質插入外部存儲槽 1202，可以對應更大量資料的保存及移動。

外殼 1112 的背面（圖 18B）具有背面影像拍攝裝置 1203 及燈 1204，而可以使用顯示部 1101 作為取景器來拍攝靜態影像及動態影像。

除了上述功能結構以外，還可以具有紅外線通訊功能、USB 埠、單波段播放（one-segment broadcasting）接收功能、非接觸 IC 晶片、耳機插孔等。

藉由應用上述實施方式 1 至 7 所示的顯示裝置，可以

提高量產性。

本說明書根據 2008 年 3 月 17 日在日本專利局受理的日本專利申請編號 2008-068480 而製作，所述申請內容於此一併列入參考。

【圖式簡單說明】

在附圖中：

圖 1 是表示電漿處理裝置的結構的實施例的截面圖；

圖 2 是表示具有多個處理室的多室電漿處理裝置的結構；

圖 3A 和 3B 是表示薄膜電晶體的製造步驟的截面圖；

圖 4A 至 4D 是表示薄膜電晶體的製造步驟的截面圖；

圖 5A 至 5C 是表示薄膜電晶體的製造步驟的截面圖；

圖 6 是表示薄膜電晶體的製造步驟的俯視圖；

圖 7A 至 7E 是說明薄膜電晶體的製造步驟的截面圖；

圖 8A 至 8C 是說明薄膜電晶體的製造步驟的截面圖；

圖 9A 至 9D 是說明多級灰度掩罩的圖；

圖 10 是說明薄膜電晶體的製造步驟的俯視圖；

圖 11 是說明薄膜電晶體的製造步驟的截面圖；

圖 12 是說明薄膜電晶體的製造步驟的截面圖；

圖 13 是說明元件基板的平面圖；

圖 14A 和 14B 是說明元件基板的端子部以及像素部的截面圖；

圖 15A 至 15C 是說明顯示面板的立體圖；

圖 16A 至 16D 是說明使用顯示裝置的電子設備的立體圖；

圖 17 是說明使用顯示裝置的電子設備的圖；

圖 18A 至 18C 是說明使用顯示裝置的電子設備的立體圖；

圖 19 示出構成使用線圈和可變電容器的並聯諧振電路的實施例的等效電路圖。

【主要元件符號說明】

50：基板

51a：第一導電層

51b：第二導電層

52a：閘極絕緣膜

52b：閘極絕緣膜

53：微晶矽膜

54：i 型非晶矽膜

55：添加有賦予一導電率型的雜質的半導體膜

56：抗蝕劑掩罩

61：微晶矽膜

62：i 型非晶矽膜

63：添加有賦予一導電率型的雜質的半導體膜

65a、65b、65c：導電膜

66：抗蝕劑掩罩

- 67：第一閘極絕緣膜
- 68：第二閘極絕緣膜
- 71a、71b、71c：源極電極或汲極電極
- 72：源區及汲區
- 73：i型非晶矽膜
- 74：薄膜電晶體
- 76：絕緣膜
- 77：像素電極
- 82：平坦化膜
- 100a：第一反應室
- 100b：反應室
- 100c：第三反應室
- 100d：第四反應室
- 101：第一電極
- 101a：第一電極
- 101b：第一電極
- 102：第二電極
- 103：高頻電力供給單元
- 104：第一高頻電源
- 105：第二高頻電源
- 106：第一匹配器
- 107：第二匹配器
- 108：氣體供給單元
- 108g：氣體供給單元

108i：氣體供給單元

108b：氣體供給單元

108n：氣體供給單元

108a：氣體供給單元

108f：氣體供給單元

109：排氣單元

110：汽缸

111：壓力調節閥

112：停止閥

113：質量流量控制器

114：基板加熱器

115：加熱控制器

116：絕緣材料

117：蝶閥

118：閥門

119：渦輪分子泵

120：乾燥泵

121：低溫泵

122：裝載/卸載室

123：公共腔

124：盒子 (cassette)

125：閘門閥

126：搬送機構

127：渦輪分子泵

130：第一高頻濾波器

131：第二高頻濾波器

七、申請專利範圍：

1. 一種半導體裝置之製造方法，包括如下步驟：

向反應室內引入反應氣體；

對該反應室內的上部電極重疊施加具有大於或等於 3MHz 且低於 30MHz 的第一頻率的第一高頻電力以及具有大於或等於 30MHz 且小於或等於 300MHz 以下的第二頻率的第二高頻電力以產生輝光放電電漿；

在配置在該反應室內的下部電極上的基板上沉積微晶半導體膜；

在沉積該微晶半導體膜之後向該反應室內引入氬；以及

對該上部電極施加具有大於或等於 30MHz 且低於或等於 300MHz 以下的第三頻率的第三高頻電力，來對該微晶半導體膜進行電漿處理。

2. 如申請專利範圍第 1 項的半導體裝置之製造方法，其中在引入該反應氣體前的該反應室內的壓力在 1×10^{-7} Torr 至 1×10^{-10} Torr 的範圍內。

圖 1

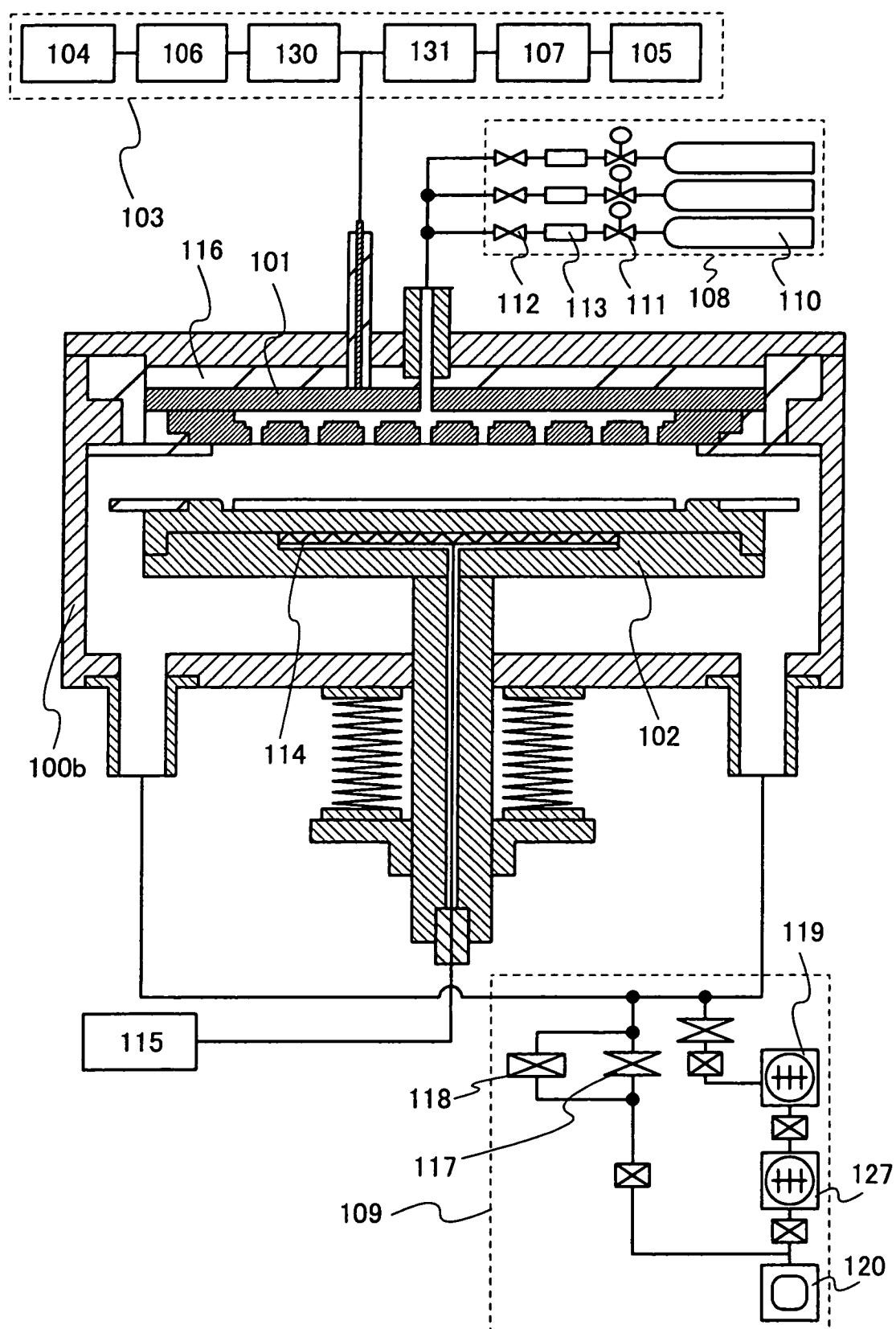


圖2

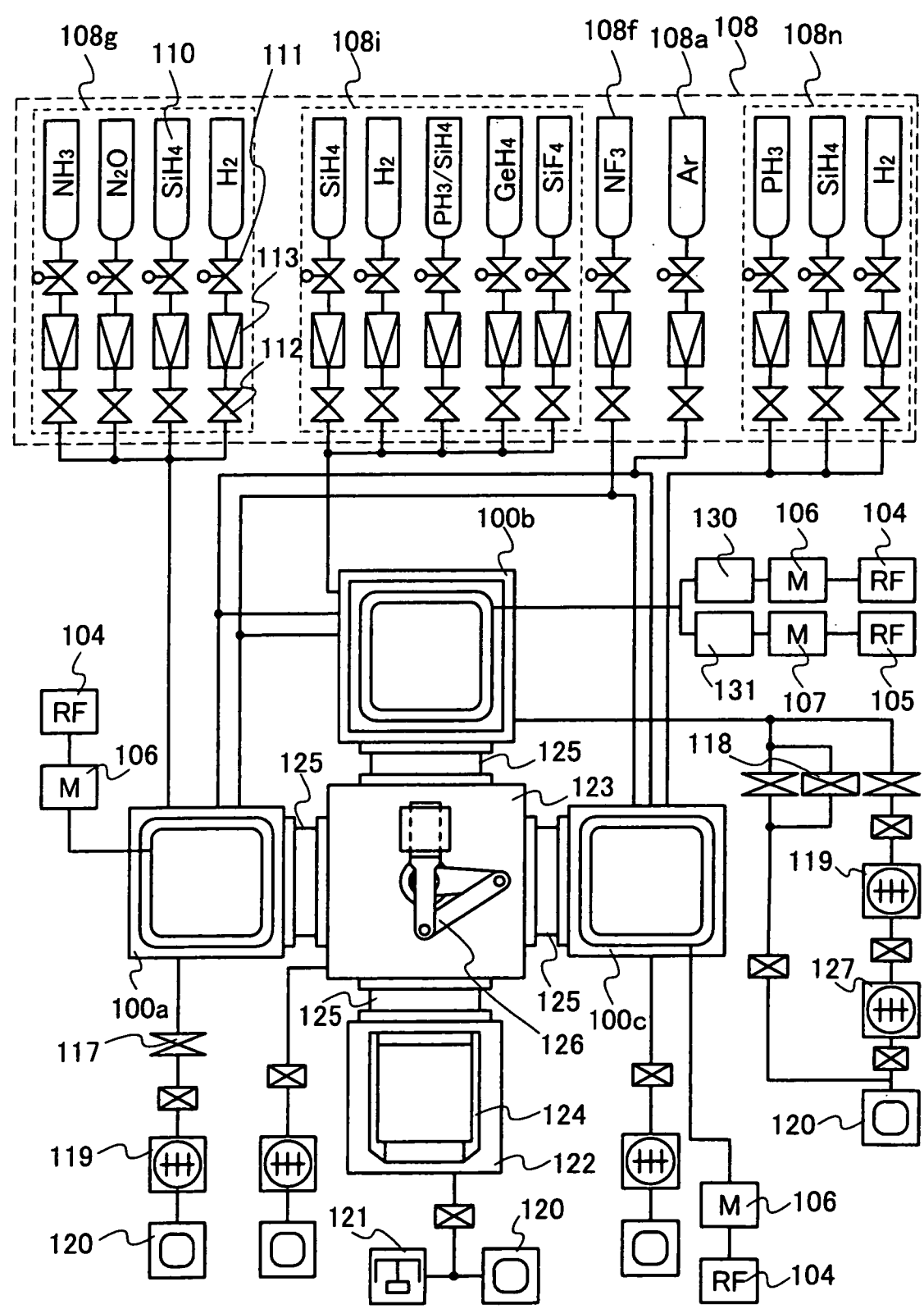


圖 3A

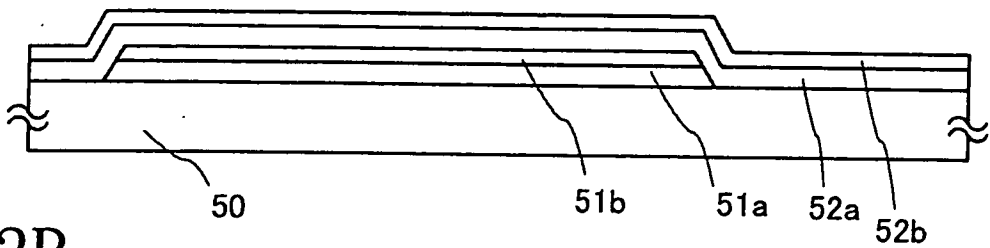


圖 3B

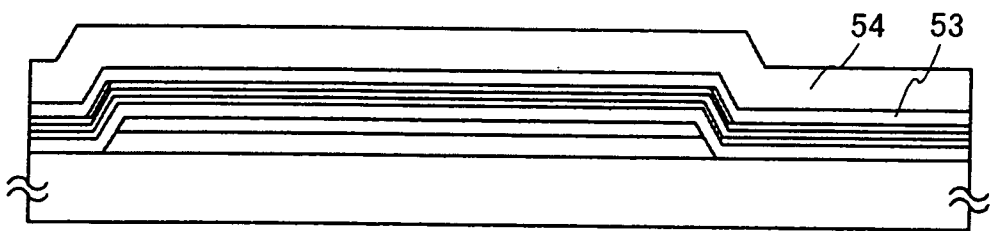


圖 4A

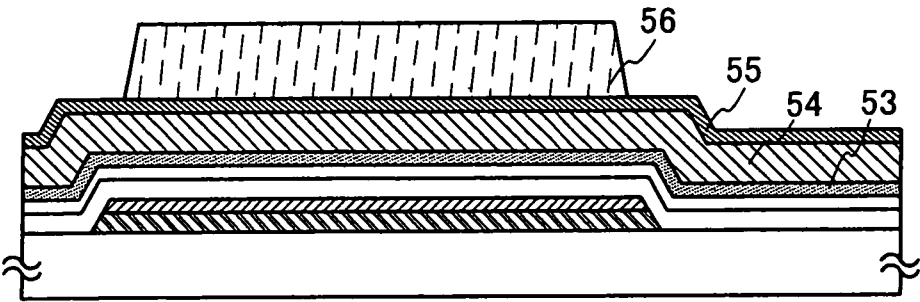


圖 4B

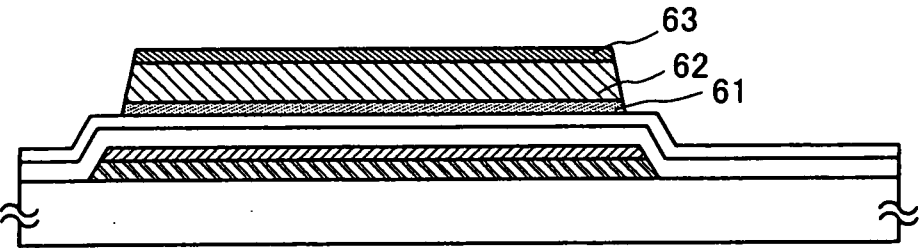


圖 4C

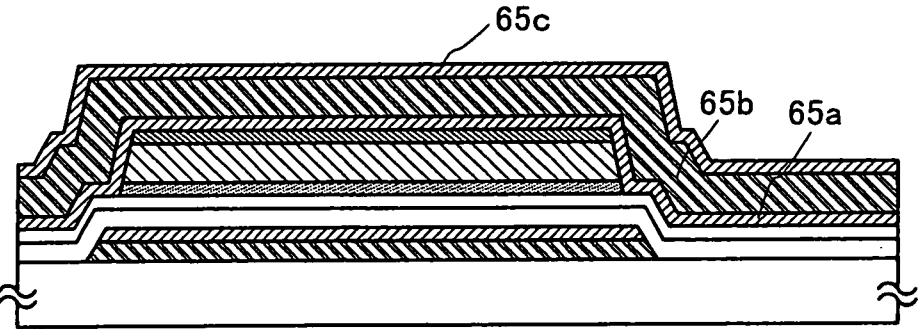


圖 4D

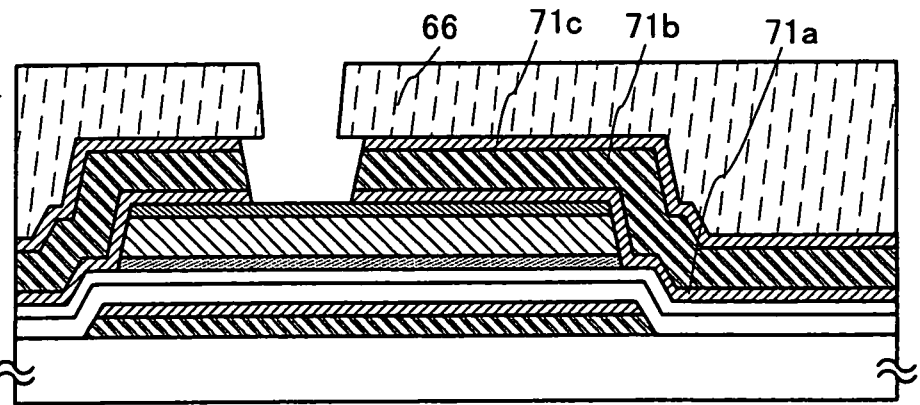


圖 5A

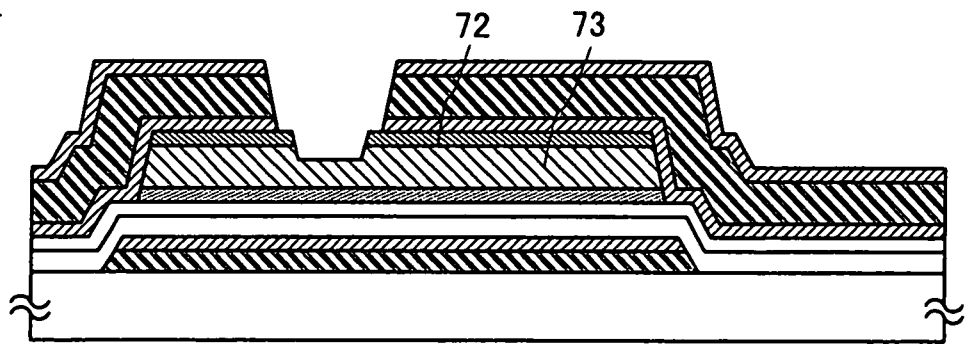


圖 5B

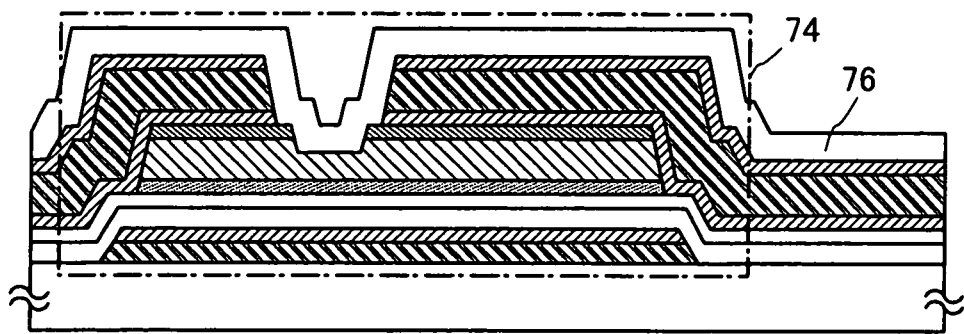


圖 5C

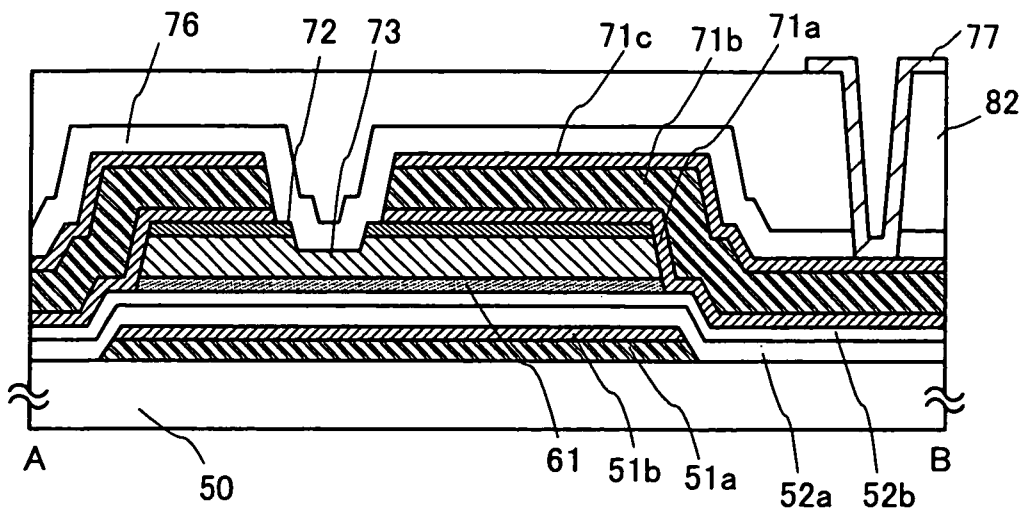


圖6

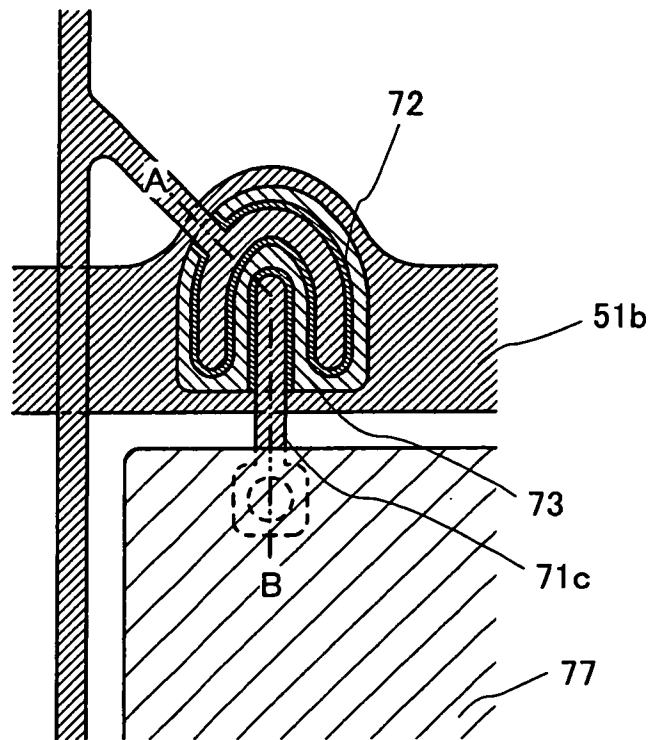


圖 7A

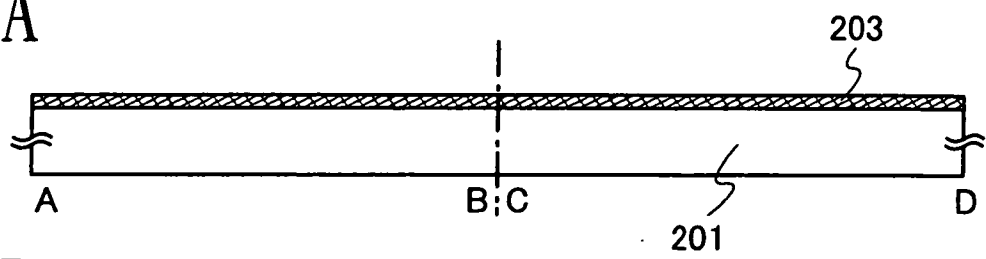


圖 7B

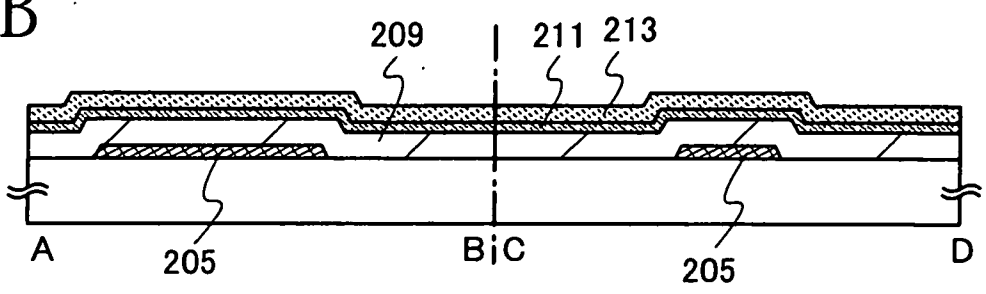


圖 7C

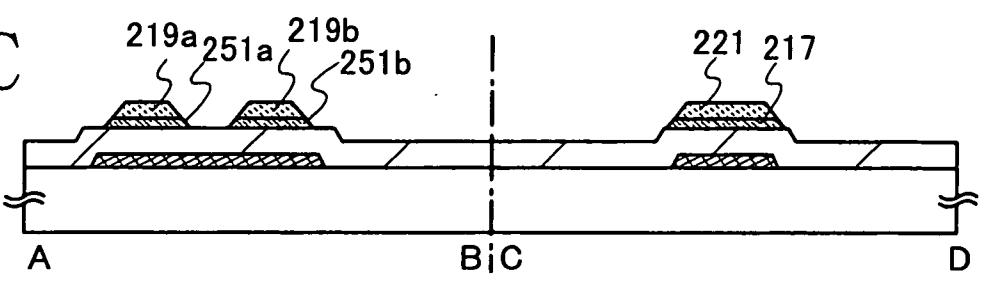


圖 7D

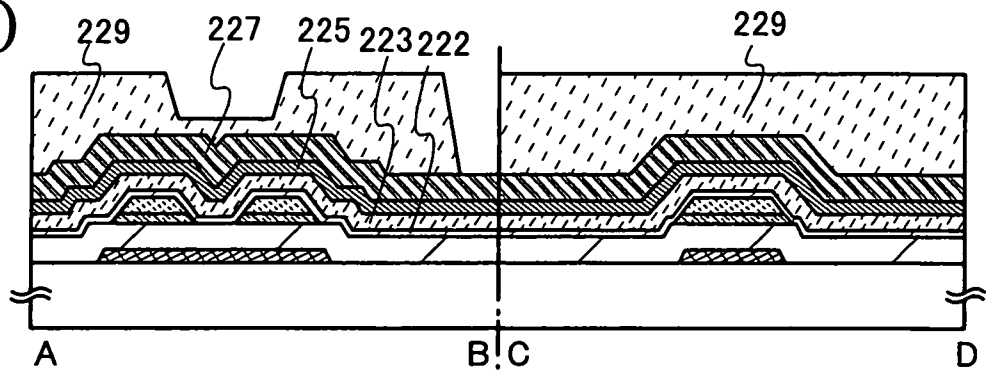


圖 7E

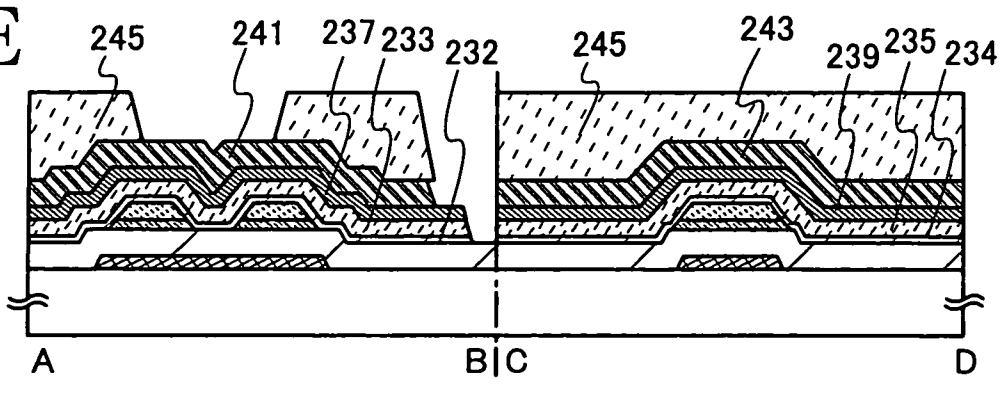


圖 8A

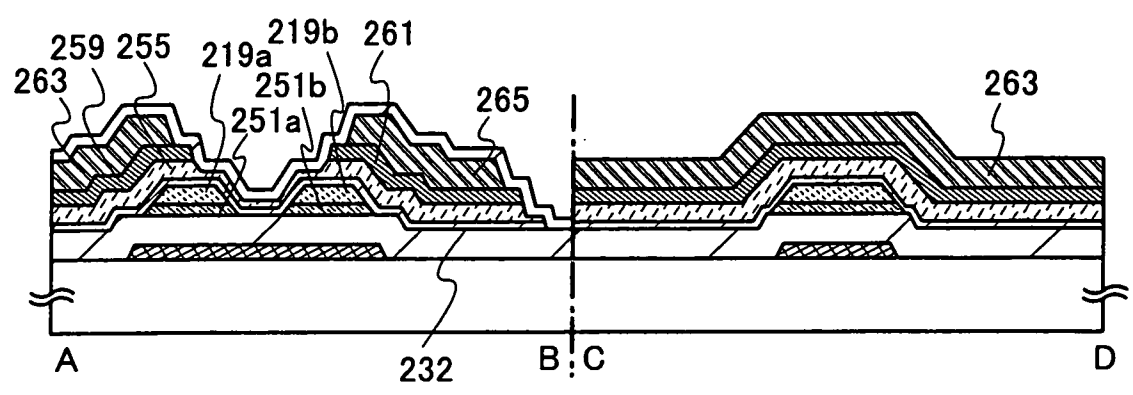


圖 8B

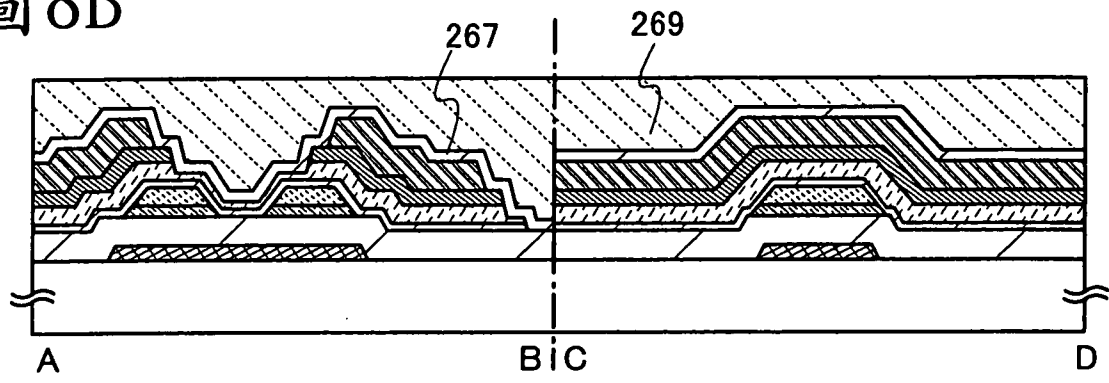


圖 8C

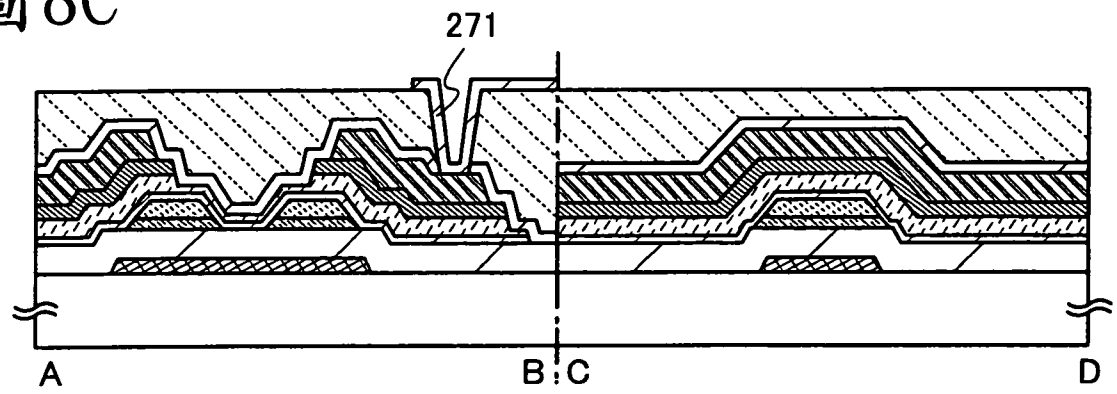


圖 9A

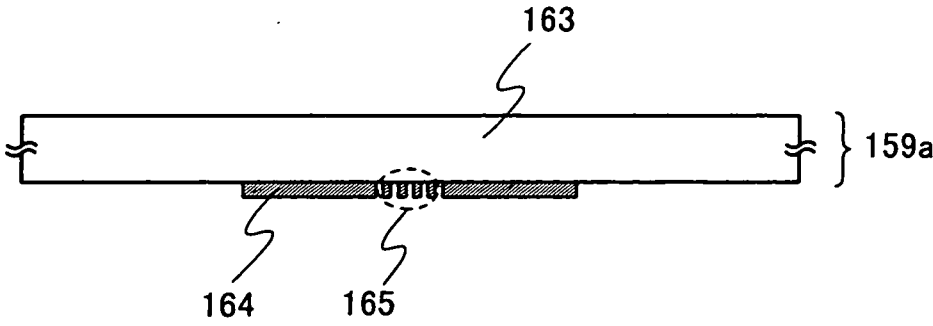


圖 9B

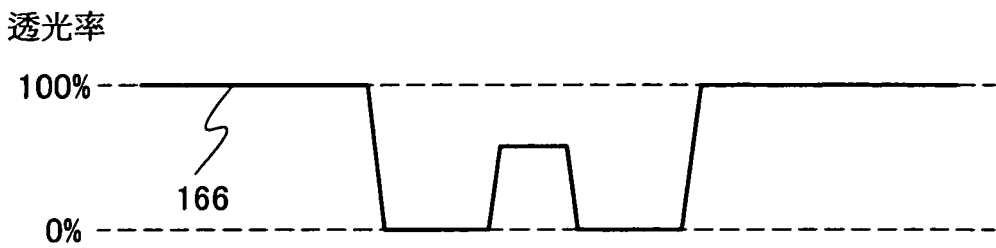


圖 9C

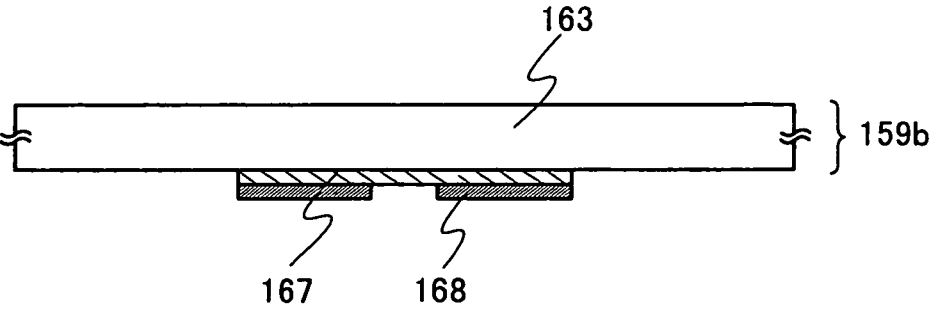


圖 9D

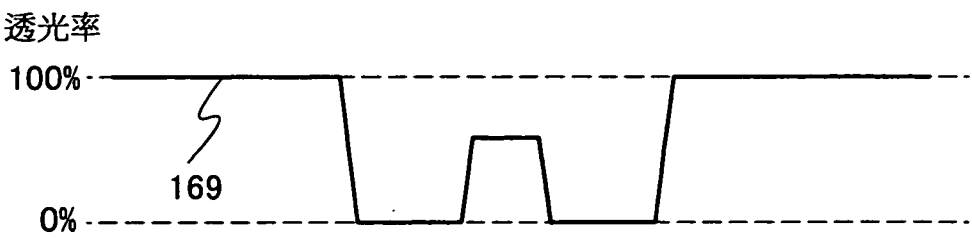


圖 10

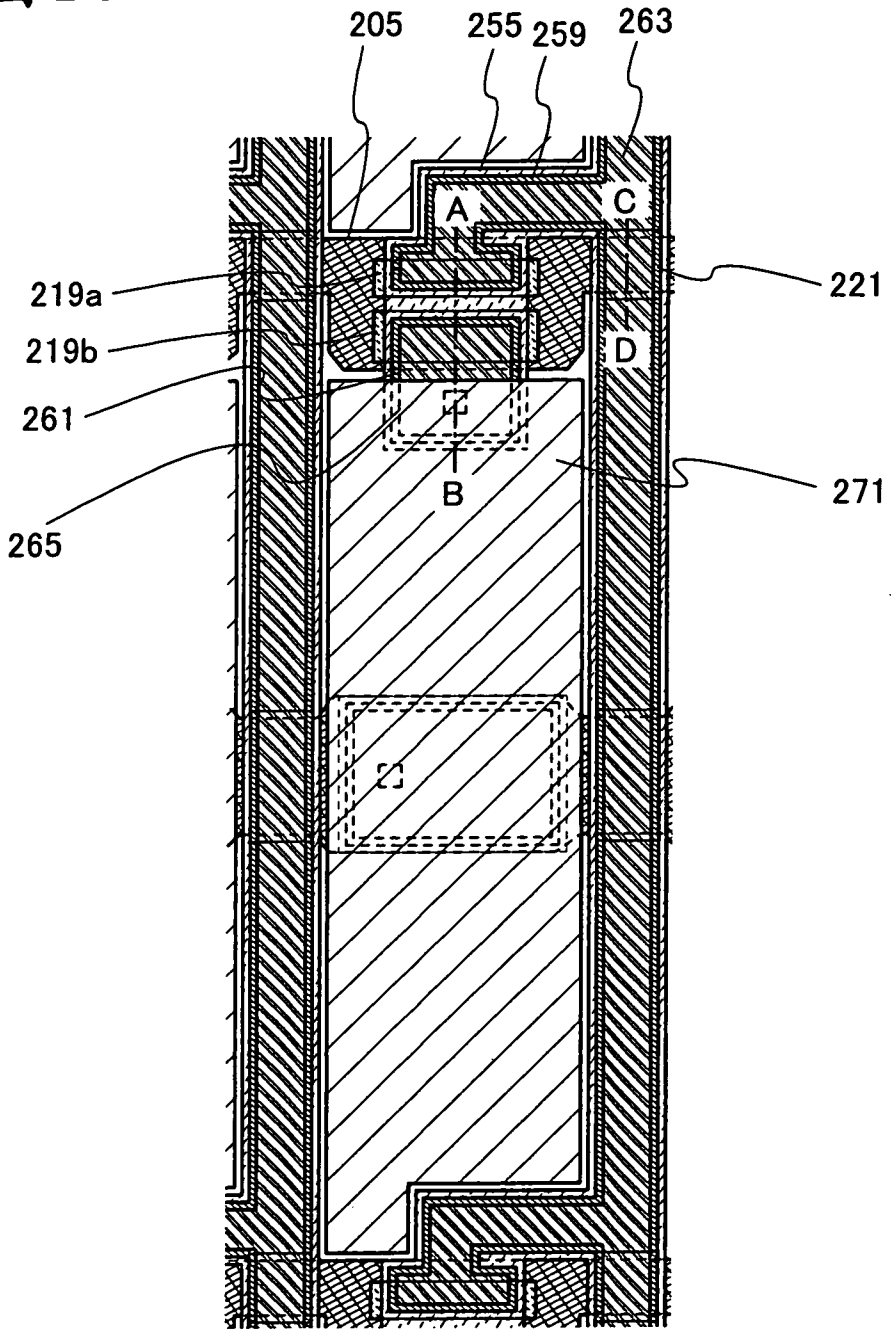


圖 11

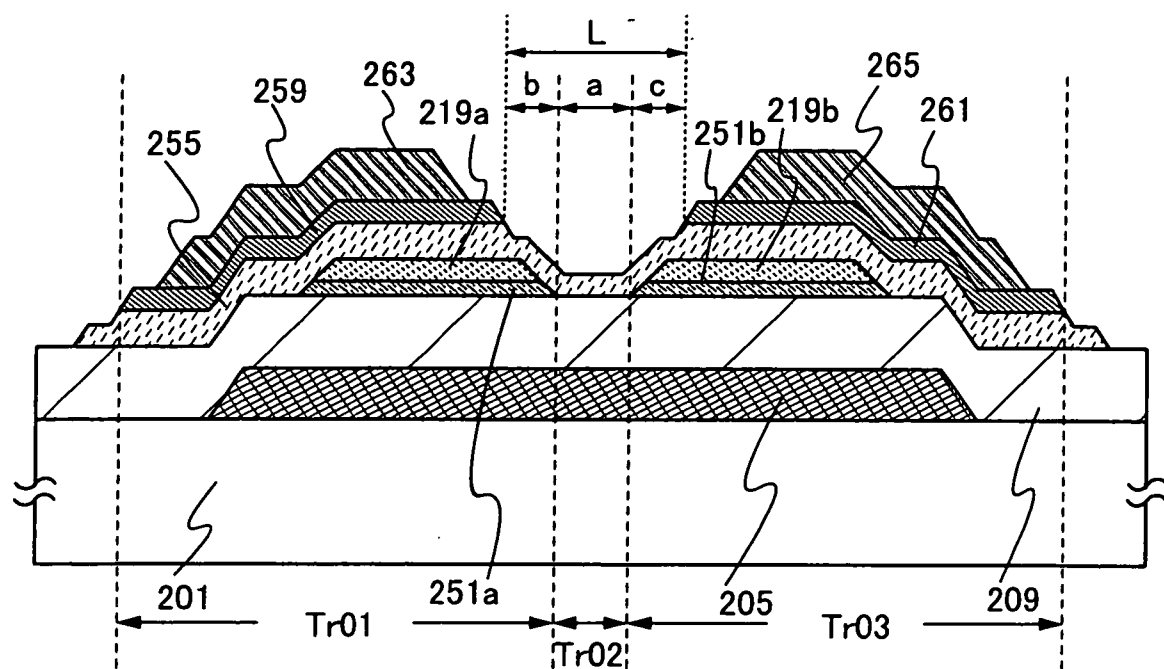


圖12

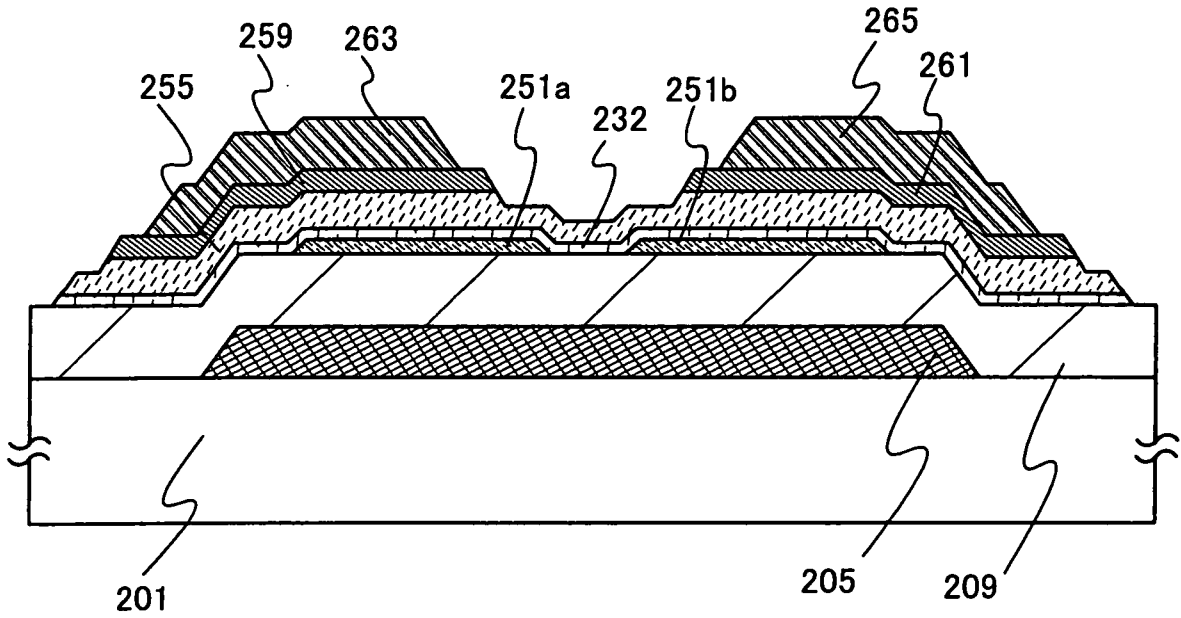


圖 13

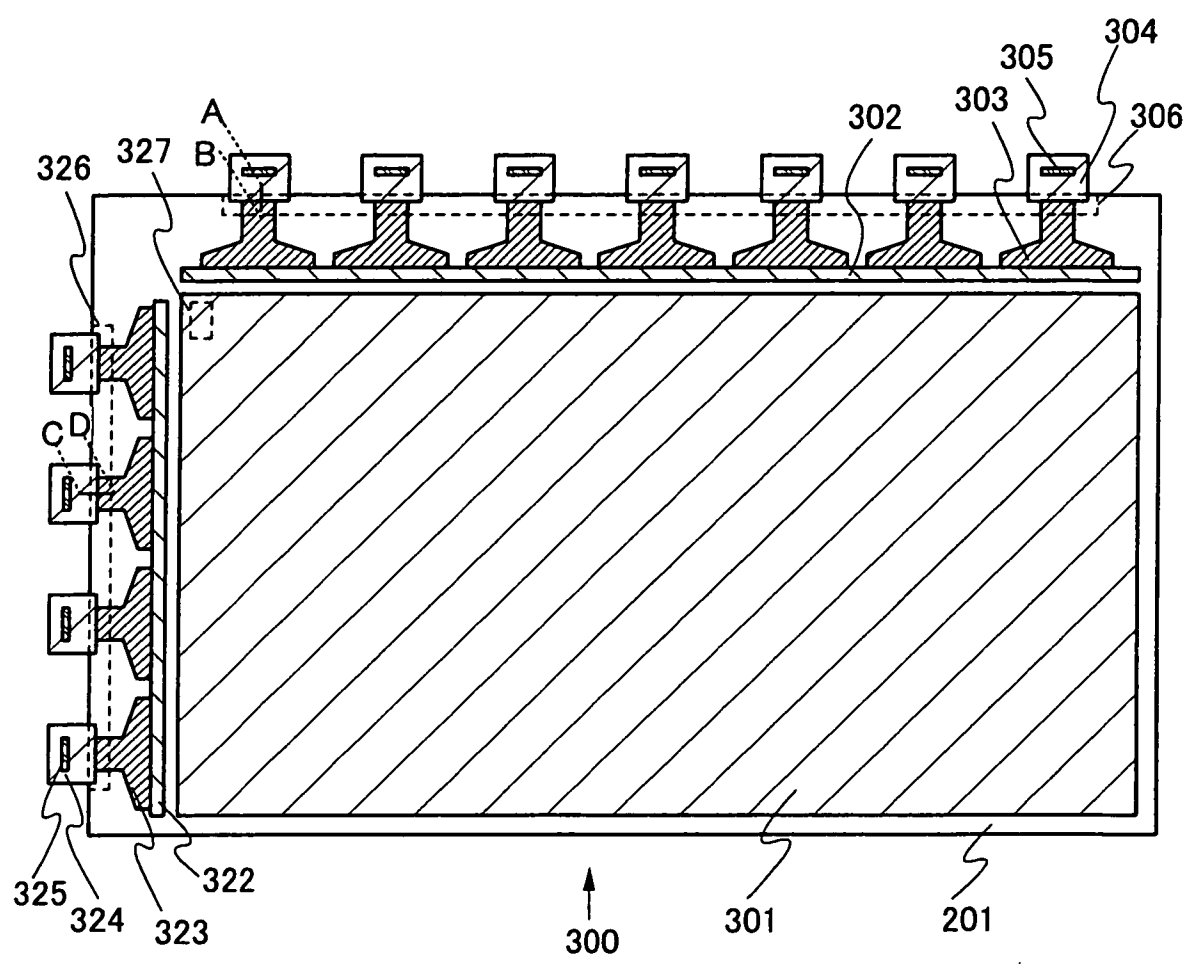


圖14A

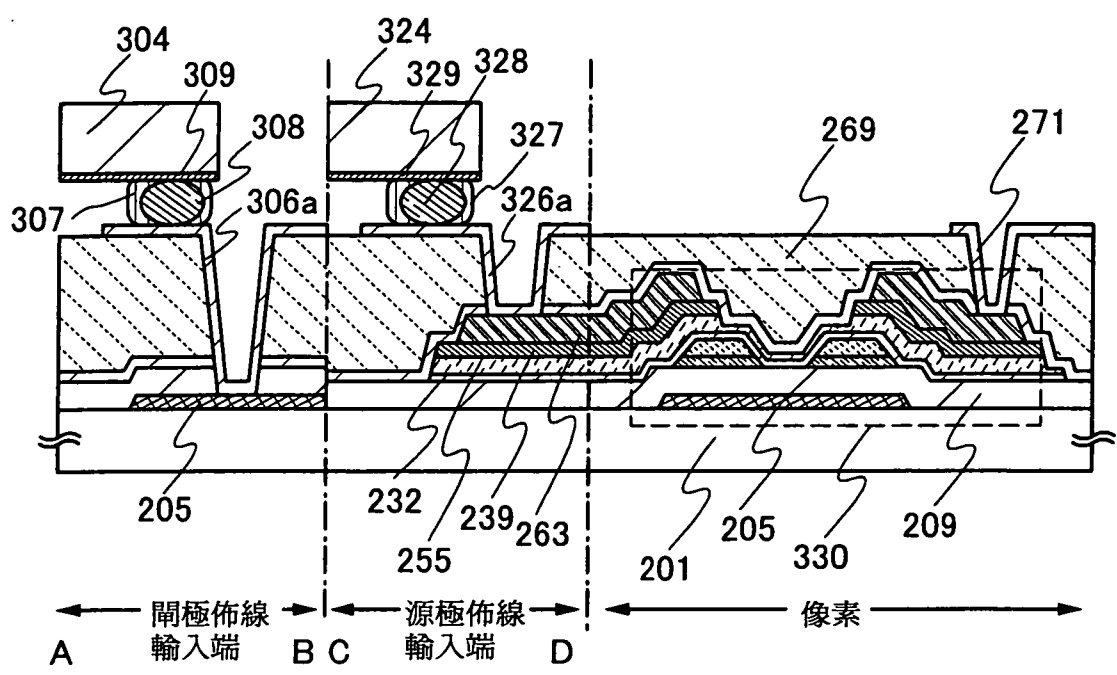


圖14B

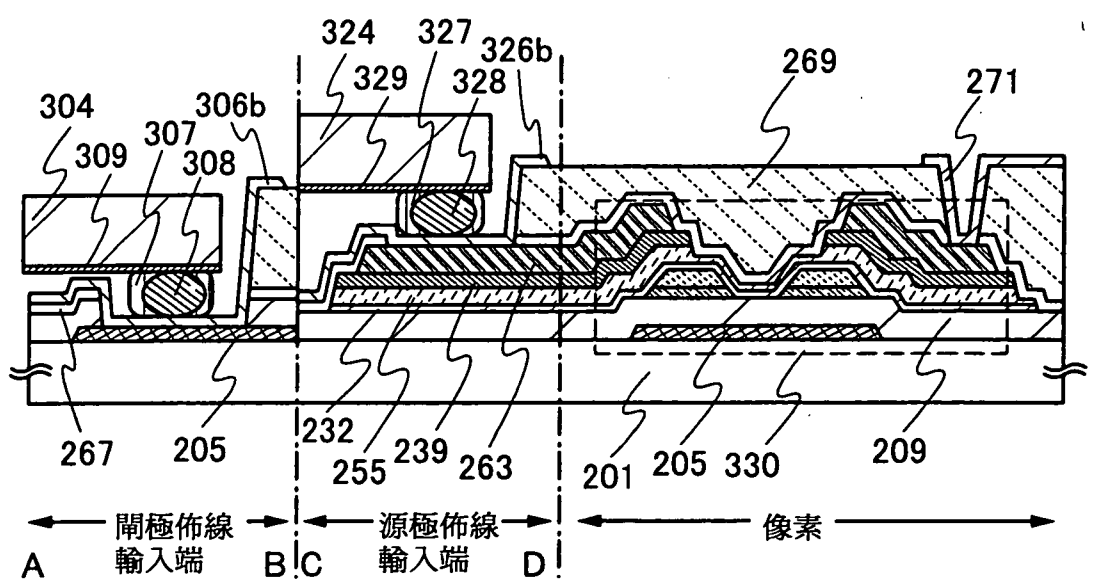


圖 15A

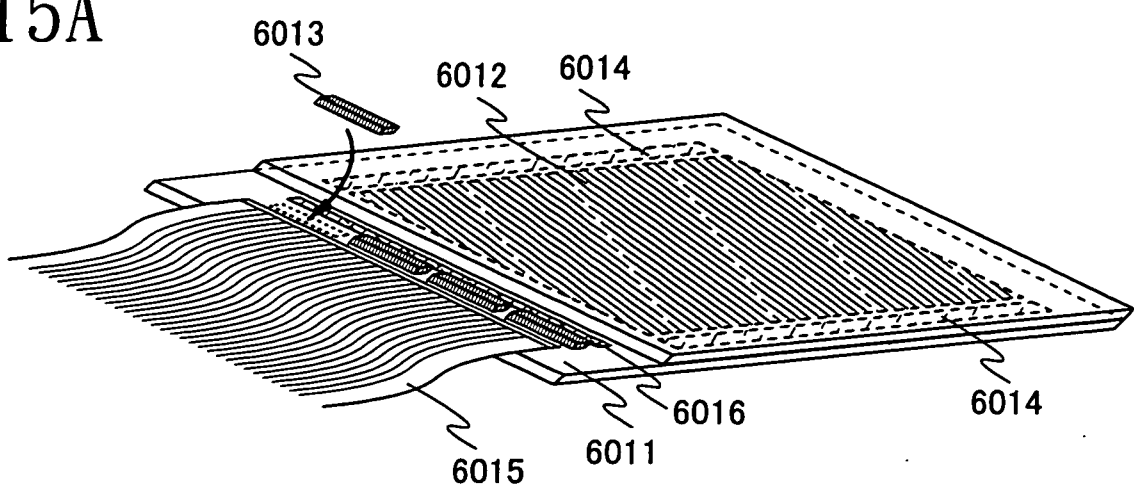


圖 15B

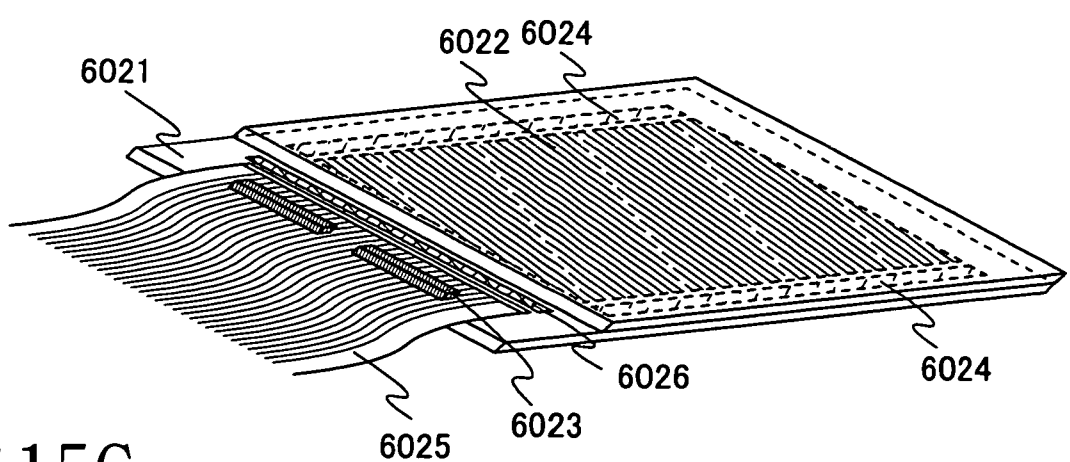


圖 15C

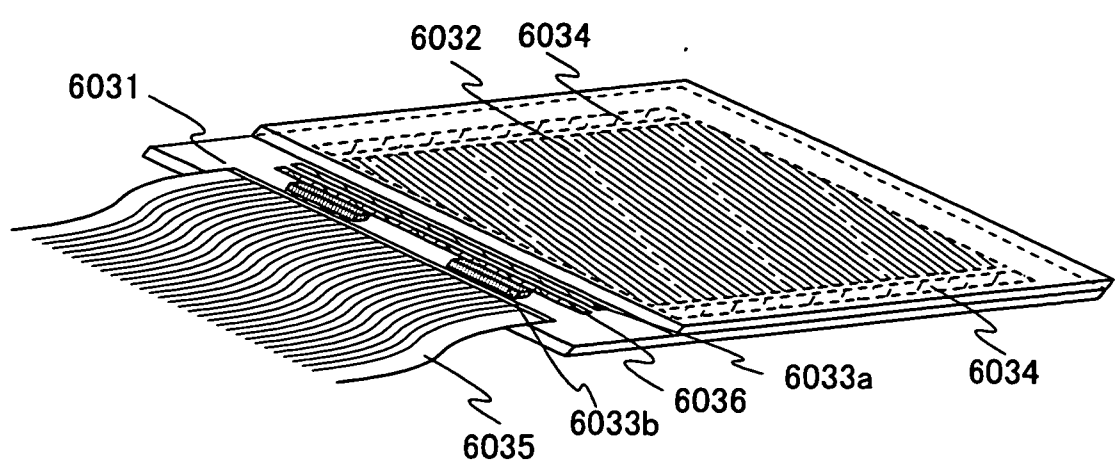


圖 16A

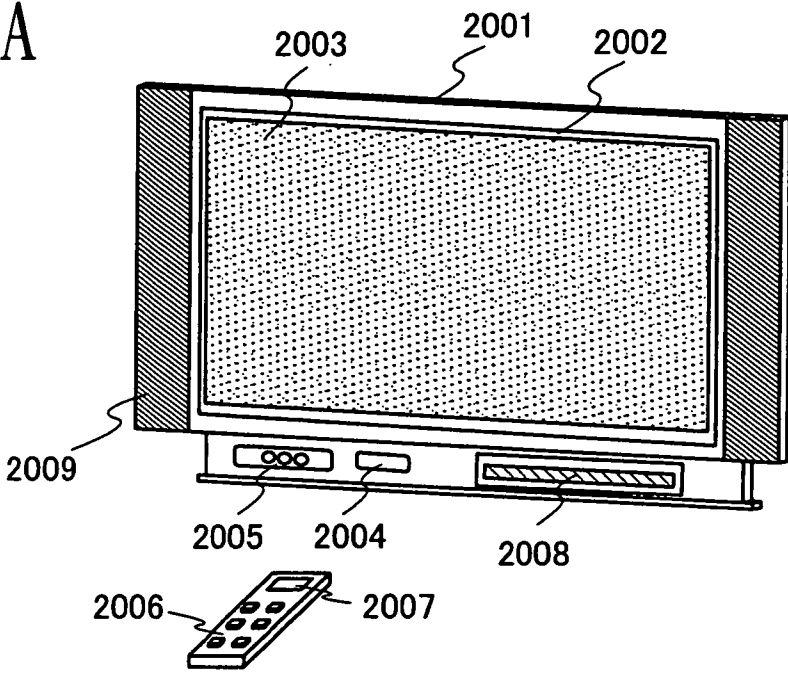


圖 16B

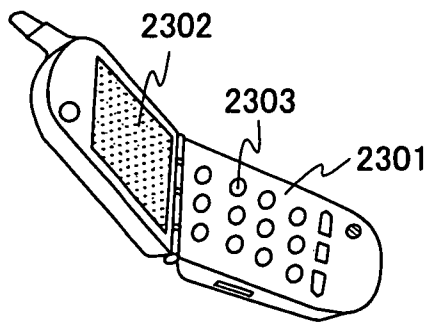


圖 16C

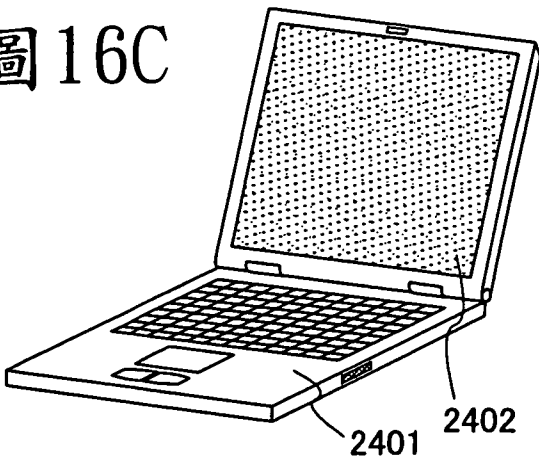


圖 16D

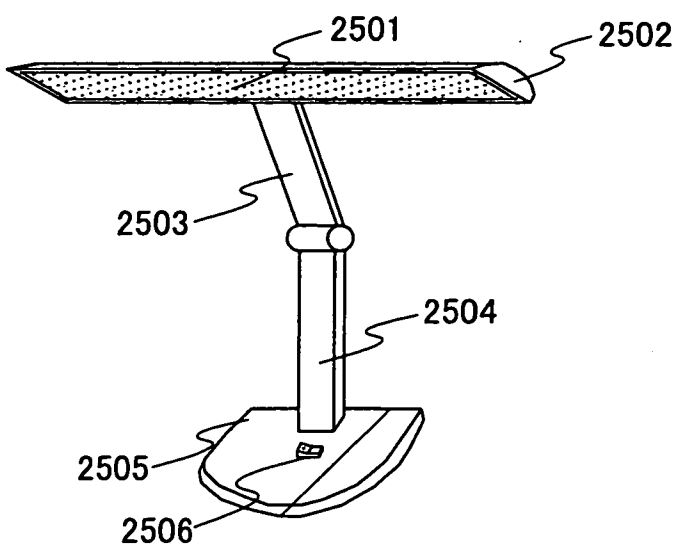


圖 17

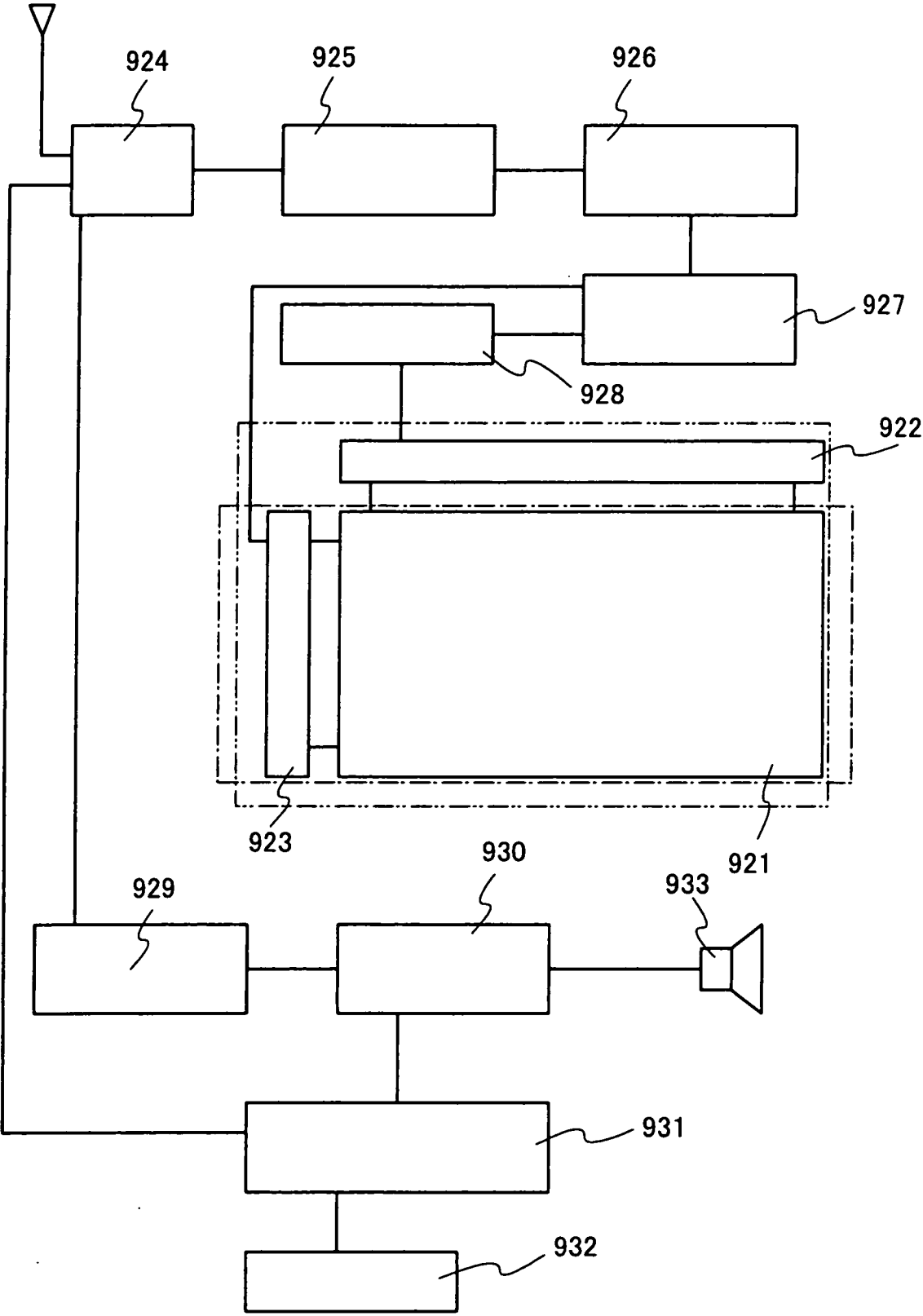


圖 18A

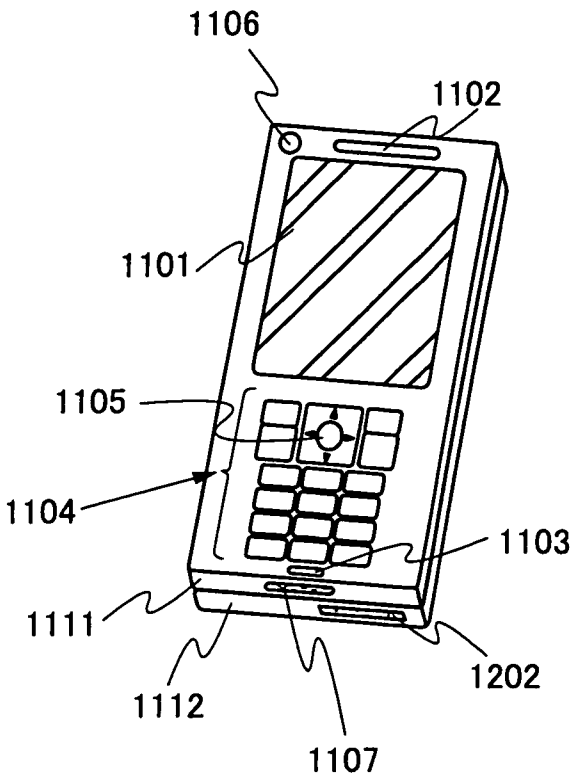


圖 18B

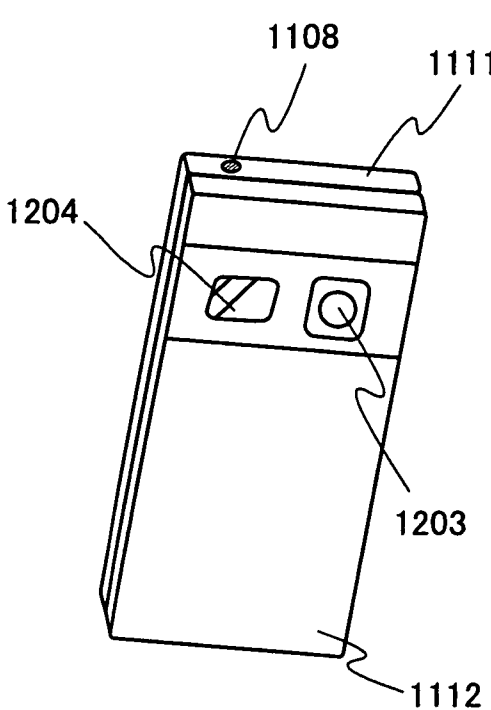


圖 18C

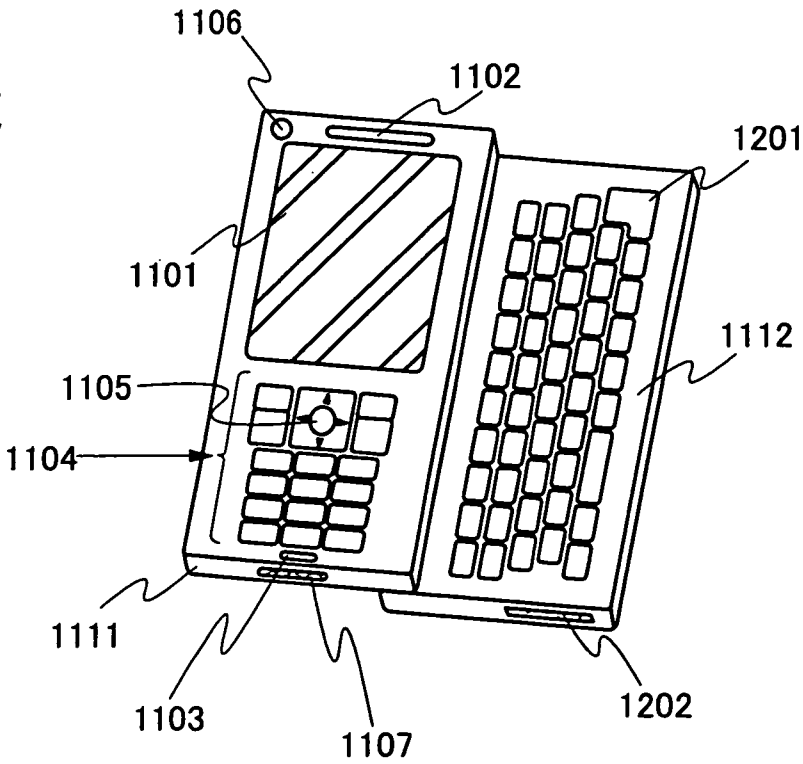


圖 19

