

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5329068号
(P5329068)

(45) 発行日 平成25年10月30日(2013.10.30)

(24) 登録日 平成25年8月2日(2013.8.2)

(51) Int. Cl.	F I
HO 1 L 23/522 (2006.01)	HO 1 L 21/90 B
HO 1 L 21/768 (2006.01)	HO 1 L 21/88 T
HO 1 L 21/3205 (2006.01)	HO 1 L 21/60 3 O 1 P
HO 1 L 21/60 (2006.01)	HO 1 L 21/66 E
HO 1 L 21/66 (2006.01)	

請求項の数 9 (全 33 頁)

(21) 出願番号	特願2007-274216 (P2007-274216)	(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社
(22) 出願日	平成19年10月22日(2007.10.22)		神奈川県川崎市中原区下沼部1753番地
(65) 公開番号	特開2009-105160 (P2009-105160A)	(74) 代理人	100080001 弁理士 筒井 大和
(43) 公開日	平成21年5月14日(2009.5.14)	(72) 発明者	石井 泰之 東京都千代田区大手町二丁目6番2号 株式会社ルネサステクノロジ内
審査請求日	平成22年10月5日(2010.10.5)	審査官	安田 雅彦

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体基板と、
前記半導体基板上に形成された半導体素子と、
前記半導体素子を覆うように形成された層間絶縁膜と、
前記層間絶縁膜中に形成された第1配線層と、
前記第1配線層と接続し、かつ、前記層間絶縁膜中に形成された第1ビアと、
前記第1ビアと接続し、かつ、前記層間絶縁膜上に形成された第2配線層と、
前記第1配線層と同層で、かつ、前記層間絶縁膜中に形成された第3配線層と、
前記第1ビアと同層で、前記第3配線層と接続し、かつ、前記層間絶縁膜中に形成され
た平面リング状の第2ビアと、
前記第2配線層と同層で、前記第2ビアと接続し、かつ、前記層間絶縁膜上に形成され
たパッドと、
前記パッド及び前記第2配線層を覆うように前記層間絶縁膜上に形成され、かつ、パッ
ドの上部に開口部を有する絶縁膜と、を有し、
前記第2ビアの幅は、前記第1ビアの幅よりも大きく、
前記第2ビアの平面リング状は矩形状であって、角部の幅が辺部の幅より大きいことを
特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

平面リング状の前記第 2 ビアで囲まれた平面領域は、前記パッドと前記第 2 ビアと前記第 3 配線層とで囲まれていることを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記第 2 ビアで囲まれた平面領域は、前記開口部の平面領域より大きいことを特徴とする半導体装置。

【請求項 4】

請求項 3 記載の半導体装置において、

前記パッドの端から前記第 2 ビアの内側の端までの距離が 0 より大きいことを特徴とする半導体装置。

10

【請求項 5】

請求項 3 記載の半導体装置において、

前記パッドと前記第 2 ビアが平面的に重なっていることを特徴とする半導体装置。

【請求項 6】

請求項 1 記載の半導体装置において、

平面リング状の前記第 2 ビアの内側には、前記第 2 ビアより幅が小さい平面リング状の第 3 ビアが設けられていることを特徴とする半導体装置。

【請求項 7】

請求項 1 記載の半導体装置において、

平面リング状の前記第 2 ビアの内側には、前記パッドおよび前記第 3 配線層に接続する複数の第 3 ビアが設けられており、

前記第 2 ビアと前記第 3 ビアとの距離は、前記複数の第 3 ビア間の距離より大きいことを特徴とする半導体装置。

20

【請求項 8】

請求項 1 記載の半導体装置において、

平面リング状の前記第 2 ビアの内側には、前記パッドおよび前記第 3 配線層に接続し、且つ、平面メッシュ状の第 3 ビアが設けられており、

前記平面メッシュ状の交点以外の前記第 3 ビアの幅が、前記第 1 ビアの幅と同じであることを特徴とする半導体装置。

【請求項 9】

請求項 1 記載の半導体装置において、

平面リング状の前記第 2 ビアの内側には、前記パッドおよび前記第 3 配線層に接続し、且つ、平面リング状の多重の第 3 ビアが設けられており、

前記多重の第 3 ビアの一部の幅が、前記第 1 ビアの幅と同じであることを特徴とする半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、半導体素子の上方に設けられた電極パッドを有する半導体装置に適用して有効な技術に関するものである。

40

【背景技術】

【0002】

電極パッドは、コンタクト、V i a (ビア、パイア) および配線層を介して M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) などの半導体素子と電氣的に接続されて半導体基板 (半導体ウエハ、半導体チップを構成するもの) 上に設けられている。この電極パッドは、ウエハプロービング試験時の接続や組み立て時のワイヤボンディング接続などのために用いられている。

【0003】

従来、電極パッドは半導体素子が形成される活性領域上には設けないのが一般的であった。その理由としては、電極パッドへのプロービングなどの際に加えられる圧力によって

50

、電極パッド下に発生するクラックの防止や、また電極パッド下方に設けられている半導体素子が損傷を受けて特性が悪化するのを防止するためである。

【0004】

しかしながら、半導体素子の微細化によって半導体集積回路に搭載される機能が増大し、必要な電極パッド数が増大するに従い、活性領域に形成された半導体素子の上方に電極パッドを配置するPAA(PAD on Active Area)の必要性が出てきている。これにより、チップサイズの拡大を抑制することができる。

【0005】

なお、本発明者は、発明した結果に基づき、チップサイズの拡大を抑制するためPAAを用いる観点、および電極パッド下のクラック発生対策のため保護材として働く保護用Viaとその下の保護用配線層で囲む観点で先行技術調査を行った。その結果、保護用Viaおよび保護用配線層で囲む観点では、特開2006-165419号公報(特許文献1)が抽出された。特許文献1は、全体として、電極パッド直下のクラック進行を防止し、半導体装置の信頼性を向上することを主題とするものであり、PAAを用いることによってチップサイズの拡大を抑制することについての記載はない。

【特許文献1】特開2006-165419号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

半導体装置にPAAを用いない場合、電極パッド数が増大するに従い、チップサイズが拡大してしまう。このためチップサイズの拡大防止に有効な手段として、PAAの必要性が出てきている。PAAを用いることによって、電極パッド下方に半導体素子を配置することができるからである。

【0007】

また、PAAを半導体装置に適用した場合であっても、半導体装置によっては配線構造などが異なるため、プロセス毎に開発・評価・検討が必要となることが考えられる。このため、どのプロセスによる半導体装置であってもPAAを簡便に適用できることが望まれる。また、単に、活性領域に形成された半導体素子の上方に電極パッドを設けたPAAではなく、電極パッドへのプロービングなどの際に加えられる圧力によって、電極パッド下に発生するクラックの防止や、また電極パッド下方に設けられている半導体素子が損傷を受けて特性が悪化するのを防止する必要もある。

【0008】

本発明の目的は、半導体装置のチップサイズの拡大を抑制することのできる技術を提供することにある。

【0009】

また、本発明の他の目的は、半導体素子の上方に電極パッドを配置した半導体装置の信頼性を向上することのできる技術を提供することにある。

【0010】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0011】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】

本発明の一実施の形態は、上下の配線層間における層間絶縁膜に設けられ、それぞれを接続する回路用Viaと、電極パッド下の前記層間絶縁膜に設けられ、一方が電極パッドと接続された保護用Viaと、前記保護用Viaの他方のみと接続された配線層から構成される保護用配線層と、前記保護用配線層の下方の半導体基板の主面に設けられた半導体素子とを有する半導体装置に適用した場合について示している。ここで、保護用Viaの

10

20

30

40

50

幅は回路用 V i a の幅以上である。

【発明の効果】

【 0 0 1 3 】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【 0 0 1 4 】

この一実施の形態によれば、半導体装置のチップサイズの拡大を抑制することができる。

【発明を実施するための最良の形態】

【 0 0 1 5 】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する場合がある。また、以下の実施の形態を説明する図面においては、構成を分かり易くするために平面図であってもハッチングを付す場合がある。

【 0 0 1 6 】

本発明の実施の形態では、半導体集積回路 (L S I) を内蔵した半導体装置について説明する。用途により、入出力などの周辺回路や、メモリを内蔵する場合もある。半導体集積回路など (以下、回路という) は、半導体チップ (半導体基板) の主面に設けられた M I S F E T 、 V i a 、配線層などが電気的に接続されて構成される。

【 0 0 1 7 】

(実施の形態 1)

図 1 は本実施の形態における半導体装置 (半導体チップ 1 C) の平面を示す模式図である。半導体チップ 1 C を構成する半導体基板 1 S の表面には、表面保護膜 (パッシベーション膜) によって覆われた素子形成領域 2 と、その外周の外周領域 3 とが設けられている。素子形成領域 2 では M I S F E T などが形成されており、それらと電気的に接続された電極パッド (P A D) 4 が外部端子として設けられている。また外周領域 3 では半導体ウエハから半導体チップ 1 C を切り出す際のマージン領域を含めて、外部から素子形成領域 2 内への水分侵入を防止する手段が施されている。

【 0 0 1 8 】

図 2 は図 1 中の半導体装置の X - X 線の断面を示す模式図であり、図 3 は図 1 中の半導体装置の破線で囲まれた領域 A を透視して示す模式図である。図 3 中の上図および下図はそれぞれ最上層の配線層 5 M 4 およびその下の配線層 5 M 3 を中心に示しており、特に、平面リング状の保護用 V i a 9 と、電極パッド 4 および保護用配線層 1 0 との配置関係が明確になるように示している。このため、図 3 中では、一部の部材が省略されており、また、上図では、配線層 5 M 4 下の回路用 V i a 7 および保護用 V i a 9 を破線で示している。

【 0 0 1 9 】

図 2 に示すように、半導体基板 1 S 上には、それぞれが層間絶縁膜 6 を介して複数の配線層 5 が設けられている。本実施の形態では、複数の配線層 5 は 4 層から構成されており、最下層の第 1 層の配線層 5 M 1 から第 2 層の配線層 5 M 2 、第 3 層の配線層 5 M 3 、そして最上層の第 4 層の配線層 5 M 4 が積層されている。この最上層である配線層 5 M 4 の一部には、電極パッド 4 が設けられている。これら配線層 5 は、例えば A l (アルミニウム) を主成分とする材料からなる。ここで、電極パッド 4 とは、表面保護膜 8 のパッド開口部 8 a によって表面が露出した最上層の配線層 (配線層 5 M 4) のことをいう。

【 0 0 2 0 】

また、複数の配線層 5 を電気的に分離する層間絶縁膜 6 は、層間絶縁膜 6 a と層間絶縁膜 6 b とから構成されており、層間絶縁膜 6 a は同層の配線間を埋め込むために、埋め込み性の高い絶縁膜が用いられている。層間絶縁膜 6 は、例えば S i O ₂ (酸化シリコン) からなる。

【 0 0 2 1 】

10

20

30

40

50

複数の配線層 5 のうち上下の配線層 5 間（例えば、配線層 5 M 3 と配線層 5 M 4 との間）における層間絶縁膜 6 には、その上下の配線層 5（先の例では、配線層 5 M 3 と配線層 5 M 4）を接続する回路用 V i a 7 が設けられている。回路用 V i a 7 は、孔 7 a に、例えばバリアメタルと、そのバリアメタルを介して孔 7 a の内部を埋め込む高融点金属（例えば、W（タングステン））とからなり、その幅 y は最小加工寸法以上であるとし、例えば $0.2 \sim 0.3 \mu\text{m}$ である。また、バリアメタルは、例えば、T i（チタン）と T i N（窒化チタン）等の導電膜を積層して構成されている。

【 0 0 2 2 】

半導体チップ 1 C の表面となる複数の配線層 5 上には、例えばポリイミドからなる表面保護膜 8 が設けられている。表面保護膜 8 には、電極パッド 4 の表面が露出するようにパッド開口部 8 a が設けられている。これにより電極パッド 4 は、ウエハプロービング試験時の接続や組み立て時のワイヤボンディング接続などとして用いられる。本実施の形態では、これらの接続による電極パッド 4 下の層間絶縁膜 6 にクラックが発生した場合の対策のために、クラックが発生する領域を、保護用 V i a 9 とその下の保護用配線層 1 0（配線層 5）で囲むようにして、回路を構成する部材を保護している。

10

【 0 0 2 3 】

具体的には、図 3 に示すように、電極パッド 4（配線層 5 M 4）下の層間絶縁膜 6 には、一方が電極パッド 4 と接続された平面リング状の保護用 V i a 9 が設けられている。本実施の形態では、保護用 V i a 9 の平面リング状が矩形状となるように設けられている。保護用 V i a 9 は、溝 9 a に、例えばバリアメタルと、そのバリアメタルを介して溝 9 a の内部を埋め込む高融点金属（例えば、W（タングステン））とからなる。

20

【 0 0 2 4 】

上記の保護用 V i a 9 の幅（溝 9 a の幅） x は、回路用 V i a 7 の幅 y 以上で、高融点金属が埋め込み可能な幅以下であり、例えば $0.6 \mu\text{m}$ である。また、複数の配線層 5 のうち、電極パッド 4 下方には保護用 V i a 9 の他方のみと接続された保護用配線層 1 0 が設けられている。保護用配線層 1 0 は、配線層 5 から構成されるので、配線層 5 と同様に例えば A l（アルミニウム）を主成分とする材料からなる。なお、本実施の形態では、保護用 V i a 9 および保護用配線層 1 0 には、それぞれ回路用 V i a 7 および配線層 5 と同じの材料を適用した場合について説明したが、電極パッド 4 下の層間絶縁膜 6 で発生したクラックから回路を保護できるものであれば別の材料でも良い。

30

【 0 0 2 5 】

これら保護用 V i a 9 および保護用配線層 1 0 は、図 1 に示したように、半導体チップ 1 C の複数の電極パッド 4 下のそれぞれに設けられている。すなわち、各電極パッド 4 間で短絡が起きないように、保護用 V i a 9 同士、保護用配線層 1 0 同士では電氣的に分離されている。したがって、保護用配線層 1 0 は、回路用としては使用することができない。

【 0 0 2 6 】

このように保護用 V i a 9 と、保護用 V i a 9 のみと接続された保護用配線層 1 0 は、電極パッド 4 下で、パッド開口部 8 a で露出している電極パッド 4 下の層間絶縁膜 6 を囲んで設けている。これによって、囲んだ領域外にクラックが延在するなどの不具合を生じさせないようにして、回路を構成する部材を保護することができる。なお、回路を構成する V i a を回路用 V i a 7 として示しており、保護用 V i a 9 と区別している。

40

【 0 0 2 7 】

半導体基板 1 S の主面には、活性領域を区画するように素子分離領域 1 1 が設けられている。その活性領域には、回路を構成する半導体素子として、M I S F E T 1 2 が設けられている。M I S F E T 1 2 は、半導体基板 1 S 上にゲート絶縁膜を構成する絶縁膜 1 2 a と、その上にゲート電極を構成する導電性膜 1 2 b と、そのゲート電極の側壁下の半導体基板 1 S に設けられたソース・ドレインを構成する半導体領域 1 2 c とを有している。

【 0 0 2 8 】

また、図示はしないが、このゲート電極およびソース・ドレイン領域には、自己整合的

50

に形成されたシリサイド層が設けられている。シリサイド層は接触抵抗低減のために設けられており、例えば、コバルトシリサイドまたはニッケルシリサイド等の材料からなる。

【0029】

ここで、保護用配線層10の下方の半導体基板1Sの主面にもMISFET12が設けられている。また、保護用配線層10の下方に回路を構成する配線層5、拡散層(半導体領域)などを設けることができる。従来、電極パッドへのプロービングなどの際に加えられる圧力によって、電極パッド下方に設けられている半導体素子が損傷を受けて特性が悪化するのを防止するため、電極パッド下方には活性領域(MISFET)を設けないのが一般的であった。しかしながら、本実施の形態に示すように、保護用Via9と保護用配線層10とを電極パッド4下に設けることによって、電極パッド4からの圧力によって保護用配線層10下方のMISFET12の特性に影響を及ぼすのを防止することができる。また、後に詳述するが、このようなMISFET12の上方に電極パッド4を配置するPAA(PAD on Active Area)とすることができるので、チップサイズの拡大を抑制することができる。このチップサイズの拡大防止により、半導体装置の製品コストも抑制することができる。また、電極パッド4下に電源配線として配線層5を設けることもできる。

10

【0030】

また、本実施の形態では、素子分離領域11は、所謂STI(Shallow Trench Isolation)で形成されている。すなわち、半導体基板1Sに溝を形成し、その溝内に酸化シリコン膜等の絶縁膜を埋め込むことで形成されている場合を例示している。しかし、素子分離領域11を、半導体基板1Sを選択的に熱酸化させることによって形成するLOCOS法を用いて形成してもよい。

20

【0031】

図3に示すように、電極パッド4下に設けられている保護用Via9は、その平面形状がリング状(環状)であり、切れ目がないものとなっている。この保護用Via9は電極パッド4および保護用配線層10以外の配線層5とは接続しておらず、独立している。表面保護膜8のパッド開口部8aによって露出された領域の配線層5すなわち電極パッド4が、保護用Via9のリングの内側となるように、電極パッド4と保護用Via9が配置されている。言い換えると、電極パッド4を露出するパッド開口部8aの外側に、平面リング状の保護用Via9が配置されている。前述したように、パッド開口部8aの下部は、保護用Via9と保護用配線層10とで囲むことによって、電極パッド4へ例えばプロービングが接触してもクラックの進行を防止することができる。さらに、本実施の形態では、保護用Via9の幅は回路用Via7の幅以上としているので、回路用Via7の幅が縮小されるように回路が微細化された場合でも、厚みが確保された保護用Via9によってクラックの進行を防止することができる。

30

【0032】

次に、表面が露出した電極パッド4下の保護用Via9および保護用配線層10の配置について説明する。図4は図2中の半導体装置の要部を示す模式図であり、図5は電極パッド4にプローブピン14が接触してクラック15が発生した場合の説明図である。

【0033】

本実施の形態では、複数の配線層5のうち、最上層の配線層5M4およびその下の配線層5M3の2層の一部がそれぞれ電極パッド4および保護用配線層10として用いられている。これら電極パッド4と保護用配線層10との間で、平面リング状の保護用Via9の一方が電極パッド4と他方が保護用配線層10と接続されている。これにより電極パッド4の下部が保護用Via9と保護用配線層10とで囲まれることとなる。したがって、図5に示すように、例えば電気的特性を測定するためにプローブピン14が電極パッド4に接触してクラック15が発生した場合であっても、保護用Via9と保護用配線層10とで囲まれた領域の外には、クラック15が進行することを防止することができる。

40

【0034】

例えば、回路の電気的特性を評価するためにプローブピン14やボンディングするためにボンディングワイヤが、電極パッド4の接触領域4aに接触すれば良い。本実施の形態

50

では、図5に示すように、パッド開口部8aによって表面が露出している電極パッド4を囲むように平面リング状の保護用Via9が設けられているが、プローブピン14が電極パッド4に接触したことにより発生したクラック15の進行を防止の観点から、プローブピン14が電極パッド4に接触する接触領域4aを囲むように保護用Via9が設けられていけば良い。

【0035】

しかしながら、電極パッド4の接触領域4aの境界でプローブピン14が接触した場合は、図5に示すようにストレス16が拡がることが考えられる。したがって、更に、クラック15の進行を防止するために、図4に示すように、平面リング状の保護用Via9の内側の距離bが、パッド開口部8a（パッド電極4）の距離a以上であることが望ましい。また、保護用配線層10の外周の距離cが、平面リング状の保護用Via9の内側の距離b以上であることが望ましい。さらに、電極パッド4を構成する最上層の配線層5の端から、平面リング状の保護用Via9の内側の端までの距離wが0より大きいこと、すなわち電極パッドを構成する配線層5と保護用Via9とが重なっていることが望ましい。

10

【0036】

図5に示すように、電極パッド4下の層間絶縁膜（絶縁膜）6において、クラック15の横方向（図の左右方向）の進行はタングステン膜（金属膜）から構成される保護用Via9によって防止でき、またクラック15の下方向（図の下方向）の進行はアルミニウム膜（金属膜）から構成される保護用配線層10によって防止できる。これは保護用Via9および保護用配線層10が緩衝材として働くことと、金属膜と絶縁膜の界面に沿ようにクラック15が進行するからと考えることができる。

20

【0037】

図6は本発明者が検討した半導体装置（半導体チップ1C'）の平面を示す模式図であり、図7は図6中の半導体装置のX-X線の断面を示す模式図である。なお、本実施の形態における半導体装置の回路と本発明者が検討した半導体装置の回路とは、同一の機能を有するものとし、それらが形成される素子形成領域2のサイズ（面積）は、図1と図6とは同じであることとする。

【0038】

図6および図7に示す半導体チップ1C'では、パッド開口部8a（電極パッド4）の下には、回路を構成する部材を配置せずに、チップの平坦性を確保するためにダミーの配線層17、ダミーの電極18およびダミーの活性領域を配置している。このような配置とすることで、電極パッド4へのプロービングなどの際に加えられる圧力によって、回路を構成する部材に損傷を与えず、半導体素子の特性が悪化するのを防止することができる。しかしながら、電極パッド4下の領域が回路を配置しない領域として外周領域3内に確保されなければならない、微細化によって半導体集積回路に搭載される機能が増大し、必要な電極パッド数が増大した場合には、さらに外周領域3を拡大することになってしまう。

30

【0039】

そこで、本実施の形態では、例えば図4に示したように、電極パッド4下の層間絶縁膜6に設けられ一方が電極パッド4を構成する最上層の配線層5と接続された平面リング状の保護用Via9と、電極パッド4下方に設けられ保護用Via9の他方のみと接続された保護用配線層10とを有する構造とし、保護用Via9の幅xを回路用Via7の幅y以上とすることにより、信頼性を確保しつつ、チップサイズの拡大を抑制することができる。なお、保護用Via9のリング内側に回路を構成しないViaを設けても良い。

40

【0040】

次に、本実施の形態における半導体装置の製造方法について図8～図19を参照して順に説明する。ここでは、回路を構成するMISFET及び複数の配線層（多層配線）は周知の技術によって製造することができるので、その説明を省略し、保護用Via9および保護用配線層10の形成を中心に説明する。

【0041】

図8に示すように、孔7aに回路用Via7が形成された層間絶縁膜6b（層間絶縁膜

50

6) 上に金属膜を形成した後、ホトリソグラフィ技術によりパターンニングされたホトレジスト膜19を前記金属膜上に形成し、ホトレジスト膜19をマスクとして前記金属膜をエッチングすることによって配線層5を形成する。層間絶縁膜6bは例えばCVD(Chemical Vapor Deposition)によって形成された酸化シリコン膜から構成される。また、前記金属膜は例えばスパッタによって形成されたアルミニウム膜から構成される。なお、形成された配線層5は図2で示した第3層の配線層5M3を構成する。

【0042】

続いて、ホトレジスト膜19を除去した後、図9に示すように、第3層の配線層5M3の間を埋め込むように層間絶縁膜6aを形成した後、この層間絶縁膜6aを平坦化する(図10)。層間絶縁膜6aは埋め込み性の高い絶縁膜であれば良く、例えばHDP-CVD(High Density Plasma CVD)によって形成された酸化シリコン膜から構成される。

10

【0043】

続いて、図11に示すように、層間絶縁膜6a上に層間絶縁膜6bを形成する。層間絶縁膜6bは例えばCVDによって形成された酸化シリコン膜から構成される。層間絶縁膜6aと層間絶縁膜6bにより層間絶縁膜6が構成され、その厚さは第3層の配線層5M3とその上層の配線層とが電氣的に分離されるような厚さとなるように調整される。

【0044】

続いて、図12に示すように、ホトリソグラフィ技術によりパターンニングされたホトレジスト膜19を層間絶縁膜6上に形成し、ホトレジスト膜19をマスクとして前記層間絶縁膜6をエッチングすることによって層間絶縁膜6に孔7aおよび溝9aを形成する。この際、溝9aの幅(図中の左右方向)が、孔7aの幅(図中の左右方向)以上となるように調整する。また、溝9aは図3に示したように平面形状がリング状となるように形成される。

20

【0045】

続いて、ホトレジスト膜19を除去した後、図13に示すように、孔7aおよび溝9aの側壁にバリアメタル(図示しない)を形成し、前記バリアメタルを介して孔7aおよび溝9aの内部を埋め込むように金属膜20を形成する。金属膜20は例えば高融点金属のタングステン膜から構成される。

【0046】

続いて、図14に示すように、余分な金属膜20およびバリアメタルを研磨除去することによって、孔7aに回路用Via7を形成すると共に、溝9aに保護用Via9を形成する。本実施の形態では、溝9aの幅と孔7aの幅の関係から、保護用Via9の幅は回路用Via7の幅以上となる。

30

【0047】

続いて、図15に示すように、回路用Via7および保護用Via9が形成された層間絶縁膜6上に金属膜5aを形成する。この金属膜5aは例えばスパッタによって形成されたアルミニウム膜から構成される。

【0048】

続いて、図16に示すように、ホトリソグラフィ技術によりパターンニングされたホトレジスト膜19を金属膜5a上に形成し、ホトレジスト膜19をマスクとして金属膜5aをエッチングすることによって配線層5を形成する。なお、形成された配線層5は図2で示した第4層(最上層)の配線層5M4を構成する。

40

【0049】

続いて、ホトレジスト膜19を除去した後、図17に示すように、第4層の配線層5M4間を埋め込むように表面保護膜8を形成する。表面保護膜8は例えば塗布によって形成されたポリイミド膜から構成される。なお、本実施の形態では、表面保護膜8は単層構造であるが、積層構造であっても良い。

【0050】

続いて、図18に示すように、ホトリソグラフィ技術によりパターンニングされたホトレジスト膜19を表面保護膜8上に形成し、ホトレジスト膜19をマスクとして表面保護膜

50

8をエッチングすることによって表面保護膜8にパッド開口部8aを形成する。次いで、ホトレジスト膜19を除去することによって、パッド開口部8aから最上層の配線層5の一部の表面が露出して電極パッド4が形成される(図19)。これにより、図1および図2で示した本実施の形態における半導体装置が完成する。

【0051】

(実施の形態2)

前記実施の形態1では、例えば図3に示したように、平面リングの形状が矩形状の保護用Via9の場合について説明した。これに対して本実施の形態では、保護用Via9の平面リングの形状を種々変形した場合について説明する。図20~図22は本実施の形態における半導体装置の要部の平面を示す模式図である。本実施の形態における保護用Via9は、例えば図5を参照して説明したように、電極パッド4にプローブピン14が接触したときに発生したストレス16によって、平面リング状の保護用Via9および保護用配線層10の外側にクラック15を進行させないようにしたものである。以下に、保護用Via9の形状以外の構成は前記実施の形態1と同様であるので、相違する点を中心に説明する。なお、本実施の形態における半導体装置は、前記実施の形態1で説明した製造方法と同様の工程で製造することができる。

10

【0052】

まず、図20に示す保護用Via9は、平面リング状の角(コーナー)部の幅を太くするものである。平面リング状が単に矩形状の場合、その角部には両側からストレス16が加わるため、ストレス16が集中し易い。そこで、角部の幅を太くしておき、保護用Via9の強度を上げている。すなわち、図20に示す保護用Via9は、平面リング状は矩形状であって、角部の幅が辺部の幅xより大きいものである。ここで、辺部の幅xは回路用Via7の幅y(図2参照)と同一でも良い。また、図20では、保護用Via9の角部の形状がL字状となっているが、これに限らず、角部の幅が辺部の幅xより太い形状となれば良い。

20

【0053】

次に、図21に示す保護用Via9は、平面リング状の角(コーナー)部の角度を緩めたものである。平面リング状が単に矩形状の場合、角度が90°の角部には両側からストレス16が加わるため、ストレス16が集中し易い。そこで、角部の角度を緩め、ストレス16の集中が起これにくいようにしている。ここで、辺部の幅xは回路用Via7の幅y(図2参照)と同一でも良い。また、図21では、保護用Via9の平面リング状の形状が、角部が8つの八角形状としてその角度を90°以上の鈍角としているが、これに限らず、角部の角度が緩くなる形状であれば良い。さらに、保護用Via9の平面リング状の形状が角度を持たない円形状や楕円形状となっても良い。

30

【0054】

次に、図22に示す保護用Via9は、平面リング状の形状が長形状とし、その長辺部の幅x1を、短辺部の幅x2より太くするものである。平面リング状が単に長形状の場合、長辺部が短辺部に比べて強度が低下する。そこで、長辺部の幅x1を短辺部の幅x2より太くして、ストレス耐性を向上している。ここで、短辺部の幅x2は回路用Via7の幅y(図2参照)と同一でも良い。

40

【0055】

(実施の形態3)

前記実施の形態1では、例えば図3に示したように、平面リングの形状が矩形状の保護用Via9を1つ用いた場合について説明した。これに対して本実施の形態では、保護用Via9のリング内側に別のVia(以下、内側Viaという)を設ける場合について説明する。図23は、本実施の形態における半導体装置の要部の平面を示す模式図である。本実施の形態における保護用Via9および内側Via21は、例えば図5に示したように、平面リング状の保護用Via9上の電極パッド4にプローブピン14が接触したときに発生したストレス16によって、リング外側にクラック15を進行させないようにしたものである。以下に、内側Via21を設ける以外の構成は前記実施の形態1と同様であ

50

るので、相違する点を中心に説明する。なお、内側V i a 2 1は、保護用V i a 9と同様に形成される。また、本実施の形態における半導体装置は、前記実施の形態1で説明した製造方法と同様の工程で製造することができる。

【0056】

図23に示すように、平面リング状の保護用V i a 9の内側に、その形状に相似した、すなわち平面リング状の内側V i a 2 1が設けられている。具体的には、平面リング状の保護用V i a 9の内側には、保護用V i a 9の幅x 1より幅の小さい平面リング状の内側V i a 2 1(幅x 2)が設けられている。このようにリングを2重にし、外周側のリング(保護用V i a 9)は内周側のリング(内側V i a 2 1)に比べて太くすることによって、内周側のリングで止めきれないストレス16でクラック15が発生した場合、外周側でクラック15を停止させることができる。これは内周側のリングを破壊することでエネルギーを吸収させるからである。このように、同一線幅で2重リングを配置するよりも、保護用V i a 9の幅x 1より幅の小さい平面リング状の内側V i a 2 1(幅x 2)を配置することで、外側の保護用V i a 9でクラック15を停止させる効果は高くなる。ここで、内側V i a 2 1の幅x 2は回路用V i a 7の幅y(図2参照)と同一でも良い。

【0057】

(実施の形態4)

本実施の形態では、前記実施の形態1で示した平面リング状の保護用V i a 9(例えば図3参照)のリング内側にV i a(以下、内側V i aという)を設ける場合について説明する。図24~図31は、本実施の形態における半導体装置の要部の平面を示す模式図である。本実施の形態における保護用V i a 9および内側V i a 2 1は、例えば図5に示したように、平面リング状の保護用V i a 9上の電極パッド4にプローブピン14が接触したときに発生したストレス16によって、保護用V i a 9の外側にクラック15を進行させないようにしたものである。以下に、内側V i a 2 1を設ける以外の構成は前記実施の形態1と同様であるので、相違する点を中心に説明する。なお、内側V i a 2 1は、保護用V i a 9と同様に形成される。また、本実施の形態における半導体装置は、前記実施の形態1で説明した製造方法と同様の工程で製造することができる。

【0058】

本実施の形態では、図24~図31に示すように、平面リング状の保護用V i a 9の内側には、内側V i a 2 1が設けられており、保護用V i a 9と内側V i a 2 1との距離aは、内側V i a 2 1間の距離bより大きくなるものとしている。これにより、内側V i a 2 1間の領域でクラック15を発生させ易くして、一方の保護用V i a 9と内側V i a 2 1との間の領域ではクラック15を発生しにくくしている。したがって、保護用V i a 9の外側にクラック15を進行することを防止できる。以下に図24から図31に示す複数の内側V i a 2 1について説明する。

【0059】

まず、図24に示す複数の内側V i a 2 1は、その平面形状を多重のリング状としたものである。また、図25に示す内側V i a 2 1は、その平面形状をメッシュ状としたものである。また、図26に示す複数の内側V i a 2 1は、その平面形状をドット状としたものである。これら内側V i a 2 1を、保護用V i a 9の内側に設けることで、保護用V i a 9の外側にクラック15を進行することを防止できる。

【0060】

次に、図27に示す複数の内側V i a 2 1は、その平面形状を多重のリング状とし、その一部に切り込み部を設けたものである。この切り込み部の幅cにより更にストレス耐性の弱い部分を形成することになり、ストレス16が逃げやすい部分を特定することができる。ここで、隣接する複数の内側V i a 2 1において、切り込み部は隣接しないようにする。また、保護用V i a 9までにストレスを到達させないために、保護用V i a 9と複数の内側V i a 2 1との距離aが複数のV i a 2 1間の距離bより大きく、かつ保護用V i a 9と複数の内側V i a 2 1との距離aが切り込み部の幅cより大きくなるものとしている。これにより、切り込み部で最もクラック15が発生し易くなり、次いで複数の内側V

10

20

30

40

50

i a 2 1 間でクラック 1 5 が発生し易くなるため、保護用 V i a 9 の外側にクラック 1 5 が進行することを防止できる。

【 0 0 6 1 】

次に、図 2 8 および図 2 9 に示す複数の内側 V i a 2 1 は、その平面形状を十字状として、それぞれを均等に設けたものである。ここで、複数の内側 V i a 2 1 同士では接触しないようにし、少なくとも幅 b は距離を開けるものとする。これによりストレス耐性の弱い部分を形成することになり、ストレス 1 6 が逃げやすい部分を特定することができる。これら複数の内側 V i a 2 1 を、保護用 V i a 9 の内側に設けることで、保護用 V i a 9 の外側にクラック 1 5 を進行することを防止できる。

【 0 0 6 2 】

次に、図 3 0 に示す複数の内側 V i a 2 1 は、その平面形状を多重のリング状とし、そのリングの一部をドット状としたものである。ここで、複数の内側 V i a 2 1 同士では接触しないようにし、少なくとも幅 b は距離を開けるものとする。また、隣接する複数の内側 V i a 2 1 において、幅 b の領域は隣接しないようにする。これによりストレス耐性の弱い部分を形成することになり、ストレス 1 6 が逃げやすい部分を特定することができる。また、図 3 0 で示すように複数の内側 V i a 2 1 の平面リング状が矩形状の場合には、角部ではストレス耐性を向上するためドット状とせず、辺部でドット状とすることが望ましい。

【 0 0 6 3 】

次に、図 3 1 に示す内側 V i a 2 1 は、その平面形状を螺旋状としたものである。幅 b の距離を開けた螺旋状の内側 V i a 2 1 を、保護用 V i a 9 の内側に設けることで、保護用 V i a 9 の外側にクラック 1 5 を進行することを防止できる。

【 0 0 6 4 】

(実施の形態 5)

本実施の形態では、前記実施の形態 1 で示した平面リング状の保護用 V i a 9 (例えば図 3 参照) のリング内側に V i a (以下、内側 V i a という) を設ける場合について説明する。図 3 2 ~ 図 3 4 は、本実施の形態における半導体装置の要部の平面を示す模式図である。本実施の形態における保護用 V i a 9 および内側 V i a 2 1 は、例えば図 5 に示したように、平面リング状の保護用 V i a 9 上の電極パッド 4 にプローブピン 1 4 が接触したときに発生したストレス 1 6 によって、保護用 V i a 9 の外側にクラック 1 5 を進行させないようにしたものである。以下に、内側 V i a 2 1 を設ける以外の構成は前記実施の形態 1 と同様であるので、相違する点を中心に説明する。なお、内側 V i a 2 1 は、保護用 V i a 9 と同様に形成される。また、本実施の形態における半導体装置は、前記実施の形態 1 で説明した製造方法と同様の工程で製造することができる。

【 0 0 6 5 】

本実施の形態では、図 3 2 ~ 図 3 4 に示すように、平面リング状の保護用 V i a 9 の内側には、異なる幅 a および幅 b を有する内側 V i a 2 1 が設けられており、幅 a が幅 b よりも大きく、幅 b が回路用 V i a 7 の幅 y (図 2 参照) と同一としている。これにより、幅 b の内側 V i a 2 1 付近でクラック 1 5 が発生し易くして、保護用 V i a 9 の外側にクラック 1 5 を進行することを防止できる。

【 0 0 6 6 】

図 3 2 および図 3 3 に示す内側 V i a 2 1 は、その平面形状をメッシュ状とし、平面メッシュ状の交点以外の内側 V i a 2 1 の幅 b を、回路用 V i a 7 の幅 y と同じとし、交点となる内側 V i a 2 1 の幅 a よりも狭くしている。また、図 3 4 に示す内側 V i a 2 1 は、その平面形状を多重のリング状とし、その一部の幅 b を、回路用 V i a 7 の幅 y と同じとし、その他の内側 V i a 2 1 の幅 a よりも狭くしている。

【 0 0 6 7 】

内側 V i a 2 1 の一部に幅の狭い部分を設けることによって、その部分でクラック 1 5 を発生し易くすることによって、保護用 V i a 9 の外側にクラック 1 5 が進行することを防止できる。

10

20

30

40

50

【0068】

(実施の形態6)

図35は本実施の形態における半導体装置の要部の断面を示す模式図である。前記実施の形態1では、例えば図2に示したように、4層の配線層5のうち最上層である第4層の配線層5M4の一部に電極パッド4、その下の第3層の配線層5M3の一部に保護用配線層10、電極パッド4と保護用配線層10との間に保護用Via9を設けた場合について説明した。これに対して本実施の形態では、図35に示すように、配線層5M3ではなく、その下の第2層の配線層5M2に保護用配線層10を設け、電極パッド4と保護用配線層10との間に2つの保護用Via9、23およびそれらを接続する中間層22を設けている点のみが相違する。

10

【0069】

したがって、本実施の形態における半導体装置は、半導体基板1S上に、それぞれが層間絶縁膜6を介して設けられた複数の配線層5と、複数の配線層5のうち上下の配線層5間における層間絶縁膜6に設けられ、上下の配線層5間を接続する回路用Via7と、複数の配線層5上に設けられた表面保護膜8とを有している。複数の配線層5の最上層の一部には、表面保護膜8に設けられたパッド開口部8aによって露出した電極パッド4が設けられている。また、電極パッド4下の層間絶縁膜6には、一方が電極パッド4を構成する配線層5と接続された平面リング状の保護用Via9が設けられている。また、複数の配線層5のうち、電極パッド4下方には、保護用Via9の他方と接続された平面リング状の中間層22が設けられている。また、中間層22下の層間絶縁膜6には、一方が中間層22と接続された平面リング状の保護用Via23が設けられている。複数の配線層5のうち、中間層22下方には、保護用Via23の他方のみと接続された保護用配線層10が設けられている。また、保護用Via9の幅 x_1 および保護用Viaの幅 x_2 は回路用Via7の幅 y 以上としている。なお、保護用配線層10の下方の半導体基板1Sの上面には、前記実施の携帯で示した図2と同様にMISFET12が設けられている。

20

【0070】

電極パッド4下の層間絶縁膜(絶縁膜)6において、クラック15の横方向(図35中の左右方向)の進行はタングステン膜(金属膜)から構成される保護用Via9、23によって防止でき、またクラック15の下方方向(図35中の下方方向)の進行はアルミニウム膜(金属膜)から構成される保護用配線層10によって防止できる。これは保護用Via9および保護用配線層10が緩衝材として働くことと、金属膜と絶縁膜の界面に沿うようにクラック15が進行するからと考えることができる。さらに、前記実施の形態1では第3層の配線層5M3に保護用配線層10を設けているところ、本実施の形態では第2層の配線層5M2に保護用配線層10を設けることによって、電極パッド4から保護用配線層10までの距離が長くなり、保護用配線層10外側へのクラック15の進行をより防止できる。なお、本実施の形態では、第2の配線層5M2に保護用配線層10を設けた場合について説明しているが、クラック15が第2の配線層5M2まで進行しないのであれば、保護用配線層10を設けなくとも良い。

30

【0071】

図35中の左右方向における距離(幅)について、パッド開口部8aの距離を a 、第1の保護用Via9の内周の距離を b_1 、第2の保護用Via23の内周の距離を b_2 、保護用配線層10の外周の距離を c 、中間層22の内周の距離を d 、電極パッド4を構成する最上層の配線層5の端から平面リング状の保護用Via9の内側の端までの距離を w とする。また、第1の保護用Via9の幅を x_1 、第2の保護用Via23の幅を x_2 、回路用Via7の幅を y 、中間層22の幅を e とする。

40

【0072】

ここで、更なるストレス耐性を向上するためには、 $a > b_1$ 、 $a > b_2$ 、 $a > d$ 、 $d > b_1$ 、 $d > b_2$ 、 $b_1 > b_2$ 、 $b_2 > c$ 、 $x_1 > y$ 、 $x_2 > y$ 、 $w > 0$ の関係を満たすような構成にすれば良い。この構成は前記実施の形態1の半導体装置の電極パッド4、保護用Via9および保護用配線層10で構成した断面(例えば図2参照)のように矩形状で

50

はなく、図35に示すように電極パッド4、保護用Via9、23、中間層22および保護用配線層10で構成した断面形状が台形状となっている。このため、電極パッド4から保護用配線層10までの距離が長くなり、保護用配線層10の外側へのクラック15の進行をより防止できるとともに、電極パッド4から保護用Via23までの距離が長くなり、保護用Via23の外側へのクラック15の進行をより防止できる。

【0073】

一方、保護用配線層10下に回路を構成する配線層5を設ける自由度を向上するためには、 a b 1、 d b 1、 d b 2、 b 1 b 2、 b 2 c 、 x 1 y 、 x 2 y の関係を満たすような構成にすれば良い。この構成は図35で示した電極パッド4、保護用Via9、23、中間層22および保護用配線層10で構成した断面形状が台形状とは逆の逆台形状となっている。このため、電極パッド4から保護用配線層10までの距離が長くなり、保護用配線層10の外側へのクラック15の進行をより防止できるとともに、電極パッド、保護用Via9、23、中間層22で囲まれる領域を狭めて、保護用配線層10下に回路を構成する配線層5を設ける自由度を向上することができる。

【0074】

なお、本実施の形態における半導体装置は、前記実施の形態1で説明した製造方法と同様の工程で製造することができる。また、前記実施の形態3~5に示したように、平面リング状の保護用Via9、23の内側にViaを設けても良い。

【0075】

(実施の形態7)

図36は本実施の形態における半導体装置の要部の断面を示す模式図である。前記実施の形態1では、例えば図2に示したように、4層の配線層5のうち最上層である第4層の配線層5M4の一部に電極パッド4、その下の第3層の配線層5M3の一部に保護用配線層10、電極パッド4と保護用配線層10との間に保護用Via9を設けた場合について説明した。これに対して本実施の形態では、図36に示すように、第3層の配線層5M3ではなく、その下の第2層の配線層5M2に保護用配線層10を設け、電極パッド4と保護用配線層10との間に2つの保護用Via9、23を設けている点のみが相違する。

【0076】

したがって、本実施の形態における半導体装置は、半導体基板1S上に、それぞれが層間絶縁膜6を介して設けられた複数の配線層5と、複数の配線層5のうち上下の配線層5間における層間絶縁膜6に設けられ、上下の配線層5間を接続する回路用Via7と、複数の配線層5上に設けられた表面保護膜8とを有している。複数の配線層5の最上層の一部には、表面保護膜8に設けられたパッド開口部8aによって露出した電極パッド4が設けられている。また、電極パッド4下の層間絶縁膜6には、一方が電極パッド4を構成する配線層5と接続された平面リング状の保護用Via9が設けられている。また、保護用Via9下の層間絶縁膜6には、一方が保護用Via9の他方と接続された平面リング状の保護用Via23が設けられている。複数の配線層5のうち、電極パッド4下方には、保護用Via23の他方のみと接続された保護用配線層10が設けられている。また、保護用配線層10の下方の半導体基板1Sの主面には、MISFET12が設けられている。また、保護用Via9の幅 x 1および保護用Viaの幅 x 2は回路用Via7の幅 y 以上としている。

【0077】

電極パッド4下の層間絶縁膜6(絶縁膜)において、クラック15の横方向(図36中の左右方向)の進行はタングステン膜(金属膜)から構成される保護用Via9、23によって防止でき、またクラック15の下方方向(図36中の下方方向)の進行はアルミニウム膜(金属膜)から構成される保護用配線層10によって防止できる。これは保護用Via9および保護用配線層10が緩衝材として働くことと、金属膜と絶縁膜の界面に沿うようにクラック15が進行するからと考えることができる。さらに、前記実施の形態1では第3層の配線層5M3に保護用配線層10を設けているところ、本実施の形態では第2層の配線層5M2に保護用配線層10を設けることによって、電極パッド4から保護用配線層

10

20

30

40

50

10までの距離が長くなり、保護用配線層10の外側へのクラック15の進行をより防止できる。なお、本実施の形態では、第2の配線層5M2に保護用配線層10を設けた場合について説明しているが、クラック15が第2の配線層5M2まで進行しないのであれば、保護用配線層10を設けなくとも良い。

【0078】

本実施の形態では、保護用配線層10が最上層である第4層の配線層5M4から2つ下の第2層の配線層5M2に構成されており、保護用Via9が電極パッド4下の層間絶縁膜6から、最上層である第4層の配線層5M4から1つ下の第3層の配線層5M3と保護用配線層10との間の層間絶縁膜6まで設けられている。これにより、保護用Via9の一部と、保護用Via23の一部とが重複して接続されている。

10

【0079】

図36中の左右方向における距離(幅)について、パッド開口部8aの距離をa、第1の保護用Via9の内周の距離をb1、第2の保護用Via23の内周の距離をb2、保護用配線層10の外周の距離をc、電極パッド4を構成する最上層の配線層5の端から平面リング状の保護用Via9の内側の端までの距離をwとする。また、第1の保護用Via9の幅をx1、第2の保護用Via23の幅をx2、回路用Via7の幅をyとする。

【0080】

ここで、更なるストレス耐性を向上するためには、 $a > b1$ 、 $a > b2$ 、 $b1 > b2$ 、 $b2 > c$ 、 $b2 > (b1 + x1 + x1)$ 、 $(b2 + x2 + x2)$ 、 $w > 0$ の関係を満たすような構成にすれば良い。この構成は前記実施の形態1の半導体装置の電極パッド4、保護用Via9および保護用配線層10で構成した断面(例えば図2参照)のように矩形状ではなく、図36に示すように電極パッド4、保護用Via9、23および保護用配線層10で構成した断面形状が台形状となっている。このため、電極パッド4から保護用配線層10までの距離が長くなり、保護用配線層10の外側へのクラック15の進行をより防止できるとともに、電極パッド4から保護用Via23までの距離が長くなり、保護用Via23の外側へのクラック15の進行をより防止できる。

20

【0081】

なお、本実施の形態における半導体装置は、前記実施の形態1で説明した製造方法と同様の工程で製造することができる。本実施の形態では、第1の保護用Via9と第2の保護用Via23とを直に接続するので、第1の保護用Via9の溝を形成する工程では、少なくとも第3の配線層5M3の厚さ分のエッチング量を増やす必要がある。また、前記実施の形態3~5に示したように、平面リング状の保護用Via9、23の内側にViaを設けても良い。

30

【0082】

(実施の形態8)

前記実施の形態1は、例えば図5を参照して説明したように、電極パッド4にプローブピン14が接触したときに電極パッド4下の層間絶縁膜6にクラック15が発生することを考慮して、平面リング状の保護用Via9および保護用配線層10の外側にクラック15を進行させないようにしたものである。本実施の形態は、電極パッド下の層間絶縁膜6にクラック15を発生させるのを防止して、保護用Via9および保護用配線層10の外側にクラック15を進行させないようにするものである。以下に、前記実施の形態1と相違する点を中心に説明する。

40

【0083】

図37は本実施の形態における半導体装置の要部の平面を示す模式図であり、図38は図37中のX-X線の断面を示す模式図である。図37は、第3の配線層5M3の一部から構成される保護用配線層10上に設けられる保護用Via9および空隙24を有する内側Via21の配置関係が明確となるように示しており、一部の部材を省略して示している。

【0084】

前記実施の形態1の図2、図3の半導体装置と、本実施の形態の図37、図38の半導

50

体装置の断面を比較してもわかるように、本実施の形態では、平面リング状の保護用V i a 9のリング内側に、空隙24を有する内側V i a 21を設けている点が相違する。

【0085】

したがって、本実施の形態における半導体装置は、半導体基板1S上に、それぞれが層間絶縁膜6を介して設けられた複数の配線層5と、複数の配線層5のうち上下の配線層5間における層間絶縁膜6に設けられ、上下の配線層5間を接続する回路用V i a 7と、複数の配線層5上に設けられた表面保護膜8とを有している。複数の配線層5の最上層の一部には、表面保護膜8に設けられたパッド開口部8aによって露出した電極パッド4が設けられている。また、電極パッド4下の層間絶縁膜6には、一方が電極パッド4を構成する配線層5と接続された平面リング状の保護用V i a 9が設けられている。また、複数の配線層5のうち、電極パッド4下方には、保護用V i a 9の他方のみと接続された保護用配線層10が設けられている。また、保護用配線層10の下方の半導体基板1Sの主面にはM I S F E T 12が設けられている。また、平面リング状の保護用V i a 9で囲まれた層間絶縁膜6には溝21aに形成された空隙24を有する平面リング状の内側V i a 21が設けられている。また、内側V i a 21(溝21a)の幅x2が保護用V i a 9(溝9a)の幅x1および回路用V i a 7(孔7a)の幅yより大きいため、金属膜が溝9aおよび孔7aでは埋め込まれるが、溝21aでは埋め込まれずに空隙24が設けられる。なお、保護用V i a 9(溝9a)の幅x1は、回路用V i a 7(孔7a)の幅yと同じでも良い。

【0086】

このように溝21aに形成された内側V i a 21の内部には空隙24が設けられている。この空隙24は、例えば電極パッド4にプローブピンが接触した場合に、エアクッションとして衝撃を吸収することができる。また、2重に設けられている空隙24を有する内側V i a 21の間の層間絶縁膜6、すなわち空隙24と空隙24との間の緩衝領域25は、断面積が狭くなり加重耐性が低くなる。このためエアクッションとしての空隙24でも耐えきれないストレスの場合、緩衝領域25でクラック(破壊)させることでストレスを吸収することができる。

【0087】

次に、本実施の形態における半導体装置の製造方法について図39~図47を参照して順に説明する。ここでは、回路を構成するM I S F E T及び複数の配線層(多層配線)は周知の技術によって製造することができるので、その説明を省略し、空隙24を有する内側V i a 21の形成を中心に説明する。

【0088】

図39に示すように、孔7aに回路用V i a 7が形成された層間絶縁膜6b(層間絶縁膜6)上に金属膜を形成した後、ホトリソグラフィ技術によりパターンニングされたホトレジスト膜19を前記金属膜上に形成し、ホトレジスト膜19をマスクとして前記金属膜をエッチングすることによって配線層5を形成する。層間絶縁膜6bは例えばCVDによって形成された酸化シリコン膜から構成される。また、前記金属膜は例えばスパッタによって形成されたアルミニウム膜から構成される。なお、形成された配線層5は図38で示した第3層の配線層5M3を構成する。

【0089】

続いて、ホトレジスト膜19を除去した後、図40に示すように、第3層の配線層5M3の間を埋め込むように層間絶縁膜6aを形成した後、この層間絶縁膜6aを平坦化する(図41)。層間絶縁膜6aは埋め込み性の高い絶縁膜であれば良く、例えばHDP-CVDによって形成された酸化シリコン膜から構成される。

【0090】

続いて、図41に示すように、層間絶縁膜6a上に層間絶縁膜6bを形成する。層間絶縁膜6bは例えばCVDによって形成された酸化シリコン膜から構成される。層間絶縁膜6aと層間絶縁膜6bにより層間絶縁膜6が構成され、その厚さは第3層の配線層5M3とその上層の配線層とが電氣的に分離されるような厚さとなるように調整される。

【 0 0 9 1 】

続いて、図 4 2 に示すように、ホトリソグラフィ技術によりパターンニングされたホトレジスト膜 1 9 を層間絶縁膜 6 上に形成し、ホトレジスト膜 1 9 をマスクとして前記層間絶縁膜 6 をエッチングすることによって前記層間絶縁膜 6 に孔 7 a、溝 9 a および溝 2 1 a を形成する。この際、溝 2 1 a の幅 $\times 2$ (図中の左右方向) が、孔 7 a の幅 y および溝 9 a の幅 $\times 1$ より大きくなるように調整する。また、溝 9 a および溝 2 1 a は図 3 7 に示したように平面形状がリング状となるように形成される。

【 0 0 9 2 】

続いて、ホトレジスト膜 1 9 を除去した後、図 4 3 に示すように、孔 7 a、溝 9 a、溝 2 1 a の側壁にバリアメタル (図示しない) を形成し、前記バリアメタルを介して孔 7 a および溝 9 a の内部を埋め込むように金属膜 2 0 を形成する。金属膜 2 0 は例えば高融点金属のタングステン膜から構成される。ここで、溝 2 1 a の幅 $\times 2$ が、金属膜 2 0 が孔 7 a および溝 9 a の内部を埋め込む程度の膜厚以上であると、溝 2 1 a の内部には空隙 2 4 が形成される。

10

【 0 0 9 3 】

続いて、図 4 4 に示すように、余分な金属膜 2 0 およびバリアメタルを研磨除去することによって、孔 7 a に回路用 V i a 7 および溝 9 a に保護用 V i a 9 を形成すると共に、溝 2 1 a に空隙 2 4 を有する内側 V i a 2 1 を形成する。

【 0 0 9 4 】

続いて、図 4 5 に示すように、回路用 V i a 7 および保護用 V i a 9 が形成された層間絶縁膜 6 上に金属膜を形成した後、ホトリソグラフィ技術によりパターンニングされたホトレジスト膜 1 9 を前記金属膜上に形成し、ホトレジスト膜 1 9 をマスクとして前記金属膜をエッチングすることによって配線層 5 を形成する。前記金属膜はカバレッジの悪いものであり、例えばスパッタによって形成されたアルミニウム膜から構成される。このため内側 V i a 2 1 の内部の空隙 2 4 は前記金属膜によって埋め込まれず、塞がれた状態となる。また、形成された配線層 5 は図 3 8 で示した第 4 層 (最上層) の配線層 5 M 4 を構成する。

20

【 0 0 9 5 】

続いて、ホトレジスト膜 1 9 を除去した後、図 4 6 に示すように、第 4 層の配線層 5 M 4 間を埋め込むように表面保護膜 8 を形成する。表面保護膜 8 は例えば塗布によって形成されたポリイミド膜から構成される。なお、本実施の形態では、表面保護膜 8 は単層構造であるが、積層構造であっても良い。

30

【 0 0 9 6 】

続いて、図 4 7 に示すように、ホトリソグラフィ技術によりパターンニングされたホトレジスト膜 1 9 を表面保護膜 8 上に形成し、ホトレジスト膜 1 9 をマスクとして表面保護膜 8 をエッチングすることによって表面保護膜 8 にパッド開口部 8 a を形成する。次いで、ホトレジスト膜 1 9 を除去することによって、パッド開口部 8 a から最上層の配線層 5 の一部の表面が露出して電極パッド 4 が形成される (図 3 8)。これにより、本実施の形態における半導体装置が完成する。

【 0 0 9 7 】

(実施の形態 9)

前記実施の形態 8 は、例えば図 3 8 を参照して説明したように、保護用 V i a 9 および保護用配線層 1 0 で囲まれた層間絶縁膜 6 に、内側 V i a 2 1 および空隙 2 4 を設けたものである。本実施の形態は、電極パッド 4 下において保護用 V i a 9 および保護用配線層 1 0 で囲まれた層間絶縁膜 6 に、空隙 2 4 のみを設けるものである。以下に、前記実施の形態 8 と相違する点を中心に説明する。

40

【 0 0 9 8 】

図 4 8 は本実施の形態における半導体装置の要部の平面を示す模式図であり、図 4 9 は図 4 8 中の X - X 線の断面を示す模式図である。図 4 8 は、第 3 の配線層 5 M 3 の一部から構成される保護用配線層 1 0 上に設けられる保護用 V i a 9 および空隙 2 4 の配置関係

50

が明確となるように示しており、一部の部材を省略して示している。

【 0 0 9 9 】

図 4 8 および図 4 9 に示すように、平面リング状の保護用 V i a 9 の内側には、平面リング状の溝 2 1 a が 2 重に設けられており、溝 2 1 a の内部には空隙 2 4 が設けられている。この空隙 2 4 は、例えば電極パッド 4 にプローブピンが接触した場合に、エアクッションとして衝撃を吸収することができる。また、2 重に設けられている空隙 2 4 間の層間絶縁膜 6、すなわち空隙 2 4 と空隙 2 4 との間の緩衝領域 2 5 は、断面積が狭くなり加重耐性が低くなる。このためエアクッションとしての空隙 2 4 でも耐えきれないストレスの場合、緩衝領域 2 5 でクラック（破壊）させることでストレスを吸収することができる。また、本実施の形態では、前記実施の形態 8 のように溝 2 1 a の内部には金属膜を堆積させないので、エアクッションとしてよりストレスを吸収することができる。

10

【 0 1 0 0 】

次に、本実施の形態における半導体装置の製造方法について図 5 0 ~ 図 5 5 を参照して順に説明する。ここでは、回路を構成する M I S F E T 及び複数の配線層（多層配線）は周知の技術によって製造することができるので、その説明を省略し、空隙 2 4 の形成を中心に説明する。

【 0 1 0 1 】

図 5 0 に示すように、層間絶縁膜 6 に孔 7 a、溝 9 a および溝 2 1 a を形成し、それら側壁にバリアメタル（図示しない）を形成した後、前記バリアメタルを介して孔 7 a、溝 9 a および溝 2 1 a の内部を埋め込むように金属膜 2 0 を形成する。金属膜 2 0 は例えば高融点金属のタングステン膜から構成される。本実施の形態では、孔 7 a、溝 9 a および溝 2 1 a を形成する際に、孔 7 a の幅 y 、溝 9 a の幅 $x 1$ および溝 2 1 a の幅 $x 2$ は同じとするが、孔 7 a の幅 y より溝 9 a の幅 $x 1$ 、溝 2 1 a の幅 $x 2$ が大きくても良い。

20

【 0 1 0 2 】

続いて、図 5 1 に示すように、金属膜 2 0 によって埋め込まれている孔 7 a および溝 9 a を覆うように、ホトリソグラフィ技術によりパターニングされたホトレジスト膜 1 9 を金属膜 2 0 上に形成し、ホトレジスト膜 1 9 をマスクとして金属膜 2 0 をエッチングすることによって、溝 2 1 a に空隙 2 4 を形成する。

【 0 1 0 3 】

続いて、図 5 2 に示すように、余分な金属膜 2 0 およびバリアメタルを研磨除去することによって、孔 7 a に回路用 V i a 7 および溝 9 a に保護用 V i a 9 を形成する。

30

【 0 1 0 4 】

続いて、図 5 3 に示すように、回路用 V i a 7 および保護用 V i a 9 が形成された層間絶縁膜 6 上に金属膜を形成した後、ホトリソグラフィ技術を用いて前記金属膜をエッチングすることによって配線層 5 を形成する。前記金属膜はカバレッジの悪いものであり、例えばスパッタによって形成されたアルミニウム膜から構成される。このため空隙 2 4 は前記金属膜によって埋め込まれず、塞がれた状態となる。また、形成された配線層 5 は図 4 9 で示した第 4 層（最上層）の配線層 5 M 4 を構成する。

【 0 1 0 5 】

その後、第 4 層の配線層 5 M 4 間を埋め込むように表面保護膜 8 を形成し、ホトリソグラフィ技術を用いて表面保護膜 8 をエッチングすることによって表面保護膜 8 にパッド開口部 8 a を形成する。これにより、パッド開口部 8 a から最上層の配線層 5 の一部の表面が露出して電極パッド 4 が形成される（図 4 9）。これにより、本実施の形態における半導体装置が完成する。なお、図 5 0 に続く工程の後、図 5 4 および図 5 5 に示す工程でも良い。

40

【 0 1 0 6 】

図 5 4 に示すように、余分な金属膜 2 0 およびバリアメタルを研磨除去することによって、孔 7 a、溝 9 a、溝 2 1 a の内部に金属膜 2 0 を埋め込む。これにより、孔 7 a に回路用 V i a 7、溝 9 a に保護用 V i a 9 が形成される。

【 0 1 0 7 】

50

続いて、図55に示すように、金属膜20によって埋め込まれている孔7aおよび溝9aを覆うように、ホトリソグラフィ技術によりパターンニングされたホトレジスト膜19を層間絶縁膜6上に形成し、ホトレジスト膜19をマスクとして溝21a内部の金属膜20をエッチングすることによって、溝21aに空隙24を形成する。その後の工程は、図53および図49を参照して説明した通りである。このような工程でも、本実施の形態における半導体装置が完成する。

【0108】

(実施の形態10)

前記実施の形態8は、例えば図38を参照して説明したように、保護用Via9および保護用配線層10で囲まれた層間絶縁膜6に、内側Via21および空隙24を設けたものである。本実施の形態は、電極パッド4下において保護用Via9、23、保護用配線層10および中間層22で囲まれた層間絶縁膜6に、空隙24を有する内側配線層26を設けるものである。以下に、前記実施の形態8と相違する点を中心に説明する。

【0109】

図56は本実施の形態における半導体装置の要部の平面を示す模式図であり、図57は図56中のX-X線の断面を示す模式図である。図56は、第3の配線層5M3の一部から構成される中間層22、内側配線層26、中間層22上に設けられる保護用Via9および空隙24の配置関係が明確となるように示しており、一部の部材を省略して示している。

【0110】

図56および図57に示すように、平面リング状の中間層22の内側には、平面リング状の内側配線層26が3重に設けられており、それら内側配線層26間には、層間絶縁膜6によって形成された空隙24が設けられている。この内側配線層26は、他の配線層5とは電氣的に分離されており、独立したリングであるといえる。また、空隙24は、例えば電極パッド4にプローブピンが接触した場合に、エアクッションとして衝撃を吸収することができる。また、空隙24上の層間絶縁膜6に設けられた緩衝領域25、すなわち空隙24を塞ぐために層間絶縁膜6と層間絶縁膜6とが接触する緩衝領域25は、層間絶縁膜6の界面であるため加重耐性が低くなる。このためエアクッションとしての空隙24でも耐えきれないストレスの場合、緩衝領域25でクラック(破壊)させることでストレスを吸収することができる。

【0111】

次に、本実施の形態における半導体装置の製造方法について図58~図62を参照して順に説明する。ここでは、回路を構成するMISFEET及び複数の配線層(多層配線)は周知の技術によって製造することができるので、その説明を省略し、空隙24の形成を中心に説明する。

【0112】

図58に示すように、第2層の配線層5M2の配線層5から構成される保護用配線層10は、層間絶縁膜6によって覆われており、保護用配線層10上には保護用Via23が形成されている。この層間絶縁膜6上に第3層の配線層5M3を構成する金属膜を形成した後、ホトリソグラフィ技術により前記金属膜をパターンニングして、配線層5、中間層22および内側配線層26を形成する。前記金属膜は例えばスパッタによって形成されたアルミニウム膜から構成される。次いで、第3層の配線層5M3の間を埋め込むように層間絶縁膜6aを形成した後、この層間絶縁膜6aを平坦化する。層間絶縁膜6aは埋め込み性の高い絶縁膜であれば良く、例えばHDP-CVDによって形成された酸化シリコン膜から構成される。

【0113】

続いて、図59に示すように、ホトリソグラフィ技術によりパターンニングされたホトレジスト膜19を層間絶縁膜6a上に形成し、ホトレジスト膜19をマスクとしたエッチングによって内側配線層26間の層間絶縁膜6aを除去する。さらに、図59に示すように、内側配線層26の側壁下の層間絶縁膜6もオーバーエッチングしても良い。

【0114】

続いて、ホトレジスト膜19を除去した後、図60に示すように、層間絶縁膜6aを覆うような層間絶縁膜6bを形成する。この層間絶縁膜6bは例えばCVDによって形成された酸化シリコン膜から構成され、層間絶縁膜6aより埋め込み性の低い膜である。このため、内側配線層26間には、層間絶縁膜6bによって塞がれた空隙24が形成される。

【0115】

続いて、層間絶縁膜6bの上部を研磨除去した後、図61に示すように、層間絶縁膜6b上に層間絶縁膜6cを形成する。この層間絶縁膜6cは例えばCVDによって形成された酸化シリコン膜から構成される。

【0116】

続いて、図62に示すように、ホトリソグラフィ技術を用いて、層間絶縁膜6a、6b、6cに孔7aおよび溝9aを形成する。

【0117】

その後、図57に示すように、孔7aに配線用Via7、溝9aに保護用Via9を形成し、回路用Via7および保護用Via9が形成された層間絶縁膜6上に金属膜を形成した後、ホトリソグラフィ技術により前記金属膜をエッチングすることによって第4層(最上層)の配線層5M4を形成する。次いで、第4層の配線層5M4間を埋め込むように表面保護膜8を形成し、ホトリソグラフィ技術により表面保護膜8をエッチングすることによって表面保護膜8にパッド開口部8aを形成する。これにより、パッド開口部8aから最上層の配線層5の一部の表面が露出して電極パッド4が形成され、本実施の形態における半導体装置が完成する。

【0118】

(実施の形態11)

前記実施の形態1~10では、配線層として、アルニウムを主成分とする配線を例示したが、本実施の形態では、銅を主成分とする配線を含む場合について説明する。

【0119】

図63に示すように、上層の配線層は、層間絶縁膜6に形成した溝27内にバリアメタル膜28と、バリアメタル膜28上に形成された銅を主成分とする材料膜29を埋め込むことで形成することができる。また、プラグについても同様に、層間絶縁膜6に形成した孔30内に上記バリアメタル膜28と上記材料膜29とを埋め込むことで形成されている。また、バリアメタル膜28の材料としては、タンタル、窒化タンタル、チタン、または、窒化チタン等の高融点金属膜や、これらの積層膜で形成することができる。

【0120】

また、上層の配線層では、上記溝27と上記孔30とを形成した後に、上記バリアメタル膜28と上記材料膜29とを埋め込むことで形成されている。

【0121】

また、前記実施の形態では層間絶縁膜6として、酸化シリコン膜を例示したが、これに限らず、酸化シリコン膜よりも誘電率の低い材料を用いてもよい。例えば、TEOS酸化膜の比誘電率(約4.2)以下の材料を用いてもよい。このような材料として、有機材料、SiOC系材料またはSiOF系材料が挙げられる。これらの膜の形成法としては、CVD法や塗布法が挙げられる。

【0122】

本実施の形態においては、このような配線層や層間絶縁膜を使用した場合でも、前述の実施の形態1~10と同様の効果を得ることができる。

【0123】

(実施の形態12)

前記実施の形態1~11では、電極パッド4の下方の活性領域にMISFET12等の半導体素子や配線層5を形成した場合を例示したが、本実施の形態では図64に示すように、ダミー活性領域DLおよびダミー配線DMを形成した場合を例示している。

【0124】

10

20

30

40

50

図64に示したダミー活性領域DLには、半導体素子が設けられていない。素子分離領域11を前述の実施の形態1で説明したSTIで形成したときには、このようなダミー活性領域DLを形成することで、大きいパターンのSTIを減少させることができるので、ディッシング等の問題が生じず、半導体チップの平坦化を向上させることができる。

【0125】

また、ダミー活性領域DLには必ずしも半導体素子を設けないようなものに限られず、例えば、前述の実施の形態1で説明したような回路と接続せず、回路構成に寄与することのないダミー素子を設けてもよい。

【0126】

次に、電極パッド4の下に、配線層5が設けられないような場合には、図64に示したように、電極パッド4および保護用配線層10の下方に、保護用配線層10とは別に、更にダミー配線DMを設けることができる。ここで、ダミー配線DMは、回路に寄与しないダミー配線である。すなわち、ダミー配線DMは前述のMISFET12とは電氣的に接続しない配線である。このようなダミー配線DMを設けることで、各配線層間の平坦化を向上させることができる。

10

【0127】

特に、ダミー活性領域DLが形成されている場合を考えると、ダミー活性領域DLは、回路に寄与しない領域なので、配線層5を形成する必要がない場合がある。しかし、ダミー活性領域DL上に、上述のダミー配線DMを設けることで、層間絶縁膜の平坦性を向上させている。

20

【0128】

以上のようなダミー活性領域DLまたはダミー配線DMは、前述の実施の形態1～11に適用することができる。

【0129】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0130】

例えば、前記実施の形態では、4層の配線層に適用した場合について説明したが、これに限らず、複数の配線層にも適用することができる。

30

【産業上の利用可能性】

【0131】

本発明は、半導体装置、特に、半導体素子の上方に電極パッドが設けられた半導体装置の製造業に幅広く利用されるものである。

【図面の簡単な説明】

【0132】

【図1】本発明の一実施の形態の半導体装置の平面を示す模式図である。

【図2】図1中の半導体装置のX-X線の断面を示す模式図である。

【図3】図1中の半導体装置の破線で囲まれた領域Aを透視して示す模式図である。

【図4】図2中の半導体装置の要部を示す模式図である。

40

【図5】図4中の半導体装置においてクラックが発生した場合の説明図である。

【図6】本発明者が検討した半導体装置の平面を示す模式図である。

【図7】図6中の半導体装置のX-X線の断面を示す模式図である。

【図8】本発明の一実施の形態の製造工程中の半導体装置の断面を示す模式図である。

【図9】図8に続く製造工程中の半導体装置の断面を示す模式図である。

【図10】図9に続く製造工程中の半導体装置の断面を示す模式図である。

【図11】図10に続く製造工程中の半導体装置の断面を示す模式図である。

【図12】図11に続く製造工程中の半導体装置の断面を示す模式図である。

【図13】図12に続く製造工程中の半導体装置の断面を示す模式図である。

【図14】図13に続く製造工程中の半導体装置の断面を示す模式図である。

50

【図 6 2】図 5 0 に続く製造工程中の半導体装置の断面を示す模式図である。

【図 6 3】本発明の他の実施の形態の半導体装置の断面を示す模式図である。

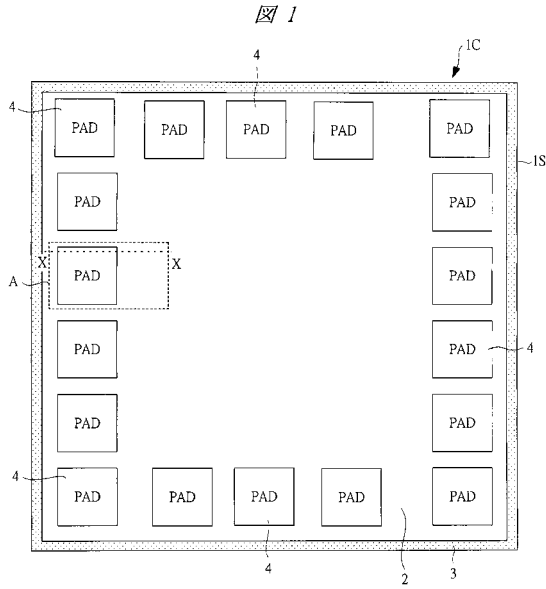
【図 6 4】本発明の他の実施の形態の半導体装置の断面を示す模式図である。

【符号の説明】

【 0 1 3 3 】

1 C、1 C'	半導体チップ	
1 S	半導体基板	
2	素子形成領域	
3	外周領域	
4	電極パッド	10
4 a	接触領域	
5、5 M 1、5 M 2、5 M 3、5 M 4	配線層	
5 a	金属膜	
6、6 a、6 b、6 c	層間絶縁膜	
7	回路用 V i a	
7 a	孔	
8	表面保護膜	
8 a	パッド開口部	
9	保護用 V i a	
9 a	溝	20
1 0	保護用配線層	
1 1	素子分離領域	
1 2	M I S F E T	
1 2 a	絶縁膜	
1 2 b	導電性膜	
1 2 c	半導体領域	
1 3	コンタクト	
1 4	プローブピン	
1 5	クラック	
1 6	ストレス	30
1 7	配線層	
1 8	電極	
1 9	ホトレジスト膜	
2 0	金属膜	
2 1	内側 V i a	
2 1 a	溝	
2 2	中間層	
2 3	保護用 V i a	
2 4	空隙	
2 5	緩衝領域	40
2 6	内側配線層	
2 7	溝	
2 8	バリアメタル膜	
2 9	材料膜	
3 0	孔	
D L	ダミー活性領域	
D M	ダミー配線	

【図1】



【図2】

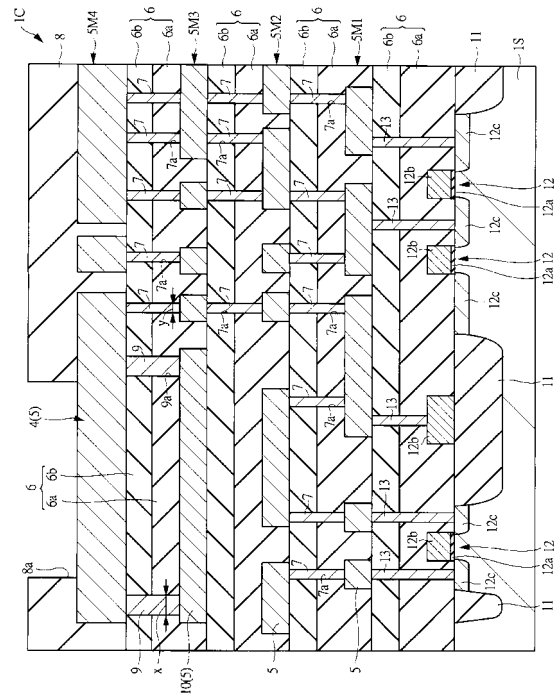
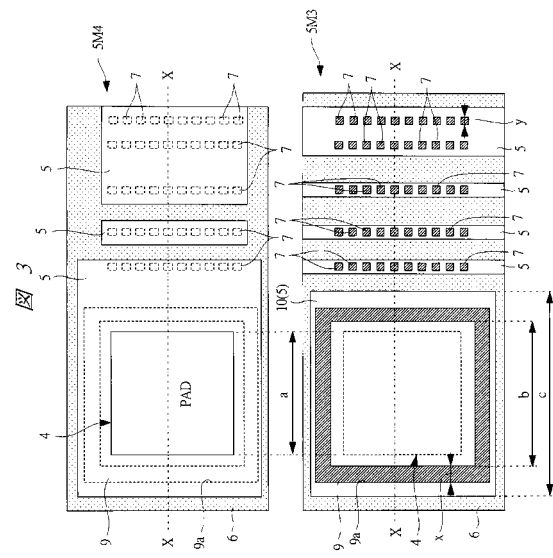
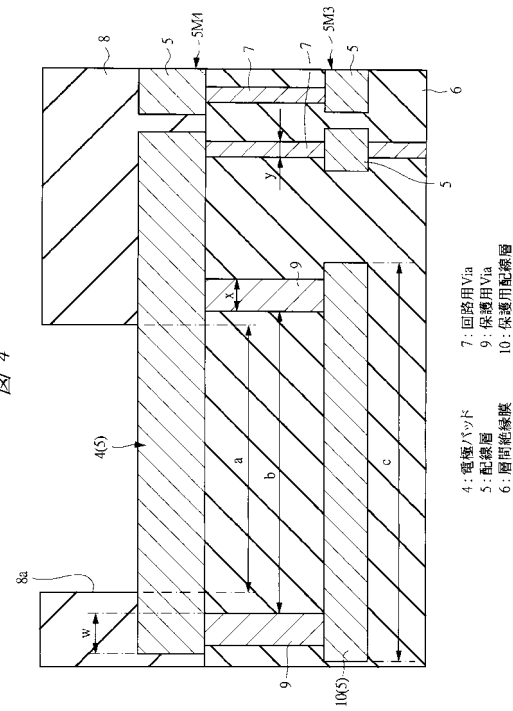


図 2

【図3】



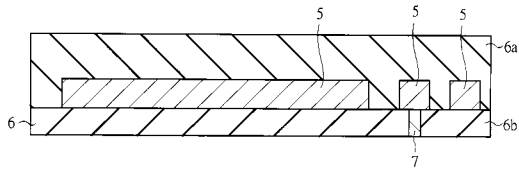
【図4】



4: 電極パッド
 5: 配線層
 6: 層間絶縁膜
 7: 回路用Via
 9: 保護用Via
 10: 保護用配線層

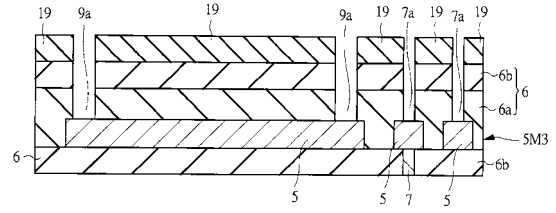
【 図 1 0 】

図 10



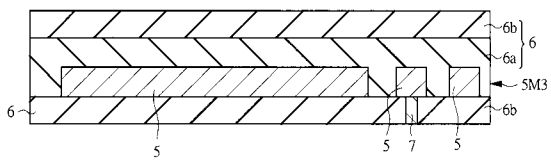
【 図 1 2 】

図 12



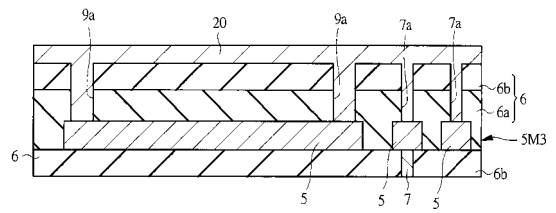
【 図 1 1 】

図 11



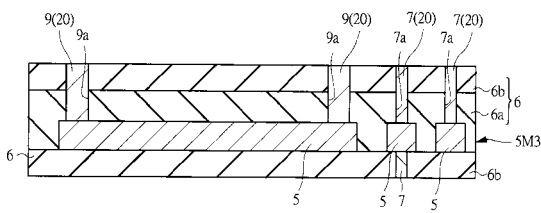
【 図 1 3 】

図 13



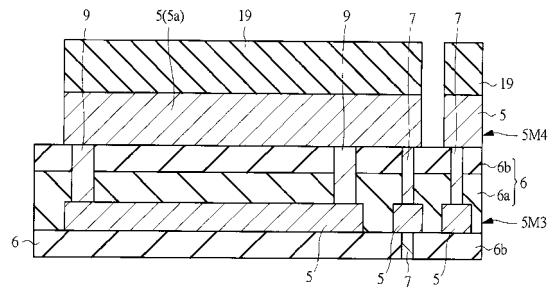
【 図 1 4 】

図 14



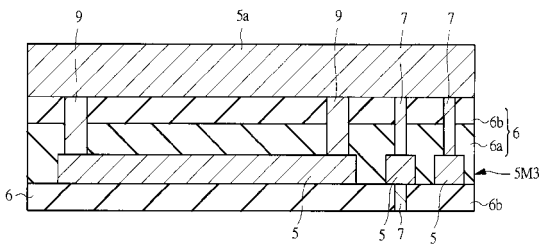
【 図 1 6 】

図 16



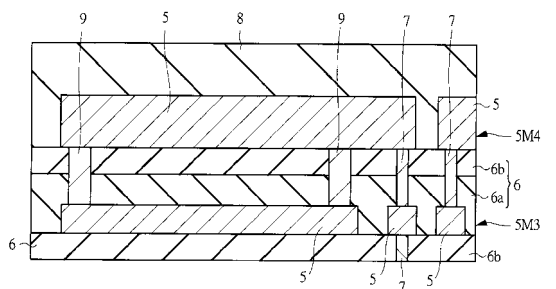
【 図 1 5 】

図 15

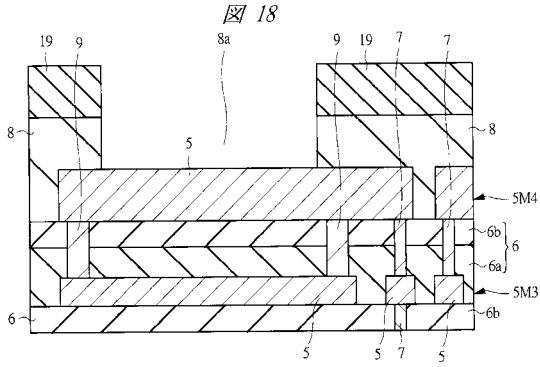


【 図 1 7 】

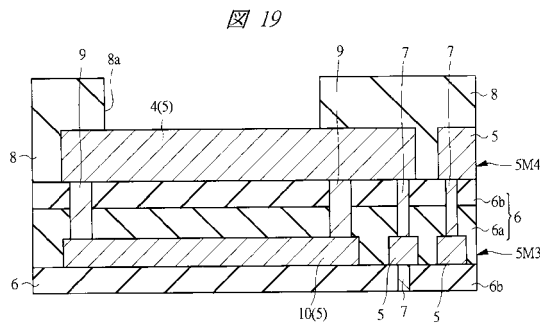
図 17



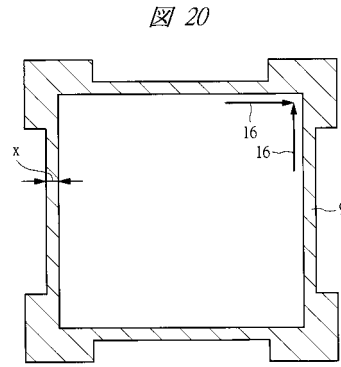
【図18】



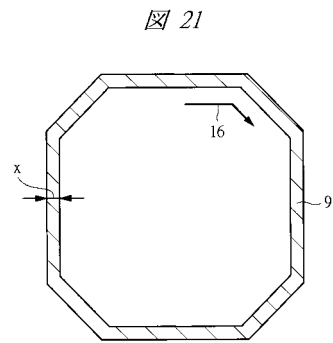
【図19】



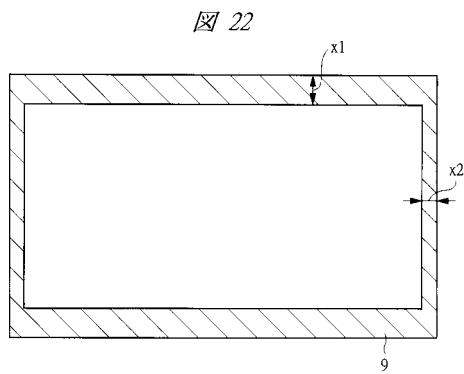
【図20】



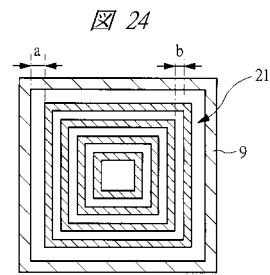
【図21】



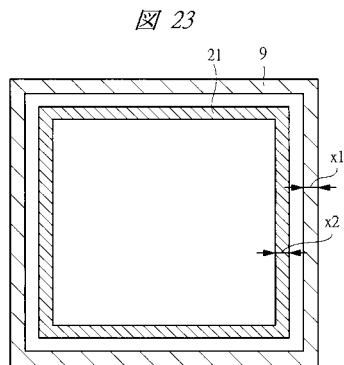
【図22】



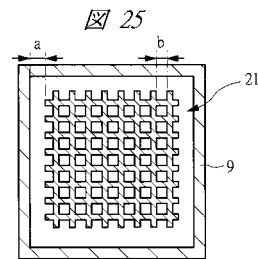
【図24】



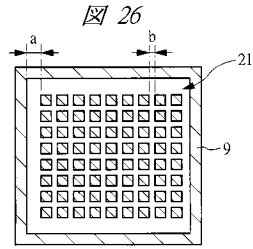
【図23】



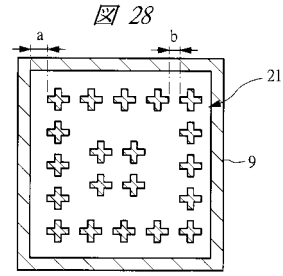
【図25】



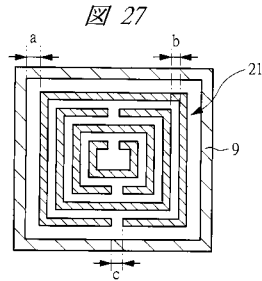
【 図 2 6 】



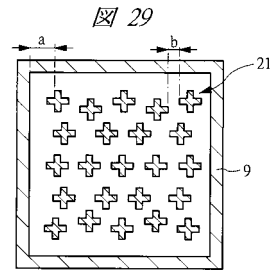
【 図 2 8 】



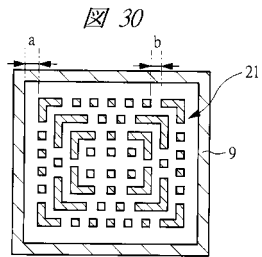
【 図 2 7 】



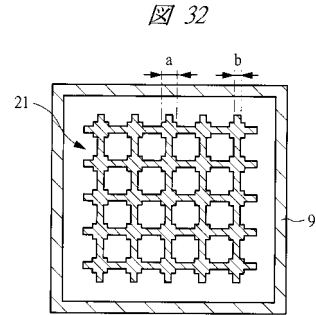
【 図 2 9 】



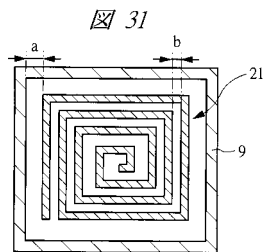
【 図 3 0 】



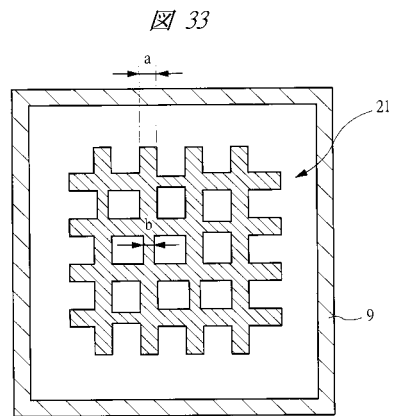
【 図 3 2 】



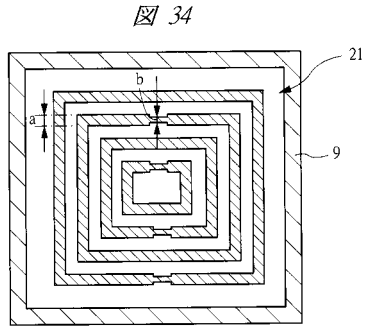
【 図 3 1 】



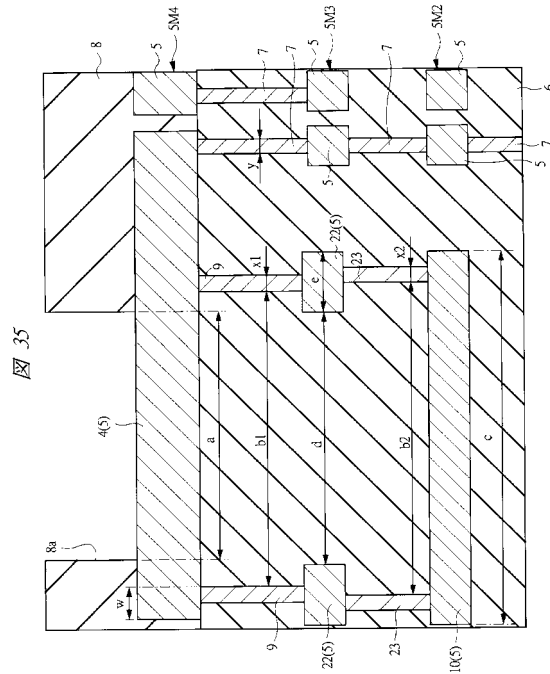
【 図 3 3 】



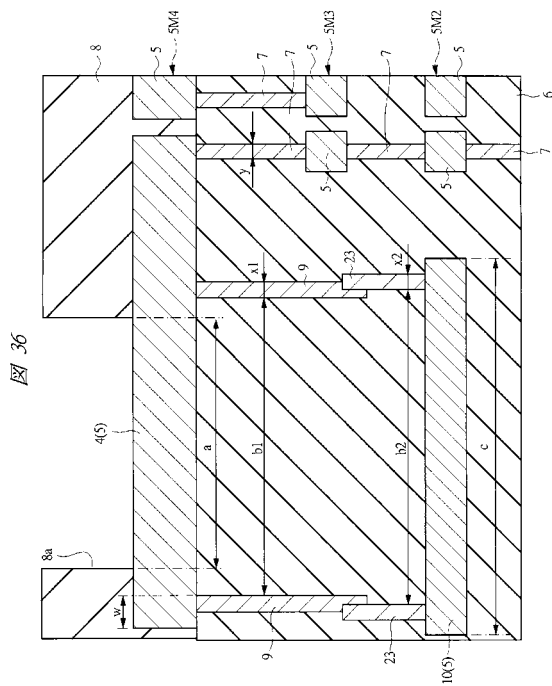
【 図 3 4 】



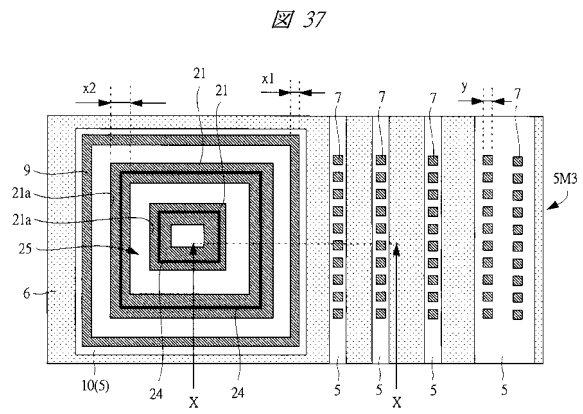
【 図 3 5 】



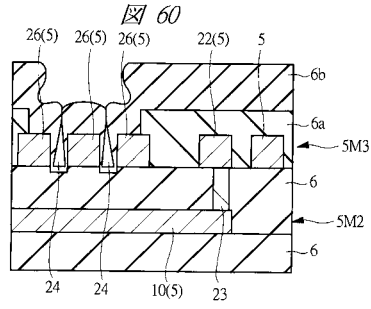
【 図 3 6 】



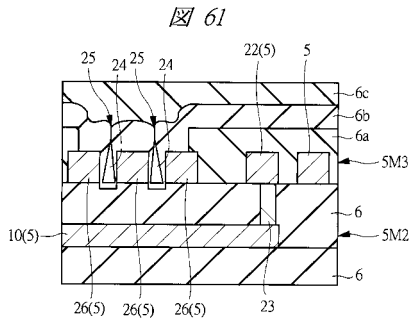
【 図 3 7 】



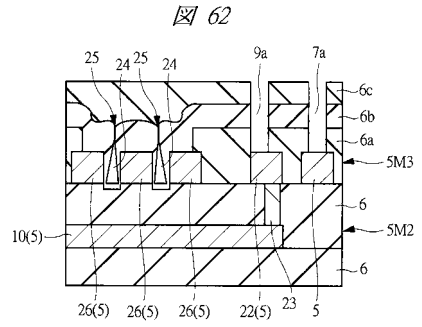
【図60】



【図61】



【図62】



【図63】

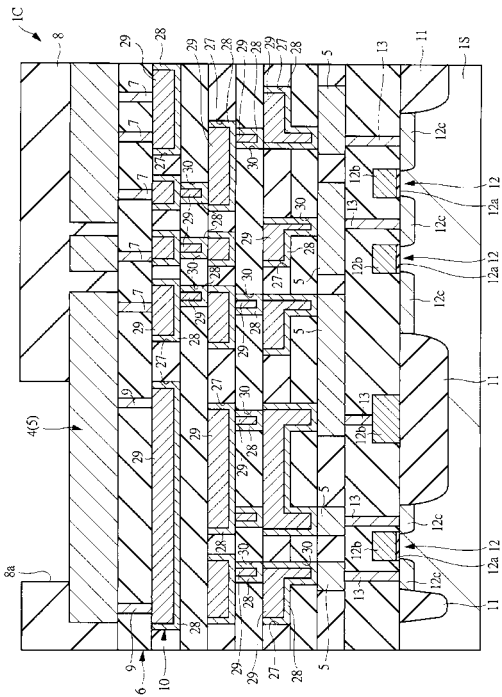


図 63

【図64】

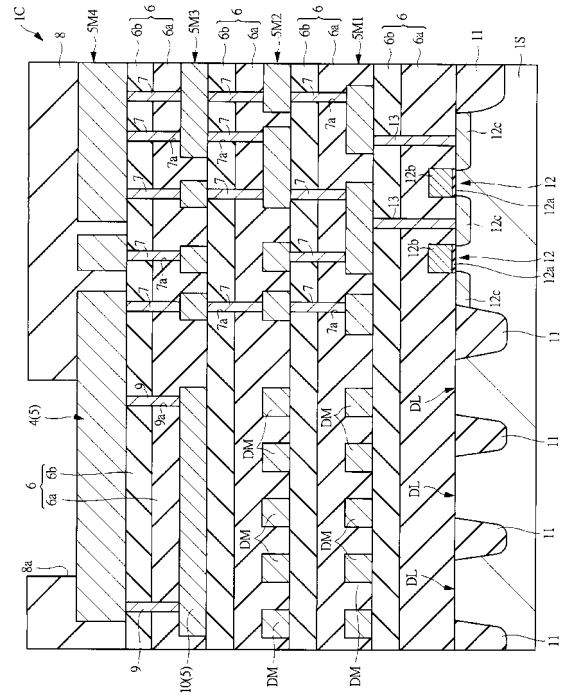


図 64

フロントページの続き

- (56)参考文献 特開2005 - 123587 (JP, A)
特開2005 - 142553 (JP, A)
特開2006 - 165419 (JP, A)
特開2007 - 214349 (JP, A)
特開2007 - 019128 (JP, A)
特開2000 - 036510 (JP, A)
特開2005 - 116562 (JP, A)
特開平07 - 153922 (JP, A)
特開2005 - 327913 (JP, A)
特開2005 - 327763 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/60
H01L 21/3205
H01L 21/768
H01L 23/522