



등록특허 10-2597945



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2023년11월02일
(11) 등록번호 10-2597945
(24) 등록일자 2023년10월31일

- (51) 국제특허분류(Int. Cl.)
H10B 12/00 (2023.01) *H01L 27/12* (2006.01)
H01L 29/417 (2006.01) *H01L 29/423* (2006.01)
H01L 29/49 (2006.01) *H10N 97/00* (2023.01)
- (52) CPC특허분류
H10B 12/315 (2023.02)
H01L 27/1218 (2013.01)
- (21) 출원번호 10-2020-7006762
- (22) 출원일자(국제) 2018년09월05일
심사청구일자 2021년08월31일
- (85) 번역문제출일자 2020년03월06일
- (65) 공개번호 10-2020-0051618
- (43) 공개일자 2020년05월13일
- (86) 국제출원번호 PCT/IB2018/056756
- (87) 국제공개번호 WO 2019/053558
국제공개일자 2019년03월21일
- (30) 우선권주장
JP-P-2017-177386 2017년09월15일 일본(JP)
- (56) 선행기술조사문현
JP2012209547 A*
JP2017135378 A
KR1020160039546 A*
- *는 심사관에 의하여 인용된 문현
- (54) 발명의 명칭 반도체 장치 및 그 제작 방법

(73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자
엔도 유타
일본 243-0038 가나가와Ken 아쓰기시 아이나 133-4
스자와 히데오미
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 나이

(74) 대리인
김태홍, 김진희

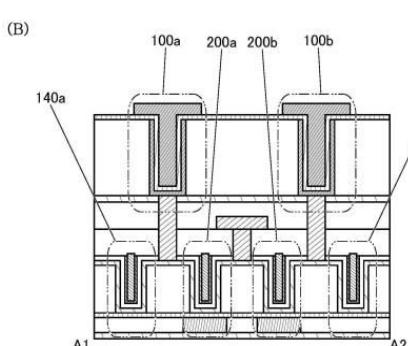
전체 청구항 수 : 총 4 항

심사관 : 김려원

(57) 요 약

고집적화가 가능한 반도체 장치를 제공한다. 반도체 장치는 제 1 트랜지스터, 제 2 트랜지스터, 및 전극을 포함한다. 제 1 트랜지스터 및 제 2 트랜지스터는 산화물, 산화물 위의 게이트 절연체, 및 게이트를 포함한다. 전극은 제 1 트랜지스터의 소스 및 드레인 중 한쪽, 그리고 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 접속된다. 제 1 트랜지스터의 채널 길이는 제 1 도전체의 짧은 변보다 길다. 제 2 트랜지스터의 채널 길이는 제 2 도전체의 짧은 변보다 길다.

대 표 도



(52) CPC특허분류

H01L 27/1225 (2013.01)

H01L 28/86 (2013.01)

H01L 28/90 (2013.01)

H01L 29/41733 (2013.01)

H01L 29/42364 (2013.01)

H01L 29/4908 (2013.01)

H01L 29/7869 (2013.01)

H10B 12/033 (2023.02)

H10B 12/50 (2023.02)

명세서

청구범위

청구항 1

반도체 장치로서,

제 1 절연체;

상기 제 1 절연체 위의 제 2 절연체 및 제 3 절연체;

상기 제 2 절연체와 상기 제 3 절연체 사이에 배치된 제 4 절연체;

상기 제 1 절연체 내지 상기 제 4 절연체를 덮는 산화물;

상기 산화물 위의 제 5 절연체;

상기 제 2 절연체와 상기 제 4 절연체 사이에 배치되고 상기 제 5 절연체와 접하는 제 1 도전체;

상기 제 3 절연체와 상기 제 4 절연체 사이에 배치되고 상기 제 5 절연체와 접하는 제 2 도전체;

상기 제 4 절연체와 중첩되는 제 3 도전체; 및

상기 제 3 도전체 위의 제 4 도전체

를 포함하고,

상기 산화물, 상기 제 5 절연체, 및 상기 제 1 도전체는 제 1 트랜지스터를 구성하고,

상기 산화물, 상기 제 5 절연체, 및 상기 제 2 도전체는 제 2 트랜지스터를 구성하고,

상기 제 3 도전체는 상기 제 1 트랜지스터와 상기 제 2 트랜지스터 사이에 배치되고, 상기 제 1 트랜지스터의 소스 및 드레인 중 한쪽, 그리고 상기 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 접속되고,

상기 제 1 트랜지스터의 채널 길이는 상기 제 1 도전체의 짧은 변보다 길고,

상기 제 2 트랜지스터의 채널 길이는 상기 제 2 도전체의 짧은 변보다 길고,

상기 제 4 도전체의 긴 변은 상기 제 1 도전체의 긴 변 및 상기 제 2 도전체의 긴 변에 실질적으로 직교하고,

상기 산화물의 긴 변과 상기 제 4 도전체의 상기 긴 변 사이의 각도는 20° 이상 70° 이하인, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 트랜지스터 위의 제 5 도전체;

상기 제 2 트랜지스터 위의 제 6 도전체;

상기 제 5 도전체 위의 제 1 용량 소자; 및

상기 제 6 도전체 위의 제 2 용량 소자를 더 포함하고,

상기 제 4 도전체는 상기 제 3 도전체에 접속되고,

상기 제 5 도전체는 상기 제 1 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽, 그리고 상기 제 1 용량 소자의 한쪽 전극에 접속되고,

상기 제 6 도전체는 상기 제 2 트랜지스터의 상기 소스 및 상기 드레인 중 다른 쪽, 그리고 상기 제 2 용량 소자의 한쪽 전극에 접속되는, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 제 1 트랜지스터 및 상기 제 2 트랜지스터 위의 제 6 절연체; 및
 상기 제 6 절연체 위의 제 7 절연체를 더 포함하고,
 상기 제 6 절연체는 상기 산화물을 노출시키는 제 1 개구를 포함하고,
 상기 제 6 절연체 및 상기 제 7 절연체는 상기 산화물을 노출시키는 제 2 개구 및 제 3 개구를 포함하고,
 상기 제 1 개구에 상기 제 3 도전체가 제공되고,
 상기 제 2 개구에 상기 제 5 도전체가 제공되고,
 상기 제 3 개구에 상기 제 6 도전체가 제공되고,
 상기 제 6 절연체 및 상기 제 3 도전체 위에 배선으로서 기능하는 상기 제 4 도전체가 배치되는, 반도체 장치.

청구항 4

삭제

청구항 5

제 1 항에 있어서,
 상기 산화물은 In, 원소 M, 및 Zn을 포함하고,
 상기 원소 M은 Al, Ga, Y, 또는 Sn인, 반도체 장치.

발명의 설명

기술 분야

- [0001] 본 발명의 일 형태는 반도체 장치 및 그 제작 방법에 관한 것이다. 본 발명의 다른 일 형태는 반도체 웨이퍼, 모듈, 및 전자 기기에 관한 것이다.
- [0002] 또한 본 명세서 등에서 반도체 장치는 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치, 및 기억 장치는 각각 반도체 장치의 일 형태이다. 표시 장치(예를 들어, 액정 표시 장치 및 발광 표시 장치), 투영 장치, 조명 장치, 전기 광학 장치, 전력 저장 장치, 기억 장치, 반도체 회로, 활성 장치, 및 전자 기기 등은 반도체 장치를 포함할 수 있다.
- [0003] 또한 본 발명의 일 형태는 상술한 기술분야에 한정되지 않는다. 본 명세서 등에 개시(開示)되는 발명의 일 형태는 물건, 방법, 또는 제작 방법에 관한 것이다. 또한 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다.

배경 기술

- [0004] 반도체 박막을 사용하여 트랜지스터를 제작하는 기술이 주목을 받고 있다. 이 트랜지스터는 집적 회로(IC) 및 화상 표시 장치(단순히 표시 장치라고도 함) 등의 전자 기기에 널리 사용되고 있다. 트랜지스터에 사용할 수 있는 반도체 박막의 재료로서 실리콘계 반도체 재료가 널리 알려져 있다. 다른 재료로서는 산화물 반도체가 주목을 받고 있다.
- [0005] 예를 들어 일부의 개시된 기술에서는, 산화 아연 또는 In-Ga-Zn계 산화물 등의 산화물을 반도체를 트랜지스터의 활성층에 사용하고, 이 트랜지스터를 사용하여 표시 장치를 제작한다(특허문현 1 및 2 참조).
- [0006] 또한 근년, 산화물 반도체를 포함하는 트랜지스터를 사용하여 기억 장치의 집적 회로를 제작하는 기술이 개시되어 있다(특허문현 3 참조). 또한 기억 장치뿐만 아니라 연산 장치 또는 다른 비슷한 장치도 산화물 반도체를 포함하는 트랜지스터를 사용하여 제작되고 있다.

선행기술문현

특허문현

- [0007] (특허문헌 0001) 일본 공개특허공보 특개2007-123861호
 (특허문헌 0002) 일본 공개특허공보 특개2007-096055호
 (특허문헌 0003) 일본 공개특허공보 특개2011-119674호

발명의 내용

해결하려는 과제

- [0008] 여기서, 전자 기기의 성능이 높아지고 크기 및 중량이 감소되면서, 집적 회로의 집적도가 높아지고 트랜지스터의 크기가 감소되고 있다. 이와 동시에 트랜지스터 제작을 위한 프로세스 룰(process rule)이 45nm에서 32nm 그리고 22nm로 해마다 작아지고 있다. 이 때문에 산화물 반도체를 포함하는 트랜지스터는 미세한 구조를 갖는 경우에도 설계대로 우수한 전기 특성을 나타내는 것이 요구된다.
- [0009] 본 발명의 일 형태의 과제는 미세화 또는 고집적화가 가능한 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 전기 특성이 우수한 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 오프 상태 전류가 낮은 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 온 상태 전류가 높은 트랜지스터를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 신뢰성이 높은 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 소비전력이 낮은 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 높은 생산성으로 제작할 수 있는 반도체 장치를 제공하는 것이다.
- [0010] 본 발명의 일 형태의 다른 과제는 데이터를 오랫동안 유지할 수 있는 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 데이터를 고속으로 기록할 수 있는 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 설계의 유연성이 높은 반도체 장치를 제공하는 것이다. 본 발명의 일 형태의 다른 과제는 신규 반도체 장치를 제공하는 것이다.

- [0011] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 상기 과제 모두를 달성할 필요는 없다. 다른 과제는 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이고 추출될 수 있다.

과제의 해결 수단

- [0012] 본 발명의 일 형태는 제 1 절연체, 제 1 절연체 위의 제 2 절연체 및 제 3 절연체, 제 2 절연체와 제 3 절연체 사이에 배치된 제 4 절연체, 제 1 절연체 내지 제 4 절연체를 덮는 산화물, 산화물 위의 제 5 절연체, 제 2 절연체와 제 4 절연체 사이에 배치되고 제 5 절연체와 접하는 제 1 도전체, 제 3 절연체와 제 4 절연체 사이에 배치되고 제 5 절연체와 접하는 제 2 도전체, 및 제 4 절연체와 중첩되는 제 3 도전체를 포함하는 반도체 장치이다. 산화물, 제 5 절연체, 및 제 1 도전체는 제 1 트랜지스터를 구성한다. 산화물, 제 5 절연체, 및 제 2 도전체는 제 2 트랜지스터를 구성한다. 제 3 도전체는 제 1 트랜지스터와 제 2 트랜지스터 사이에 배치되고, 제 1 트랜지스터의 소스 및 드레인 중 한쪽, 그리고 제 2 트랜지스터의 소스 및 드레인 중 한쪽에 접속된다. 제 1 트랜지스터의 채널 길이는 제 1 도전체의 짧은 변보다 길고, 제 2 트랜지스터의 채널 길이는 제 2 도전체의 짧은 변보다 길다.
- [0013] 본 발명의 다른 일 형태는 제 3 도전체 위의 제 4 도전체, 제 1 트랜지스터 위의 제 5 도전체, 제 2 트랜지스터 위의 제 6 도전체, 제 5 도전체 위의 제 1 용량 소자, 및 제 6 도전체 위의 제 2 용량 소자를 포함하는 반도체 장치이다. 제 4 도전체는 제 3 도전체에 접속된다. 제 5 도전체는 제 1 트랜지스터의 소스 및 드레인 중 다른 쪽, 그리고 제 1 용량 소자의 한쪽 전극에 접속된다. 제 6 도전체는 제 2 트랜지스터의 소스 및 드레인 중 다른 쪽, 그리고 제 2 용량 소자의 한쪽 전극에 접속된다.
- [0014] 본 발명의 다른 일 형태는 제 1 트랜지스터 및 제 2 트랜지스터 위의 제 6 절연체, 및 제 6 절연체 위의 제 7 절연체를 포함하는 반도체 장치이다. 제 6 절연체는 산화물을 노출시키는 제 1 개구를 포함한다. 제 6 절연체 및 제 7 절연체는 산화물을 노출시키는 제 2 개구 및 제 3 개구를 포함한다. 제 1 개구에 제 3 도전체가 제공된다. 제 2 개구에 제 5 도전체가 제공된다. 제 3 개구에 제 6 도전체가 제공된다. 제 6 절연체 및 제 3 도전체 위에 배선으로서 기능하는 제 4 도전체가 배치된다.
- [0015] 상기에서 제 4 도전체의 긴 변은 제 1 도전체의 긴 변 및 제 2 도전체의 긴 변에 실질적으로 직교하고, 산화물

의 긴 변과 제 4 도전체의 긴 변 사이의 각도는 20° 이상 70° 이하인 것이 바람직하다.

[0016] 상기에서 산화물은 In, 원소 M(M은 Al, Ga, Y, 또는 Sn), 및 Zn을 포함하는 것이 바람직하다.

발명의 효과

[0017] 본 발명의 일 형태에 따르면, 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 우수한 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 오프 상태 전류가 낮은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 온 상태 전류가 높은 트랜지스터를 제공할 수 있다. 본 발명의 일 형태에 따르면, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 소비전력이 낮은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 생산성이 높은 반도체 장치를 제공할 수 있다.

[0018] 데이터를 오랫동안 유지할 수 있는 반도체 장치를 제공할 수 있다. 데이터를 고속으로 기록할 수 있는 반도체 장치를 제공할 수 있다. 설계의 유연성이 높은 반도체 장치를 제공할 수 있다. 신규 반도체 장치를 제공할 수 있다.

[0019] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태는 상술한 효과 모두를 갖지 않아도 된다. 다른 효과는 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이고 추출될 수 있다.

도면의 간단한 설명

[0020] 도 1의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 상면도 및 단면도이다.

도 2의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 상면도 및 단면도이다.

도 3은 본 발명의 일 형태에 따른 반도체 장치의 단면도이다.

도 4의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 상면도 및 단면도이다.

도 5는 본 발명의 일 형태에 따른 반도체 장치의 단면도이다.

도 6의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 상면도 및 단면도이다.

도 7은 본 발명의 일 형태에 따른 반도체 장치의 단면도이다.

도 8의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 상면도 및 단면도이다.

도 9는 본 발명의 일 형태에 따른 반도체 장치의 단면도이다.

도 10의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 상면도 및 단면도이다.

도 11은 본 발명의 일 형태에 따른 반도체 장치의 단면도이다.

도 12는 본 발명의 일 형태에 따른 반도체 장치의 단면도이다.

도 13의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시한 상면도 및 단면도이다.

도 14의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시한 상면도 및 단면도이다.

도 15의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시한 상면도 및 단면도이다.

도 16의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시한 상면도 및 단면도이다.

도 17의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시한 상면도 및 단면도이다.

도 18의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시한 상면도 및 단면도이다.

도 19의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시한 상면도 및 단면도이다.

도 20의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시한 상면도 및 단면도이다.

도 21의 (A) 및 (B)는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법을 도시한 상면도 및 단면도이다.

도 22는 본 발명의 일 형태에 따른 반도체 장치의 단면도이다.

도 23은 본 발명의 일 형태에 따른 반도체 장치의 회로도이다.

도 24는 본 발명의 일 형태에 따른 반도체 장치의 상면도이다.

도 25는 본 발명의 일 형태에 따른 기억 장치의 구조를 도시한 단면도이다.

도 26은 본 발명의 일 형태에 따른 기억 장치의 구조를 도시한 단면도이다.

도 27의 (A) 내지 (C)는 본 발명의 일 형태에 따른 기억 장치의 구조를 도시한 회로도 및 단면도이다.

도 28은 본 발명의 일 형태에 따른 기억 장치의 구성예를 도시한 블록도이다.

도 29의 (A) 및 (B)는 본 발명의 일 형태에 따른 기억 장치의 구성예를 도시한 블록도 및 회로도이다.

도 30은 본 발명의 일 형태에 따른 기억 장치의 소비전력을 나타낸 것이다.

도 31은 본 발명의 일 형태에 따른 AI 시스템의 구성예를 도시한 블록도이다.

도 32의 (A) 및 (B)는 본 발명의 일 형태에 따른 AI 시스템의 응용예를 도시한 블록도이다.

도 33은 본 발명의 일 형태에 따른 AI 시스템을 포함한 IC의 구성예를 도시한 사시 모식도이다.

도 34의 (A) 내지 (F)는 본 발명의 일 형태에 따른 전자 기기를 도시한 것이다.

도 35의 (A) 내지 (D)는 본 발명의 일 형태에 따른 전자 기기를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0021]

이하에서는 실시형태에 대하여 도면을 참조하여 설명한다. 또한 실시형태는 다양한 형태로 실시될 수 있고, 본 발명의 취지 및 범위에서 벗어나지 않고 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자에 의하여 쉽게 이해될 것이다. 따라서 본 발명은 이하의 실시형태의 기재에 한정하여 해석되는 것은 아니다.

[0022]

도면에서, 크기, 층의 두께, 또는 영역은 명료화를 위하여 과장되어 있는 경우가 있다. 따라서 크기, 층의 두께, 또는 영역은 도시된 스케일에 한정되지 않는다. 또한 도면은 이상적인 예를 나타낸 모식도이고, 본 발명의 형태는 도면에 나타낸 형상 또는 값에 한정되지 않는다. 예를 들어, 실제의 제작 공정에서, 층 또는 레지스트 마스크 등은 의도하지 않게 에칭 등의 처리에 의하여 크기가 축소될 수 있고, 이것은 이해하기 쉽게 하기 위하여 도시되지 않은 경우가 있다. 도면에서, 같은 부분 또는 비슷한 기능을 갖는 부분은 상이한 도면에서 같은 부호로 나타내고, 그 설명은 반복하지 않는 경우가 있다. 비슷한 기능을 갖는 부분에는 같은 해칭 패턴을 적용하고, 이 부분을 특별히 부호로 나타내지 않은 경우가 있다.

[0023]

특히 상면도("평면도"라고도 함) 또는 사시도 등에서, 발명을 이해하기 쉽게 하기 위하여 일부 구성 요소를 도시하지 않은 경우가 있다. 또한 일부의 숨은선 등을 나타내지 않은 경우가 있다.

[0024]

본 명세서 등에서 제 1 및 제 2 등의 서수는 편의상 사용되는 것이고, 단계의 순서 또는 적층 순서를 나타내지 않는다. 따라서 예를 들어 "제 1"을 "제 2" 또는 "제 3"으로 적절히 바꿔도 설명이 가능하다. 또한 본 명세서 등에서의 서수는 본 발명의 일 형태를 특정하기 위하여 사용되는 것과 반드시 같지는 않다.

[0025]

본 명세서에서 배치를 설명하는 용어(예를 들어 "위에", "상방에", "아래에", 및 "하방에")는 도면을 참조하여 구성 요소 간의 위치 관계를 설명하는 데 있어서 편의상 사용된다. 또한 구성 요소 간의 위치 관계는, 각 구성 요소를 설명하는 방향에 따라 적절히 변화된다. 그러므로 설명을 위한 용어는 본 명세서에서 사용되는 것에 한정되지 않고, 상황에 따라 설명을 적절히 바꿀 수 있다.

[0026]

본 명세서 등에서 트랜지스터는, 게이트, 드레인, 및 소스의 적어도 3개의 단자를 갖는 소자이다. 트랜지스터는 드레인(드레인 단자, 드레인 영역, 또는 드레인 전극)과 소스(소스 단자, 소스 영역, 또는 소스 전극) 사이에 채널 형성 영역을 포함하고, 채널 형성 영역을 통하여 소스와 드레인 사이에 전류를 흘릴 수 있다. 또한 본 명세서 등에서 채널 형성 영역이란, 전류가 주로 흐르는 영역을 말한다.

[0027]

또한 소스 및 드레인의 기능은, 예를 들어 반대 극성의 트랜지스터를 채용하거나 회로 동작에서 전류가 흐르는 방향이 변화되는 경우에 바뀔 수 있다. 따라서 본 명세서 등에서는 "소스" 및 "드레인"이라는 용어를 서로 바꿀 수 있는 경우가 있다.

[0028]

또한 채널 길이란 예를 들어, 트랜지스터의 상면도에 있어서, 반도체(또는 트랜지스터가 온일 때 반도체에서 전류가 흐르는 부분)와 게이트가 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서의 소스와 드레인 사이의 거리를 말한다. 또한 하나의 트랜지스터에서, 채널 길이는 모든 영역에서 반드시 같을 필요는 없다. 바꿔 말하

면, 하나의 트랜지스터의 채널 길이는 하나의 값으로 고정되지 않는 경우가 있다. 그러므로 본 명세서에서는 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값을 채널 길이로 한다.

[0029] 또한 트랜지스터의 구조에 따라서는, 채널이 실제로 형성되는 영역에서의 채널 길이(이하, "실효적인 채널 길이"라고도 함)는 트랜지스터의 상면도에 나타낸 채널 길이(이하, "외견상 채널 길이"라고도 함)와 상이한 경우가 있다. 예를 들어, 반도체의 측면을 덮는 게이트를 갖는 트랜지스터에서는, 실효적인 채널 길이가 외견상 채널 길이보다 크고, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어, 반도체의 측면을 덮는 게이트를 갖는 미세화된 트랜지스터에서는, 반도체의 측면에 형성되는 채널 형성 영역의 비율이 증가되는 경우가 있다. 이 경우, 실효적인 채널 길이가 외견상 채널 길이보다 크다.

[0030] 채널 폭이란 예를 들어, 트랜지스터의 상면도에 있어서, 반도체(또는 트랜지스터가 온일 때 반도체에서 전류가 흐르는 부분)와 게이트가 서로 중첩되는 영역, 또는 채널이 형성되는 영역에서의 채널 길이 방향에 대하여 수직인 채널 형성 영역의 길이를 말한다. 또한 하나의 트랜지스터에서, 채널 폭은 모든 영역에서 반드시 같을 필요는 없다. 바꿔 말하면, 하나의 트랜지스터의 채널 폭은 하나의 값으로 고정되지 않는 경우가 있다. 그러므로 본 명세서에서는 채널이 형성되는 영역에서의 어느 하나의 값, 최대값, 최소값, 또는 평균값을 채널 폭으로 한다.

[0031] 또한 트랜지스터의 구조에 따라서는, 채널이 실제로 형성되는 영역에서의 채널 폭(이하, "실효적인 채널 폭"이라고도 함)은 트랜지스터의 상면도에 나타낸 채널 폭(이하, "외견상 채널 폭"이라고도 함)과 상이한 경우가 있다. 예를 들어, 반도체의 측면을 덮는 게이트를 갖는 트랜지스터에서는, 실효적인 채널 폭이 외견상 채널 폭보다 크고, 그 영향을 무시할 수 없는 경우가 있다. 예를 들어, 반도체의 측면을 덮는 게이트를 갖는 미세화된 트랜지스터에서는, 반도체의 측면에 형성되는 채널 형성 영역의 비율이 증가되는 경우가 있다. 이 경우, 실효적인 채널 폭이 외견상 채널 폭보다 크다.

[0032] 이러한 경우, 실효적인 채널 폭을 측정하기 어려운 경우가 있다. 예를 들어, 설계값으로부터 실효적인 채널 폭을 추산하기 위해서는, 반도체의 형상을 알고 있는 것으로 상정할 필요가 있다. 그러므로 반도체의 형상을 정확하게 모르는 경우에는 실효적인 채널 폭을 정확하게 측정하기 어렵다.

[0033] 따라서 본 명세서에서 외견상 채널 폭을 SCW(surrounded channel width)라고 하는 경우가 있다. 또한 본 명세서에서 단순히 "채널 폭"이라는 용어를 사용하는 경우에는 SCW 또는 외견상 채널 폭을 나타내는 경우가 있다. 본 명세서에서 "채널 폭"이라는 단순한 용어는 실효적인 채널 폭을 나타내는 경우도 있다. 또한 채널 길이, 채널 폭, 실효적인 채널 폭, 외견상 채널 폭, 및 SCW 등은 단면 TEM 이미지 등을 분석함으로써 결정할 수 있다.

[0034] 또한 반도체의 불순물이란, 예를 들어 반도체의 주성분 이외의 원소를 말한다. 예를 들어, 농도가 0.1atomic% 미만인 원소는 불순물로 간주할 수 있다. 불순물이 포함되면, 반도체에서의 DOS(density of states)가 증가되거나, 결정성이 저하될 수 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물의 예에는 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 및 산화물 반도체의 주성분 이외의 전이 금속이 포함되며, 예로서 수소, 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 및 질소를 들 수 있다. 산화물 반도체의 경우, 물도 불순물로서 기능하는 경우가 있다. 산화물 반도체의 경우, 예를 들어 불순물이 들어가면, 산소 결손이 형성되는 경우가 있다. 반도체가 실리콘인 경우에는, 반도체의 특성을 변화시키는 불순물의 예에는 산소, 수소를 제외한 1족 원소, 2족 원소, 13족 원소, 및 15족 원소가 포함된다.

[0035] 본 명세서 등에서 산화질화 실리콘막은 질소보다 산소를 더 많이 포함한다. 산화질화 실리콘막은 예를 들어 산소, 질소, 실리콘, 및 수소를 각각, 55atomic% 내지 65atomic%, 1atomic% 내지 20atomic%, 25atomic% 내지 35atomic%, 및 0.1atomic% 내지 10atomic%의 범위의 농도로 포함하는 것이 바람직하다. 질화산화 실리콘막은 산소보다 질소를 더 많이 포함한다. 질화산화 실리콘막은 질소, 산소, 실리콘, 및 수소를 각각, 55atomic% 내지 65atomic%, 1atomic% 내지 20atomic%, 25atomic% 내지 35atomic%, 및 0.1atomic% 내지 10atomic%의 범위의 농도로 포함하는 것이 바람직하다.

[0036] 본 명세서 등에서는 "막" 및 "층"이라는 용어를 서로 교체할 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 바꿀 수 있는 경우가 있다. 또한 "절연막"이라는 용어를 "절연층"이라는 용어로 바꿀 수 있는 경우가 있다.

[0037] 또한 본 명세서 등에서는 "절연체"라는 용어를 절연막 또는 절연층과 치환할 수 있다. 또한 "도전체"라는 용어를 도전막 또는 도전층과 치환할 수 있다. 또한 "반도체"라는 용어를 반도체막 또는 반도체층과 치환할 수 있다.

- [0038] 또한 따로 명시되지 않는 한, 본 명세서 등에서 설명하는 트랜지스터는 전계 효과 트랜지스터이다. 따로 명시되지 않는 한, 본 명세서 등에서 설명하는 트랜지스터는 n채널 트랜지스터이다. 그러므로 따로 명시되지 않는 한, 문턱 전압("V_{th}"라고도 함)은 0V보다 크다.
- [0039] 본 명세서 등에서, "평행"이라는 용어는 2개의 직선 사이에 형성되는 각도가 -10° 이상 10° 이하임을 나타낸다. 따라서 그 각도가 -5° 이상 5° 이하인 경우도 포함한다. 또한 "실질적으로 평행"이라는 용어는 2개의 직선 사이에 형성되는 각도가 -30° 이상 30° 이하임을 나타낸다. "수직"이라는 용어는 2개의 직선 사이에 형성되는 각도가 80° 이상 100° 이하임을 나타낸다. 따라서 그 각도가 85° 이상 95° 이하인 경우도 포함한다. 또한 "실질적으로 수직"이라는 용어는 2개의 직선 사이에 형성되는 각도가 60° 이상 120° 이하임을 나타낸다.
- [0040] 또한 본 명세서에서 배리어막이란 산소, 및 수소 등의 불순물의 투과를 억제하는 기능을 갖는 막을 말한다. 도전성을 갖는 상기 배리어막을 도전성 배리어막이라고 하는 경우가 있다.
- [0041] 본 명세서 등에서 금속 산화물이란 넓은 의미에서 금속의 산화물을 의미한다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 및 산화물 반도체(단순히 OS라고도 함) 등으로 분류된다. 예를 들어, 트랜지스터의 활성층에 사용되는 금속 산화물을 산화물 반도체라고 부르는 경우가 있다. 바꿔 말하면, OS FET(field-effect transistor)는 산화물 또는 산화물 반도체를 포함하는 트랜지스터이다.
- [0042] (실시형태 1)
- [0043] 본 발명의 일 형태에 따른 반도체 장치는 채널 형성 영역에 산화물을 포함한다. 본 실시형태에서는, 반도체 장치의 일 형태에 대하여 도 1의 (A) 내지 도 21의 (B)를 참조하여 설명한다.
- [0044] <반도체 장치의 구조예>
- [0045] 이하에서는, 트랜지스터(200a), 트랜지스터(200b), 트랜지스터(140a), 트랜지스터(140b), 용량 소자(100a), 및 용량 소자(100b)를 포함하는 본 발명의 일 형태에 따른 반도체 장치의 예에 대하여 설명한다. 이하에서는, 반도체 장치의 일 형태에 대하여 도 1의 (A) 내지 도 21의 (B)를 참조하여 설명한다.
- [0046] 도 1의 (A) 및 도 2의 (A)는 트랜지스터(200a), 트랜지스터(200b), 트랜지스터(140a), 트랜지스터(140b), 용량 소자(100a), 및 용량 소자(100b)를 포함하는 반도체 장치의 상면도이다. 도 1의 (B) 및 도 2의 (B)는 각각, 도 1의 (A) 및 도 2의 (A)의 일점쇄선 A1-A2를 따라 취한 단면도이다. 도 3은 도 1의 (A) 및 도 2의 (A)의 일점쇄선 A3-A4를 따라 취한 단면도이다. 도면의 간략화를 위하여 도 1의 (A) 및 도 2의 (A)의 상면도에는 일부 구성 요소를 도시하지 않았다. 도 2의 (A) 및 (B)에서는, 도 1의 (A) 및 (B)에서의 구성 요소를 부호로 나타내었다.
- [0047] 본 발명의 일 형태에 따른 반도체 장치는, 도 1의 (A) 및 (B), 도 2의 (A) 및 (B), 그리고 도 3에 도시된 바와 같이, 트랜지스터(200a, 200b, 140a, 및 140b), 용량 소자(100a 및 100b), 및 층간막으로서 기능하는 절연체(210, 212, 280, 283, 282, 및 286)를 포함한다. 또한 반도체 장치는 플러그로서 기능하는 도전체(240, 246_1, 및 246_2), 도전체(240)에 전기적으로 접속되고 배선으로서 기능하는 도전체(245), 도전체(246_1)에 전기적으로 접속되고 용량 소자(100a)의 하부 전극으로서 기능하는 도전체(110_1), 도전체(246_2)에 전기적으로 접속되고 용량 소자(100b)의 하부 전극으로서 기능하는 도전체(110_2), 도전체(110_1 및 110_2) 위에 있고 용량 소자(100a 및 100b)의 유전체로서 기능하는 절연체(130), 절연체(130) 위에 있고 용량 소자(100a)의 상부 전극으로서 기능하는 도전체(120_1), 및 절연체(130) 위에 있고 용량 소자(100b)의 상부 전극으로서 기능하는 도전체(120_2)를 포함한다.
- [0048] 여기서, 트랜지스터(200a 및 200b)는 도 1의 (A)에 도시된 부분에서, 일점쇄선 A1-A2와 일점쇄선 A5-A6의 교점에 대하여 대칭이다.
- [0049] 마찬가지로, 트랜지스터(140a 및 140b)는 도 1의 (A)에 도시된 부분에서, 일점쇄선 A1-A2와 일점쇄선 A5-A6의 교점에 대하여 대칭이다.
- [0050] 마찬가지로, 용량 소자(100a 및 100b)는 도 1의 (A)에 도시된 부분에서, 일점쇄선 A1-A2와 일점쇄선 A5-A6의 교점에 대하여 대칭이다.
- [0051] 상기 구조에서, 트랜지스터(200a 및 200b)는 공통의 플러그로서 기능하는 도전체(240)에 접속될 수 있다. 바꿔 말하면, 트랜지스터(200a 및 200b)의 각각의 소스 및 드레인 중 한쪽은 같은 배선에 전기적으로 접속될 수 있다. 이에 의하여, 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)를 포함한 반도체 장

치가 접유하는 면적이 축소된다.

[0052] 반도체 장치에서는, 트랜지스터(200a, 200b, 140a, 및 140b)를 덮도록 절연체(280)를 제공하는 것이 바람직하다. 절연체(280)는 물 및 수소 등의 불순물의 농도가 저감되어 있는 것이 바람직하다.

[0053] 절연체(280)의 개구의 내벽과 접하여 도전체(240)가 형성된다. 상기 개구의 바닥 부분의 적어도 일부에는 산화물(230)이 위치하므로, 도전체(240)는 산화물(230)과 접한다(도 2의 (B) 참조).

[0054] 개구의 측벽부에 산화 알루미늄을 형성한 후에 도전체(240)를 형성하여도 좋다. 개구의 측벽부에 형성된 산화 알루미늄에 의하여, 외부로부터의 산소의 투과를 억제하여 도전체(240)가 산화되는 것을 방지할 수 있다. 또한 물 및 수소 등의 불순물이 도전체(240)로부터 외부로 확산되는 것을 방지할 수 있다. 상기 산화 알루미늄은 ALD법 등에 의하여 개구에 산화 알루미늄을 형성한 다음, 이방성 에칭을 수행함으로써 형성될 수 있다.

[0055] 도전체(240)는 트랜지스터(200a)의 소스 및 드레인 중 한쪽, 그리고 트랜지스터(200b)의 소스 및 드레인 중 한쪽을 배선으로서 기능하는 도전체(245)에 접속시키는 플러그로서 기능한다. 이러한 구조에 의하여, 서로 인접한 트랜지스터들(200a 및 200b) 사이의 간격을 감소시킬 수 있다. 따라서 트랜지스터를 고밀도로 배치할 수 있어, 반도체 장치가 고집적화된다.

[0056] 트랜지스터(200a)의 소스 및 드레인 중 다른 쪽과 용량 소자(100a)는 서로 중첩된다. 마찬가지로, 트랜지스터(200b)의 소스 및 드레인 중 다른 쪽과 용량 소자(100b)는 서로 중첩된다.

[0057] 도전체(246_1)는 트랜지스터(200a)의 소스 및 드레인 중 다른 쪽을 용량 소자(100a)의 하부 전극에 접속시키는 플러그로서 기능한다. 마찬가지로, 도전체(246_2)는 트랜지스터(200b)의 소스 및 드레인 중 다른 쪽을 용량 소자(100b)의 하부 전극에 접속시키는 플러그로서 기능한다.

[0058] 도 1의 (A) 및 도 2의 (A)에 도시된 바와 같이, 도전체(245)의 긴 변과 산화물(230)의 긴 변 사이의 각도가 20° 이상 70° 이하, 바람직하게는 30° 이상 60° 이하가 되도록 도전체(245) 및 산화물(230)을 배치하는 것이 바람직하다. 이 배치로 함으로써, 예를 들어 용량 소자(100a 및 100b) 및 도전체(245)를 방해 없이 배치할 수 있다.

[0059] 본 발명의 일 형태에서는, 복수의 용량 소자, 복수의 트랜지스터, 및 이를 구성 요소에 접속되는 플러그가 상술한 구조를 가짐으로써, 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다.

[0060] [트랜지스터(200a) 및 트랜지스터(200b)]

[0061] 도 1의 (A) 및 (B), 도 2의 (A) 및 (B), 그리고 도 3에 도시된 바와 같이, 트랜지스터(200a)는 기판(도시되지 않았음) 위에 배치된 절연체(210) 위에 있는 절연체(212), 절연체(212)에 매립되도록 배치된 도전체(203_1), 도전체(203_1) 및 절연체(212) 위에 배치된 절연체(214), 절연체(214) 위에 배치된 절연체(220_2) 및 절연체(220_3), 절연체(214), 절연체(220_2), 및 절연체(220_3)를 덮는 산화물(230), 산화물(230) 위의 절연체(250), 그리고 절연체(220_2)와 절연체(220_3) 사이에 있고 절연체(250)와 접하는 도전체(260_2)를 포함한다.

[0062] 도 1의 (A) 및 (B), 도 2의 (A) 및 (B), 그리고 도 3에 도시된 바와 같이, 트랜지스터(200b)는 기판(도시되지 않았음) 위에 배치된 절연체(210) 위에 있는 절연체(212), 절연체(212)에 매립되도록 배치된 도전체(203_2), 도전체(203_2) 및 절연체(212) 위에 배치된 절연체(214), 절연체(214) 위에 배치된 절연체(220_3) 및 절연체(220_4), 절연체(214), 절연체(220_3), 및 절연체(220_4)를 덮는 산화물(230), 산화물(230) 위의 절연체(250), 그리고 절연체(220_3)와 절연체(220_4) 사이에 있고 절연체(250)와 접하는 도전체(260_3)를 포함한다.

[0063] 또한 트랜지스터(200a 및 200b)는 각각 단층의 산화물(230)을 포함하지만, 본 발명은 이 구조에 한정되지 않는다. 예를 들어 산화물(230)은 2층, 3층, 또는 4층 이상의 적층 구조를 가져도 좋다.

[0064] 트랜지스터(200a 및 200b)의 도전체(260_2 및 260_3)는 각각 2층 구조를 갖지만, 본 발명은 이에 한정되지 않는다. 예를 들어 도전체(260_2 및 260_3)는 각각 3층 이상의 적층 구조를 가져도 좋다.

[0065] 여기서, 상술한 바와 같이 트랜지스터(200a 및 200b)는 도 1의 (A)에 도시된 부분에서, 일점쇄선 A1-A2와 일점쇄선 A5-A6의 교점에 대하여 대칭이다.

[0066] 즉, 트랜지스터(200b)의 구성 요소는 트랜지스터(200a)의 구성 요소에 대응한다. 그러므로 도면에서는, 트랜지스터(200a 및 200b)에서 대응하는 구성 요소를 기본적으로 3자릿수의 같은 부호로 나타내었다. 따로 명시되지 않는 한, 트랜지스터(200b)에는 트랜지스터(200a)에 관한 설명을 참조할 수 있다.

- [0067] 예를 들어 트랜지스터(200a)의 도전체(203_1) 및 도전체(260_2)는 각각, 트랜지스터(200b)의 도전체(203_2) 및 도전체(260_3)에 대응한다.
- [0068] 또한 산화물(230)은 트랜지스터(200a 및 200b)에 의하여 공유된다. 그러므로 산화물(230)은 트랜지스터(200a)의 채널 형성 영역으로서 기능하는 영역, 트랜지스터(200a)의 소스 및 드레인 중 다른 쪽으로서 기능하는 영역, 트랜지스터(200b)의 채널 형성 영역으로서 기능하는 영역, 트랜지스터(200b)의 소스 및 드레인 중 다른 쪽으로서 기능하는 영역, 그리고 트랜지스터(200a 및 200b)의 소스 및 드레인 중 한쪽으로서 기능하는 영역을 포함한다.
- [0069] 상기 구조로 함으로써, 소스 및 드레인 중 한쪽을 공통의 플러그에 전기적으로 접속시킬 수 있다. 특히, 트랜지스터(200a 및 200b)에 의하여 산화물(230)이 공유되는 경우, 트랜지스터(200a)의 제 1 게이트로서 기능하는 도전체(260_2)와 트랜지스터(200b)의 제 1 게이트로서 기능하는 도전체(260_3) 사이의 간격을 최소 배선폭 (minimum feature size)으로 하여도 좋다. 도전체(260_2)와 도전체(260_3) 사이의 간격을 최소 배선폭으로 하면, 2개의 트랜지스터가 접유하는 면적을 축소할 수 있다.
- [0070] 산화물(230)로서, 예를 들어 In-*M*-Zn 산화물(*M*은 알루미늄, 갈륨, 이트륨, 주석, 구리, 바나듐, 베릴륨, 봉소, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데늄, 란타늄, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐, 및 마그네슘 등 중 하나 이상) 등의 금속 산화물로 대표되는 산화물 반도체를 사용한다. 특히, 원소 *M*으로서는 알루미늄, 갈륨, 이트륨, 또는 주석이 바람직하다. 또한 산화물(230)로서 In-Ga 산화물 또는 In-Zn 산화물을 사용하여도 좋다.
- [0071] 채널 형성 영역에 산화물 반도체를 각각 포함하는 트랜지스터(200a 및 200b)는 오프 상태에서 누설 전류가 매우 낮기 때문에, 저소비전력의 반도체 장치를 제공할 수 있다. 또한 산화물 반도체는 스퍼터링법 등에 의하여 퇴적될 수 있기 때문에, 고집적화된 반도체 장치에 포함되는 트랜지스터(200a 및 200b)에 사용할 수 있다.
- [0072] 여기서, 도 2의 (B)에서의 트랜지스터(200a)의 채널 및 채널 근방을 포함하는 영역의 확대도를 도 12에 나타내었다.
- [0073] 도 12에 도시된 바와 같이, 산화물(230)은 트랜지스터(200a)의 채널 형성 영역으로서 기능하는 영역(234), 및 트랜지스터(200a)의 소스 또는 드레인으로서 기능하는 영역(231)(영역(231a) 및 영역(231b))을 포함한다. 도 12에서는 영역(234)의 근방을 파선으로 나타내었다. 도면의 명료화를 위하여 도 12에는 산화물(230)의 중앙 부근에 영역(234)을 나타내었지만, 영역(234)의 위치는 이에 한정되지 않고, 산화물(230)과 절연체(250)의 계면 근방, 산화물(230)과 절연체(220_2, 220_3, 및 214)의 계면 근방, 또는 파선으로 나타낸 범위 내의 산화물(230) 전체이어도 좋다.
- [0074] 소스 또는 드레인으로서 기능하는 영역(231)은 산소 농도가 낮고, 캐리어 밀도가 높고, 저항이 저감되어 있다. 채널 형성 영역으로서 기능하는 영역(234)은, 소스 또는 드레인으로서 기능하는 영역(231)보다 산소 농도가 높고 캐리어 밀도가 낮고, 즉 영역(234)은 고저항 영역이다.
- [0075] 또한 산화물(230)의 영역(231)의 적어도 표면 및 표면 근방은 저항이 더 낮을 필요가 있다.
- [0076] 또한 트랜지스터(200a)에서 산화물(230)의 각 영역을 형성하기 위해서는, 도전체(260_2)를 마스크로서 사용하여 산화물(230)에 불순물 또는 금속 원소를 첨가함으로써, 저저항 영역을 자기 정합적(self-aligned manner)으로 형성할 수 있다. 트랜지스터(200b)에서는, 도전체(260_3)를 마스크로서 사용하여 산화물(230)에 불순물 또는 금속 원소를 첨가함으로써, 저저항 영역을 자기 정합적으로 형성할 수 있다. 그러므로 트랜지스터(200a 및 200b)를 각각 포함하는 복수의 반도체 장치를 동시에 형성하는 경우, 반도체 장치들 간의 전기 특성의 편차를 저감할 수 있다.
- [0077] 도 12에 도시된 바와 같이, 트랜지스터(200a)의 채널 길이는 영역(234)의 길이와 실질적으로 같다. 영역(234)의 길이는, 도전체(260_2)의 각 측면이 절연체(250)를 개재(介在)하여 산화물(230)과 중첩되는 영역의 길이와, 도전체(260_2)의 짧은 변이 절연체(250)를 개재하여 산화물(230)과 중첩되는 영역의 길이의 합과 실질적으로 같다. 즉, 트랜지스터(200a)의 채널 길이를 도전체(260_2)의 짧은 변의 길이(260W)보다 길게 할 수 있다. 도 12에는 영역(234)의 실질적인 길이를 파선으로 나타내었다.
- [0078] 트랜지스터(200a)의 채널 길이를 길이(260W)보다 길게 할 수 있기 때문에, 트랜지스터(200a)를 미세화하고 길이(260W)를 줄여도 단채널 효과를 저감할 수 있다. 또한 트랜지스터(200a)의 채널 길이는 길이(260W)의 1.5배 이상 10배 이하로 한다.

- [0079] 또한 트랜지스터(200b)의 구조 및 효과에 대해서는 상술한 트랜지스터(200a)의 구조 및 효과를 참조할 수 있다.
- [0080] 이하에서는, 본 발명의 일 형태에 따른 트랜지스터(200a 및 200b)의 구체적인 구조에 대하여 설명한다. 또한 이하의 설명에서도 트랜지스터(200b)의 구조에 대해서는 트랜지스터(200a)의 구조를 참조할 수 있다.
- [0081] 트랜지스터(200a)의 제 2 게이트로서 기능하는 도전체(203_1)는 산화물(230) 및 도전체(260_2)와 중첩되도록 배치된다.
- [0082] 여기서, 도전체(260_2)는 트랜지스터(200a)의 제 1 게이트로서 기능하는 경우가 있다.
- [0083] 또한 도전체(203_1)에 인가되는 전위를 접지 전위, 또는 도전체(260_2)에 인가되는 전위와는 다른 임의의 전위로 하여도 좋다. 예를 들어, 도전체(203_1)에 인가되는 전위를 도전체(260_2)에 인가되는 전위와는 독립적으로 변화시킴으로써, 트랜지스터(200a)의 문턱 전압을 제어할 수 있다. 특히, 도전체(203_1)에 음의 전위를 인가하면, 트랜지스터(200a)의 문턱 전압을 0V보다 크게 하고, 오프 상태 전류를 저감할 수 있다. 이로써, 도전체(260_2)에 인가되는 전압이 0V인 드레인 전류를 저감할 수 있다.
- [0084] 도전체(203_1)에 인가되는 전위는 도전체(260_2)에 인가되는 전위와 같아도 좋다. 도전체(203_1)에 인가되는 전위가 도전체(260_2)에 인가되는 전위와 같은 경우, 채널 폭 방향에서 도전체(203_1)의 길이가 산화물(230)의 영역(234)의 길이보다 길어지도록 도전체(203_1)를 제공하여도 좋다. 특히, 도전체(203_1)는 채널 폭 방향에서 산화물(230)의 영역(234)의 단부를 넘어 연장되는 것이 바람직하다. 즉, 산화물(230)의 채널 폭 방향에서의 측면 외측에서, 도전체(203_1)와 도전체(260_2)는 절연체를 개재하여 서로 중첩되는 것이 바람직하다.
- [0085] 절연체(210)는 아래층으로부터 물 및 수소 등의 불순물이 트랜지스터로 들어가는 것을 방지하는 배리어 절연막으로서 기능할 수 있다. 절연체(210)는 물 및 수소 등의 불순물의 투과를 억제하는 기능을 갖는 절연성 재료를 사용하여 형성되는 것이 바람직하다. 예를 들어, 절연체(210)에는 질화 실리콘, 산화 알루미늄, 산화 하프늄, 실리콘과 하프늄을 포함하는 산화물(하프늄 실리케이트), 또는 알루미늄과 하프늄을 포함하는 산화물(하프늄 알루미네이트)을 사용하는 것이 바람직하다. 이에 의하여, 절연체(210)보다 위에 위치하는 층으로 수소 및 물 등의 불순물이 확산되는 것을 억제할 수 있다. 또한 절연체(210)는 수소 원자, 수소 분자, 물 분자, 질소 원자, 질소 분자, 산화 질소 분자(예를 들어 N₂O, NO, 및 NO₂), 및 구리 원자 등의 불순물 중 적어도 하나의 투과를 억제하는 기능을 갖는 것이 바람직하다. 이는 이하의 설명에서 불순물의 투과를 억제하는 기능을 갖는 절연성 재료에 대해서도 마찬가지이다.
- [0086] 또한 절연체(210)에는 산소(예를 들어 산소 원자 및 산소 분자)의 투과를 억제하는 기능을 갖는 절연성 재료를 사용하는 것이 바람직하다. 이 경우, 절연체(214) 등에 포함되는 산소가 아래층으로 확산되는 것을 억제할 수 있다.
- [0087] 절연체(250)는 트랜지스터(200a)의 제 1 게이트 절연막으로서 기능하고, 절연체(214)는 트랜지스터(200a)의 제 2 게이트 절연막으로서 기능할 수 있다. 트랜지스터(200a)에서 절연체(214)는 단층 구조를 갖지만, 본 발명은 이에 한정되지 않는다. 예를 들어 절연체(214)는 2층 이상의 적층 구조를 가져도 좋다.
- [0088] 산화물(230)에는 산화물 반도체로서 기능하는 금속 산화물(이하 산화물 반도체라고도 함)을 사용하는 것이 바람직하다. 금속 산화물은 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상인 것이 바람직하다. 이러한 에너지 갭이 넓은 금속 산화물을 사용함으로써, 트랜지스터의 오프 상태 전류를 저감할 수 있다.
- [0089] 산화물 반도체를 포함하는 트랜지스터는 오프 상태에서 누설 전류가 매우 낮기 때문에, 저소비전력의 반도체 장치를 제공할 수 있다. 또한 산화물 반도체는 스피터링법 등에 의하여 퇴적될 수 있기 때문에, 고집적화된 반도체 장치에 포함되는 트랜지스터에 사용할 수 있다.
- [0090] 산화물 반도체는 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한 알루미늄, 갈륨, 이트륨, 또는 주석 등을 포함하는 것이 바람직하다. 또한 봉소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데늄, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐, 및 마그네슘 등 중에서 선택된 하나 이상의 원소를 포함하여도 좋다.
- [0091] 여기서는, 산화물 반도체가 인듐, 원소 M, 및 아연을 포함하는 In-M-Zn 산화물인 경우에 대하여 고찰한다. 원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석 등이다. 원소 M으로서 사용할 수 있는 다른 원소에는 봉소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데늄, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐, 및 마그네슘이 포함된다. 또한 상기 원소 중 2개 이상을 조합하여 원소 M으로서 사용하여도 좋다.

- [0092] 또한 본 명세서 등에서는, 질소를 포함하는 금속 산화물도 금속 산화물이라고 부르는 경우가 있다. 또한 질소를 포함하는 금속 산화물을 금속 산화질화물(metal oxynitride)이라고 불러도 좋다.
- [0093] 여기서, 산화물 반도체가 산화물 반도체의 구성 원소에 더하여 알루미늄, 루테늄, 타이타늄, 탄탈럼, 크로뮴, 또는 텅스텐 등의 금속 원소를 포함하면, 산화물 반도체는 금속 화합물이 되어 저항이 저감되는 경우가 있다. 또한 알루미늄, 타이타늄, 탄탈럼, 또는 텅스텐 등을 사용하는 것이 바람직하다. 산화물 반도체에 금속 원소를 첨가하기 위해서는 예를 들어, 산화물 반도체 위에 상기 금속 원소를 포함하는 금속막, 상기 금속 원소를 포함하는 질화막, 또는 상기 금속 원소를 포함하는 산화막을 제공한다. 이러한 막을 제공하면, 상기 막과 산화물 반도체의 계면 및 계면 근방에서의 산화물 반도체 내의 일부 산소가 상기 막 등에 의하여 흡수되어 산소 결손을 형성함으로써, 산화물 반도체의 상기 계면 및 계면 근방의 저항이 저감되는 경우가 있다.
- [0094] 상기 계면 및 계면 근방에 형성된 산소 결손의 주변은 왜곡을 갖는다. 상기 막을 희가스를 포함하는 스퍼터링 가스를 사용한 스퍼터링법에 의하여 형성하면, 상기 막의 형성 중에 희가스가 산화물 반도체로 들어가는 경우가 있다. 산화물 반도체로 희가스가 들어가면, 상기 계면 및 계면 근방, 그리고 희가스 주변에서 왜곡 또는 구조의 불균일이 일어난다. 상기 희가스는 예를 들어 He 또는 Ar이다. 또한 Ar은 He보다 원자 반경이 크기 때문에 바람직하다. Ar이 산화물 반도체로 들어가면, 왜곡 또는 구조의 불균일이 적합하게 일어난다. 이러한 왜곡 또는 구조의 불균일을 갖는 영역에서는, 결합된 산소 원자의 개수가 적은 금속 원자의 개수가 늘어나는 것으로 생각된다. 결합된 산소 원자의 개수가 적은 금속 원자의 개수가 늘어나면, 상기 계면 및 계면 근방, 그리고 희가스 주변의 저항이 저감되는 경우가 있다.
- [0095] 산화물 반도체로서 결정성 산화물 반도체를 사용하는 경우, 상기 왜곡 또는 구조의 불균일을 갖는 영역은 결정성이 파괴되고 비정질 산화물 반도체와 같이 보이는 경우가 있다.
- [0096] 산화물 반도체 위에 금속막, 금속 원소를 포함하는 질화막, 또는 금속 원소를 포함하는 산화막을 제공한 후, 질소를 포함하는 분위기에서 가열 처리를 수행하는 것이 바람직하다. 질소를 포함하는 분위기에서의 가열 처리에 의하여, 금속막, 금속 원소를 포함하는 질화막, 또는 금속 원소를 포함하는 산화막으로부터 산화물 반도체로 금속 원소가 확산되므로, 산화물 반도체에 금속 원소를 첨가할 수 있다.
- [0097] 산화물 반도체 내의 수소가 산화물 반도체의 저저항 영역으로 확산되고 저저항 영역의 산소 결손으로 들어가면, 수소는 비교적 안정된다. 산화물 반도체에서의 산소 결손 내의 수소는 250°C 이상의 가열 처리에 의하여 산소 결손으로부터 방출되고 산화물 반도체의 저저항 영역으로 확산되고, 저저항 영역의 산소 결손으로 들어가고, 비교적 안정된다는 것이 알려져 있다. 그러므로 가열 처리에 의하여, 산화물 반도체의 저저항 영역의 저항은 더 저감되고, 산화물 반도체에서 저항이 유지된 다른 영역은 고순도화(물 및 수소 등의 불순물량이 저감)되고 저항이 높아지는 경향이 있다.
- [0098] 산화물 반도체는, 수소 또는 질소 등의 불순물 원소를 포함하면, 캐리어 밀도가 증가한다. 산화물 반도체에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 되므로, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손으로 수소가 들어가면 캐리어 밀도가 증가한다. 또한 수소의 일부가 금속 원자와 결합되는 산소와 결합되어 캐리어로서 기능하는 전자가 생성되는 경우가 있다. 즉, 질소 또는 수소를 포함하는 산화물 반도체의 저항이 저감된다.
- [0099] 그러므로 산화물 반도체에 금속 원소, 그리고 수소 및 질소 등의 불순물 원소를 선택적으로 첨가함으로써, 산화물 반도체에 고저항 영역 및 저저항 영역을 형성할 수 있다. 바꿔 말하면, 산화물(230)의 저항을 선택적으로 저감하면, 산화물(230)에 캐리어 밀도가 낮은 반도체로서 기능하는 영역과, 소스 및 드레인으로서 기능하는 저저항 영역을 형성할 수 있다.
- [0100] [트랜지스터(140a) 및 트랜지스터(140b)]
- [0101] 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 도시된 바와 같이 트랜지스터(140a 및 140b)는, 트랜지스터(200a)의 제 2 케이트로서 기능하는 도전체(203_1)도 트랜지스터(200b)의 제 2 케이트로서 기능하는 도전체(203_2)도 포함하지 않는다는 점에서 상술한 트랜지스터(200a 및 200b)와 다르다. 트랜지스터(140a 및 140b)의 다른 구조는 트랜지스터(200a 및 200b)와 비슷하다.
- [0102] 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 도시된 바와 같이, 트랜지스터(140a 및 140b)는 트랜지스터(200a 및 200b)의 A1-A2 방향의 단부들을 끼워 배치된다. 즉, 트랜지스터(200a)의 A1 측에 인접하도록 트랜지스터(140a)가 배치되고, 트랜지스터(200b)의 A2 측에 인접하도록 트랜지스터(140b)가 배치된다.

- [0103] 예를 들어 반도체 장치가 트랜지스터(200a), 트랜지스터(200b), 용량 소자(100a), 및 용량 소자(100b)가 각각 제공된 복수의 메모리 셀을 포함하고, 상기 메모리 셀이 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에서의 A1-A2 방향 및 A5-A6 방향으로 연속적으로 배치되는 경우에는, 인접한 메모리 셀에서 산화물(230)을 공유하는 트랜지스터가 전기적으로 접속된다.
- [0104] 트랜지스터(140a 및 140b)는 서로 인접한 메모리 셀을 전기적으로 분리한다. 바꿔 말하면, 트랜지스터(140a)는 A1 측에 인접한 메모리 셀과의 전기적 접속을 차단하는 기능을 갖고, 트랜지스터(140b)는 A2 측에 인접한 메모리 셀과의 전기적 접속을 차단하는 기능을 갖는다. 이들 기능은 트랜지스터(140a 및 140b)를 항상 오프로 할 때 실현된다. 트랜지스터(140a 및 140b)를 항상 오프로 하기 위해서는, 트랜지스터(140a)의 제 1 게이트로서 기능하는 도전체(260_1)에 트랜지스터(140a)가 오프가 되는 전위를 인가하고, 트랜지스터(140b)의 제 1 게이트로서 기능하는 도전체(260_4)에 트랜지스터(140b)가 오프가 되는 전위를 인가한다.
- [0105] 도 6의 (A) 및 (B), 그리고 도 7에 도시된 바와 같이, 트랜지스터(140a)의 제 2 게이트로서 기능하는 도전체(205_1) 및 트랜지스터(140b)의 제 2 게이트로서 기능하는 도전체(205_2)를 제공하여도 좋다. 이러한 구조로 하면, 예를 들어 도전체(205_1 및 205_2)의 각각에 음의 전위를 인가하는 경우에, 도전체(260_1 및 260_4)의 각각에 인가되는 저전위에 의하여 트랜지스터(140a 및 140b)를 오프로 할 수 있다. 또한 오프 상태 전류를 저감 할 수 있다.
- [0106] 또는 도전체(205_1 및 260_1)가 서로 접속되고 같은 전위를 받고, 도전체(205_2 및 260_4)가 서로 접속되고 같은 전위를 받아도 좋다.
- [0107] [용량 소자(100a) 및 용량 소자(100b)]
- [0108] 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 도시된 바와 같이, 용량 소자(100a)는 도전체(246_1)를 개재 하여 트랜지스터(200a)와 중첩되도록 트랜지스터(200a) 상방에 제공된다. 마찬가지로, 용량 소자(100b)는 도전체(246_2)를 개재 하여 트랜지스터(200b)와 중첩되도록 트랜지스터(200b) 상방에 제공된다.
- [0109] 또한 용량 소자(100b)의 구성 요소는 용량 소자(100a)의 구성 요소에 대응한다. 그러므로 도면에서는, 용량 소자(100a 및 100b)에서 대응하는 구성 요소를 기본적으로 3자릿수의 같은 부호로 나타내었다. 따로 명시되지 않는 한, 용량 소자(100b)에는 용량 소자(100a)에 관한 설명을 참조할 수 있다.
- [0110] 용량 소자(100a)는 절연체(286)의 개구의 바닥면 및 측면에서, 하부 전극으로서 기능하는 도전체(110_1)와 상부 전극으로서 기능하는 도전체(120_1)가 유전체로서 기능하는 절연체(130)를 개재하여 서로 마주 보는 구조를 갖는다. 이로써, 단위 면적당 정전 용량을 크게 할 수 있다.
- [0111] 특히, 절연체(286)의 개구를 깊게 함으로써, 투영 면적을 확대시키지 않고 용량 소자(100a)의 정전 용량을 크게 할 수 있다. 그러므로 용량 소자(100a)는 실린더 형상(즉, 측면적이 밀면적보다 큼)을 갖는 것이 바람직하다.
- [0112] 절연체(130)는 유전율이 높은 것이 바람직하다. 예를 들어, 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체를 사용할 수 있다. 알루미늄 및 하프늄 중 한쪽 또는 양쪽의 산화물을 포함하는 절연체에는 산화 알루미늄, 산화 하프늄, 또는 알루미늄과 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등을 사용하는 것이 바람직하다.
- [0113] 절연체(130)는 예를 들어, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 및 알루미늄과 하프늄을 포함하는 산화물(하프늄 알루미네이트) 등 중 2개 이상의 적층 구조를 가져도 좋다. 예를 들어, ALD법에 의하여 산화 하프늄, 산화 알루미늄, 및 산화 하프늄을 이 순서대로 적층하는 것이 바람직하다. 산화 하프늄 및 산화 알루미늄의 각각의 두께는 0.5nm 이상 5nm 이하이다. 이러한 적층 구조로 함으로써, 용량값이 크고 누설 전류가 낮은 용량 소자(100a)로 할 수 있다.
- [0114] <기판>
- [0115] 트랜지스터가 형성되는 기판으로서는 예를 들어, 절연체 기판, 반도체 기판, 또는 도전체 기판을 사용할 수 있다. 절연체 기판의 예에는 유리 기판, 석영 기판, 사파이어 기판, 안정화 지르코니아 기판(예를 들어, 이트리아 안정화 지르코니아 기판), 및 수지 기판이 포함된다. 반도체 기판의 예에는 실리콘 또는 저마늄 등으로 이루어진 반도체 기판, 및 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 또는 산화 갈륨으로 이루어진 화합물 반도체 기판이 포함된다. 절연체 영역을 포함하는 상술한 반도체 기판 중 임의의 것, 예를 들어 SOI(silicon on insulator) 기판을 사용할 수도 있다. 도전체 기판의 예에는 흑연 기판, 금속 기판, 합금 기판, 및 도전성 수지 기판이 포함된다. 금속 질화물을 포함한 기판 또는 금속 산화물을 포함한 기판 등을 사

용할 수도 있다. 도전체 또는 반도체가 제공된 절연체 기판, 도전체 또는 절연체가 제공된 반도체 기판, 혹은 반도체 또는 절연체가 제공된 도전체 기판 등을 사용하여도 좋다. 또는 이들 기판 중 어느 것 위에 소자가 제공된 것을 사용하여도 좋다. 기판 위에 제공되는 소자의 예에는 용량 소자, 저항 소자, 스위칭 소자, 발광 소자, 및 기억 소자가 포함된다.

[0116] 기판으로서 플렉시블 기판을 사용하여도 좋다. 플렉시블 기판 위에 트랜지스터를 제공하기 위해서는, 비(非)플렉시블 기판 위에 트랜지스터를 형성한 후, 트랜지스터를 분리하고 플렉시블 기판으로 전치(轉置)하여도 좋다. 이 경우, 비플렉시블 기판과 트랜지스터 사이에 분리층을 제공하는 것이 바람직하다. 기판으로서는 섬유를 포함한 시트, 필름, 또는 포일을 사용하여도 좋다. 기판은 탄성을 가져도 좋다. 또한 기판은, 구부리거나 잡아당기는 것을 면쳤을 때에 원래의 형상으로 되돌아가는 성질을 가져도 좋다. 또는 기판은 원래의 형상으로 되돌아가지 않는 성질을 가져도 좋다. 기판은, 예를 들어, 두께가 $5\text{ }\mu\text{m}$ 이상 $700\text{ }\mu\text{m}$ 이하, 바람직하게는 $10\text{ }\mu\text{m}$ 이상 $500\text{ }\mu\text{m}$ 이하, 더 바람직하게는 $15\text{ }\mu\text{m}$ 이상 $300\text{ }\mu\text{m}$ 이하인 영역을 갖는다. 기판의 두께가 얕으면, 트랜지스터를 포함하는 반도체 장치의 중량을 감소시킬 수 있다. 기판의 두께가 얕으면, 유리 등을 사용한 경우에도, 기판이 탄성, 또는 구부리거나 잡아당기는 것을 면쳤을 때에 원래의 형상으로 되돌아가는 성질을 갖는 경우가 있다. 이에 의하여, 떨어뜨리는 것 등으로 인하여 기판 위의 반도체 장치에 가해지는 충격을 줄일 수 있다. 즉, 튼튼한 반도체 장치를 제공할 수 있다.

[0117] 플렉시블 기판인 기판에는 예를 들어 금속, 합금, 수지, 유리, 또는 이들의 섬유를 사용할 수 있다. 플렉시블 기판은, 선행창 계수가 낮을수록 환경에 기인한 변형이 억제되므로 바람직하다. 플렉시블 기판은 예를 들어, 선행창 계수가 $1 \times 10^{-3}/\text{K}$ 이하, $5 \times 10^{-5}/\text{K}$ 이하, 또는 $1 \times 10^{-5}/\text{K}$ 이하인 재료를 사용하여 형성된다. 수지의 예에는 폴리에스터, 폴리올레핀, 폴리아마이드(예를 들어, 나일론 및 아라미드), 폴리이미드, 폴리카보네이트, 및 아크릴이 포함된다. 특히, 아라미드는 선행창 계수가 낮기 때문에 플렉시블 기판에 바람직하게 사용된다.

[0118] <절연체>

[0119] 절연체의 예에는 절연성 산화물, 절연성 질화물, 절연성 산화질화물, 절연성 질화산화물, 절연성 금속 산화물, 절연성 금속 산화질화물, 및 절연성 금속 질화산화물이 포함된다.

[0120] 트랜지스터는, 산소, 및 수소 등의 불순물의 투과를 억제하는 기능을 갖는 절연체로 둘러싸이면, 안정적인 전기 특성을 가질 수 있다. 예를 들어 절연체(210 및 282)의 각각으로서 산소, 및 수소 등의 불순물의 투과를 억제하는 기능을 갖는 절연체를 사용할 수 있다.

[0121] 산소, 및 수소 등의 불순물의 투과를 억제하는 기능을 갖는 절연체는, 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함하는 절연체의 단층 구조 또는 적층 구조를 가질 수 있다.

[0122] 예를 들어 절연체(210 및 282)는 산화 알루미늄, 산화 마그네슘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 실리콘과 하프늄을 포함하는 산화물, 알루미늄과 하프늄을 포함하는 산화물, 또는 산화 탄탈럼 등의 금속 산화물, 질화산화 실리콘, 혹은 질화 실리콘을 사용하여 형성될 수 있다. 또한 예를 들어 절연체(210 및 282)는 산화 알루미늄 및 산화 하프늄을 포함하는 것이 바람직하다.

[0123] 절연체(214 및 250)는 유전율이 높은 절연체를 포함하는 것이 바람직하다. 예를 들어, 절연체(214 및 250)는 산화 갈륨, 산화 하프늄, 산화 지르코늄, 알루미늄과 하프늄을 포함하는 산화물, 알루미늄과 하프늄을 포함하는 산화질화물, 실리콘과 하프늄을 포함하는 산화물, 실리콘과 하프늄을 포함하는 산화질화물, 또는 실리콘과 하프늄을 포함하는 질화물을 포함하는 것이 바람직하다.

[0124] 또는 절연체(214 및 250)는 각각 산화 실리콘 또는 산화질화 실리콘과, 유전율이 높은 절연체의 적층 구조를 갖는 것이 바람직하다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에, 산화 실리콘 또는 산화 질화 실리콘과, 유전율이 높은 절연체를 조합함으로써, 열적으로 안정적이고 유전율이 높은 적층 구조로 할 수 있다. 예를 들어, 절연체(250)에서의 산화 알루미늄, 산화 갈륨, 또는 산화 하프늄이 산화물(230)과 접하면, 산화 실리콘 또는 산화질화 실리콘에 포함되는 실리콘이 산화물(230)로 들어가는 것을 저감할 수 있다. 또한 예를 들어, 절연체(250)에서, 산화 실리콘 또는 산화질화 실리콘이 산화물(230)과 접하면, 산화 알루미늄, 산화 갈륨, 또는 산화 하프늄과, 산화 실리콘 또는 산화질화 실리콘의 계면에 트랩 중심이 형성될 수 있다. 이 트랩 중심은 전자를 포획함으로써 트랜지스터의 문턱 전압을 양의 방향으로 변동시킬 수 있는 경우가 있다.

- [0125] 절연체(212), 절연체(220)(절연체(220_1), 절연체(220_2), 절연체(220_3), 절연체(220_4), 및 절연체(220_5)), 절연체(280), 절연체(283), 및 절연체(286)는 유전율이 낮은 절연체를 포함하는 것이 바람직하다. 예를 들어, 절연체(212, 220, 280, 283, 및 286)는 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 플루오린이 첨가된 산화 실리콘, 탄소가 첨가된 산화 실리콘, 탄소 및 질소가 첨가된 산화 실리콘, 다공성 산화 실리콘, 또는 수지 등을 포함하는 것이 바람직하다. 또는 절연체(212, 220, 280, 283, 및 286)의 각각은 수지와, 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 플루오린이 첨가된 산화 실리콘, 탄소가 첨가된 산화 실리콘, 탄소 및 질소가 첨가된 산화 실리콘, 및 다공성 산화 실리콘 중 하나의 재료의 적층 구조를 갖는 것이 바람직하다. 산화 실리콘 및 산화질화 실리콘은 열적으로 안정적이기 때문에, 산화 실리콘 또는 산화질화 실리콘을 수지와 조합하면 열적으로 안정적이고 유전율이 낮은 적층 구조로 할 수 있다. 수지의 예에는 폴리에스터, 폴리올레핀, 폴리아마이드(예를 들어, 나일론 및 아라미드), 폴리아미드, 폴리카보네이트, 및 아크릴이 포함된다.
- [0126] <도전체>
- [0127] 도전체(203)(도전체(203_1) 및 도전체(203_2)), 도전체(205)(도전체(205_1) 및 도전체(205_2)), 도전체(260)(도전체(260_1), 도전체(260_2), 도전체(260_3), 및 도전체(260_4)), 도전체(240), 도전체(245), 및 도전체(246)(도전체(246_1) 및 도전체(246_2))는 알루미늄, 크로뮴, 구리, 은, 금, 백금, 탄탈럼, 니켈, 타이타늄, 몰리브데늄, 텉스텐, 하프늄, 바나듐, 나이오븀, 망가니즈, 마그네슘, 지르코늄, 베릴륨, 인듐, 및 루테늄 등 중에서 선택된 하나 이상의 금속 원소를 포함한 재료를 사용하여 형성될 수 있다. 또는 인 등의 불순물 원소를 포함한 다결정 실리콘으로 대표되는 전기 전도도가 높은 반도체, 또는 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다.
- [0128] 특히 도전체(260)에는, 탄소를 포함하는 도전성 재료 및 산화물(230)에 사용할 수 있는 금속 산화물에 포함되는 금속 원소를 사용하여도 좋다. 또한 상술한 금속 원소와 질소를 포함한 도전성 재료를 사용하여도 좋다. 예를 들어, 질화 타이타늄 또는 질화 탄탈럼 등 질소를 포함하는 도전성 재료를 사용하여도 좋다. 인듐 주석 산화물, 산화 텉스텐을 포함한 인듐 산화물, 산화 텉스텐을 포함한 인듐 아연 산화물, 산화 타이타늄을 포함한 인듐 산화물, 산화 타이타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 또는 실리콘에 첨가된 인듐 주석 산화물을 사용하여도 좋다. 질소를 포함한 인듐 갈륨 아연 산화물을 사용하여도 좋다. 이러한 재료를 사용함으로써, 산화물(230)에 포함되는 수소를 포획할 수 있는 경우가 있다. 외부의 절연체 등으로부터 들어오는 수소를 포획할 수 있는 경우가 있다.
- [0129] 상기 재료로 형성되는 도전층을 적층하여도 좋다. 예를 들어, 상술한 금속 원소를 포함한 재료와, 탄소를 포함한 도전성 재료를 조합한 적층 구조를 사용하여도 좋다. 또는 상술한 금속 원소를 포함한 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조를 사용하여도 좋다. 또는 상술한 금속 원소를 포함한 재료와, 탄소를 포함한 도전성 재료와, 질소를 포함한 도전성 재료를 조합한 적층 구조를 사용하여도 좋다.
- [0130] 또한 트랜지스터의 채널 형성 영역에 산화물을 사용하는 경우에는, 상술한 금속 원소를 포함한 재료와, 탄소를 포함한 도전성 재료를 조합한 적층 구조를 게이트에 사용하는 것이 바람직하다. 이 경우, 탄소를 포함한 도전성 재료를 채널 형성 영역 측에 형성하는 것이 바람직하다. 탄소를 포함한 도전성 재료를 채널 형성 영역 측에 제공하면, 상기 도전성 재료로부터 방출된 탄소가 채널 형성 영역에 공급되기 쉬워진다.
- [0131] <금속 산화물>
- [0132] 산화물(230)로서는, 산화물 반도체로서 기능하는 금속 산화물(이하 산화물 반도체라고도 함)을 사용하는 것이 바람직하다. 이하에서는, 본 발명의 일 형태에 따른 반도체층 및 산화물(230)에 사용할 수 있는 금속 산화물에 대하여 설명한다.
- [0133] 산화물 반도체는 적어도 인듐 또는 아연을 포함하는 것이 바람직하다. 특히, 인듐 및 아연을 포함하는 것이 바람직하다. 또한 알루미늄, 갈륨, 이트륨, 또는 주석 등을 포함하는 것이 바람직하다. 또한 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데늄, 란타늄, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐, 및 마그네슘 등 중에서 선택된 하나 이상의 원소를 포함하여도 좋다.
- [0134] 여기서는, 산화물 반도체가 인듐, 원소 M , 및 아연을 포함하는 $In-M-Zn$ 산화물인 경우에 대하여 고찰한다. 원소 M 은 알루미늄, 갈륨, 이트륨, 또는 주석 등이다. 원소 M 으로서 사용할 수 있는 다른 원소에는 붕소, 실리콘, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데늄, 란타늄, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텉스텐, 및 마그네슘이 포함된다. 또한 상기 원소 중 2개 이상을 조합하여 원소 M 으로서 사용하여도 좋다.

[0135] [금속 산화물의 구조]

[0136] 산화물 반도체는 단결정 산화물 반도체와 비단결정 산화물 반도체로 분류된다. 비단결정 산화물 반도체의 예에는 CAAC-OS(c-axis-aligned crystalline oxide semiconductor), 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체가 포함된다.

[0137] CAAC-OS는 c축 배향을 갖고, 그 나노 결정들이 a-b면 방향에서 연결되어 있고, 그 결정 구조가 왜곡을 갖는다. 또한 왜곡이란, 나노 결정들이 연결된 영역에서, 격자 배열이 규칙적인 영역과 격자 배열이 규칙적인 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 말한다.

[0138] 나노 결정의 형상은 기본적으로 육각형이지만, 반드시 정육각형인 것은 아니고, 비정육각형인 경우가 있다. 왜곡에는 오각형의 격자 배열 및 칠각형의 격자 배열 등이 포함되는 경우가 있다. 또한 CAAC-OS의 왜곡 근방에서도 명확한 결정립계를 관찰할 수 없다. 즉, 격자 배열이 왜곡되므로 결정립계의 형성이 억제된다. 이는, a-b면 방향에서 산소 원자의 배열의 밀도가 낮은 것, 및 금속 원소의 치환에 의하여 원자간 결합 거리가 변화되는 것 등에 의하여 CAAC-OS가 왜곡을 허용할 수 있기 때문이라고 생각된다.

[0139] CAAC-OS는, 인듐 및 산소를 포함하는 층(이하 In층), 그리고 원소 M, 아연, 및 산소를 포함하는 층(이하 (M, Zn)층)이 적층된 층상 결정 구조(적층 구조라고도 함)를 갖는 경향이 있다. 또한 인듐 및 원소 M은 서로 치환될 수 있고, (M, Zn)층의 원소 M이 인듐으로 치환되는 경우, 상기 층을 (In, M, Zn)층이라고 할 수도 있다. In 층의 인듐이 원소 M으로 치환되는 경우에는, 상기 층을 (In, M)층이라고 할 수도 있다.

[0140] CAAC-OS는 결정성이 높은 산화물 반도체이다. 한편, CAAC-OS에서는, 명확한 결정립계를 관찰할 수 없기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다. 불순물의 침입 또는 결함의 형성 등에 의하여 산화물 반도체의 결정성이 저하되는 경우가 있다. 이는, CAAC-OS는 불순물 및 결함(예를 들어 산소 결손)의 양이 적다는 것을 의미한다. 따라서 CAAC-OS를 포함하는 산화물 반도체는 물리적으로 안정적이다. 그러므로 CAAC-OS를 포함하는 산화물 반도체는 내열성이 있고 신뢰성이 높다.

[0141] nc-OS에서, 미소한 영역(예를 들어, 크기가 1nm 이상 10nm 이하의 영역, 특히 크기가 1nm 이상 3nm 이하의 영역)은 주기적인 원자 배열을 갖는다. nc-OS에서 상이한 나노 결정들 사이에 결정 배향의 규칙성은 없다. 따라서 막 전체에서 배향이 관찰되지 않는다. 그러므로 분석 방법에 따라서는 nc-OS를 a-like OS 또는 비정질 산화물 반도체와 구별할 수 없는 경우가 있다.

[0142] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간의 구조를 갖는다. a-like OS는 공동 또는 밀도가 낮은 영역을 갖는다. 즉, a-like OS는 nc-OS 및 CAAC-OS보다 결정성이 낮다.

[0143] 산화물 반도체는 상이한 특성을 나타내는 여러 가지 구조 중 임의의 것을 가질 수 있다. 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, 및 CAAC-OS 중 2개 이상이 본 발명의 일 형태에 따른 산화물 반도체에 포함되어도 좋다.

[0144] <반도체 장치의 제작 방법>

[0145] 다음으로, 트랜지스터(200a), 트랜지스터(200b), 용량 소자(100a), 및 용량 소자(100b)를 포함하는 본 발명의 일 형태에 따른 반도체 장치의 제작 방법에 대하여 도 13의 (A) 내지 도 21의 (B)를 참조하여 설명한다. 도 13의 (A) 내지 도 21의 (B)에서, 도면 (A)는 상면도이고, 도면 (B)는 도면 (A)의 일 점쇄선 A1-A2를 따라 취한 단면도이다.

[0146] 우선, 기판(도시하지 않았음)을 준비하고, 상기 기판 위에 절연체(210)를 퇴적한다. 절연체(210)는 스퍼터링법, CVD(chemical vapor deposition)법, MBE(molecular beam epitaxy)법, PLD(pulsed laser deposition)법, 또는 ALD법 등에 의하여 퇴적할 수 있다.

[0147] 또한 CVD법은 플라스마를 사용하는 플라스마 강화 CVD(PECVD)법, 열을 사용하는 열 CVD(TCVD)법, 및 광을 사용하는 광 CVD(photo CVD)법 등으로 분류될 수 있다. 또한 CVD법은, 원료 가스에 따라 MCVD(metal CVD)법 및 MOCVD(metal organic CVD)법으로 분류될 수 있다.

[0148] PECVD법에 의하여 비교적 낮은 온도에서 고품질의 막을 얻을 수 있다. 열 CVD법은 플라스마를 사용하지 않기 때문에, 물체에 대한 플라스마 대미지가 적다. 예를 들어, 반도체 장치에 포함되는 배선, 전극, 또는 소자(예를 들어, 트랜지스터 또는 용량 소자) 등은 플라스마로부터 전하를 받음으로써 차지 업(charge up)하는 경우가

있다. 이 경우, 축적된 전하에 의하여, 반도체 장치에 포함되는 배선, 전극, 또는 소자 등이 파괴될 수 있다. 한편, 플라스마를 사용하지 않는 열 CVD법에 의해서는, 이러한 플라스마 대미지가 발생하지 않아, 반도체 장치의 수율을 높일 수 있다. 또한 열 CVD법은 막 형성 중에 플라스마 대미지가 발생하지 않기 때문에, 결함이 적은 막을 얻을 수 있다.

[0149] ALD법도 물체에 대한 대미지가 적다. ALD법은 막 형성 중에 플라스마 대미지가 발생하지 않기 때문에, 결함이 적은 막을 얻을 수 있다.

[0150] 타깃 등으로부터 방출되는 입자가 퇴적되는 막 형성 방법과는 달리, CVD법 및 ALD법에서는, 물체의 표면에서의 반응에 의하여 막이 형성된다. 따라서 CVD법 및 ALD법은, 물체의 형상에 거의 상관없이, 양호한 단차 피복성을 제공할 수 있다. 특히 예를 들어, ALD법은 단차 피복성 및 두께의 균일성을 우수하게 할 수 있고, 종횡비가 높은 개구의 표면을 덮는 데 적합하게 사용할 수 있다. 또한 ALD법은 막 형성 속도가 비교적 느리기 때문에, CVD법 등의 막 형성 속도가 빠른 다른 막 형성 방법과 ALD법을 조합하는 것이 바람직한 경우가 있다.

[0151] CVD법 및 ALD법에 의하여 얻어지는 막의 조성은, 원료 가스의 유량비에 의하여 제어할 수 있다. 예를 들어, CVD법 또는 ALD법에 의하여, 임의의 조성을 갖는 막을 원료 가스의 유량비를 조정함으로써 형성할 수 있다. 또한 예를 들어 CVD법 및 ALD법에서는, 원료 가스의 유량비를 변화시키면서 막을 형성하면, 얻어지는 막이 연속적으로 변화되는 조성을 가질 수 있다. 원료 가스의 유량비를 변화시키면서 막을 형성하는 데 걸리는 시간은, 반송 및 압력 조정이 필요하지 않으므로 복수의 퇴적 체임버에서 막을 형성하는 데 걸리는 시간보다 짧게 할 수 있다. 따라서 반도체 장치의 생산성을 향상시킬 수 있는 경우가 있다.

[0152] 예를 들어, 절연체(210)로서 스퍼터링법에 의하여 산화 알루미늄을 퇴적한다. 절연체(210)는 다층 구조를 가져도 좋고, 예를 들어 스퍼터링법에 의하여 산화 알루미늄막을 형성하고 그 위에 ALD법에 의하여 다른 산화 알루미늄막을 형성한다. 또는 ALD법에 의하여 산화 알루미늄막을 형성하고 그 위에 스퍼터링법에 의하여 다른 산화 알루미늄을 형성한다.

[0153] 다음으로, 절연체(210) 위에 도전체(203_1 및 203_2)가 되는 도전막을 형성한다. 도전체(203_1 및 203_2)가 되는 도전막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다. 도전체(203_1 및 203_2)가 되는 도전막은 다층막으로 할 수 있다. 예를 들어, 도전체(203_1 및 203_2)가 되는 도전막으로서 텅스텐막을 형성한다.

[0154] 다음으로, 도전체(203_1 및 203_2)가 되는 도전막을 리소그래피법에 의하여 가공하여 도전체(203_1 및 203_2)를 형성한다.

[0155] 리소그래피법에서는, 우선 마스크를 통하여 레지스트를 노광시킨다. 다음으로, 노광된 영역을 현상액을 사용하여 제거하거나 잔존시켜, 레지스트 마스크를 형성한다. 그리고 이 레지스트 마스크를 사용한 에칭을 실시함으로써, 도전체, 반도체, 또는 절연체 등을 원하는 형상으로 가공할 수 있다. 레지스트 마스크는, 예를 들어 KrF 엑시머 레이저 광, ArF 엑시머 레이저 광, 또는 EUV(extreme ultraviolet)광에 레지스트를 노광시킴으로써 형성된다. 기판과 투영 렌즈 사이의 부분을 액체(예를 들어, 물)로 채워 노광을 수행하는 액침 기술을 채용하여도 좋다. 상술한 광 대신에 전자빔 또는 이온빔을 사용하여도 좋다. 또한 전자빔 또는 이온빔을 사용하는 경우에는 마스크가 필요하지 않다. 레지스트 마스크를 제거하기 위해서는 애칭 등의 드라이 에칭 처리, 또는 웨트 에칭 처리를 수행할 수 있고, 드라이 에칭 처리 후에 웨트 에칭 처리를 수행하거나 웨트 에칭 처리 후에 드라이 에칭 처리를 수행할 수 있다.

[0156] 절연체 또는 도전체로 형성되는 하드 마스크를 레지스트 마스크 대신에 사용하여도 좋다. 하드 마스크를 사용하는 경우, 도전체(203_1 및 203_2)가 되는 도전막 위에 하드 마스크 재료인 절연막 또는 도전막을 형성하고, 그 위에 레지스트 마스크를 형성한 다음, 하드 마스크 재료를 에칭함으로써, 원하는 형상을 갖는 하드 마스크를 형성할 수 있다. 도전체(203_1 및 203_2)가 되는 도전막의 에칭은 레지스트 마스크를 제거한 후에 수행하여도 좋고 레지스트 마스크를 제거하지 않고 수행하여도 좋다. 후자(後者)의 경우, 에칭 중에 레지스트 마스크가 제거되는 경우가 있다. 도전체(203_1 및 203_2)가 되는 도전막을 에칭한 후에 하드 마스크를 에칭에 의하여 제거하여도 좋다. 하드 마스크 재료가 나중의 공정에 영향을 미치지 않거나 나중의 공정에서 이용될 수 있는 경우에는 하드 마스크를 제거할 필요는 없다.

[0157] 드라이 에칭 장치로서는, 평행 평판 전극들을 포함하는 용량 결합형 플라스마(CCP: capacitively coupled plasma) 에칭 장치를 사용할 수 있다. 평행 평판 전극들을 포함하는 CCP 에칭 장치는, 평행 평판 전극들 중 한쪽에 고주파 전원을 인가하는 구조를 가져도 좋다. 또는 평행 평판 전극들 중 한쪽에 다른 고주파 전원을 인가

하여도 좋다. 또는 평행 평판 전극들에 주파수가 같은 고주파 전원을 인가하여도 좋다. 또는 평행 평판 전극들에 주파수가 다른 고주파 전원을 인가하여도 좋다. 또는 고밀도 플라스마원을 포함하는 드라이 에칭 장치를 사용할 수 있다. 고밀도 플라스마원을 포함하는 드라이 에칭 장치로서는, 예를 들어 유도 결합형 플라스마 (ICP: inductively coupled plasma) 에칭 장치를 사용할 수 있다.

[0158] 다음으로, 절연체(212)가 되는 절연막을 절연체(210), 도전체(203_1), 및 도전체(203_2) 위에 형성한다. 절연체(212)가 되는 절연막은 스팍터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다. 예를 들어, 절연체(212)가 되는 절연막으로서 CVD법에 의하여 산화 실리콘을 퇴적한다.

[0159] 여기서 절연체(212)가 되는 절연막의 두께는 도전체(203_1)의 두께 및 도전체(203_2)의 두께 이상인 것이 바람직하다. 예를 들어 도전체(203_1)의 두께 및 도전체(203_2)의 두께가 각각 1인 경우, 절연체(212)가 되는 절연막의 두께는 1 이상 3 이하이다.

[0160] 다음으로, CMP(chemical mechanical polishing) 처리를 절연체(212)가 되는 절연막에 수행하여, 절연체(212)가 되는 절연막의 일부를 제거하고 도전체(203_1)의 표면 및 도전체(203_2)의 표면을 노출시킨다. 이로써, 상면이 평坦한 도전체(203_1 및 203_2) 및 절연체(212)를 형성할 수 있다(도 13의 (A) 및 (B) 참조).

[0161] 이하에서는, 상기 방법과는 다른 도전체(203_1 및 203_2)의 형성 방법에 대하여 설명한다.

[0162] 절연체(210) 위에 절연체(212)를 퇴적한다. 절연체(212)는 스팍터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 퇴적할 수 있다. 그리고 절연체(210)에 도달되도록 절연체(212)에 개구를 형성한다. 개구의 예에는 홈 및 슬릿이 포함된다. 개구가 형성되는 영역을 개구부라고 하는 경우가 있다. 개구는 웨트 에칭에 의하여 형성될 수 있지만, 미세 가공에는 드라이 에칭이 바람직하다. 절연체(210)는, 절연체(212)를 에칭하여 홈을 형성할 때의 에칭 스토퍼막으로서 기능하는 절연체인 것이 바람직하다. 예를 들어 홈이 형성되는 절연체(212)로서 산화 실리콘막을 사용하는 경우에는, 절연체(210)가 질화 실리콘막, 산화 알루미늄막, 또는 산화 하프늄막인 것이 바람직하다.

[0163] 개구를 형성한 후, 도전체(203_1 및 203_2)가 되는 도전막을 형성한다. 상기 도전막은, 산소의 투과를 억제하는 기능을 갖는 도전체를 포함하는 것이 바람직하다. 예를 들어 질화 탄탈럼, 질화 텅스텐, 또는 질화 타이타늄을 사용할 수 있다. 또는 탄탈럼, 텅스텐, 타이타늄, 몰리브데늄, 알루미늄, 구리, 또는 몰리브데늄-텅스텐 합금과 도전체로 이루어진 적층막을 사용할 수 있다. 도전체(203_1 및 203_2)가 되는 도전막은 스팍터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다.

[0164] 예를 들어, 도전체(203_1 및 203_2)가 되는 도전막이 다층막인 경우, 스팍터링법에 의하여 질화 탄탈럼막 위에 질화 타이타늄막을 적층한다. 이러한 금속 질화물을 도전체(203_1 및 203_2)가 되는 도전막의 아래층에 사용하면, 도전체(203_1 및 203_2)가 되는 도전막의 위층(후술함)에 구리 등 확산되기 쉬운 금속을 사용하여도 상기 금속이 도전체(203_1 및 203_2)로부터 외부로 확산되는 것을 방지할 수 있다.

[0165] 다음으로, 도전체(203_1 및 203_2)가 되는 도전막의 위층을 형성한다. 이 도전막의 위층은 도금법, 스팍터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다. 예를 들어, 도전체(203_1 및 203_2)가 되는 도전막의 위층으로서 구리 등의 저저항 도전성 재료를 형성한다.

[0166] 다음으로, CMP 처리에 의하여 도전체(203_1 및 203_2)가 되는 도전막의 위층 및 아래층을 부분적으로 제거하여 절연체(212)를 노출시킨다. 이 결과, 도전체(203_1 및 203_2)가 되는 도전막이 개구에만 잔존한다. 이러한 식으로, 상면이 평탄한 도전체(203_1 및 203_2)를 형성할 수 있다. 또한 상기 CMP 처리에 의하여 절연체(212)가 부분적으로 제거되는 경우가 있다. 이상이 도전체(203_1 및 203_2)의 다른 형성 방법에 관한 설명이다.

[0167] 다음으로, 도전체(203_1 및 203_2) 위에 절연체(214)를 형성한다. 절연체(214)는 스팍터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 퇴적할 수 있다(도 13의 (A) 및 (B) 참조).

[0168] 다음으로, 가열 처리를 수행하는 것이 바람직하다. 가열 처리는 250°C 이상 650°C 이하, 바람직하게는 300°C 이상 500°C 이하, 더 바람직하게는 320°C 이상 450°C 이하의 온도에서 수행된다. 가열 처리는 질소 분위기, 불활성 가스 분위기, 또는 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 수행된다. 가열 처리는 감압하에서 수행되어도 좋다. 또는 가열 처리는, 질소 분위기 또는 불활성 가스 분위기에서 가열 처리를 수행한 다음, 방출된 산소를 보충하기 위하여 산화성 가스를 10ppm 이상, 1% 이상, 또는 10% 이상 포함하는 분위기에서 다른 가열 처리를 수행하는 식으로 수행되어도 좋다. 가열 처리에 의하여, 예를 들어 절연체(212 및 214)에 포함되는 수소 및 물 등의 불순물을 제거할 수 있다. 가열 처리에서는, 산소를 사용하는 플라

스마 처리를 감압하에서 수행하여도 좋다. 산소를 사용하는 플라스마 처리는, 예를 들어 마이크로파를 사용한 고밀도 플라스마를 발생시키는 전원을 포함한 장치를 사용하여 수행되는 것이 바람직하다. 또는 기판 측에 RF(radio frequency)를 인가하는 전원이 제공되어도 좋다. 또한 가열 처리는 수행하지 않아도 되는 경우가 있다.

[0169] 다음으로, 절연체(220)(절연체(220_1), 절연체(220_2), 절연체(220_3), 절연체(220_4), 및 절연체(220_5))가 되는 절연막을 형성한다. 절연체(220)가 되는 절연막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다.

[0170] 그리고 절연체(220)가 되는 절연막을 리소그래피법에 의하여 가공하여 절연체(220)(절연체(220_1), 절연체(220_2), 절연체(220_3), 절연체(220_4), 및 절연체(220_5))를 형성한다. 여기서는, 절연체(220_2)와 절연체(220_3) 사이의 영역이 도전체(203_1)와 중첩되고, 절연체(220_3)와 절연체(220_4) 사이의 영역이 도전체(203_2)와 중첩되도록 절연체(220)를 배치한다(도 13의 (A) 및 (B) 참조).

[0171] 다음으로, 절연체(214) 및 절연체(220)를 덮도록 산화막(230C)을 형성한다(도 14의 (A) 및 (B) 참조). 산화막(230C)은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다.

[0172] 예를 들어 산화막(230C)을 스퍼터링법에 의하여 형성하는 경우에는, 산소 또는 산소와 희가스의 혼합 가스를 스퍼터링 가스로서 사용한다. 스퍼터링 가스에서의 산소의 비율을 높임으로써, 형성되는 산화막에 포함되는 과잉 산소량을 증가시킬 수 있다. 산화막(230C)을 스퍼터링법에 의하여 형성하는 경우에는, In-M-Zn 산화물 타깃을 사용할 수 있다.

[0173] 특히, 산화막(230C)의 형성 시에는 스퍼터링 가스에 포함되는 산소의 일부가 절연체(214)에 공급되는 경우가 있다.

[0174] 또한 산화막(230C)의 형성을 위한 스퍼터링 가스에서의 산소의 비율은 70% 이상, 바람직하게는 80% 이상, 더 바람직하게는 100%로 한다.

[0175] 산화막(230C)을 스퍼터링법에 의하여 형성하는 경우에는, 예를 들어 원자수비가 In:Ga:Zn=4:2:4.1인 타깃, 원자수비가 In:Ga:Zn=1:1:1인 타깃, 또는 원자수비가 In:Ga:Zn=1:1:0.5인 타깃을 사용한다.

[0176] 본 실시형태에서 산화막(230C)은 단층 구조를 갖지만, 본 발명은 이에 한정되지 않는다. 예를 들어 산화막(230C)은 2층, 3층, 또는 4층 이상의 적층 구조를 가져도 좋다. 스퍼터링법에 의하여 적층 구조를 형성하는 경우에는, In 대 Ga 대 Zn의 원자수비가 다른 타깃을 사용하여도 좋다. 또는 스퍼터링 가스 내의 산소의 비율을 변경하여 적층 구조를 형성하여도 좋다. 또는 In 대 Ga 대 Zn의 원자수비 및 스퍼터링 가스 내의 산소의 비율을 변경하여 적층 구조를 형성하여도 좋다.

[0177] 다음으로, 가열 처리를 수행하여도 좋다. 이 가열 처리는 상기 가열 처리와 비슷한 조건하에서 수행할 수 있다. 가열 처리에 의하여, 예를 들어 산화막(230C)에 포함되는 물 및 수소 등의 불순물을 제거할 수 있다. 예를 들어, 질소 분위기에 있어서 400°C에서 1시간 동안 처리를 수행하고, 연속하여 산소 분위기에 있어서 400°C에서 1시간 동안 다른 처리를 수행한다.

[0178] 그리고 산화막(230C)을 가공하여 산화물(230)을 형성한다(도 15의 (A) 및 (B) 참조).

[0179] 여기서, 도 15의 (A)에 도시된 바와 같이, 산화물(230)은 산화물(230)의 긴 변과 절연체(220)의 긴 변 사이의 각도가 20° 이상 70° 이하, 바람직하게는 30° 이상 60° 이하가 되도록 형성된다. 또한 산화물(230)은 도전체(203)와 적어도 부분적으로 중첩되도록 형성된다.

[0180] 또한 상기 산화막은 리소그래피법에 의하여 가공할 수 있다. 상기 가공은 드라이 에칭법 또는 웨트 에칭법에 의하여 수행할 수 있다. 드라이 에칭법은 미세 가공에 적합하다.

[0181] 에칭 마스크로서는, 절연체 또는 도전체로 형성되는 하드 마스크를 레지스트 마스크 대신에 사용하여도 좋다. 하드 마스크를 사용하는 경우, 산화막(230C) 위에 하드 마스크 재료인 절연막 또는 도전막을 형성하고, 그 위에 레지스트 마스크를 형성한 다음, 하드 마스크 재료를 에칭함으로써, 원하는 형상을 갖는 하드 마스크를 형성할 수 있다. 산화막(230C)의 에칭은 레지스트 마스크를 제거한 후에 수행하여도 좋고 레지스트 마스크를 제거하지 않고 수행하여도 좋다. 후자의 경우, 에칭 중에 레지스트 마스크가 제거되는 경우가 있다. 산화막(230C)을 에칭한 후에 하드 마스크를 에칭에 의하여 제거하여도 좋다.

[0182] 상술한 드라이 에칭 등의 처리에 의하여, 에칭 가스 등에 기인한 불순물이 산화물(230) 등의 표면 또는 내부에

부착되거나 이들로 확산되는 경우가 있다. 불순물의 예에는 플루오린 및 염소가 포함된다.

[0183] 상기 불순물을 제거하기 위하여 세정을 수행한다. 세정으로서는, 세정액 등을 사용한 웨트 세정, 플라스마를 사용한 플라스마 처리, 및 가열 처리에 의한 세정 등 중 임의의 것을 단독으로 또는 적절히 조합하여 수행할 수 있다.

[0184] 옥살산, 인산, 또는 플루오린화 수소산 등을 탄산수 또는 순수로 희석한 수용액을 사용하여 웨트 세정을 수행하여도 좋다. 또는 순수 또는 탄산수를 사용한 초음파 세정을 수행하여도 좋다.

[0185] 다음으로, 가열 처리를 수행하여도 좋다. 이 가열 처리는 상기 가열 처리와 비슷한 조건하에서 수행할 수 있다.

[0186] 그리고 절연체(214), 절연체(220), 및 산화물(230) 위에 절연체(250)를 퇴적한다(도 16의 (A) 및 (B) 참조). 절연체(250)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 퇴적할 수 있다. 여기서, 절연체(250)는 적층 구조를 가져도 좋다. 예를 들어 절연체(250)가 2층 구조를 갖는 경우, 산소를 포함하는 분위기에서 스퍼터링법에 의하여 절연체(250)의 제 2 층을 형성함으로써, 절연체(250)의 제 1 층에 산소를 첨가할 수 있다.

[0187] 여기서, 가열 처리를 수행하여도 좋다. 이 가열 처리는 상기 가열 처리와 비슷한 조건하에서 수행할 수 있다. 상기 가열 처리에 의하여 절연체(250) 내의 수분 농도 및 수소 농도를 저감할 수 있다.

[0188] 다음으로, 절연체(250) 위에 도전막(260A)을 형성한다(도 17의 (A) 및 (B) 참조). 도전막(260A)은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다. 도전막(260A)은 2층 이상의 적층 구조를 가져도 좋다. 본 실시형태에서는, CVD법 또는 ALD법에 의하여 절화 타이타늄을 퇴적한 다음, CVD법에 의하여 텅스텐을 퇴적한다.

[0189] 다음으로, CMP 처리를 수행하여 도전막(260A)의 일부를 제거하고 도전막(260A)의 제 1 층의 일부를 노출시킴으로써 도전체(260B)를 형성한다(도 18의 (A) 및 (B) 참조).

[0190] 다음으로, 도전막(260A)의 노출된 제 1 층, 즉 절연체(220)의 상면과 중첩되는 영역에서의 도전막(260A)의 제 1 층을 에칭하여 도전체(260)(도전체(260_1), 도전체(260_2), 도전체(260_3), 및 도전체(260_4))를 형성한다(도 19의 (A) 및 (B) 참조).

[0191] 다음으로, 절연체(280)를 형성한다. 절연체(280)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다. 또는 절연체(280)는 스판 코팅법, 침지법, 액적 토출법(잉크젯법 등), 인쇄법(스크린 인쇄 또는 오프셋 인쇄 등), 닥터 나이프법, 롤 코터법, 또는 커튼 코터법 등에 의하여 형성할 수 있다. 본 실시형태에서는, 절연체(280)에 산화질화 실리콘을 사용한다.

[0192] 절연체(280)는 평탄한 상면을 갖도록 형성되는 것이 바람직하다. 예를 들어 절연체(280)는, 형성 직후에 평탄한 상면을 가져도 좋다. 또는 절연체(280)는, 상면이 기판의 이면 등의 기준면에 대하여 평행하게 되도록, 형성 후에 상면에서 절연체 등을 제거함으로써 평탄화되어도 좋다. 이러한 처리를 평탄화 처리라고 한다. 평탄화 처리로서는 CMP 처리 또는 드라이 에칭 처리 등을 수행할 수 있다. 본 실시형태에서는 평탄화 처리로서 CMP 처리를 사용한다(도 20의 (A) 및 (B) 참조).

[0193] 또한 도면에서 절연체(280)는 단층 구조를 갖지만, 2층 이상의 적층 구조를 가져도 좋다. 예를 들어, 기판의 휨을 저감하기 위하여, 압축 응력을 갖는 층과 인장 응력을 갖는 층을 적층하여 내부 응력을 상쇄하여도 좋다.

[0194] 다음으로, 산화물(230)의 영역(231b)에 도달되는 개구를 절연체(280)에 형성한다. 이 개구는 종횡비가 높기 때문에, 이 단계에서는 하드 마스크를 사용하여 이방성 에칭을 수행하는 것이 바람직하다. 또한 종횡비가 높은 개구를 형성하기 위한 이방성 에칭으로서는 드라이 에칭이 바람직하다.

[0195] 여기서, 이온 주입법, 이온화된 원료 가스를 질량 분리하지 않고 첨가하는 이온 도핑법, 또는 플라스마 잠입 이온 주입법 등에 의하여, 영역(231b)에 이온 주입을 하여도 좋다. 이온은, 절연체(280)에 의하여 차단되기 때문에, 영역(231b)에서 개구를 통하여 노출된 부분에만 도달될 수 있다. 바꿔 말하면, 영역(231b)에 이온을 자기 정합적으로 주입할 수 있다. 이 이온 주입에 의하여 영역(231b)의 캐리어 밀도를 높일 수 있기 때문에, 도전체(240)와 영역(231b)의 접촉 저항을 저감할 수 있는 경우가 있다.

[0196] 다음으로, 도전체(240)가 되는 도전막을 형성한다. 도전체(240)가 되는 도전막은, 물 및 수소 등의 불순물의 투과를 억제하는 기능을 갖는 도전체를 포함한 적층 구조를 갖는 것이 바람직하다. 예를 들어, 절화 탄탈럼 또

는 질화 타이타늄 등과, 텅스텐, 몰리브데넘, 또는 구리 등의 적층 구조를 채용할 수 있다. 도전체(240)가 되는 도전막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 퇴적할 수 있다.

[0197] 다음으로, CMP 처리를 수행하여, 절연체(280) 위에 있는, 도전체(240)가 되는 도전막을 제거한다. 결과적으로 상기 도전막은 상기 개구에만 잔존하므로, 상면이 평탄한 도전체(240)를 형성할 수 있다(도 20의 (A) 및 (B) 참조).

[0198] 개구의 측벽부에 산화 알루미늄을 형성한 후에 도전체(240)를 형성하여도 좋다. 개구의 측벽부에 형성된 산화 알루미늄에 의하여, 외부로부터의 산소의 투과를 억제하여 도전체(240)가 산화되는 것을 방지할 수 있다. 또한 물 및 수소 등의 불순물이 도전체(240)로부터 외부로 확산되는 것을 방지할 수 있다. 상기 산화 알루미늄은 ALD법 등에 의하여 개구에 산화 알루미늄을 형성한 다음, 이방성 에칭을 수행함으로써 형성될 수 있다.

[0199] 다음으로, 도전체(245)가 되는 도전막을 형성한다. 도전체(245)가 되는 도전막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다. 그리고 도전체(245)가 되는 도전막을 리소그래피법에 의하여 가공하여 도전체(245)를 형성한다(도 20의 (A) 및 (B) 참조).

[0200] 다음으로, 절연체(283)를 형성한다. 절연체(283)는 절연체(280)의 형성과 비슷한 식으로 형성할 수 있다. 본 실시형태에서는, 절연체(283)에 산화질화 실리콘을 사용한다.

[0201] 절연체(283)는 평탄한 상면을 갖도록 형성되는 것이 바람직하다. 예를 들어 절연체(283)는, 형성 직후에 평탄한 상면을 가져도 좋다. 또는 절연체(283)는, 상면이 기판의 이면 등의 기준면에 대하여 평행하게 되도록, 형성 후에 상면에서 절연체 등을 제거함으로써 평탄화되어도 좋다. 평탄화 처리로서는 CMP 처리 또는 드라이 에칭 처리 등을 수행할 수 있다. 본 실시형태에서는 평탄화 처리로서 CMP 처리를 사용한다(도 20의 (A) 및 (B) 참조).

[0202] 다음으로, 절연체(283) 위에 절연체(282)를 형성한다. 절연체(282)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다. 예를 들어, 절연체(282)로서 스퍼터링법에 의하여 산화 알루미늄을 퇴적한다(도 21의 (A) 및 (B) 참조).

[0203] 다음으로, 산화물(230)의 영역(231a)에 도달되는 개구를 절연체(280, 283, 및 282)에 형성한다. 이 개구는 각각 종횡비가 높기 때문에, 이 단계에서는 하드 마스크를 사용하여 이방성 에칭을 수행하는 것이 바람직하다. 또한 각각 종횡비가 높은 개구를 형성하기 위한 이방성 에칭으로서는 드라이 에칭이 바람직하다.

[0204] 여기서, 이온 주입법, 이온화된 원료 가스를 질량 분리하지 않고 첨가하는 이온 도핑법, 또는 플라스마 잠입 이온 주입법 등에 의하여, 영역(231a)에 이온 주입을 하여도 좋다. 이온은, 절연체(280, 283, 및 282)에 의하여 차단되기 때문에, 영역(231a)에서 개구를 통하여 노출된 부분에만 도달될 수 있다. 바꿔 말하면, 영역(231a)에 이온을 자기 정합적으로 주입할 수 있다. 이 이온 주입에 의하여 영역(231a)의 캐리어 밀도를 높일 수 있기 때문에, 도전체(246_1 및 246_2)와 영역(231a)의 접촉 저항을 저감할 수 있는 경우가 있다.

[0205] 다음으로, 도전체(246_1 및 246_2)가 되는 도전막을 형성한다. 도전체(246_1 및 246_2)가 되는 도전막은, 물 및 수소 등의 불순물의 투과를 억제하는 기능을 갖는 도전체를 포함한 적층 구조를 갖는 것이 바람직하다. 예를 들어, 질화 탄탈럼 또는 질화 타이타늄 등과, 텅스텐, 몰리브데넘, 또는 구리 등의 적층 구조를 채용할 수 있다. 도전체(246_1 및 246_2)가 되는 도전막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다.

[0206] 다음으로, CMP 처리를 수행하여, 절연체(282) 위에 있는, 도전체(246_1 및 246_2)가 되는 도전막을 제거한다. 결과적으로 상기 도전막은 상기 개구에만 잔존하므로, 상면이 평탄한 도전체(246_1 및 246_2)를 형성할 수 있다(도 21의 (A) 및 (B) 참조).

[0207] 개구의 측벽부에 산화 알루미늄을 형성한 후에 도전체(246_1 및 246_2)를 형성하여도 좋다. 개구의 측벽부에 형성된 산화 알루미늄에 의하여, 외부로부터의 산소의 투과를 억제하여 도전체(246_1 및 246_2)가 산화되는 것을 방지할 수 있다. 또한 물 및 수소 등의 불순물이 도전체(246_1 및 246_2)로부터 외부로 확산되는 것을 방지할 수 있다. 상기 산화 알루미늄은 ALD법 등에 의하여 개구에 산화 알루미늄을 형성한 다음, 이방성 에칭을 수행함으로써 형성될 수 있다.

[0208] 다음으로, 절연체(286)를 형성한다. 절연체(286)는 절연체(280)의 형성과 비슷한 식으로 형성할 수 있다. 본 실시형태에서는, 절연체(286)에 산화질화 실리콘을 사용한다.

- [0209] 또한 도면에서 절연체(286)는 단층 구조를 갖지만, 2층 이상의 적층 구조를 가져도 좋다. 예를 들어, 산화질화 실리콘 및 질화 실리콘을 포함하고, 이들이 이 순서대로 적층된 2층 구조를 채용하여도 좋다. 질화 실리콘은 나중의 공정에 있어서 CMP 처리에서의 스토퍼층으로서 사용될 수 있는 경우가 있다.
- [0210] 다음으로, 적어도 도전체(246_1)의 상면에 도달되는 개구 및 적어도 도전체(246_2)의 상면에 도달되는 개구를 절연체(286)에 형성한다. 이 개구는 각각 종횡비가 높기 때문에, 이 단계에서는 하드 마스크를 사용하여 이방성 에칭을 수행하는 것이 바람직하다. 또한 각각 종횡비가 높은 개구를 형성하기 위한 이방성 에칭으로서는 드라이 에칭이 바람직하다.
- [0211] 다음으로, 도전체(110_1 및 110_2)가 되는 도전막을 개구에 형성한다. 상기 도전막은 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 형성할 수 있다. 본 실시형태에서는, ALD법에 의하여 질화 타이타늄막을 형성한다.
- [0212] 그리고 도전체(110_1 및 110_2)가 되는 도전막 위에 절연체(도시하지 않았음)를 형성한다. 상기 절연체는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 퇴적할 수 있다.
- [0213] 다음으로, CMP 처리를 수행하여, 상기 절연체, 및 절연체(286) 위에 있는, 도전체(110_1 및 110_2)가 되는 도전막을 제거한다. 그리고 개구에 잔존하는 상기 절연체를 에칭함으로써, 도전체(110_1 및 110_2)를 형성할 수 있다(도 21의 (A) 및 (B) 참조).
- [0214] 상술한 바와 같이 절연체(286)를 산화질화 실리콘과 질화 실리콘의 적층 구조로 하면, 질화 실리콘이 상기 CMP 처리에서의 스토퍼층으로서 기능하고, 향상된 생산성과 저감된 생산 편차를 실현할 수 있으므로 바람직하다. 도 6의 (A) 및 (B), 그리고 도 7에는 절연체(286)와 절연체(288)가 이 순서대로 적층된 2층의 절연체를 포함하는 반도체 장치의 예를 도시하였다.
- [0215] 다음으로, 절연체(286), 도전체(110_1), 및 도전체(110_2) 위에 절연체(130)를 형성한다. 절연체(130)는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 퇴적할 수 있다(도 21의 (A) 및 (B) 참조).
- [0216] 다음으로, 도전체(120_1 및 120_2)가 되는 도전막을 형성한다. 상기 도전체는 스퍼터링법, CVD법, MBE법, PLD법, 또는 ALD법 등에 의하여 퇴적할 수 있다.
- [0217] 다음으로, 도전체(120_1 및 120_2)가 되는 도전막에 CMP 처리를 수행하여, 도전체(120_1 및 120_2)가 되는 도전막의 표면을 평탄화한다. 이때, 도전체(120_1 및 120_2)가 되는 도전막 위에 형성된 절연체에 CMP 처리를 수행하여 절연체를 제거한 다음, 도전체(120_1 및 120_2)가 되는 도전막의 표면을 평탄화하여도 좋다.
- [0218] 다음으로, 도전체(120_1 및 120_2)가 되는 도전막을 리소그래피법에 의하여 가공하여 도전체(120_1 및 120_2)를 형성한다.
- [0219] 여기서, 도 4의 (A) 및 (B), 그리고 도 5에 도시된 바와 같이, 도전체(120_1 및 120_2)를 분리하지 않고 하나의 도전체(120)로서 형성하여도 좋다.
- [0220] 상기 단계를 통하여, 도 1의 (A) 및 (B), 도 2의 (A) 및 (B), 그리고 도 3에 도시된 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)를 포함하는 반도체 장치를 제작할 수 있다.
- [0221] <반도체 장치의 변형예>
- [0222] 도 8의 (A) 및 (B), 그리고 도 9는 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)를 포함하는 반도체 장치의 예를 도시한 것이다. 도 8의 (A)는 반도체 장치의 상면도이다. 또한 도면의 간략화를 위하여 도 8의 (A)에는 일부의 막을 도시하지 않았다. 도 8의 (B)는 도 8의 (A)의 일점쇄선 A1-A2를 따라 취한 단면도이다. 도 9는 도 8의 (A)의 일점쇄선 A3-A4를 따라 취한 단면도이다.
- [0223] 도 8의 (A) 및 (B), 그리고 도 9에 도시된 반도체 장치는 절연체(220)(절연체(220_1), 절연체(220_2), 절연체(220_3), 절연체(220_4), 및 절연체(220_5)) 위에 절연체(217)(절연체(217_1), 절연체(217_2), 절연체(217_3), 절연체(217_4), 및 절연체(217_5))를 포함한다. 바꿔 말하면, 이 반도체 장치는 산화물(230)의 소스 또는 드레인과 절연체(220) 사이에 절연체(217)가 배치된다는 점에서 도 1의 (A) 및 (B), 도 2의 (A) 및 (B), 그리고 도 3에 도시된 것과 다르다.
- [0224] 절연체(217)가 산소, 및 수소 등의 불순물의 투과를 억제하는 기능을 갖는 경우, 예를 들어 절연체(220)에 포함되는 산소가 산화물(230)의 소스 또는 드레인에 주입되는 것으로 인하여 이 소스 또는 드레인의 저항이 높아지

는 것을 방지할 수 있다. 상기 산소가 도전체(240 및 246)에 흡수되는 것으로 인하여 도전체(240 및 246)가 산화되고 저항이 높아지는 것을 방지할 수도 있다.

[0225] 절연체(217)로서는, 절연체(210) 및 절연체(282)와 비슷한 절연체를 사용할 수 있다. 다른 구조 및 효과에 대해서는, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 도시된 반도체 장치에 관한 기재를 참조할 수 있다.

[0226] 도 10의 (A) 및 (B), 그리고 도 11은 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)를 포함하는 반도체 장치의 예를 도시한 것이다. 도 10의 (A)는 반도체 장치의 상면도이다. 또한 도면의 간략화를 위하여 도 10의 (A)에는 일부의 막을 도시하지 않았다. 도 10의 (B)는 도 10의 (A)의 일점쇄선 A1-A2를 따라 취한 단면도이다. 도 11은 도 10의 (A)의 일점쇄선 A3-A4를 따라 취한 단면도이다.

[0227] 도 10의 (A) 및 (B), 그리고 도 11에 도시된 반도체 장치는 절연체(220)(절연체(220_1), 절연체(220_2), 절연체(220_3), 절연체(220_4), 및 절연체(220_5)) 위에 절연체(217)(절연체(217_1), 절연체(217_2), 절연체(217_3), 절연체(217_4), 및 절연체(217_5))가 배치되고, 또한 절연체(217) 위에 도전체(215)(도전체(215_1), 도전체(215_2), 도전체(215_3), 도전체(215_4), 도전체(215_5))가 배치된다는 점에서 도 1의 (A) 및 (B), 도 2의 (A) 및 (B), 그리고 도 3에 도시된 것과 다르다.

[0228] 절연체(217)의 효과에 대해서는, 도 8의 (A) 및 (B), 그리고 도 9에 도시된 반도체 장치에 관한 기재를 참조할 수 있다.

[0229] 도 10의 (B) 및 도 11에 도시된 바와 같이, 도전체(215)를 산화물(230)의 소스 또는 드레인과 접하여 배치하면, 도전체(240)와 소스 또는 드레인의 접촉 저항을 저감할 수 있다. 또한 도전체(246)와 소스 또는 드레인의 접촉 저항을 저감할 수 있다.

[0230] 도전체(215)로서는, 도전체(240)와 비슷한 도전체를 사용할 수 있다. 다른 구조 및 효과에 대해서는, 도 1의 (A) 및 (B), 그리고 도 2의 (A) 및 (B)에 도시된 반도체 장치에 관한 기재를 참조할 수 있다.

<반도체 장치의 응용예>

[0232] 상기 예에서 반도체 장치는 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)를 포함하지만, 본 실시형태의 반도체 장치의 구조는 이에 한정되지 않는다. 예를 들어 도 22에 도시된 바와 같이, 셀(600)과, 셀(600)과 비슷한 구조를 갖는 셀(601)이 트랜지스터(140b)를 통하여 접속되어도 좋다. 또한 본 명세서에서는 트랜지스터(200a 및 200b) 및 용량 소자(100a 및 100b)를 포함하는 반도체 장치를 셀이라고 한다. 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)의 구조에 대해서는 상술한 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)에 관한 기재를 참조할 수 있다.

[0233] 도 22는 트랜지스터(200a 및 200b) 및 용량 소자(100a 및 100b)를 포함하는 셀(600)과, 셀(600)과 비슷한 구조를 갖고 셀(600)에 트랜지스터(140b)를 통하여 접속되는 셀(601)을 도시한 단면도이다.

[0234] 도 22에 도시된 바와 같이, 셀(600)과 셀(601) 사이에는 트랜지스터(140b)가 배치되어 있다. 트랜지스터(140b)를 노멀리 오프로 하면, 셀(600)과 셀(601)을 전기적으로 서로 분리할 수 있다. 트랜지스터(140b)의 기능 및 효과에 대해서는, 상술한 트랜지스터(140a 및 140b)에 관한 기재를 참조할 수 있다.

[0235] 본 실시형태에서 설명하는 구조를 갖도록 트랜지스터(200a 및 200b) 및 용량 소자(100a 및 100b)를 형성하면, 셀의 면적을 축소하고 반도체 장치를 미세화 또는 고집적화할 수 있다.

[셀 어레이의 구조]

[0237] 도 23은 본 실시형태의 셀 어레이의 예를 도시한 것이다. 예를 들어 도 1의 (A) 및 (B)에 도시된 반도체 장치를 셀로 간주하고, 상기 셀을 행렬 또는 매트릭스로 배치함으로써, 셀 어레이가 얻어진다.

[0238] 도 23은 도 1의 (A) 및 (B)의 구조를 각각 갖는 셀을 매트릭스로 배치한 형태를 도시한 회로도이다. 도 23에 도시된 셀 어레이에서는, 배선(WL)이 열 방향으로 연장된다.

[0239] 도 23에 도시된 바와 같이, 셀에 포함되는 트랜지스터(200a 및 200b)의 각각의 소스 및 드레인 중 한쪽이 공통의 배선(BL)(BL01, BL02, BL03, 및 BL04)에 전기적으로 접속된다. 셀에 포함되는 트랜지스터(200a 및 200b)의 제 1 게이트는 다른 배선(WL)(WL01 내지 WL06)에 전기적으로 접속된다. 또한 이를 배선(WL)은 열 방향으로 배치된 셀에 포함되는 트랜지스터(200a 및 200b)의 제 1 게이트에도 전기적으로 접속된다. 트랜지스터(140a 및 140b)는 행 방향으로 인접한 셀들 사이에 배치된다. 트랜지스터(140a 및 140b)의 제 1 게이트는 다른 배선

(IL)(IL01 및 IL02)에 전기적으로 접속된다. 또한 이들 배선(IL)은 열 방향으로 배치된 트랜지스터(140a 및 140b)의 제 1 게이트에 전기적으로 접속된다. 트랜지스터(140a 및 140b)가 노멀리 오프가 되는 전위를 배선(IL)에 인가하면, 인접한 셀을 전기적으로 서로 분리할 수 있다.

[0240] 예를 들어 BL02, WL03, 및 WL04에 접속된 셀(600)에서는, 도 22에 도시된 바와 같이 도전체(240)가 BL02에 전기적으로 접속되고, 도전체(260_2)가 WL03에 전기적으로 접속되고, 도전체(260_3)가 WL04에 전기적으로 접속된다.

[0241] 또한 셀에 포함되는 트랜지스터(200a 및 200b)에는 각각 제 2 게이트(BG)가 제공되어도 좋다. BG에 인가되는 전위에 의하여 트랜지스터의 문턱 전압을 제어할 수 있다. 상기 BG는 트랜지스터(400)에 접속되고, BG에 인가되는 전위는 트랜지스터(400)에 의하여 제어할 수 있다. 또한 셀에 포함되는 용량 소자(100a)의 도전체(120_1) 및 용량 소자(100b)의 도전체(120_2)는 상이한 배선(PL)에 전기적으로 접속된다.

[0242] 도 24는 도 23의 회로도의 배선 및 구성 요소의 레이아웃을 나타낸 모식도이다. 도 24에 나타낸 바와 같이, 산화물(230) 및 배선(WL)을 매트릭스로 배치함으로써, 도 23에 나타낸 회로도의 반도체 장치를 형성할 수 있다. 여기서, 배선(BL)은 배선(WL) 및 산화물(230)과는 다른 층에 제공되는 것이 바람직하다. 또한 도 24에 나타낸 바와 같이, 배선(BL)의 각각의 긴 변과 산화물(230)의 각각의 긴 변이 평행하지 않고 20° 내지 70°, 바람직하게는 30° 내지 60°의 각도를 형성하도록 배선(BL) 및 산화물(230)을 배치하는 것이 바람직하다. 이 배치로 함으로써, 예를 들어 용량 소자(100a 및 100b) 및 배선(BL)을 방해 없이 배치할 수 있다.

[0243] 또한 단층의 셀 어레이 대신에 적층된 셀 어레이를 사용하여도 좋다. 복수의 셀 어레이를 적층함으로써, 셀 어레이가 점유하는 면적을 확대시키지 않고 셀을 집적할 수 있다. 즉, 3D 셀 어레이를 형성할 수 있다.

[0244] 상술한 바와 같이, 본 발명의 일 형태에 따르면, 미세화 또는 고집적화가 가능한 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 우수한 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 오프 상태 전류가 낮은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 온 상태 전류가 높은 트랜지스터를 제공할 수 있다. 본 발명의 일 형태에 따르면, 신뢰성이 높은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 소비전력이 낮은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 생산성이 높은 반도체 장치를 제공할 수 있다.

[0245] 본 실시형태에서 설명한 구조 및 방법 등은, 다른 실시형태에서 설명하는 구조 및 방법 등 중 임의의 것과 적절히 조합할 수 있다.

[0246] (실시형태 2)

[0247] 본 실시형태에서는, 반도체 장치의 일 형태에 대하여 도 25를 참조하여 설명한다.

[0248] [기억 장치 1]

[0249] 도 25에 도시된 기억 장치는 트랜지스터(200a), 트랜지스터(200b), 용량 소자(100a), 용량 소자(100b), 트랜지스터(140a), 트랜지스터(140b), 및 트랜지스터(300)를 포함한다. 도 25는 트랜지스터(300)의 채널 길이 방향의 단면을 나타낸 것이다. 도 26은 도 25의 일점쇄선 W1-W2를 따라 취한 단면도이다. 즉, 도 26은 트랜지스터(300) 및 그 근방의 채널 폭 방향의 단면도이다.

[0250] 트랜지스터(200a 및 200b)는 각각 산화물 반도체를 포함하는 반도체층에 채널이 형성되는 트랜지스터이다. 트랜지스터(200a 및 200b)는 각각 오프 상태 전류가 낮기 때문에, 트랜지스터(200a 및 200b)를 포함하는 기억 장치는 저장된 데이터를 오랫동안 유지할 수 있다. 바꿔 말하면, 이러한 기억 장치는 리프레시 동작을 필요로 하지 않거나 리프레시 동작의 빈도가 매우 낮으므로, 소비전력이 충분히 저감된다.

[0251] 도 25에 도시된 기억 장치에서, 배선(3001)은 트랜지스터(300)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 배선(3002)은 트랜지스터(300)의 소스 및 드레인 중 다른 쪽에 전기적으로 접속된다. 배선(3007)은 트랜지스터(300)의 게이트에 전기적으로 접속된다. 또한 배선(3003)은 트랜지스터(200a)의 소스 및 드레인 중 한쪽, 그리고 트랜지스터(200b)의 소스 및 드레인 중 한쪽에 전기적으로 접속된다. 배선(3004a)은 트랜지스터(200a)의 제 1 게이트에 전기적으로 접속되고, 배선(3004b)은 트랜지스터(200b)의 제 1 게이트에 전기적으로 접속되고, 배선(3006a)은 트랜지스터(200a)의 제 2 게이트에 전기적으로 접속되고, 배선(3006b)은 트랜지스터(200b)의 제 2 게이트에 전기적으로 접속된다. 또한 배선(3005a)은 용량 소자(100a)의 한쪽 전극에 전기적으로 접속되고, 배선(3005b)은 용량 소자(100b)의 한쪽 전극에 전기적으로 접속된다.

- [0252] 도 25에 도시된 기억 장치는, 후술하는 DOSRAM과 같이 산화물 트랜지스터를 포함하는 기억 장치에 사용할 수 있다. 트랜지스터(200a 및 200b)는 오프 상태 전류가 낮기 때문에, 트랜지스터(200a 및 200b)의 각각의 소스 및 드레인 중 다른 쪽(즉, 용량 소자(100a 및 100b)의 다른 쪽 전극)의 전위를 유지할 수 있어, 데이터를 기록, 유지, 및 판독할 수 있다.
- [0253] <기억 장치 1의 구조>
- [0254] 본 발명의 일 형태에 따른 기억 장치는 도 25에 도시된 바와 같이 트랜지스터(200a), 트랜지스터(200b), 용량 소자(100a), 용량 소자(100b), 트랜지스터(140a), 트랜지스터(140b), 및 트랜지스터(300)를 포함한다. 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)는 트랜지스터(300) 상방에 제공되고, 트랜지스터(200a, 200b, 140a, 및 140b)는 같은 층에 제공된다. 용량 소자(100a 및 100b)는 트랜지스터(200a, 200b, 140a, 및 140b) 상방에 제공된다. 또한 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)의 구조에 대해서는 위의 실시형태를 참조할 수 있다.
- [0255] 트랜지스터(300)는 기판(311) 위에 제공되고, 도전체(316), 절연체(315), 기판(311)의 일부인 반도체 영역(313), 그리고 소스 및 드레인으로서 기능하는 저저항 영역(314a 및 314b)을 포함한다.
- [0256] 도 26에 도시된 바와 같이, 트랜지스터(300)의 반도체 영역(313)의 상면 및 채널 폭 방향에서의 측면이 절연체(315)를 개재하여 도전체(316)로 덮여 있다. 이러한 FIN형 트랜지스터(300)는 실효적인 채널 폭이 증가되기 때문에, 온 상태 특성이 향상될 수 있다. 또한 게이트의 전계의 기여를 높일 수 있기 때문에, 트랜지스터(300)의 오프 상태 특성을 향상시킬 수 있다.
- [0257] 트랜지스터(300)는 p채널 트랜지스터이어도 좋고 n채널 트랜지스터이어도 좋다.
- [0258] 반도체 영역(313)에서 채널이 형성되는 영역, 그 근방의 영역, 그리고 소스 및 드레인으로서 기능하는 저저항 영역(314a 및 314b) 등은, 실리콘계 반도체 등의 반도체를 포함하는 것이 바람직하고, 단결정 실리콘을 포함하는 것이 더 바람직하다. 또는 저마늄(Ge), 실리콘 저마늄(SiGe), 갈륨 비소(GaAs), 또는 갈륨 알루미늄 비소(GaAlAs) 등을 포함한 재료가 포함되어도 좋다. 결정 격자에 응력을 가하여 격자 간격을 변화시킴으로써 유효 질량이 조정된 실리콘이 포함되어도 좋다. 또는 트랜지스터(300)는 GaAs 및 GaAlAs 등을 사용한 HEMT(high-electron-mobility transistor)이어도 좋다.
- [0259] 저저항 영역(314a 및 314b)은, 반도체 영역(313)에 사용되는 반도체 재료에 더하여, 비소 또는 인 등 n형 도전성을 부여하는 원소, 또는 붕소 등 p형 도전성을 부여하는 원소를 포함한다.
- [0260] 게이트로서 기능하는 도전체(316)는 비소 또는 인 등 n형 도전성을 부여하는 원소 또는 붕소 등 p형 도전성을 부여하는 원소를 포함하는 실리콘 등의 반도체 재료, 혹은 금속 재료, 합금 재료, 또는 금속 산화물 재료 등의 도전성 재료를 사용하여 형성될 수 있다.
- [0261] 또한 도전체의 재료가 일함수를 결정하기 때문에, 도전체의 재료에 의하여 문턱 전압을 조정할 수 있다. 구체적으로는, 도전체에 질화 타이타늄 또는 질화 탄탈럼 등을 사용하는 것이 바람직하다. 또한 도전체의 도전성 및 매립성을 확보하기 위하여, 도전체에 텉스텐 및 알루미늄 등의 금속 재료의 적층을 사용하는 것이 바람직하다. 특히, 텉스텐은 내열성의 관점에서 바람직하다.
- [0262] 또한 단지 일례일 뿐인 도 25에 도시된 트랜지스터(300)의 구조에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터를 사용할 수 있다.
- [0263] 트랜지스터(300)를 덮도록 절연체(320), 절연체(322), 절연체(324), 및 절연체(326)가 이 순서대로 적층되어 있다.
- [0264] 절연체(320, 322, 324, 및 326)에는 예를 들어 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 또는 질화 알루미늄을 사용할 수 있다.
- [0265] 절연체(322)는, 절연체(322) 아래에 놓인 트랜지스터(300) 등에 의하여 생긴 단차를 없애는 평탄화막으로서 기능하여도 좋다. 예를 들어 절연체(322)의 상면은 평탄화의 수준을 높이기 위하여 CMP(chemical mechanical polishing)법 등을 사용한 평탄화 처리에 의하여 평탄화되어도 좋다.
- [0266] 절연체(324)는 기판(311) 또는 트랜지스터(300) 등으로부터 트랜지스터(200a 및 200b)가 제공되는 영역으로, 수소 및 불순물이 확산되는 것을 방지하는 배리어성을 갖는 막을 사용하여 형성되는 것이 바람직하다.

- [0267] 수소에 대한 배리어성을 갖는 막으로서는, 예를 들어 CVD법에 의하여 형성된 질화 실리콘막을 사용할 수 있다. 여기서, 트랜지스터(200a 및 200b) 등, 산화물 반도체를 포함하는 반도체 소자로 수소가 확산됨으로써, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 그러므로 트랜지스터(200a 및 200b)와 트랜지스터(300) 사이에, 수소의 확산을 저감하는 막이 제공되는 것이 바람직하다. 구체적으로 수소의 확산을 저감하는 막은, 수소의 방출량이 적은 막이다.
- [0268] 수소의 방출량은 예를 들어 TDS(thermal desorption spectroscopy)에 의하여 측정할 수 있다. 예를 들어, 절연체(324)의 단위 면적당 수소 원자로 환산된 절연체(324)로부터의 수소의 방출량은, TDS 분석에 있어서 50°C 내지 500°C의 막 표면 온도 범위에서 10×10^{15} atoms/cm² 이하, 바람직하게는 5×10^{15} atoms/cm² 이하이다.
- [0269] 또한 절연체(326)의 유전율은 절연체(324)의 유전율보다 낮은 것이 바람직하다. 예를 들어, 절연체(326)의 유전율은 바람직하게는 4 미만이고, 더 바람직하게는 3 미만이다. 예를 들어, 절연체(326)의 유전율은 절연체(324)의 유전율의 0.7배 이하가 바람직하고, 절연체(324)의 유전율의 0.6배 이하가 더 바람직하다. 유전율이 낮은 재료를 충간막에 사용하는 경우, 배선들 사이의 기생 용량을 저감할 수 있다.
- [0270] 절연체(320, 322, 324, 및 326)에는 트랜지스터(300)에 전기적으로 접속되는 도전체(328) 및 도전체(330) 등이 매립되어 있다. 또한 도전체(328) 및 도전체(330)는 각각 플러그 또는 배선으로서 기능한다. 플러그 또는 배선으로서 기능하는 복수의 도전체를 총괄하여 같은 부호로 나타내는 경우가 있다. 또한 본 명세서 등에서는, 배선과 배선에 전기적으로 접속되는 플러그가 하나의 구성 요소이어도 좋다. 즉, 도전체의 일부가 배선으로서 기능하는 경우가 있고, 도전체의 일부가 플러그로서 기능하는 경우도 있다.
- [0271] 각 플러그 및 배선(예를 들어 도전체(328) 및 도전체(330))의 재료로서는, 금속 재료, 합금 재료, 금속 질화물 재료, 또는 금속 산화물 재료 등의 도전성 재료를 단층 구조 또는 적층 구조로 사용할 수 있다. 내열성 및 도전성의 양쪽 모두를 갖는, 텅스텐 또는 몰리브데늄 등의 고용접 재료를 사용하는 것이 바람직하고, 특히 텅스텐을 사용하는 것이 바람직하다. 또는 알루미늄 또는 구리 등의 저저항 도전성 재료를 사용하는 것이 바람직하다. 저저항 도전성 재료를 사용하면 배선의 저항을 저감할 수 있다.
- [0272] 절연체(326) 및 도전체(330) 위에 배선층을 제공하여도 좋다. 예를 들어, 도 25에서는, 절연체(350), 절연체(352), 및 절연체(354)가 이 순서대로 적층되어 있다. 또한 절연체(350, 352, 및 354)에는 도전체(356)가 형성되어 있다. 도전체(356)는 플러그 또는 배선으로서 기능한다. 또한 도전체(356)는 도전체(328) 및 도전체(330)와 비슷한 재료를 사용하여 형성할 수 있다.
- [0273] 또한 예를 들어 절연체(350)는 절연체(324)와 같이, 수소에 대한 배리어성을 갖는 절연체를 사용하여 형성되는 것이 바람직하다. 또한 도전체(356)는 수소에 대한 배리어성을 갖는 도전체를 포함하는 것이 바람직하다. 특히, 수소에 대한 배리어성을 갖는 절연체(350)의 개구부에, 수소에 대한 배리어성을 갖는 도전체가 형성된다. 이 구조에서는, 트랜지스터(300)와 트랜지스터(200a, 200b, 140a, 및 140b)를 배리어층으로 분리할 수 있으므로, 트랜지스터(300)로부터 트랜지스터(200a, 200b, 140a, 및 140b)로의 수소의 확산을 억제할 수 있다.
- [0274] 또한 수소에 대한 배리어성을 갖는 도전체로서는 예를 들어, 질화 탄탈럼을 사용할 수 있다. 질화 탄탈럼과 도전성이 높은 텅스텐을 적층함으로써, 배선으로서의 도전성을 확보하면서, 트랜지스터(300)로부터의 수소의 확산을 억제할 수 있다. 이 경우, 수소에 대한 배리어성을 갖는 질화 탄탈럼층이, 수소에 대한 배리어성을 갖는 절연체(350)와 접하는 것이 바람직하다.
- [0275] 또한 절연체(354) 및 도전체(356) 위에 배선층을 제공하여도 좋다. 도 25에서는, 절연체(360)와 절연체(362)가 이 순서대로 적층되고, 절연체(360 및 362)에는 도전체(366)가 형성되기 때문에, 도전체(366)를 포함하는 배선층이 제공된다.
- [0276] 또한 도 25에서는 절연체(372)와 절연체(374)가 이 순서대로 적층되고, 절연체(372 및 374)에는 도전체(376)가 형성되기 때문에, 도전체(376)를 포함하는 배선층이 제공된다. 또한 도전체(366)를 포함하는 배선층과 도전체(376)를 포함하는 배선층 사이에 복수의 배선층을 제공하여도 좋다. 또한 도전체(366) 및 도전체(376)는 플러그 또는 배선으로서 기능한다. 절연체(360, 362, 및 374)는 상술한 절연체와 비슷한 재료를 사용하여 형성할 수 있다.
- [0277] 절연체(374) 위에는 절연체(210)와 절연체(212)가 이 순서대로 적층되어 있다. 절연체(210) 및 절연체(212) 중 어느 쪽에는 산소 또는 수소에 대한 배리어성을 갖는 물질을 사용하는 것이 바람직하다.
- [0278] 절연체(210)는 예를 들어 기판(311), 또는 트랜지스터(300)가 형성되는 영역 등으로부터 트랜지스터(200a,

200b, 140a, 및 140b)가 형성되는 영역으로, 수소 또는 불순물이 확산되는 것을 방지하는 배리어성을 갖는 막을 사용하여 형성되는 것이 바람직하다. 그러므로 절연체(210)를 절연체(324)와 비슷한 재료를 사용하여 형성할 수 있다.

[0279] 수소에 대한 배리어성을 갖는 막으로서는, 예를 들어 CVD법에 의하여 형성된 질화 실리콘을 사용할 수 있다. 여기서, 트랜지스터(200a, 200b, 140a, 및 140b) 등, 산화물 반도체를 포함하는 반도체 소자로 수소가 확산됨으로써, 상기 반도체 소자의 특성이 저하되는 경우가 있다. 그러므로 트랜지스터(300)와 트랜지스터(200a, 200b, 140a, 및 140b) 사이에, 수소의 확산을 저감하는 막이 제공되는 것이 바람직하다. 구체적으로 수소의 확산을 저감하는 막은, 수소의 방출량이 적은 막이다.

[0280] 절연체(210)에 사용되는, 수소에 대한 배리어성을 갖는 막으로서, 예를 들어, 산화 알루미늄, 산화 하프늄, 또는 산화 탄탈럼 등의 금속 산화물을 사용하는 것이 바람직하다.

[0281] 특히, 산화 알루미늄은 산소와, 트랜지스터의 전기 특성을 변화시키는 수소 및 수분 등의 불순물의 투과를 방지하는 우수한 차단 효과를 갖는다. 따라서 산화 알루미늄을 사용하면, 트랜지스터의 제작 공정 중 및 제작 공정 후에 수소 및 수분 등의 불순물이 트랜지스터(200a, 200b, 140a, 및 140b)로 들어가는 것을 방지할 수 있다. 또한 트랜지스터(200a, 200b, 140a, 및 140b)에서의 산화물로부터 산소가 방출되는 것을 억제할 수 있다. 그러므로 산화 알루미늄은 트랜지스터(200a, 200b, 140a, 및 140b)를 위한 보호막으로서 적합하게 사용된다.

[0282] 예를 들어, 절연체(212)는 절연체(320)와 비슷한 재료를 사용하여 형성할 수 있다. 유전율이 비교적 낮은 재료를 층간막에 사용하는 경우, 배선들 사이의 기생 용량을 저감할 수 있다. 예를 들어, 절연체(212)로서 산화 실리콘막 또는 산화질화 실리콘막을 사용할 수 있다.

[0283] 절연체(210, 212, 214, 및 216)에는 도전체(218), 및 트랜지스터(200a 및 200b)에 포함되는 도전체가 매립되어 있다. 또한 도전체(218)는 트랜지스터(200a 및 200b) 또는 트랜지스터(300)에 전기적으로 접속되는 플러그 또는 배선으로서 기능한다. 도전체(218)는 도전체(328 및 330)와 비슷한 재료를 사용하여 형성할 수 있다.

[0284] 특히, 도전체(218)에서 절연체(210 및 214)와 접하는 부분이 산소, 수소, 및 물에 대한 배리어성을 갖는 도전체인 것이 바람직하다. 이러한 구조에서는, 산소, 수소, 및 물에 대한 배리어성을 갖는 층으로 트랜지스터(300)와 트랜지스터(200a, 200b, 140a, 및 140b)를 분리할 수 있다. 이 결과, 트랜지스터(300)로부터 트랜지스터(200a, 200b, 140a, 및 140b)로의 수소의 확산을 억제할 수 있다.

[0285] 절연체(212) 상방에는 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)가 제공되어 있다. 또한 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)는 상술한 실시형태에서 설명한 것과 같은 구조를 가질 수 있다. 또한 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)의 구조는 단지 일례일 뿐인 도 25에 도시된 것에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터 및 용량 소자를 사용할 수 있다.

[0286] 또한 도전체(248)를 도전체(218)와 접하여 제공하면, 트랜지스터(300)에 접속되는 도전체(253)를 트랜지스터(200a 및 200b) 상방으로 추출할 수 있다. 도 25에서는 배선(3002)을 트랜지스터(200a 및 200b) 상방으로 추출하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 배선(3001) 및 배선(3007) 등을 트랜지스터(200a 및 200b) 상방으로 추출하여도 좋다.

[0287] 이상이 구조예에 대한 설명이다. 상기 구조를 사용함으로써, 산화물 반도체를 포함하는 트랜지스터를 사용한 반도체 장치에서 전기 특성의 변동을 저감하고 신뢰성을 향상시킬 수 있다. 온 상태 전류가 높은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 오프 상태 전류가 낮은 산화물 반도체를 포함하는 트랜지스터를 제공할 수 있다. 소비전력이 낮은 반도체 장치를 제공할 수 있다.

[0288] [기억 장치 2]

[0289] 도 27의 (A) 내지 (C)에 도시된 반도체 장치는 트랜지스터(400), 트랜지스터(200a), 트랜지스터(200b), 트랜지스터(140a), 트랜지스터(140b), 용량 소자(100a), 및 용량 소자(100b)를 포함하는 기억 장치이다. 이하에서는, 기억 장치의 일 형태에 대하여 도 27의 (A) 내지 (C)를 참조하여 설명한다.

[0290] 도 27의 (A)는 본 실시형태에서 설명하는 반도체 장치에서의 트랜지스터(400, 200a, 및 200b) 및 용량 소자(100a 및 100b)의 접속 관계의 예를 나타낸 회로도이다. 도 27의 (B)는 도 27의 (A)와 대응하는 배선(1003), 배선(1004a), 배선(1004b), 배선(1005a), 배선(1005b), 및 배선(1010) 등을 포함하는 반도체 장치의 단면을 나타낸 것이다. 또한 도 27의 (B)의 일점쇄선 W3-W4를 따르는 단면을 도 27의 (C)에 나타내었다. 도 27의 (C)는

트랜지스터(400)의 채널 형성 영역의 채널 폭 방향에서의 단면도이다.

[0291] 도 27의 (A) 내지 (C)에 도시된 바와 같이, 트랜지스터(200a)의 게이트는 배선(1004a)에 전기적으로 접속되고, 트랜지스터(200a)의 소스 및 드레인 중 한쪽은 배선(1003)에 전기적으로 접속된다. 트랜지스터(200a)의 소스 및 드레인 중 다른 쪽은 용량 소자(100a)의 하부 전극에 전기적으로 접속된다. 용량 소자(100a)의 상부 전극은 배선(1005a)에 전기적으로 접속된다. 트랜지스터(200b)의 게이트는 배선(1004b)에 전기적으로 접속되고, 트랜지스터(200b)의 소스 및 드레인 중 한쪽은 배선(1003)에 전기적으로 접속된다. 트랜지스터(200b)의 소스 및 드레인 중 다른 쪽은 용량 소자(100b)의 하부 전극에 전기적으로 접속된다. 용량 소자(100b)의 상부 전극은 배선(1005b)에 전기적으로 접속된다. 트랜지스터(400)의 드레인은 배선(1010)에 전기적으로 접속된다. 도 27의 (B)에 도시된 바와 같이, 트랜지스터(200a)의 제 2 게이트와 트랜지스터(400)의 소스, 제 1 게이트, 및 제 2 게이트가 배선(1006a), 배선(1006b), 배선(1007), 배선(1008), 및 배선(1009)을 통하여 전기적으로 접속된다.

[0292] 배선(1004a)에 인가된 전위는 트랜지스터(200a)의 온/오프 상태를 제어할 수 있다. 트랜지스터(200a)를 온으로 하여 배선(1003)에 전위를 인가하면, 트랜지스터(200a)를 통하여 용량 소자(100a)에 전하를 공급할 수 있다. 이때 트랜지스터(200a)를 오프로 하면 용량 소자(100a)에 공급된 전하가 유지될 수 있다. 배선(1005a)에 임의의 전위를 인가하면, 트랜지스터(200a)와 용량 소자(100a)의 접속 부분의 전위를 용량 결합에 의하여 제어할 수 있다. 예를 들어, 배선(1005a)에 접지 전위를 인가하면, 전하를 유지하기 쉽다.

[0293] 마찬가지로, 배선(1004b)에 인가된 전위는 트랜지스터(200b)의 온/오프 상태를 제어할 수 있다. 트랜지스터(200b)를 온으로 하여 배선(1003)에 전위를 인가하면, 트랜지스터(200b)를 통하여 용량 소자(100b)에 전하를 공급할 수 있다. 이때 트랜지스터(200b)를 오프로 하면 용량 소자(100b)에 공급된 전하가 유지될 수 있다. 배선(1005b)에 임의의 전위를 인가하면, 트랜지스터(200b)와 용량 소자(100b)의 접속 부분의 전위를 용량 결합에 의하여 제어할 수 있다. 예를 들어, 배선(1005b)에 접지 전위를 인가하면, 전하를 유지하기 쉽다. 또한 배선(1010)에 음의 전위를 인가하면, 트랜지스터(400)를 통하여 트랜지스터(200a 및 200b)의 제 2 게이트에 음의 전위를 인가할 수 있어, 트랜지스터(200a 및 200b)의 문턱 전압을 0V보다 크게 하여 오프 상태 전류를 저감할 수 있으므로, 제 1 게이트 전압이 0V일 때의 드레인 전류를 현저하게 저감할 수 있다.

[0294] 트랜지스터(400)의 제 1 게이트 및 제 2 게이트를 소스에 다이오드 접속하고, 트랜지스터(400)의 소스를 트랜지스터(200a 및 200b)의 제 2 게이트에 접속하는 구조로 함으로써, 배선(1010)에 의하여 트랜지스터(200a 및 200b)의 각각의 제 2 게이트 전압을 제어할 수 있다. 트랜지스터(200a 및 200b)의 제 2 게이트의 음의 전위를 유지할 때, 트랜지스터(400)의 제 1 게이트-소스 전압 및 제 2 게이트-소스 전압은 0V이다. 트랜지스터(400)는 제 1 게이트 전압이 0V일 때의 드레인 전류가 매우 낮고 트랜지스터(200a 및 200b)보다 문턱 전압이 크기 때문에, 이러한 구조로 함으로써 트랜지스터(400)에 전원을 공급하지 않아도 트랜지스터(200a 및 200b)의 제 2 게이트의 음의 전위를 오랫동안 유지할 수 있다.

[0295] 또한 트랜지스터(200a 및 200b)의 제 2 게이트의 음의 전위를 유지하면, 전원을 공급받지 않아도 트랜지스터(200a 및 200b) 각각의 제 1 게이트 전압이 0V일 때의 드레인 전류를 매우 낮게 할 수 있다. 바꿔 말하면, 트랜지스터(200a, 200b, 및 400)에 전원을 공급하지 않아도 용량 소자(100a 및 100b)에 전하를 오랫동안 유지할 수 있다. 예를 들어 상기 반도체 장치를 기억 소자로서 사용함으로써, 전원 공급 없이 데이터를 오랫동안 유지할 수 있다. 그러므로 리프레시 빈도가 낮은 기억 장치 또는 리프레시 동작을 필요로 하지 않는 기억 장치를 제공할 수 있다.

[0296] 또한 트랜지스터(200a, 200b, 및 400) 및 용량 소자(100a 및 100b)의 접속 관계는 도 27의 (A) 및 (B)에 도시된 것에 한정되지 않는다. 필요한 회로 구성에 따라 접속 관계를 적절히 변경할 수 있다.

[0297] <기억 장치 2의 구조>

[0298] 도 27의 (B)는 용량 소자(100a 및 100b) 및 트랜지스터(200a, 200b, 140a, 140b, 및 400)를 포함하는 기억 장치의 단면을 나타낸 것이다. 또한 도 27의 (A) 내지 (C)에 도시된 기억 장치에서, 위의 실시형태 및 <기억 장치 1의 구조>에서 설명한 반도체 장치 및 기억 장치의 구성 요소와 같은 기능을 갖는 구성 요소는 같은 부호로 나타내었다.

[0299] 본 발명의 일 형태에 따른 기억 장치는 도 27의 (A) 내지 (C)에 도시된 바와 같이 트랜지스터(400), 트랜지스터(200a), 트랜지스터(200b), 트랜지스터(140a), 트랜지스터(140b), 용량 소자(100a), 및 용량 소자(100b)를 포함한다. 트랜지스터(400, 200a, 200b, 140a, 및 140b)는 같은 층에 배치된다. 용량 소자(100a 및 100b)는 트랜지스터(400, 200a, 200b, 140a, 및 140b) 상방에 배치된다.

- [0300] 또한 트랜지스터(200a, 200b, 140a, 및 140b) 및 용량 소자(100a 및 100b)로서는 위의 실시형태 및 도 1의 (A) 및 (B)를 참조하여 설명한 반도체 장치에 포함되는 용량 소자 및 트랜지스터를 사용할 수 있다. 또한 용량 소자(100a 및 100b) 및 트랜지스터(200a, 200b, 140a, 140b, 및 400)의 구조는 단지 일례일 뿐인 도 27의 (A) 내지 (C)에 도시된 것에 한정되지 않고, 회로 구성 또는 구동 방법에 따라 적절한 트랜지스터 및 용량 소자를 사용할 수 있다.
- [0301] 트랜지스터(400, 200a, 200b, 140a, 및 140b)는 같은 층에 형성되어 있고, 동시에 제작할 수 있다. 트랜지스터(400)는 제 1 게이트로서 기능하는 도전체(460), 제 2 게이트로서 기능하는 도전체(403), 도전체(460)의 각 측면과 접하는 절연체(450), 및 소스 또는 드레인으로서 기능하는 산화물(230)을 포함한다.
- [0302] 트랜지스터(400)에서 도전체(403)는 도전체(203)와 같은 층에 있다. 절연체(450)는 절연체(250)와 같은 층에 있다. 도전체(460)는 도전체(260_1, 260_2, 260_3, 및 260_4)와 같은 층에 있다.
- [0303] 트랜지스터(400)의 활성층으로서 기능하는 산화물(230)에서는 산소 결손, 그리고 수소 및 물 등의 불순물이 저감되어 있다. 이로써, 트랜지스터(400)의 문턱 전압을 0V보다 크게 하여 오프 상태 전류를 저감할 수 있기 때문에, 제 1 게이트 전압 및 제 2 게이트 전압이 0V일 때의 드레인 전류를 현저하게 저감할 수 있다.
- [0304] 상기 구조를 사용함으로써, 산화물 반도체를 포함하는 트랜지스터를 사용한 반도체 장치에서 전기 특성의 변동을 저감하고 신뢰성을 향상시킬 수 있다. 산화물 반도체를 포함하는 트랜지스터를 사용한 반도체 장치의 소비전력을 저감할 수 있다. 산화물 반도체를 포함하는 트랜지스터를 사용한 반도체 장치를 미세화 또는 고집적화 할 수 있다. 미세화 또는 고집적화된 반도체 장치를 높은 생산성으로 제공할 수 있다.
- [0305] 본 실시형태에서 설명한 구조 및 방법 등은, 다른 실시형태에서 설명하는 구조 및 방법 등 중 임의의 것과 적절히 조합할 수 있다.
- [0306] (실시형태 3)
- [0307] 본 실시형태에서는, 도 28 및 도 29의 (A) 및 (B)를 참조하여, 본 발명의 일 형태에 따른, 산화물을 반도체에 사용한 트랜지스터(이하 OS 트랜지스터라고 함) 및 용량 소자를 포함하는 기억 장치의 예로서 DOSRAM(등록상표)에 대하여 설명한다. DOSRAM은 "dynamic oxide semiconductor RAM"의 약칭이고, 하나의 트랜지스터(1T)와 하나의 용량 소자(1C)를 포함하는 RAM을 가리킨다. 이하에서는, DOSRAM 등 OS 트랜지스터를 포함하는 기억 장치를 OS 메모리라고 하는 경우가 있다.
- [0308] 메모리 셀에 OS 트랜지스터가 사용되는 기억 장치(이하 OS 메모리라고 함)를 DOSRAM에 사용한다. OS 메모리는 적어도 용량 소자, 및 용량 소자의 충방전을 제어하는 OS 트랜지스터를 포함하는 메모리이다. OS 트랜지스터는 오프 상태 전류가 매우 낮기 때문에, OS 메모리는 유지 특성이 우수하므로 비휘발성 메모리로서 기능할 수 있다.
- [0309] <<DOSRAM(1400)>>
- [0310] 도 28은 DOSRAM의 구성예를 도시한 것이다. 도 28에 도시된 바와 같이, DOSRAM(1400)은 컨트롤러(1405), 행 회로(1410), 열 회로(1415), 그리고 메모리 셀 및 센스 앤프 어레이(1420)(이하에서는 MC-SA 어레이(1420)라고 함)를 포함한다.
- [0311] 행 회로(1410)는 디코더(1411), 워드선 드라이버 회로(1412), 열 실렉터(1413), 및 센스 앤프 드라이버 회로(1414)를 포함한다. 열 회로(1415)는 글로벌 센스 앤프 어레이(1416) 및 입출력 회로(1417)를 포함한다. 글로벌 센스 앤프 어레이(1416)는 복수의 글로벌 센스 앤프(1447)를 포함한다. MC-SA 어레이(1420)는 메모리 셀 어레이(1422), 센스 앤프 어레이(1423), 및 글로벌 비트선(GBLL 및 GBLR)을 포함한다.
- [0312] (MC-SA 어레이(1420))
- [0313] MC-SA 어레이(1420)는 메모리 셀 어레이(1422)가 센스 앤프 어레이(1423) 위에 적층된 적층 구조를 갖는다. 글로벌 비트선(GBLL 및 GBLR)은 메모리 셀 어레이(1422) 위에 적층된다. DOSRAM(1400)은 로컬 비트선과 글로벌 비트선을 갖는 계층 비트선 구조를 취한다.
- [0314] 메모리 셀 어레이(1422)는 N 개의 로컬 메모리 셀 어레이(1425< N >) 내지 1425< $N-1$ >를 포함하고, N 은 2 이상의 정수(整數)이다. 도 29의 (A)는 로컬 메모리 셀 어레이(1425)의 구성예를 도시한 것이다. 로컬 메모리 셀 어레이(1425)는 복수의 메모리 셀(1445), 복수의 워드선(WL), 및 복수의 비트선(BLL 및 BLR)을 포함한다. 도 29의

(A)의 예에서 로컬 메모리 셀 어레이(1425)는 오픈 비트선 구조를 갖지만 폴디드 비트선 구조를 가져도 좋다.

[0315] 도 29의 (B)는 같은 비트선(BLL(BLR))에 접속되는 한 쌍의 메모리 셀(1445a 및 1445b)의 회로 구성을 도시한 것이다. 메모리 셀(1445a)은 트랜지스터(MW1a), 용량 소자(CS1a), 및 단자(B1a 및 B2a)를 포함하고, 워드선(WLa) 및 비트선(BLL(BLR))에 접속된다. 메모리 셀(1445b)은 트랜지스터(MW1b), 용량 소자(CS1b), 및 단자(B1b 및 B2b)를 포함하고, 워드선(WLb) 및 비트선(BLL(BLR))에 접속된다. 이하에서, 상기 설명이 메모리 셀(1445a) 및 메모리 셀(1445b)의 양쪽 모두에 해당되는 경우에는, 메모리 셀(1445) 및 그 구성 요소에 "a" 또는 "b"라는 문자가 없는 부호를 사용하는 경우가 있다.

[0316] 트랜지스터(MW1a)는 용량 소자(CS1a)의 충방전을 제어하는 기능을 갖고, 트랜지스터(MW1b)는 용량 소자(CS1b)의 충방전을 제어하는 기능을 갖는다. 트랜지스터(MW1a)의 게이트는 워드선(WLa)에 전기적으로 접속되고, 트랜지스터(MW1a)의 제 1 단자는 비트선(BLL(BLR))에 전기적으로 접속되고, 트랜지스터(MW1a)의 제 2 단자는 용량 소자(CS1a)의 제 1 단자에 전기적으로 접속된다. 트랜지스터(MW1b)의 게이트는 워드선(WLb)에 전기적으로 접속되고, 트랜지스터(MW1b)의 제 1 단자는 비트선(BLL(BLR))에 전기적으로 접속되고, 트랜지스터(MW1b)의 제 2 단자는 용량 소자(CS1b)의 제 1 단자에 전기적으로 접속된다. 이와 같이, 비트선(BLL(BLR))은 트랜지스터(MW1a)의 제 1 단자와 트랜지스터(MW1b)의 제 1 단자에 의하여 공유된다.

[0317] 트랜지스터(MW1)는 용량 소자(CS1)의 충방전을 제어하는 기능을 갖는다. 용량 소자(CS1)의 제 2 단자는 단자(B2)에 전기적으로 접속된다. 단자(B2)에는 정전압(예를 들어 저전원 전압)이 인가된다.

[0318] 위의 실시형태 중 어느 것에서 설명한 반도체 장치를 메모리 셀(1445a 및 1445b)에 사용하는 경우, 트랜지스터(MW1a)로서 트랜지스터(200a)를 사용하고, 트랜지스터(MW1b)로서 트랜지스터(200b)를 사용하고, 용량 소자(CS1a)로서 용량 소자(100a)를 사용하고, 용량 소자(CS1b)로서 용량 소자(100b)를 사용할 수 있다. 이 경우, 상면시에서 하나의 트랜지스터와 하나의 용량 소자로 이루어지는 각 세트가 차지하는 면적이 축소될 수 있기 때문에, 본 실시형태에 따른 기억 장치를 고집적화할 수 있다. 이 결과, 본 실시형태에 따른 기억 장치의 단위 면적당 기억 용량을 증가시킬 수 있다.

[0319] 트랜지스터(MW1)는 백 게이트를 포함하고, 백 게이트는 단자(B1)에 전기적으로 접속된다. 그러므로 단자(B1)에 인가되는 전압에 따라 트랜지스터(MW1)의 문턱 전압을 변경할 수 있다. 예를 들어 고정 전압(예를 들어 음의 정전압)이 단자(B1)에 인가되어도 좋고, 또는 DOSRAM(1400)의 동작에 따라, 단자(B1)에 인가되는 전압을 변화시켜도 좋다.

[0320] 트랜지스터(MW1)의 백 게이트를 트랜지스터(MW1)의 게이트, 소스, 또는 드레인에 전기적으로 접속하여도 좋다. 트랜지스터(MW1)는 백 게이트를 포함하지 않아도 된다.

[0321] 센스 앰프 어레이(1423)는 N 개의 로컬 센스 앰프 어레이(1426<0> 내지 1426< $N-1$ >)를 포함한다. 로컬 센스 앰프 어레이(1426)는 하나의 스위치 어레이(1444) 및 복수의 센스 앰프(1446)를 각각 포함한다. 비트선쌍에는 각 센스 앰프(1446)가 전기적으로 접속된다. 센스 앰프(1446)는 대응하는 비트선쌍을 프리차지하는 기능, 비트선쌍의 전압차를 증폭시키는 기능, 및 이 전압차를 유지하는 기능을 각각 갖는다. 스위치 어레이(1444)는 비트선쌍을 선택하고, 선택한 비트선쌍과 글로벌 비트선쌍을 서로 전기적으로 접속하는 기능을 갖는다.

[0322] 여기서 비트선쌍이란 센스 앰프에 의하여 동시에 비교되는 2개의 비트선을 말하고, 글로벌 비트선쌍이란 글로벌 센스 앰프에 의하여 동시에 비교되는 2개의 글로벌 비트선을 말한다. 비트선쌍을 한 쌍의 비트선이라고 하고, 글로벌 비트선쌍을 한 쌍의 글로벌 비트선이라고 할 수 있다. 여기서는 비트선(BLL)과 비트선(BLR)이 하나의 비트선쌍을 형성하고, 글로벌 비트선(GBLL)과 글로벌 비트선(GBLR)이 하나의 글로벌 비트선쌍을 형성한다. 이하의 설명에서는 "비트선쌍(BLL, BLR)" 및 "글로벌 비트선쌍(GBLL, GBLR)"이라는 표현도 사용한다.

[0323] (컨트롤러(1405))

[0324] 컨트롤러(1405)는 DOSRAM(1400)의 동작 전반을 제어하는 기능을 갖는다. 컨트롤러(1405)는 외부로부터 입력되는 명령 신호를 논리 연산하여 동작 모드를 결정하는 기능, 결정한 동작 모드가 실행되도록 행 회로(1410) 및 열 회로(1415)의 제어 신호를 생성하는 기능, 외부로부터 입력되는 어드레스 신호를 유지하는 기능, 및 내부 어드레스 신호를 생성하는 기능을 갖는다.

[0325] (행 회로(1410))

[0326] 행 회로(1410)는 MC-SA 어레이(1420)를 구동시키는 기능을 갖는다. 디코더(1411)는 어드레스 신호를 디코딩하는 기능을 갖는다. 워드선 드라이버 회로(1412)는 액세스되는 행의 워드선(WL)을 선택하는 선택 신호를 생성한

다.

[0327] 열 실렉터(1413) 및 센스 앤프 드라이버 회로(1414)는 센스 앤프 어레이(1423)를 구동시키기 위한 회로이다. 열 실렉터(1413)는 액세스되는 열의 비트선을 선택하기 위한 선택 신호를 생성하는 기능을 갖는다. 열 실렉터(1413)로부터의 선택 신호에 의하여 각 로컬 센스 앤프 어레이(1426)의 스위치 어레이(1444)가 제어된다. 센스 앤프 드라이버 회로(1414)로부터의 제어 신호에 의하여 복수의 로컬 센스 앤프 어레이(1426)가 독립적으로 구동된다.

[0328] (열 회로(1415))

[0329] 열 회로(1415)는 데이터 신호(WDA[31:0])의 입력을 제어하는 기능 및 데이터 신호(RDA[31:0])의 출력을 제어하는 기능을 갖는다. 데이터 신호(WDA[31:0])는 기록 데이터 신호이고, 데이터 신호(RDA[31:0])는 판독 데이터 신호이다.

[0330] 글로벌 센스 앤프(1447)의 각각은 글로벌 비트선쌍(GBLL, GBLR)에 전기적으로 접속된다. 글로벌 센스 앤프(1447)는 글로벌 비트선쌍(GBLL, GBLR)의 전압차를 증폭시키는 기능, 및 이 전압차를 유지하는 기능을 각각 갖는다. 데이터는 출력 회로(1417)에 의하여, 글로벌 비트선쌍(GBLL, GBLR)에 기록되고 글로벌 비트선쌍(GBLL, GBLR)으로부터 판독된다.

[0331] DOSRAM(1400)의 기록 동작에 대하여 간단하게 설명한다. 입출력 회로(1417)에 의하여 데이터가 글로벌 비트선쌍에 기록된다. 글로벌 비트선쌍의 데이터는 글로벌 센스 앤프 어레이(1416)에 의하여 유지된다. 어드레스 신호에 의하여 지정되는 로컬 센스 앤프 어레이(1426)의 스위치 어레이(1444)에 의하여, 글로벌 비트선쌍의 데이터는, 데이터가 기록되는 열의 비트선쌍에 기록된다. 로컬 센스 앤프 어레이(1426)는 기록된 데이터를 증폭시킨 후, 그 증폭시킨 데이터를 유지한다. 지정된 로컬 메모리 셀 어레이(1425)에서는, 행 회로(1410)에 의하여 데이터가 기록되는 행의 워드선(WL)이 선택되고, 선택된 행의 메모리 셀(1445)에 로컬 센스 앤프 어레이(1426)에서 유지되는 데이터가 기록된다.

[0332] DOSRAM(1400)의 판독 동작에 대하여 간단하게 설명한다. 어드레스 신호에 의하여 로컬 메모리 셀 어레이(1425)의 1행이 지정된다. 지정된 로컬 메모리 셀 어레이(1425)에서는, 데이터가 판독되는 행의 워드선(WL)이 선택되고, 메모리 셀(1445)의 데이터가 비트선에 기록된다. 로컬 센스 앤프 어레이(1426)는 각 열의 비트선쌍의 전압차를 데이터로서 판정하고 이 데이터를 유지한다. 스위치 어레이(1444)는 어드레스 신호에 의하여 지정되는 열의 데이터를 글로벌 비트선쌍에 기록하는데, 이 데이터는 로컬 센스 앤프 어레이(1426)에서 유지되는 데이터로부터 선택된다. 글로벌 센스 앤프 어레이(1416)는 글로벌 비트선쌍의 데이터를 판정하고 유지한다. 글로벌 센스 앤프 어레이(1416)에서 유지되는 데이터는 입출력 회로(1417)에 출력된다. 이로써, 판독 동작이 완료된다.

[0333] 용량 소자(CS1)의 충방전에 의하여 데이터를 재기록하기 때문에, 원리적으로는 DOSRAM(1400)의 재기록 횟수에 제한은 없으며, 낮은 에너지 소비로 데이터를 판독 및 기록할 수 있다. 또한 메모리 셀(1445)의 회로 구성이 단순하므로 메모리 용량이 쉽게 증가된다.

[0334] 트랜지스터(MW1)는 OS 트랜지스터이다. OS 트랜지스터는 오프 상태 전류가 매우 낮기 때문에 용량 소자(CS1)로부터의 전하 누설을 억제할 수 있다. 따라서 DOSRAM(1400)의 유지 시간은 DRAM보다 매우 길다. 이로써, 리프레시의 빈도를 감소시킬 수 있어 리프레시 동작에 필요한 전력을 절감할 수 있다. 그러므로 DOSRAM(1400)은 대량의 데이터를 높은 빈도로 재기록하는 기억 장치, 예를 들어 화상 처리에 사용되는 프레임 메모리에 적합하게 사용된다.

[0335] MC-SA 어레이(1420)는 적층 구조를 갖기 때문에, 비트선을 로컬 센스 앤프 어레이(1426)의 길이와 비슷한 길이로 쉽게 할 수 있다. 비트선을 쉽게 함으로써 비트선 용량이 작아지므로, 메모리 셀(1445)의 유지 용량을 저감할 수 있다. 또한 로컬 센스 앤프 어레이(1426)에 스위치 어레이(1444)를 제공함으로써, 긴 비트선의 개수가 감소된다. 상술한 이유로 DOSRAM(1400)에 액세스하는 동안에 구동되는 부하가 저감되므로, 소비전력이 저감된다.

[0336] 그러므로 OS 트랜지스터를 포함하는 DOSRAM의 용량을 쉽게 크게 할 수 있다. 또한 OS 트랜지스터를 포함하는 DOSRAM은 데이터를 오랫동안 유지할 수 있기 때문에, 리프레시로 인한 불이익을 실질적으로 무시할 수 있다. 또한 OS 트랜지스터를 포함하는 DOSRAM은 백 게이트의 전위를 이용함으로써 주변 회로의 파워 게이팅을 수행할 수 있다.

- [0337] 도 30은 OS 트랜지스터를 포함하는 DOSRAM의 소비전력과 일반적인 DRAM의 소비전력을 비교한 그래프이다. 또한 세로축은, 실제 사용 시의, 일반적인 DRAM의 소비전력을 1로 설정한 경우의 추정된 소비전력을 나타낸다(임의 단위: A.U.). 여기서 "실제 사용"이란, DOSRAM 또는 DRAM이 하루의 10%가 액티브이고 하루의 90%가 대기 중 또는 셀프 리프레시 모드에 있는 것으로 상정한 것이다. 그래프로부터, 리프레시 레이트가 낮은 모드의, OS 트랜지스터를 포함하는 DOSRAM의 소비전력은 일반적인 DRAM보다 약 20% 낮게 할 수 있다는 것이 시사된다. 또한 파워 케이팅 모드의, OS 트랜지스터를 포함하는 DOSRAM의 소비전력은 일반적인 DRAM보다 약 60% 낮은 것으로 추정된다.
- [0338] 본 실시형태에서 설명한 구조는 다른 실시형태에서 설명하는 구조 중 임의의 것과 적절히 조합하여 사용할 수 있다.
- [0339] (실시형태 4)
- [0340] 본 실시형태에서는 도 31을 참조하여, 상술한 실시형태 중 어느 것의 반도체 장치가 사용된 AI 시스템에 대하여 설명한다.
- [0341] 도 31은 AI 시스템(4041)의 구성예를 도시한 블록도이다. AI 시스템(4041)은 연산부(4010), 제어부(4020), 및 입출력부(4030)를 포함한다.
- [0342] 연산부(4010)는 아날로그 연산 회로(4011), DOSRAM(4012), NOSRAM(4013), 및 FPGA(4014)를 포함한다. DOSRAM(4012)으로서 위의 실시형태에서 설명한 DOSRAM(1400)을 사용할 수 있다.
- [0343] 제어부(4020)는 CPU(central processing unit)(4021), GPU(graphics processing unit)(4022), PLL(phase locked loop)(4023), SRAM(static random access memory)(4024), PROM(programmable read only memory)(4025), 메모리 컨트롤러(4026), 전원 회로(4027), 및 PMU(power management unit)(4028)를 포함한다.
- [0344] 입출력부(4030)는 외부 기억 제어 회로(4031), 음성 코덱(4032), 영상 코덱(4033), 범용 입출력 모듈(4034), 및 통신 모듈(4035)을 포함한다.
- [0345] 연산부(4010)는 신경망(neural network) 학습 또는 신경망 추론을 수행할 수 있다.
- [0346] 아날로그 연산 회로(4011)는 아날로그/디지털(A/D) 변환 회로, 디지털/아날로그(D/A) 변환 회로, 및 적화 연산(product-sum operation) 회로를 포함한다.
- [0347] 아날로그 연산 회로(4011)는 OS 트랜지스터를 사용하여 형성되는 것이 바람직하다. OS 트랜지스터를 사용하여 형성된 아날로그 연산 회로(4011)는 아날로그 메모리를 포함하고, 학습 및 추론에 필요한 적화 연산을 저소비전력으로 실행할 수 있다.
- [0348] DOSRAM(4012)은 OS 트랜지스터를 포함하는 DRAM이다. DOSRAM(4012)은 CPU(4021)로부터 전송되는 디지털 데이터를 일시적으로 저장하는 메모리이다. DOSRAM(4012)은 OS 트랜지스터를 포함하는 메모리 셀, 및 Si 트랜지스터를 포함하는 판독 회로부를 포함한다. 상기 메모리 셀 및 상기 판독 회로부는 적층된 상이한 층에 제공될 수 있기 때문에, DOSRAM(4012)의 전체 회로 면적을 축소할 수 있다.
- [0349] 신경망을 사용한 계산에서는 입력 데이터의 수가 1000을 넘는 경우가 있다. 상기 입력 데이터를 SRAM에 저장하는 경우, SRAM은 회로 면적에 제한이 있고 기억 용량이 작기 때문에, 상기 입력 데이터를 잘게 나누어서 저장하여야 한다. DOSRAM의 메모리 셀은 제한된 회로 면적에서도 고집적화할 수 있기 때문에, DOSRAM(4012)은 SRAM보다 기억 용량이 크다. 그러므로 DOSRAM(4012)은 상기 입력 데이터를 효율적으로 저장할 수 있다.
- [0350] NOSRAM(4013)은 OS 트랜지스터를 포함하는 비휘발성 메모리이다. NOSRAM(등록 상표)이란 "nonvolatile oxide semiconductor RAM"의 약칭이고, 게인 셀(2T 또는 3T)의 메모리 셀을 포함하는 RAM을 가리킨다. DOSRAM에서와 마찬가지로, 본 실시형태의 NOSRAM에는 OS 메모리를 사용할 수 있다.
- [0351] NOSRAM(4013)은 플래시 메모리, ReRAM(resistive random access memory), 및 MRAM(magnetoresistive random access memory) 등 다른 비휘발성 메모리보다 데이터 기록 시의 소비전력이 낮다. 또한 데이터 기록에 의하여 열화되는 플래시 메모리 및 ReRAM과는 달리, NOSRAM은 데이터 기록의 횟수에 제한이 없다.
- [0352] 또한 NOSRAM(4013)은 1비트의 바이너리 데이터에 더하여, 2비트 이상의 멀티레벨 데이터를 저장할 수 있다. NOSRAM(4013)에서 멀티레벨 데이터를 저장함으로써, 비트당 메모리 셀 면적이 축소된다.
- [0353] NOSRAM(4013)은 디지털 데이터에 더하여 아날로그 데이터도 저장할 수 있기 때문에, 아날로그 연산 회로(4011)

는 NOSRAM(4013)을 아날로그 메모리로서 사용할 수 있다. NOSRAM(4013)은 아날로그 데이터를 그대로 저장할 수 있기 때문에, D/A 변환 회로도 A/D 변환 회로도 필요하지 않다. 따라서 NOSRAM(4013)의 주변 회로의 면적이 축소된다. 본 명세서에서 아날로그 데이터란, 3비트(8레벨) 이상의 분해능을 갖는 데이터를 말한다. 상술한 멀티레벨 데이터는 아날로그 데이터에 포함되는 경우가 있다.

[0354] 신경망 계산에서 사용되는 데이터 및 파라미터는 일단 NOSRAM(4013)에 저장될 수 있다. 상기 데이터 및 파라미터는 CPU(4021)를 통하여 AI 시스템(4041) 외부에 제공된 메모리에 저장되어도 좋다. 그러나 AI 시스템(4041) 내부에 제공된 NOSRAM(4013)은 상기 데이터 및 파라미터를 더 빨리 더 낮은 소비전력으로 저장할 수 있다. 또한 NOSRAM(4013)은 DOSRAM(4012)보다 비트선을 길게 할 수 있으므로, 기억 용량을 증가시킬 수 있다.

[0355] FPGA(4014)는 OS 트랜지스터를 포함하는 FPGA이다. 본 실시형태의 FPGA에서는, 컨피규레이션 메모리 및 레지스터에 OS 메모리를 사용할 수 있다. 여기서, 이러한 FPGA를 "OS-FPGA"라고 한다. AI 시스템(4041)은 FPGA(4014)를 포함함으로써, 하드웨어에 의하여 후술하는 DNN(deep neural network), CNN(convolutional neural network), RNN(recurrent neural network), 오토인코더(autoencoder), DBM(deep Boltzmann machine), 또는 DBN(deep belief network) 등의 신경망의 접속을 구축할 수 있다. 하드웨어에 의한 상기 신경망의 접속에 의하여 더 고속으로 실행할 수 있다.

[0356] FPGA(4014)는 OS-FPGA이다. OS-FPGA는 SRAM을 사용하여 형성되는 FPGA보다 메모리 면적을 작게 할 수 있다. 그러므로 콘텍스트 전환 기능을 추가하여도 면적의 증가가 적다. 또한 OS-FPGA는 부스팅을 이용함으로써 데이터 및 파라미터를 고속으로 전송할 수 있다.

[0357] AI 시스템(4041)에서는, 아날로그 연산 회로(4011), DOSRAM(4012), NOSRAM(4013), 및 FPGA(4014)를 하나의 다이(칩) 상에 제공할 수 있다. 그러므로 AI 시스템(4041)은 저소비전력으로 빠르게 신경망을 계산할 수 있다. 아날로그 연산 회로(4011), DOSRAM(4012), NOSRAM(4013), 및 FPGA(4014)는 같은 제작 공정으로 제작할 수 있다. 이에 의하여 AI 시스템(4041)을 저렴하게 제작할 수 있다.

[0358] 또한 연산부(4010)는 DOSRAM(4012), NOSRAM(4013), 및 FPGA(4014)를 반드시 모두 포함할 필요는 없다. AI 시스템(4041)에서 해결하려는 과제에 따라, DOSRAM(4012), NOSRAM(4013), 및 FPGA(4014) 중에서 하나 이상의 메모리를 선택한다.

[0359] AI 시스템(4041)은 해결하려는 과제에 따라, DNN(deep neural network), CNN(convolutional neural network), RNN(recurrent neural network), 오토인코더, DBM(deep Boltzmann machine), 또는 DBN(deep belief network) 등의 방법을 실시할 수 있다. PROM(4025)은 이 방법들 중 적어도 하나를 실시하기 위한 프로그램을 저장할 수 있다. 상기 프로그램의 일부 또는 전체를 NOSRAM(4013)에 저장하여도 좋다.

[0360] 라이브러리로서 사용되는 기준의 프로그램의 대부분은 GPU에 의한 처리를 전제로 한다. 그러므로 AI 시스템(4041)은 GPU(4022)를 포함하는 것이 바람직하다. AI 시스템(4041)에서는, 학습 및 추론에 사용되는 모든 적화 연산 중에서 보틀넥이 되는 적화 연산을 연산부(4010)가 실행하고, 그 이외의 적화 연산을 GPU(4022)가 실행할 수 있다. 이로써, 학습 및 추론을 고속으로 수행할 수 있다.

[0361] 전원 회로(4027)는 논리 회로용 저전원 전위뿐만 아니라, 아날로그 연산을 위한 전위도 생성한다. 전원 회로(4027)는 OS 메모리를 포함하여도 좋다. 기준 전위를 OS 메모리에 저장함으로써, 전원 회로(4027)의 소비전력을 저감할 수 있다.

[0362] PMU(4028)는 AI 시스템(4041)에 대한 전력 공급을 일시적으로 정지하는 기능을 갖는다.

[0363] CPU(4021) 및 GPU(4022)는 레지스터로서 OS 메모리를 포함하는 것이 바람직하다. CPU(4021) 및 GPU(4022)는 OS 메모리를 포함함으로써, 전력 공급이 정지되어도 OS 메모리에 데이터(논리값)를 유지할 수 있다. 이에 의하여 AI 시스템(4041)의 전력이 절약된다.

[0364] PLL(4023)은 클럭을 생성하는 기능을 갖는다. AI 시스템(4041)은 PLL(4023)에 의하여 생성된 클럭에 기초하여 동작을 수행한다. PLL(4023)은 OS 메모리를 포함하는 것이 바람직하다. PLL(4023)은 OS 메모리를 포함함으로써, 클럭 발진 주파수를 제어하는 아날로그 전위를 유지할 수 있다.

[0365] AI 시스템(4041)은 DRAM 등의 외부 메모리에 데이터를 저장하여도 좋다. 그러므로 AI 시스템(4041)은 외부 DRAM과의 인터페이스로서 기능하는 메모리 컨트롤러(4026)를 포함하는 것이 바람직하다. 또한 메모리 컨트롤러(4026)는 CPU(4021) 또는 GPU(4022) 가까이에 배치되는 것이 바람직하다. 이에 의하여 빠른 데이터 전송이 가

능해진다.

- [0366] 제어부(4020)에서의 일부 또는 모든 회로는 연산부(4010)와 같은 다이 상에 형성할 수 있다. 그러므로 AI 시스템(4041)은 저소비전력으로 빠르게 신경망 계산을 실행할 수 있다.
- [0367] 신경망 계산에 사용되는 데이터는 HDD(hard disk drive) 또는 SSD(solid state drive) 등 외부 기억 장치에 저장되는 경우가 많다. 그러므로 AI 시스템(4041)은 외부 기억 장치와의 인터페이스로서 기능하는 외부 기억 제어 회로(4031)를 포함하는 것이 바람직하다.
- [0368] 음성 및 영상은, 신경망을 사용한 학습 및 추론의 대상이 되는 경우가 많기 때문에, AI 시스템(4041)은 음성 코덱(4032) 및 영상 코덱(4033)을 포함한다. 음성 코덱(4032)은 음성 데이터를 인코드 및 디코드하고, 영상 코덱(4033)은 영상 데이터를 인코드 및 디코드한다.
- [0369] AI 시스템(4041)은 외부 센서로부터 얻어진 데이터를 사용하여 학습을 수행하거나 추론을 할 수 있다. 그러므로 AI 시스템(4041)은 범용 입출력 모듈(4034)을 포함한다. 범용 입출력 모듈(4034)은 예를 들어, USB(universal serial bus) 또는 I2C(integrated circuit)를 포함한다.
- [0370] AI 시스템(4041)은 인터넷을 경유하여 얻어지는 데이터를 사용하여 학습을 수행하거나 추론을 할 수 있다. 그러므로 AI 시스템(4041)은 통신 모듈(4035)을 포함하는 것이 바람직하다.
- [0371] 아날로그 연산 회로(4011)는 멀티레벨 플래시 메모리를 아날로그 메모리로서 포함하여도 좋다. 그러나 플래시 메모리는 재기록 횟수에 제한이 있다. 또한 멀티레벨 플래시 메모리는 임베디드하기 매우 어렵고, 바꿔 말하면 연산 회로와 메모리를 같은 다이 상에 형성하기가 어렵다.
- [0372] 또는 아날로그 연산 회로(4011)는 ReRAM을 아날로그 메모리로서 포함하여도 좋다. 그러나 ReRAM은 재기록 횟수에 제한이 있고, 기억 정확도에서도 문제가 있다. 또한 ReRAM은 2단자 소자이기 때문에, 데이터 기록과 데이터 판독을 분리하기 위하여 복잡한 회로 설계가 필요하다.
- [0373] 또는 아날로그 연산 회로(4011)는 MRAM을 아날로그 메모리로서 포함하여도 좋다. 그러나 MRAM은 자기 저항 비율(magnetoresistive ratio)이 낮기 때문에 기억 정확도에서 문제가 있다.
- [0374] 상술한 것을 고려할 때, 아날로그 연산 회로(4011)에서 OS 메모리를 아날로그 메모리로서 사용하는 것이 바람직하다.
- [0375] 본 실시형태에서 설명한 구조는 다른 실시형태에서 설명하는 구조 중 임의의 것과 적절히 조합하여 사용할 수 있다.
- [0376] (실시형태 5)
- [0377] <AI 시스템의 응용예>
- [0378] 본 실시형태에서는 위의 실시형태에서 설명한 AI 시스템의 응용예에 대하여 도 32의 (A) 및 (B)를 참조하여 설명한다.
- [0379] 도 32의 (A)는, 도 31을 사용하여 설명한 AI 시스템(4041)을 서로 병렬로 배치하여, 신호가 버스 라인을 통하여 시스템들 사이에서 전송될 수 있는 AI 시스템(4041A)을 도시한 것이다.
- [0380] 도 32의 (A)에 도시된 AI 시스템(4041A)은 AI 시스템(4041_1 내지 4041_n)(n은 자연수)을 포함한다. AI 시스템(4041_1 내지 4041_n)은 버스 라인(4098)을 통하여 서로 접속되어 있다.
- [0381] 도 32의 (B)는, 도 31을 사용하여 설명한 AI 시스템(4041)을 도 32의 (A)와 마찬가지로 서로 병렬로 배치하여, 신호가 네트워크를 통하여 시스템들 사이에서 전송될 수 있는 AI 시스템(4041B)을 도시한 것이다.
- [0382] 도 32의 (B)에 도시된 AI 시스템(4041B)은 AI 시스템(4041_1 내지 4041_n)을 포함한다. AI 시스템(4041_1 내지 4041_n)은 네트워크(4099)를 통하여 서로 접속되어 있다.
- [0383] 네트워크(4099)는 AI 시스템(4041_1 내지 4041_n)의 각각에 제공된 통신 모듈에 의하여 무선 또는 유선 통신을 구축할 수 있다. 통신 모듈에 의한 통신은 안테나를 통하여 수행할 수 있다. 통신은 예를 들어 인터넷(World Wide Web(WWW)의 기반), 인트라넷(intranet), 액스트라넷(extranet), PAN(personal area network), LAN(local area network), CAN(campus area network), MAN(metropolitan area network), WAN(wide area network), 또는 GAN(global area network) 등의 컴퓨터 네트워크에 전자 기기를 접속함으로써 수행할 수 있다. 무선 통신에 사

용되는 통신 프로토콜 또는 통신 기술로서는, LTE(Long-Term Evolution), GSM(Global System for Mobile Communication: 등록 상표), EDGE(Enhanced Data Rates for GSM Evolution), CDMA2000(Code Division Multiple Access 2000), 또는 W-CDMA(등록 상표) 등의 통신 규격, 혹은 Wi-Fi(등록 상표), Bluetooth(등록 상표), 또는 ZigBee(등록 상표) 등 IEEE에 준거하여 개발된 통신 규격이 있다.

[0384] 도 32의 (A) 또는 (B)에 도시된 구성으로 함으로써, 외부 센서 등에 의하여 얻어진 아날로그 신호들을 상이한 AI 시스템으로 처리할 수 있다. 예를 들어, 뇌파 센서, 맥파 센서, 혈압 센서, 및 온도 센서 등의 각종 센서에 의하여 얻어진 뇌파, 맥박, 혈압, 및 체온 등의 생체 정보를 포함하는 아날로그 신호들을 상이한 AI 시스템으로 처리할 수 있다. 상이한 AI 시스템으로 신호의 처리 또는 학습을 하면, 각 AI 시스템으로 처리하는 정보량이 감소된다. 따라서 신호의 처리 또는 학습에 필요한 연산 처리량이 감소되어, 인식의 정확도가 향상된다. 각 AI 시스템에 의하여 얻어진 정보로부터, 불규칙하게 변화되는 생체 정보가 즉시 총괄적으로 주어지는 것으로 기대된다.

[0385] 본 실시형태에서 설명한 구조는 다른 실시형태에서 설명하는 구조 중 임의의 것과 적절히 조합하여 사용할 수 있다.

[0386] (실시형태 6)

[0387] 본 실시형태에서는 위의 실시형태에서 설명한 AI 시스템을 포함하는 IC의 예에 대하여 설명한다.

[0388] 위의 실시형태에서 설명한 AI 시스템에서는, Si 트랜지스터를 포함하는 디지털 처리 회로(예를 들어 CPU), OS 트랜지스터를 포함하는 아날로그 연산 회로, OS-FPGA, 및 OS 메모리(예를 들어 DOSRAM 또는 NOSRAM)를 하나의 다이에 집적할 수 있다.

[0389] 도 33은 AI 시스템을 포함하는 IC의 예를 도시한 것이다. 도 33에 도시된 AI 시스템 IC(7000)는 리드(7001) 및 회로부(7003)를 포함한다. AI 시스템 IC(7000)는 예를 들어 인쇄 회로 기판(7002)에 실장된다. 이러한 복수의 IC 칩이 조합되고, 인쇄 회로 기판(7002) 상에서 서로 전기적으로 접속됨으로써, 전자 부품이 실장된 기판(회로 기판(7004))이 완성된다. 회로부(7003)에서는, 위의 실시형태 중 어느 것에서 설명한 회로들이 하나의 다이 상에 제공된다. 회로부(7003)는 Si 트랜지스터층(7031), 배선층(7032), 및 OS 트랜지스터층(7033)으로 대별되는 적층 구조를 갖는다. OS 트랜지스터층(7033)을 Si 트랜지스터층(7031) 위에 적층할 수 있으므로, AI 시스템 IC(7000)의 크기를 쉽게 축소시킬 수 있다.

[0390] 도 33에서는 AI 시스템 IC(7000)의 패키지로서 QFP(Quad Flat Package)를 사용하였지만, 패키지는 이에 한정되지 않는다.

[0391] 디지털 처리 회로(예를 들어 CPU), OS 트랜지스터를 포함하는 아날로그 연산 회로, OS-FPGA, 및 OS 메모리(예를 들어 DOSRAM 또는 NOSRAM)는 모두, Si 트랜지스터층(7031), 배선층(7032), 및 OS 트랜지스터층(7033)에 형성될 수 있다. 바꿔 말하면, 상기 AI 시스템에 포함되는 소자들은 같은 제작 공정으로 형성될 수 있다. 따라서 제작 공정을 증가시키지 않아도 더 많은 소자를 본 실시형태에서의 IC에 제공할 수 있기 때문에, 상기 AI 시스템을 저렴하게 IC에 포함시킬 수 있다.

[0392] 본 실시형태에서 설명한 구조는 다른 실시형태에서 설명하는 구조 중 임의의 것과 적절히 조합하여 사용할 수 있다.

[0393] (실시형태 7)

[0394] <전자 기기>

[0395] 본 발명의 일 형태에 따른 반도체 장치는 다양한 전자 기기에 사용할 수 있다. 도 34의 (A) 내지 (F)는 각각 본 발명의 일 형태에 따른 반도체 장치를 포함한 전자 기기의 구체적인 예를 도시한 것이다.

[0396] 도 34의 (A)는 모니터(830)를 도시한 것이다. 모니터(830)는 표시부(831), 하우징(832), 및 스피커(833) 등을 포함한다. 모니터(830)는 LED 램프, 조작 키(전원 스위치 또는 조작 스위치를 포함함), 접속 단자, 각종 센서, 및 마이크로폰 등을 포함할 수도 있다. 모니터(830)는 리모트 컨트롤러(834)에 의하여 제어할 수 있다.

[0397] 모니터(830)는 방송 전파를 수신함으로써 텔레비전 장치로서 기능할 수 있다.

[0398] 모니터(830)는 지상파 또는 위성파 등의 방송 전파, 아날로그 방송 또는 디지털 방송의 방송 전파, 그리고 영상 음성 방송 또는 음성만의 방송의 방송 전파 등을 수신할 수 있다. 예를 들어 모니터(830)는, UHF대(300MHz 이

상 3GHz 이하) 및 VHF대(30MHz 이상 300MHz 이하) 중 특정한 주파수 대역에서 전송되는 방송 전파를 수신할 수 있다. 복수의 주파수 대역에서 수신한 복수의 데이터를 사용함으로써, 전송 레이트를 높일 수 있기 때문에 더 많은 정보를 얻을 수 있다. 따라서 표시부(831)는 4K2K, 8K4K, 16K8K, 또는 그 이상 등, 풀 HD보다 해상도가 높은 화상을 표시할 수 있다.

[0399] 인터넷, LAN(local area network), 또는 Wi-Fi(등록 상표) 등의 컴퓨터 네트워크를 통한 데이터 전송 기술에 의하여 전송된 방송 데이터를 사용하여, 표시부(831)에 표시되는 화상을 생성하여도 좋다. 이 경우, 모니터(830)는 튜너를 포함하지 않아도 된다.

[0400] 모니터(830)는 컴퓨터에 접속되면 컴퓨터용 모니터로서 사용할 수 있다. 컴퓨터에 접속된 모니터(830)를 여러 사람들이 동시에 볼 수 있기 때문에, 모니터(830)는 회의 시스템에 적합하게 사용된다. 모니터(830)는, 컴퓨터의 데이터를 네트워크를 통하여 표시하거나 네트워크에 접속됨으로써 영상 회의 시스템에 사용할 수도 있다.

[0401] 또는 모니터(830)는 디지털 사이니지로서 사용될 수 있다.

[0402] 본 발명의 일 형태에 따른 반도체 장치는 예를 들어 표시부의 구동 회로 또는 화상 처리부에 사용될 수 있고, 이 경우 고속 동작 또는 고속 신호 처리를 저소비전력으로 실현할 수 있다.

[0403] 본 발명의 일 형태에 따른 반도체 장치를 포함한 AI 시스템을 모니터(830)의 화상 처리부에 사용하면, 노이즈 제거, 계조 변환, 색조 보정, 또는 휘도 보정 등의 화상 처리를 수행할 수 있다. 또한 해상도의 업컨버전(up-conversion)에 따른 화소 보간(pixel interpolation) 또는 프레임 주파수의 업컨버전에 따른 프레임 보간 등을 수행할 수 있다. 계조 변환에서는, 화상의 계조 레벨의 수를 변화시킬 수 있고, 계조 레벨의 수를 증가시키는 경우의 계조값의 보간을 수행할 수 있다. 또한 다이내믹 레인지를 넓히는 HDR(high-dynamic range) 처리도 계조 변환에 포함된다.

[0404] 도 34의 (B)에 도시된 비디오 카메라(2940)는 하우징(2941), 하우징(2942), 표시부(2943), 조작 스위치(2944), 렌즈(2945), 및 연결부(2946) 등을 포함한다. 조작 스위치(2944) 및 렌즈(2945)는 하우징(2941)에 제공되고, 표시부(2943)는 하우징(2942)에 제공된다. 비디오 카메라(2940)는 하우징(2941) 내측에 안테나 및 배터리 등도 포함한다. 하우징(2941)과 하우징(2942)은 연결부(2946)에 의하여 서로 연결되어 있고, 하우징들(2941 및 2942) 사이의 각도는 연결부(2946)에 의하여 변경할 수 있다. 하우징들(2941 및 2942) 사이의 각도에 따라, 표시부(2943)에 표시된 화상의 방향을 변경하거나 화상의 표시 및 비(非)표시를 전환할 수 있다.

[0405] 본 발명의 일 형태에 따른 반도체 장치는 예를 들어 표시부의 구동 회로 또는 화상 처리부에 사용될 수 있고, 이 경우 고속 동작 또는 고속 신호 처리를 저소비전력으로 실현할 수 있다.

[0406] 본 발명의 일 형태에 따른 반도체 장치를 포함한 AI 시스템을 비디오 카메라(2940)의 화상 처리부에 사용하면, 비디오 카메라(2940)의 주위 환경에 적합한 촬영을 수행할 수 있다. 구체적으로는, 주위의 밝기에 최적의 노출로 촬영을 수행할 수 있다. 역광 상태에서의 촬영 또는 여러 밝기 조건(예를 들어 실내 및 실외) 하에서의 촬영을 수행하는 경우, HDR(high-dynamic-range) 촬영을 수행할 수 있다.

[0407] 또한 AI 시스템은 사용자의 습관을 학습하고, 촬영 시에 사용자를 보조할 수 있다. 구체적으로, AI 시스템은 카메라를 흔드는 사용자의 습관을 학습하고 촬영 중의 카메라 흔들림을 보정함으로써, 카메라 흔들림에 기인하는 화상의 흔들림을 가능한 한 저감할 수 있다. 촬영 중에 줌 기능을 사용하는 경우에는, 피사체가 항상 화상의 중심에 위치하도록 렌즈 등의 방향을 제어할 수 있다.

[0408] 도 34의 (C)에 도시된 정보 단말기(2910)는 하우징(2911), 표시부(2912), 마이크로폰(2917), 스피커부(2914), 카메라(2913), 외부 접속부(2916), 및 조작 스위치(2915) 등을 포함한다. 표시부(2912)에는 플렉시블 기판을 사용하여 형성된 터치 스크린 및 표시 패널이 제공된다. 정보 단말기(2910)는 하우징(2911) 내측에 안테나 및 배터리 등도 포함한다. 정보 단말기(2910)는 예를 들어 스마트폰, 휴대 전화기, 태블릿 정보 단말기, 태블릿 퍼스널 컴퓨터, 또는 전자책 단말기로서 사용될 수 있다.

[0409] 본 발명의 일 형태에 따른 반도체 장치를 포함한 기억 장치는, 예를 들어 정보 단말기(2910)의 제어 데이터 또는 제어 프로그램 등을 오랫동안 유지할 수 있다.

[0410] 본 발명의 일 형태에 따른 반도체 장치를 포함한 AI 시스템을 정보 단말기(2910)의 화상 처리부에 사용하면, 노이즈 제거, 계조 변환, 색조 보정, 또는 휘도 보정 등의 화상 처리를 수행할 수 있다. 또한 해상도의 업컨버전에 따른 화소 보간 또는 프레임 주파수의 업컨버전에 따른 프레임 보간 등을 수행할 수 있다. 계조 변환에서는, 화상의 계조 레벨의 수를 변화시킬 수 있고, 계조 레벨의 수를 증가시키는 경우의 계조값의 보간을

수행할 수 있다. 또한 다이내믹 레인지지를 넓히는 HDR(high-dynamic range) 처리도 계조 변환에 포함된다.

[0411] 또한 AI 시스템은 사용자의 습관을 학습하고, 정보 단말기(2910)의 조작 시에 사용자를 보조할 수 있다. AI 시스템을 포함한 정보 단말기(2910)는, 사용자의 손가락 또는 눈 등의 움직임으로부터 터치 입력을 예측할 수 있다.

[0412] 도 34의 (D)에 도시된 노트북형 퍼스널 컴퓨터(2920)는 하우징(2921), 표시부(2922), 키보드(2923), 및 포인팅 디바이스(2924) 등을 포함한다. 노트북형 퍼스널 컴퓨터(2920)는 하우징(2921) 내측에 안테나 및 배터리 등도 포함한다.

[0413] 본 발명의 일 형태에 따른 반도체 장치를 포함한 기억 장치는, 예를 들어 노트북형 퍼스널 컴퓨터(2920)의 제어 데이터 또는 제어 프로그램 등을 오랫동안 유지할 수 있다.

[0414] 본 발명의 일 형태에 따른 반도체 장치를 포함한 AI 시스템을 노트북형 퍼스널 컴퓨터(2920)의 화상 처리부에 사용하면, 노이즈 제거, 계조 변환, 색조 보정, 또는 휘도 보정 등의 화상 처리를 수행할 수 있다. 또한 해상도의 업컨버전에 따른 화소 보간 또는 프레임 주파수의 업컨버전에 따른 프레임 보간 등을 수행할 수 있다. 계조 변환에서는, 화상의 계조 레벨의 수를 변화시킬 수 있고, 계조 레벨의 수를 증가시키는 경우의 계조값의 보간을 수행할 수 있다. 또한 다이내믹 레인지지를 넓히는 HDR(high-dynamic range) 처리도 계조 변환에 포함된다.

[0415] 또한 AI 시스템은 사용자의 습관을 학습하고, 노트북형 퍼스널 컴퓨터(2920)의 조작 시에 사용자를 보조할 수 있다. AI 시스템을 포함한 노트북형 퍼스널 컴퓨터(2920)는, 사용자의 손가락 또는 눈 등의 움직임으로부터, 표시부(2922)에 대한 터치 입력을 예측할 수 있다. 텍스트 입력 시에는, AI 시스템은 과거의 입력 텍스트, 혹은 입력되는 텍스트 앞뒤의 텍스트 또는 도면(예를 들어 사진)으로부터 입력을 예측하여 변환을 보조한다. 이로써, 잘못 입력하거나 잘못 변환하는 것을 가능한 한 저감할 수 있다.

[0416] 도 34의 (E)는 자동차의 예를 도시한 외관도이다. 도 34의 (F)는 내비게이션 장치(860)를 도시한 것이다. 자동차(2980)는 차체(2981), 차바퀴(2982), 대시보드(2983), 및 라이트(2984) 등을 포함한다. 자동차(2980)는 안테나 및 배터리 등도 포함한다. 내비게이션 장치(860)는 표시부(861), 조작 버튼(862), 및 외부 입력 단자(863)를 포함한다. 자동차(2980)와 내비게이션 장치(860)는 서로 독립될 수 있지만, 내비게이션 장치(860)가 자동차(2980)에 포함되고 연동하는 것이 바람직하다.

[0417] 본 발명의 일 형태에 따른 반도체 장치를 포함한 기억 장치는, 예를 들어 자동차(2980) 또는 내비게이션 장치(860)의 제어 데이터 또는 제어 프로그램 등을 오랫동안 유지할 수 있다. 본 발명의 일 형태에 따른 반도체 장치를 포함한 AI 시스템을 자동차(2980)의 제어 장치 등에 사용하면, AI 시스템은 운전자의 운전 기술 및 습관을 학습하고, 운전자가 안전 운전을 하거나, 가솔린 또는 배터리 등의 연료를 효율적으로 사용하는 운전을 하도록 보조할 수 있다. 운전자의 안전 운전을 보조하기 위하여, AI 시스템은 운전자의 운전 기술 및 습관을 학습할 뿐만 아니라, 속도 및 움직임 등의 자동차(2980)의 행동, 그리고 내비게이션 장치(860)에 저장된 도로 정보 등도 복합적으로 학습하기 때문에, 차선 이탈, 그리고 다른 자동차, 보행자, 및 물체 등과의 충돌을 방지할 수 있다. 구체적으로는, 앞에 급커브가 있는 경우, 내비게이션 장치(860)는 그 도로 정보를 자동차(2980)에 전송하여 자동차(2980)의 속도를 제어하고 조종을 보조할 수 있다.

[0418] 본 실시형태는 다른 실시형태 등에서 설명하는 구조 중 임의의 것과 적절히 조합하여 실시할 수 있다.

[0419] (실시형태 8)

[0420] 도 35의 (A)는 본 발명의 일 형태에 따른 반도체 장치를 채용한 전자 기기의 예로서 커뮤니케이션 로봇(2200)을 도시한 것이다. 커뮤니케이션 로봇(2200)은 연산 장치(2201), 접촉 센서(2202), 마이크로폰(2203), 카메라(2204), 스피커(2205), 디스플레이(2206), 및 배터리(2207)를 포함한다.

[0421] 커뮤니케이션 로봇(2200)에서는, 연산 장치(2201)에 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있다. 커뮤니케이션 로봇(2200)은 연산 장치(2201)에서, 출하 시에 탑재된 언어 라이브러리, 및 각종 센서의 센싱 결과 등을 처리함으로써, 사용자와 대화를 할 수 있다. 또한 커뮤니케이션 로봇(2200)은 사용자의 얼굴 또는 표정을 인식할 수 있다.

[0422] 디스플레이(2206)는 각종 정보를 표시하는 기능을 갖는다. 커뮤니케이션 로봇(2200)에서는 사용자가 원하는 정보를 디스플레이(2206)에 표시할 수 있다. 또한 디스플레이(2206)는 터치 패널을 포함하여도 좋다. 커뮤니케이션 로봇(2200)은 전화 기능을 가져도 좋다.

- [0423] 도 35의 (B)는 본 발명의 일 형태에 따른 반도체 장치를 채용한 전자 기기의 예로서 로봇 강아지(2210)를 도시한 것이다. 로봇 강아지(2210)는 연산 장치(2211), 프런트 카메라(2212), 사이드 카메라(2213), 접촉 센서(2214), 마이크로폰(2215), 스피커(2216), 다리(2217), 및 배터리(2218)를 포함한다.
- [0424] 로봇 강아지(2210)에서는, 연산 장치(2211)에 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있다. 연산 장치(2211)에서 온라인 지도 정보 및 각종 센서의 센싱 결과 등을 처리함으로써, 로봇 강아지(2210)는 다리(2217)로 자동적으로 뛰고 사용자의 안전 확보를 위하여 경보를 울릴 수 있다. 예를 들어 로봇 강아지(2210)와 함께 도로를 걷고 있는 사용자가 적신호에서 멈추지 않는 경우에 스피커(2216) 등을 통하여 경보를 울릴 수 있다.
- [0425] 또한 로봇 강아지(2210)는 프런트 카메라(2212) 및 사이드 카메라(2213)를 사용하여 주위 환경을 인식할 수 있다. 예를 들어, 로봇 강아지(2210)가 설치된 집에 수상한 사람이 들어온 경우에, 로봇 강아지(2210)는 스피커(2216)를 통하여 크게 경보를 울리거나 비상 사태를 알리는 기능을 가져도 좋다. 또한 로봇은 도 35의 (B)에 도시된 로봇 강아지(2210)에 한정되지 않고, 휴머노이드 로봇, 로봇 고양이, 로봇 새, 및 다른 종류의 로봇이어도 좋다.
- [0426] 도 35의 (C) 및 (D)는 본 발명의 일 형태에 따른 반도체 장치를 채용한 전자 기기의 예로서 로봇 자동차(2220)를 도시한 것이다. 로봇 자동차(2220)는 연산 장치(2221), 프런트 카메라(2222), 사이드 카메라(2223), 스피커(2224), 디스플레이(2225), 차바퀴(2226), 암(arm)(2227), 및 배터리(2228)를 포함한다.
- [0427] 로봇 자동차(2220)는 차바퀴(2226)로 이동할 수 있다. 로봇 자동차(2220)에서는, 연산 장치(2221)에 본 발명의 일 형태에 따른 반도체 장치를 사용할 수 있다. 로봇 자동차(2220)는 연산 장치(2221)에서, 프런트 카메라(2222) 및 사이드 카메라(2223)에 의하여 취득한 화상을 인식함으로써, 주위 환경을 감지하면서 이동할 수도 있다. 예를 들어 도 35의 (C)에 도시된 바와 같이 로봇 자동차(2220)는 장애물(2229) 주변을 이동하거나(화살표(2230) 참조), 사용자의 얼굴을 인식하여 사용자 쪽으로 향할 수 있다.
- [0428] 또한 로봇 자동차(2220)는 도 35의 (D)에 도시된 바와 같이 암(2227)으로 장애물(2229)을 들어올리고 이동시킬 수 있다. 이 기능, 스피커(2224), 및 디스플레이(2225)를 사용함으로써, 로봇 자동차(2220)는 사용자와 게임을 할 수 있다.
- [0429] 또한 로봇 자동차(2220)는 스마트폰 등의 휴대 정보 단말기에 접속되어도 좋다. 예를 들어 사용자가 휴대 정보 단말기를 조작하여 로봇 자동차(2220)를 제어하여도 좋다.

부호의 설명

- [0430] 100a: 용량 소자 100b: 용량 소자 110_1: 도전체 110_2: 도전체 120: 도전체 120_1: 도전체 120_2: 도전체 130: 절연체 140a: 트랜지스터 140b: 트랜지스터 200a: 트랜지스터 200b: 트랜지스터 203: 도전체 203_1: 도전체 203_2: 도전체 205: 도전체 205_1: 도전체 205_2: 도전체 210: 절연체 212: 절연체 214: 절연체 215: 도전체 215_1: 도전체 215_2: 도전체 215_3: 도전체 215_4: 도전체 215_5: 도전체 216: 절연체 217: 절연체 217_1: 절연체 217_2: 절연체 217_3: 절연체 217_4: 절연체 217_5: 절연체 218: 도전체 220: 절연체 220_1: 절연체 220_2: 절연체 220_3: 절연체 220_4: 절연체 220_5: 절연체 230: 산화물 230c: 산화막 231: 영역 231a: 영역 231b: 영역 234: 영역 240: 도전체 245: 도전체 246: 도전체 246_1: 도전체 246_2: 도전체 248: 도전체 250: 절연체 253: 도전체 260: 도전체 260_1: 도전체 260_2: 도전체 260_3: 도전체 260_4: 도전체 260a: 도전막 260b: 도전체 280: 절연체 282: 절연체 283: 절연체 286: 절연체 288: 절연체 300: 트랜지스터 311: 기판 313: 반도체 영역 314a: 저저항 영역 314b: 저저항 영역 315: 절연체 316: 도전체 320: 절연체 322: 절연체 324: 절연체 326: 절연체 328: 도전체 330: 도전체 350: 절연체 352: 절연체 354: 절연체 356: 도전체 360: 절연체 362: 절연체 366: 도전체 372: 절연체 374: 절연체 376: 도전체 400: 트랜지스터 403: 도전체 450: 절연체 460: 도전체 600: 셀 601: 셀 830: 모니터 831: 표시부 832: 하우징 833: 스피커 834: 리모트 컨트롤러 860: 내비게이션 장치 861: 표시부 862: 조작 버튼 863: 외부 입력 단자 1003: 배선 1004a: 배선 1004b: 배선 1005a: 배선 1005b: 배선 1006a: 배선 1006b: 배선 1007: 배선 1008: 배선 1009: 배선 1010: 배선 1400: DOSRAM 1405: 컨트롤러 1410: 행 회로 1411: 디코더 1412: 워드선 드라이버 회로 1413: 열 실렉터 1414: 센스 앰프 드라이버 회로 1415: 열 회로 1416: 글로벌 센스 앰프 어레이 1417: 입출력 회로 1420: MC-SA 어레이 1422: 메모리 셀 어레이 1423: 센스 앰프 어레이 1425: 로컬 메모리 셀 어레이 1426: 로컬 센스 앰프 어레이 1444: 스위치 어레이 1445: 메모리 셀 1445a: 메모리 셀 1445b: 메모리 셀 1446: 센스 앰프 1447: 글로벌

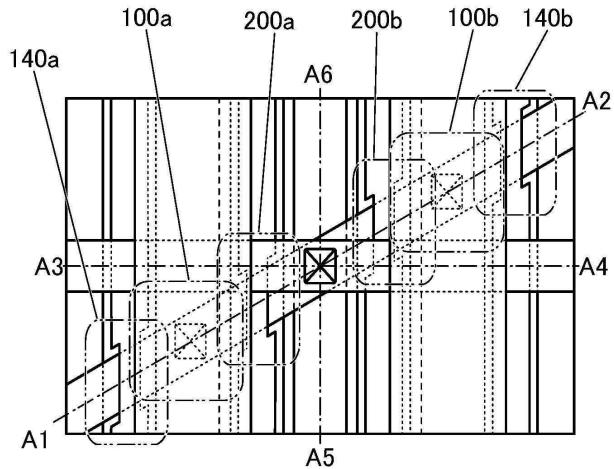
센스 앱프 2200: 커뮤니케이션 로봇 2201: 연산 장치 2202: 접촉 센서 2203: 마이크로폰 2204: 카메라 2205: 스피커 2206: 디스플레이 2207: 배터리 2210: 로봇 강아지 2211: 연산 장치 2212: 프런트 카메라 2213: 사이드 카메라 2214: 접촉 센서 2215: 마이크로폰 2216: 스피커 2217: 다리 2218: 배터리 2220: 로봇 자동차 2221: 연산 장치 2222: 프런트 카메라 2223: 사이드 카메라 2224: 스피커 2225: 디스플레이 2226: 차바퀴 2227: 암(arm) 2228: 배터리 2229: 장애물 2230: 화살표 2910: 정보 단말기 2911: 하우징 2912: 표시부 2913: 카메라 2914: 스피커부 2915: 조작 스위치 2916: 외부 접속부 2917: 마이크로폰 2920: 노트북형 퍼스널 컴퓨터 2921: 하우징 2922: 표시부 2923: 키보드 2924: 포인팅 디바이스 2940: 비디오 카메라 2941: 하우징 2942: 하우징 2943: 표시부 2944: 조작 스위치 2945: 렌즈 2946: 접속부 2980: 자동차 2981: 차체 2982: 차바퀴 2983: 대시보드 2984: 라이트 3001: 배선 3002: 배선 3003: 배선 3004a: 배선 3004b: 배선 3005a: 배선 3005b: 배선 3006a: 배선 3006b: 배선 3007: 배선 4010: 연산부 4011: 아날로그 연산 회로 4012: DOSRAM 4013: NOSRAM 4014: FPGA 4020: 제어부 4021: CPU(central processing unit) 4022: GPU(graphics processing unit) 4023: PLL(phase locked loop) 4025: PROM(programmable read only memory) 4026: 메모리 컨트롤러 4027: 전원 회로 4028: PMU(power management unit) 4030: 입출력부 4031: 외부 기억 제어 회로 4032: 음성 코덱 4033: 영상 코덱 4034: 범용 입출력 모듈 4035: 통신 모듈 4041: AI 시스템 4041_n: AI 시스템 4041_1: AI 시스템 4041A: AI 시스템 4041B: AI 시스템 4098: 버스 라인 4099: 네트워크 7000: AI 시스템 IC 7001: 리드 7003: 회로부 7031: Si 트랜지스터층 7032: 배선층 7033: OS 트랜지스터층

본 출원은 2017년 9월 15일에 일본 특허청에 출원된 일련 번호 2017-177386의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

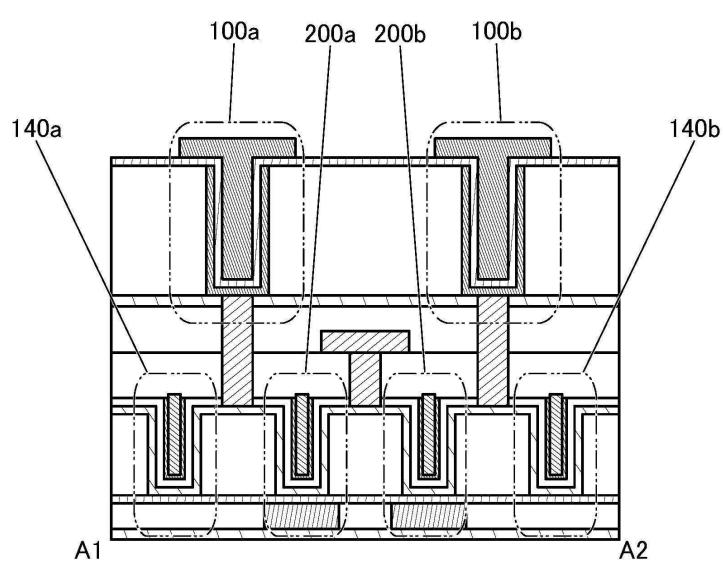
도면

도면1

(A)

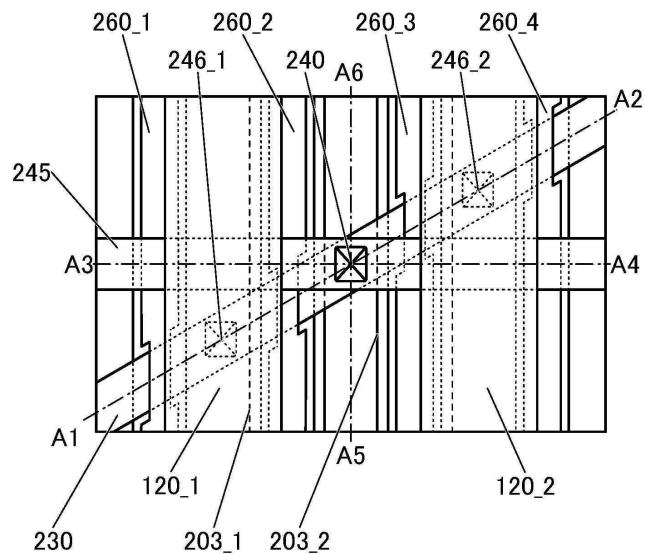


(B)

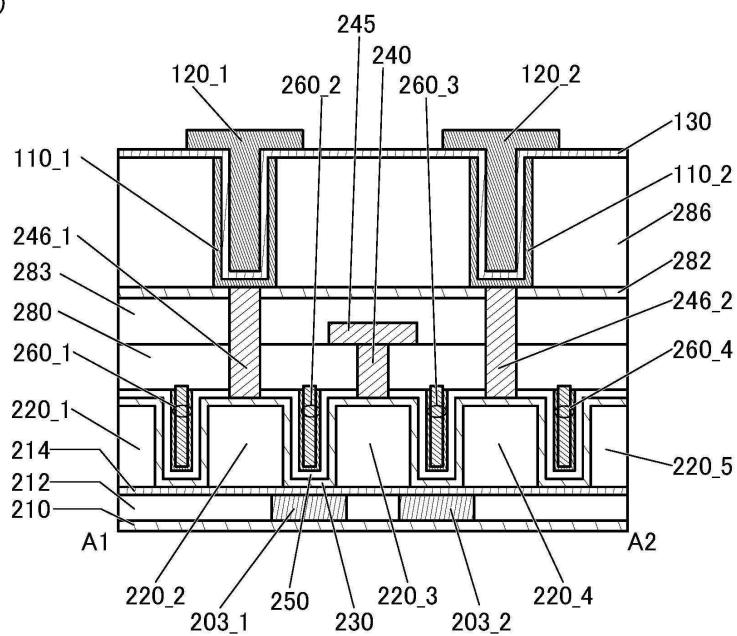


도면2

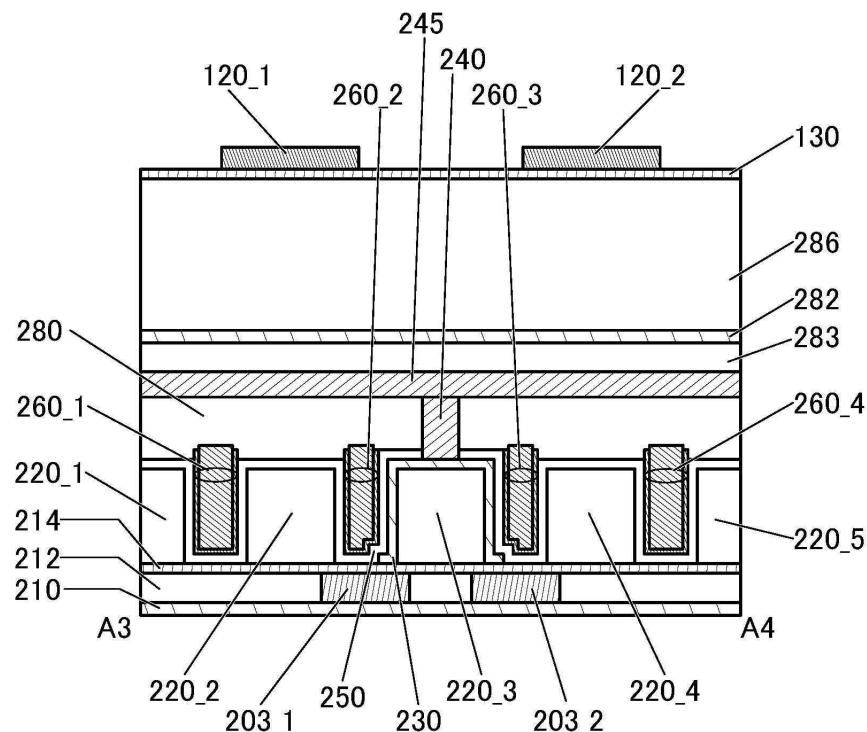
(A)



(B)

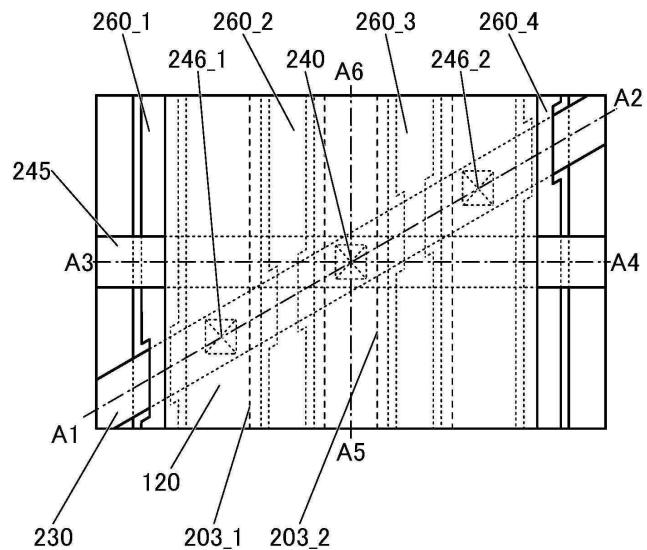


도면3

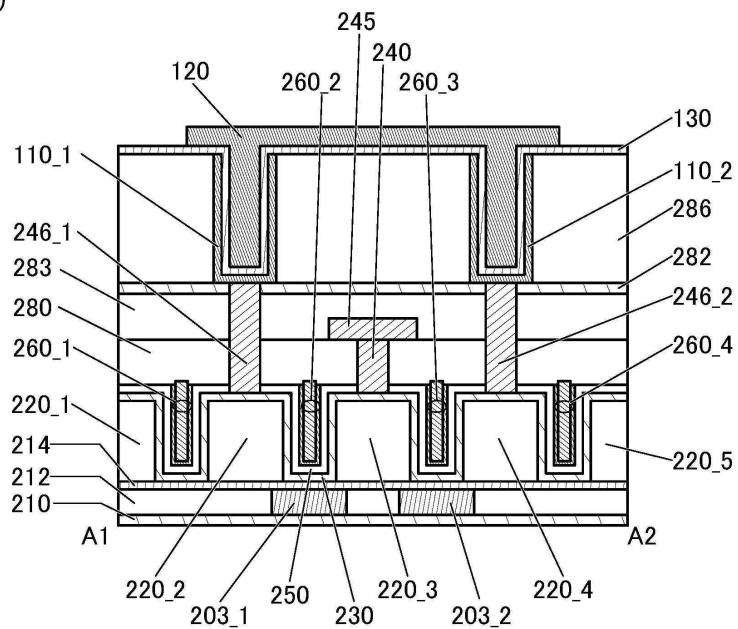


도면4

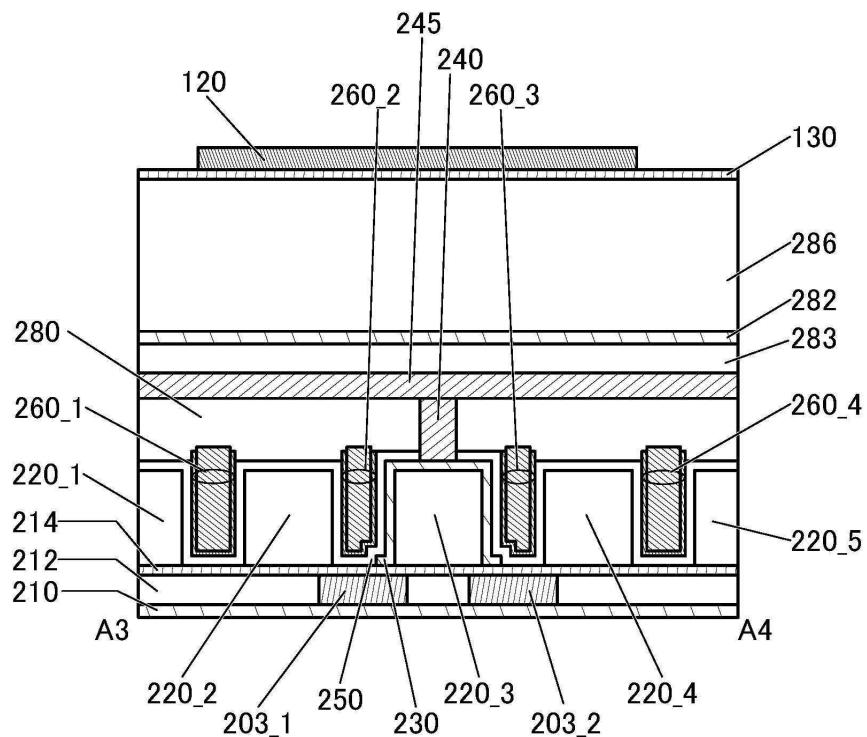
(A)



(B)

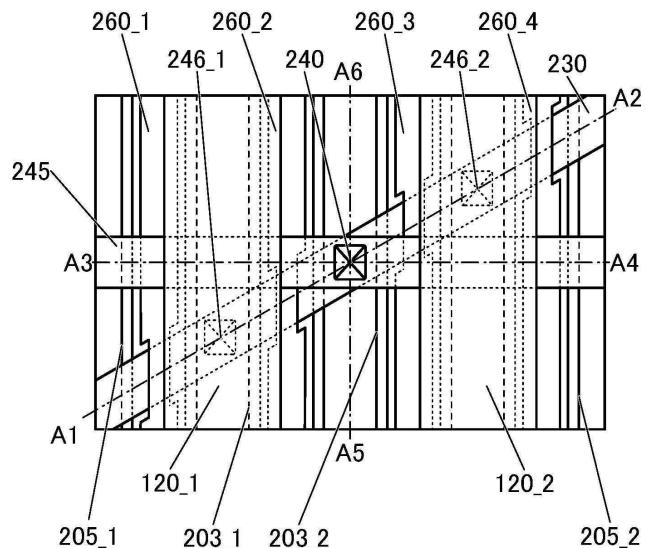


도면5

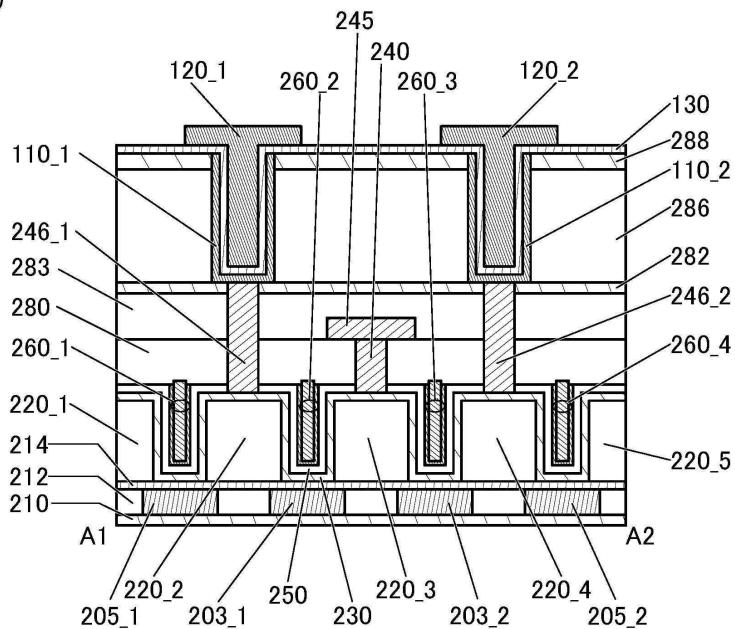


도면6

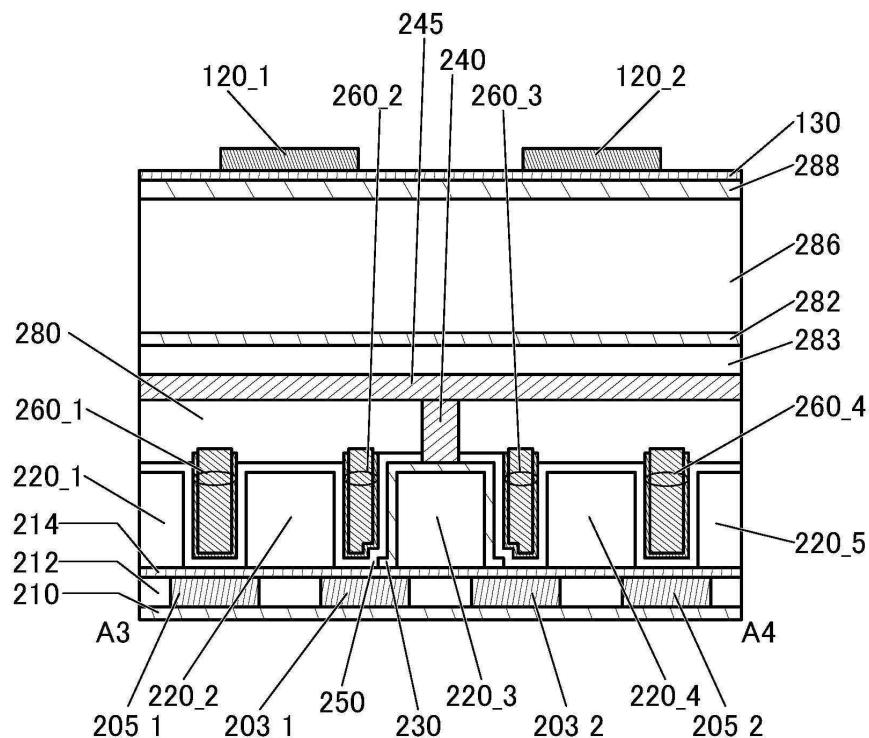
(A)



(B)

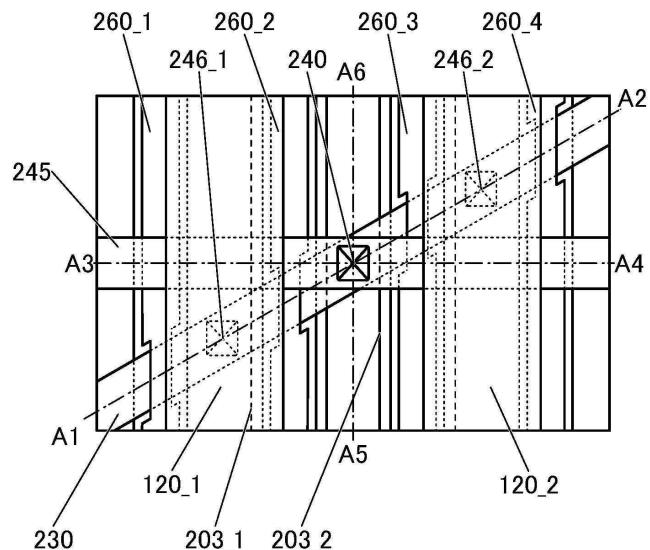


도면7

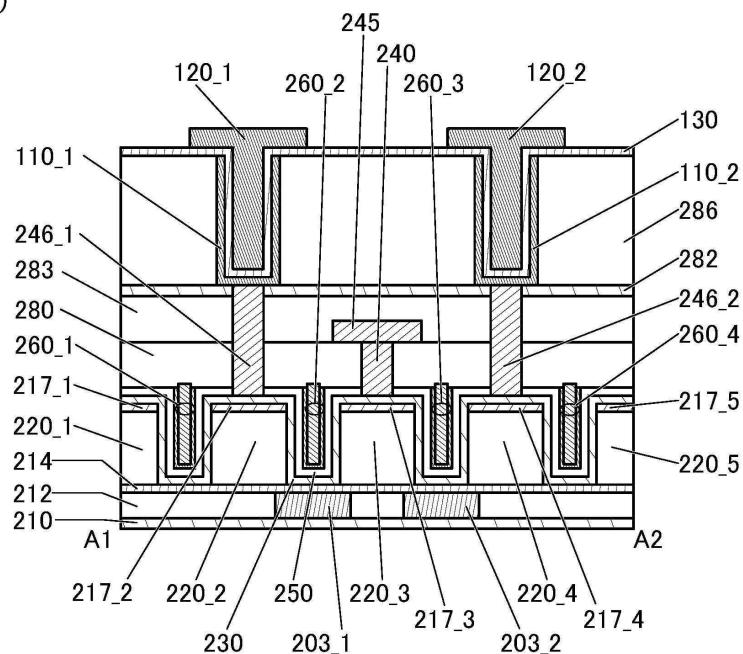


도면8

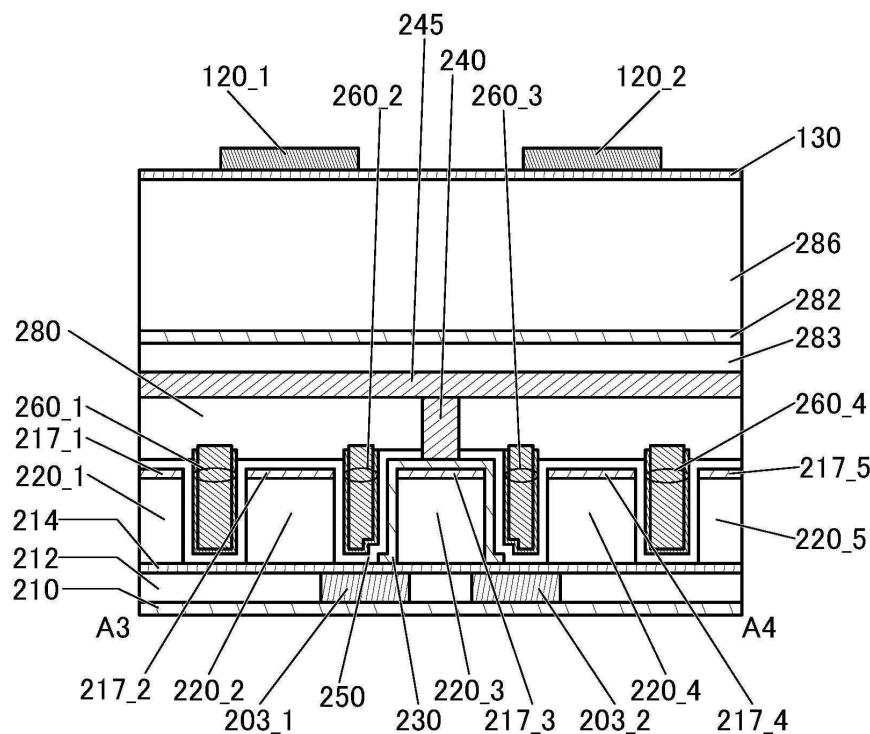
(A)



(B)

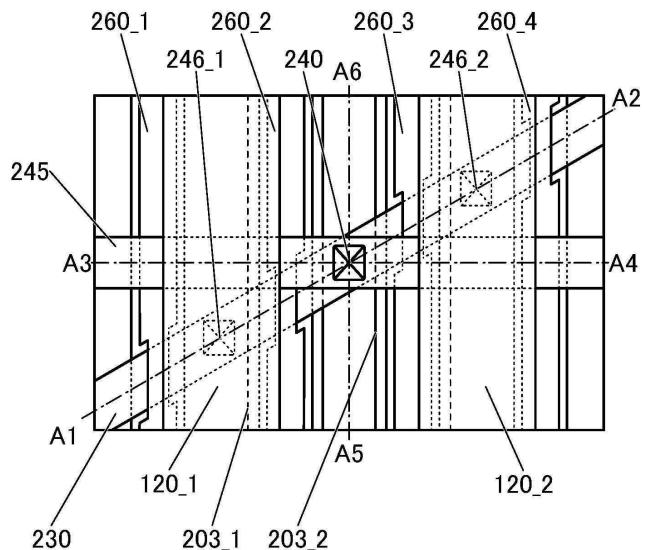


도면9

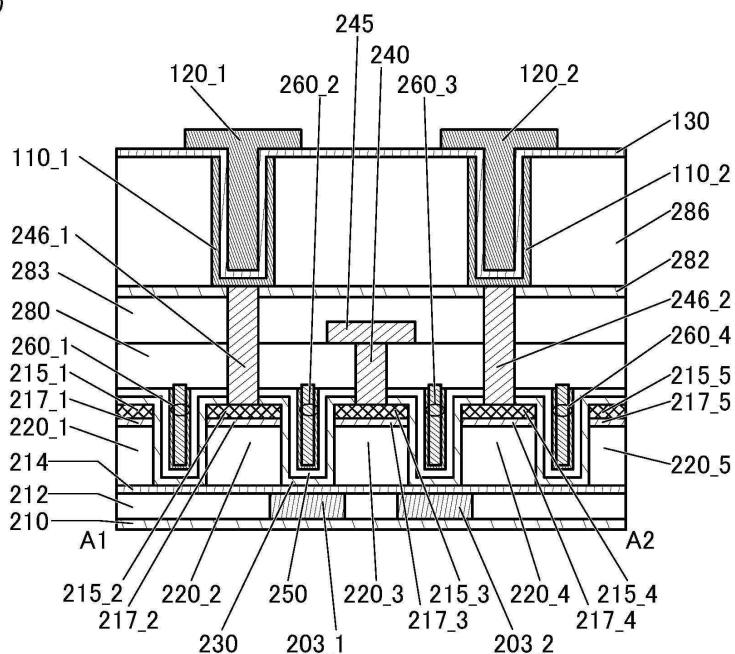


도면10

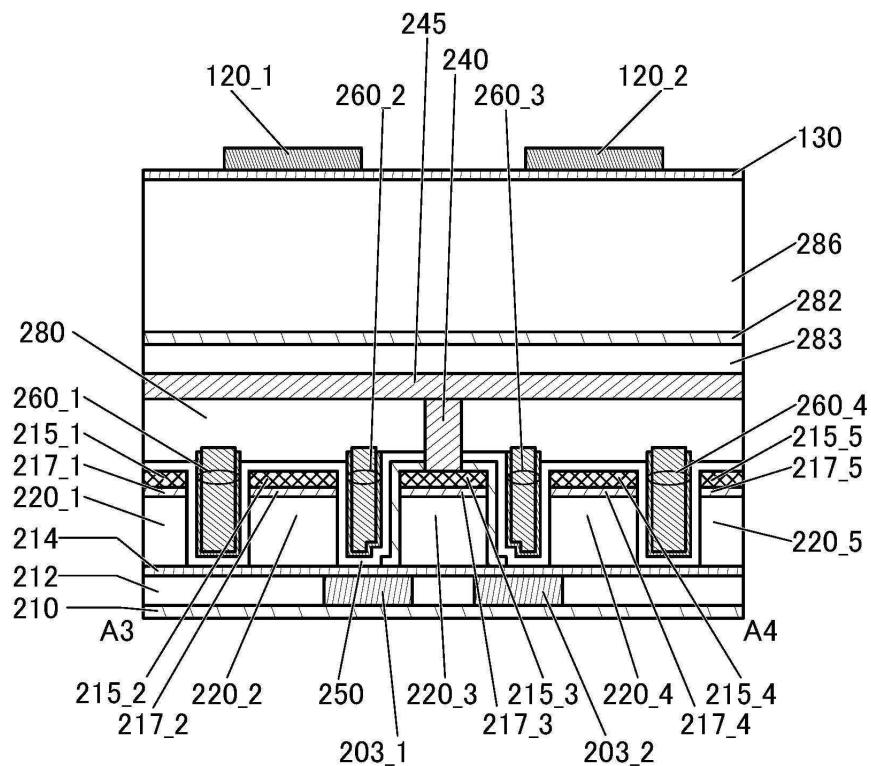
(A)



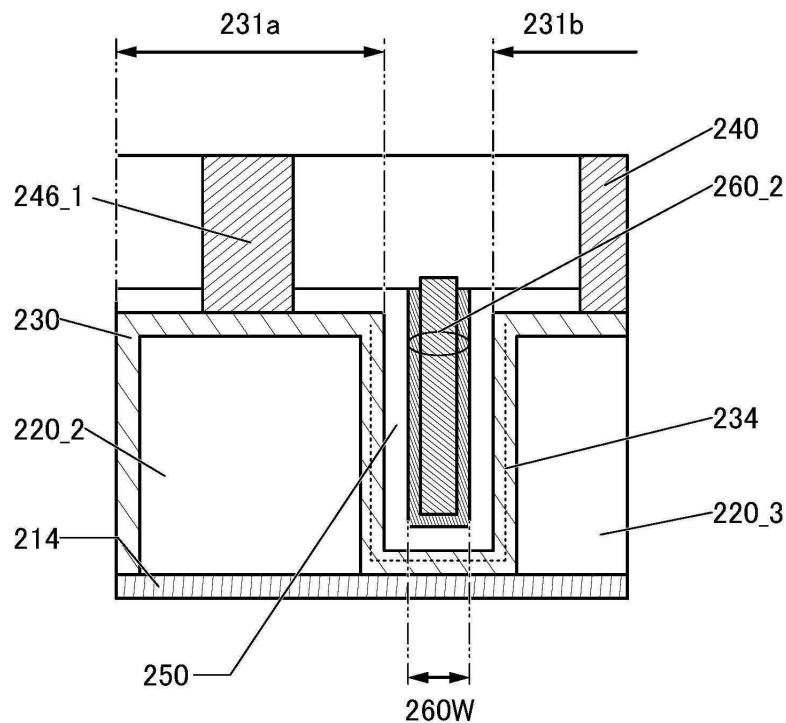
(B)



도면11

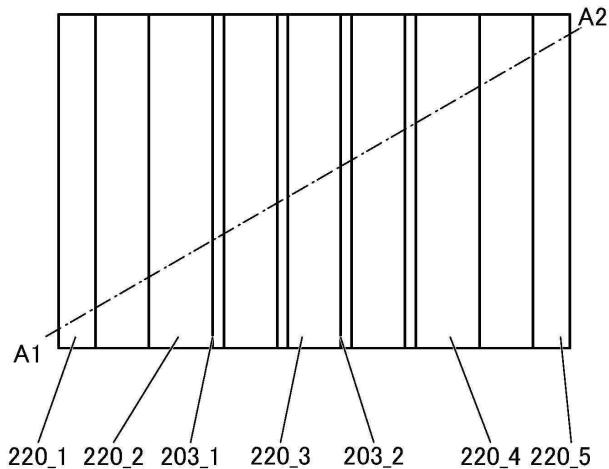


도면12

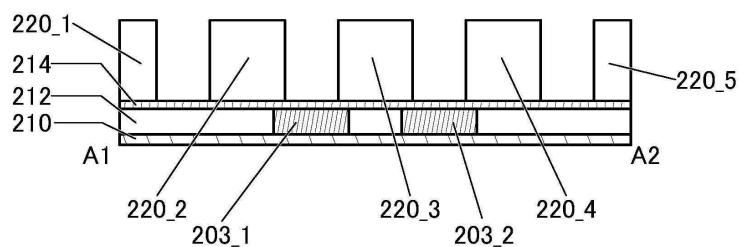


도면13

(A)

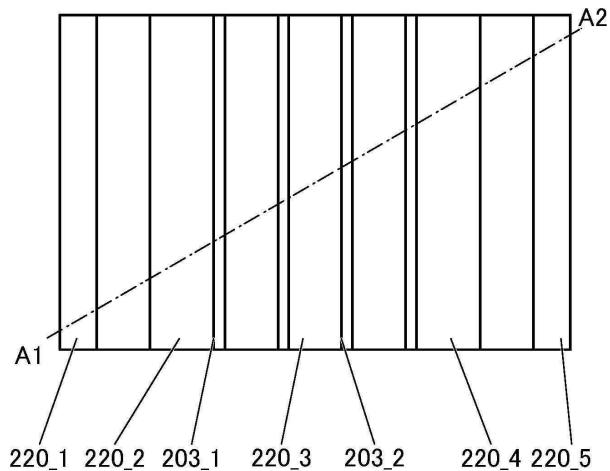


(B)

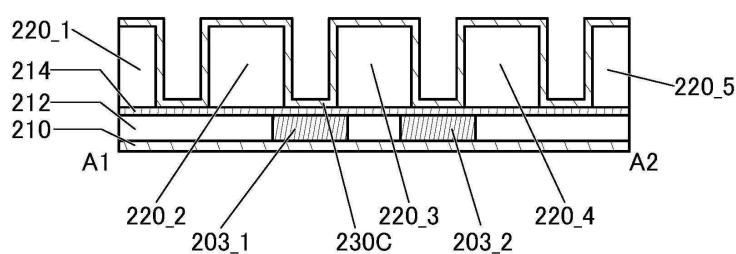


도면14

(A)

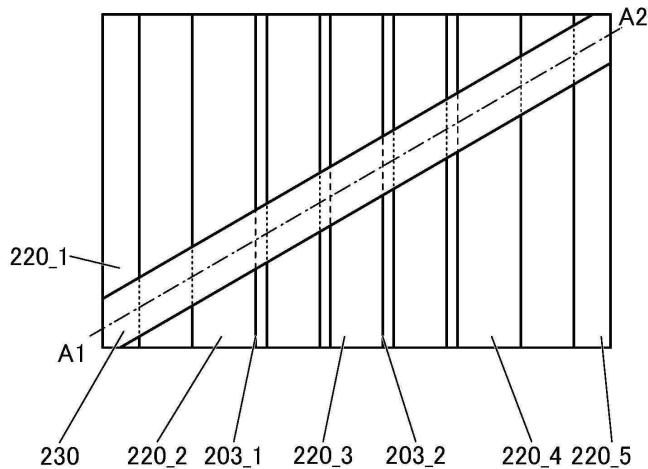


(B)

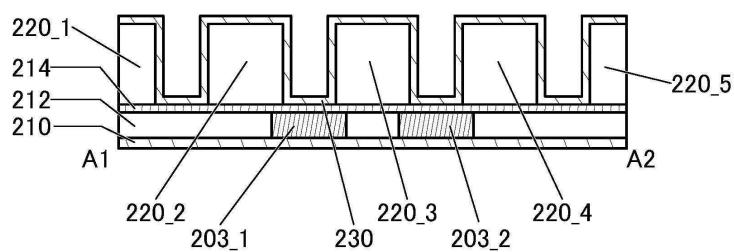


도면15

(A)

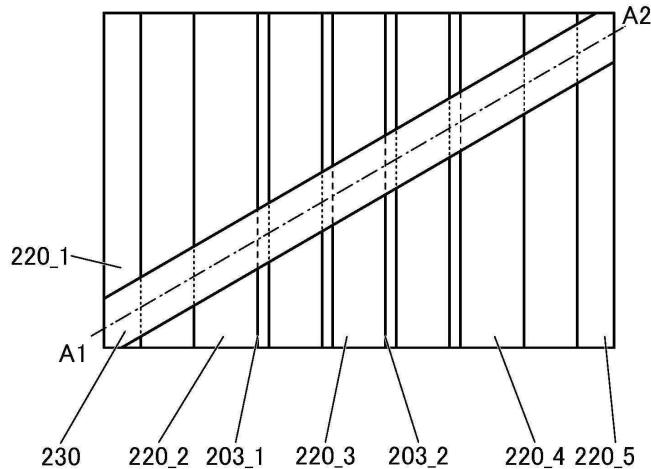


(B)

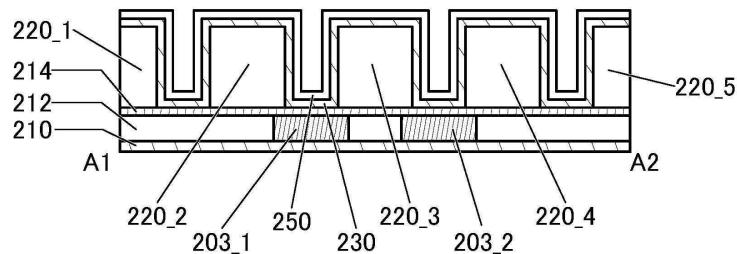


도면16

(A)

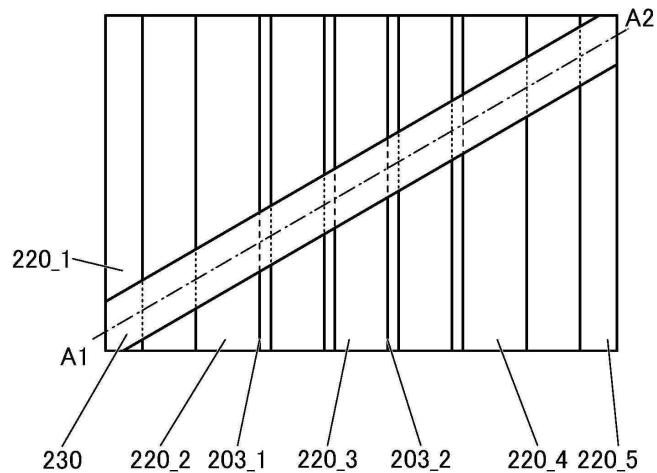


(B)

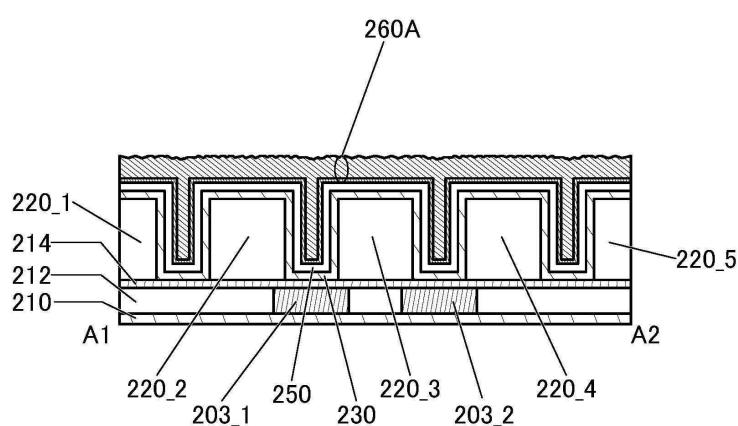


도면17

(A)

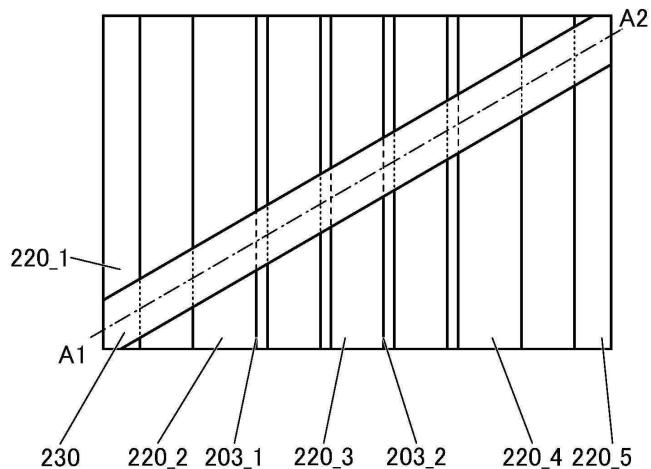


(B)

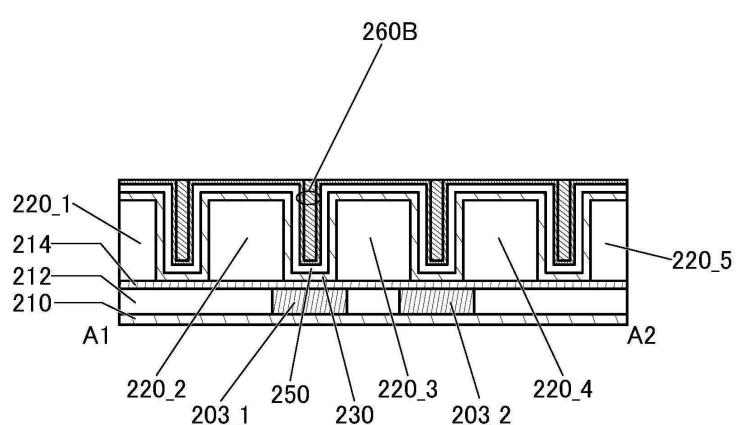


도면18

(A)

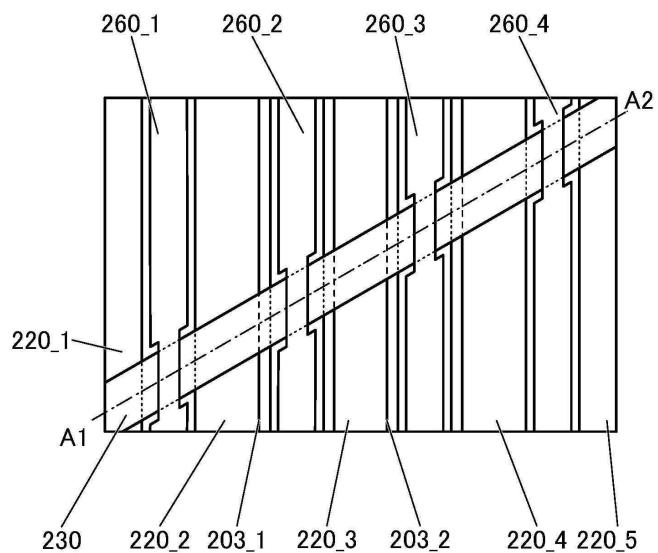


(B)

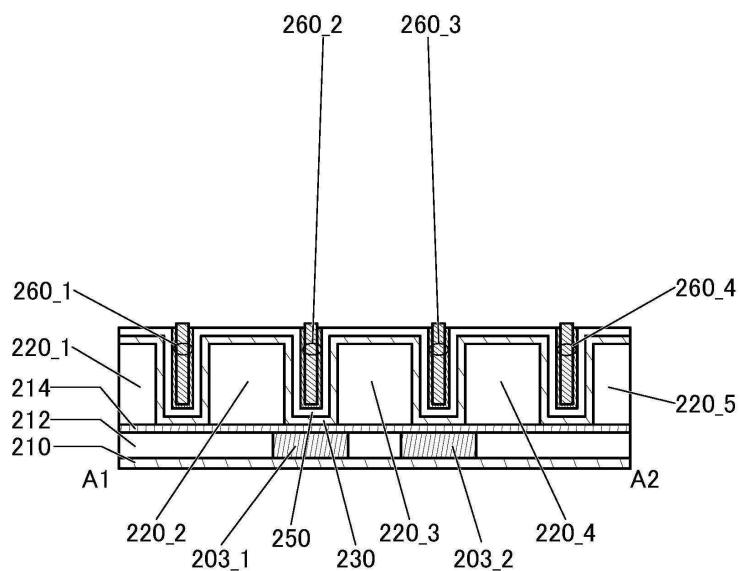


도면19

(A)

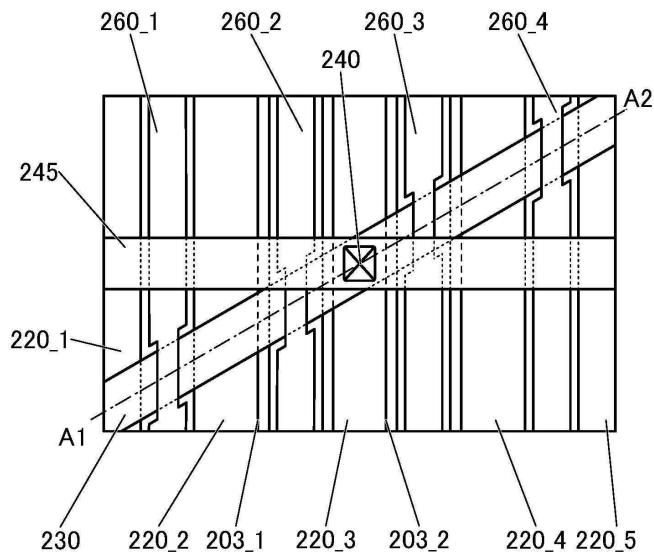


(B)

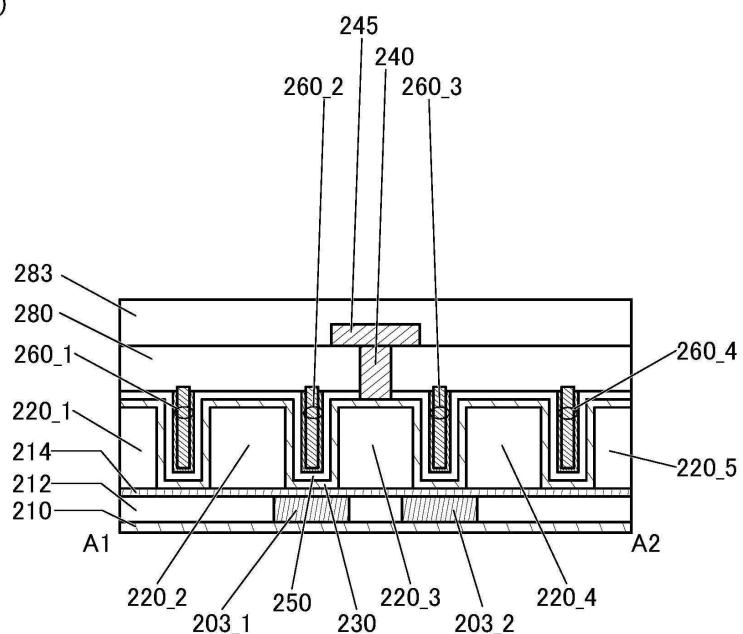


도면20

(A)

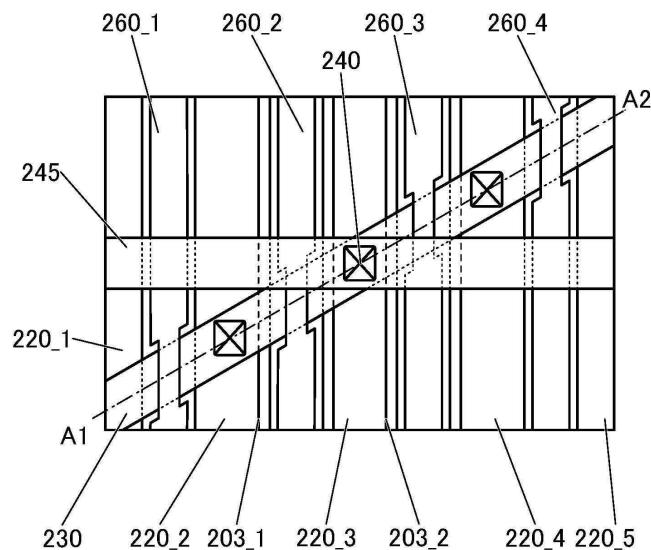


(B)

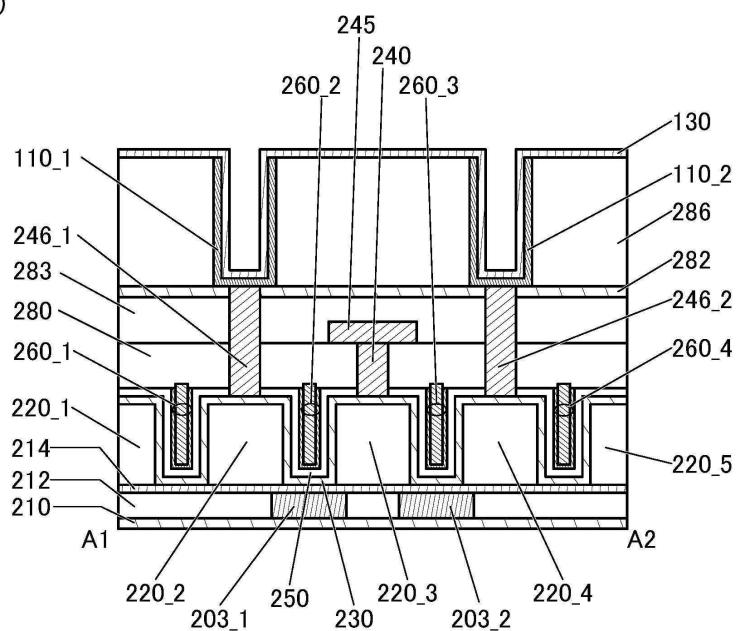


도면21

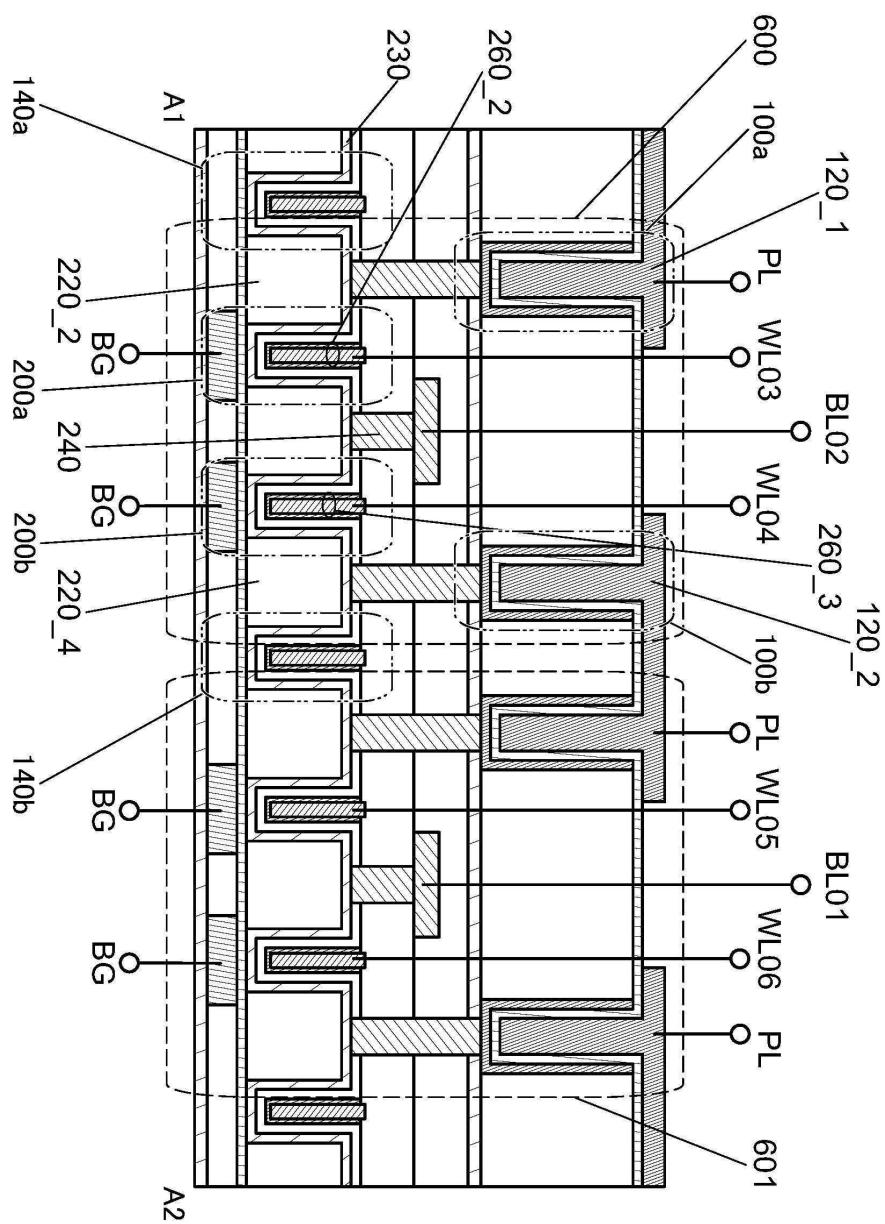
(A)



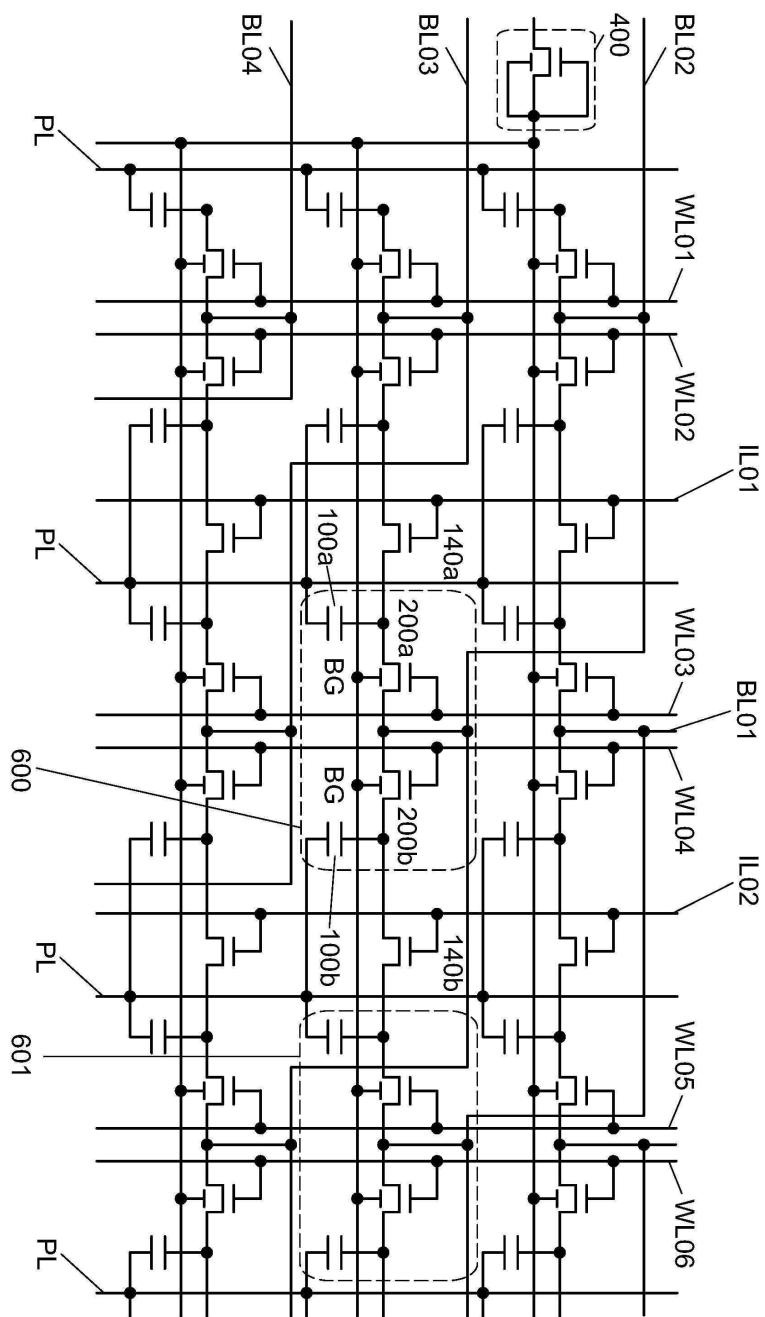
(B)



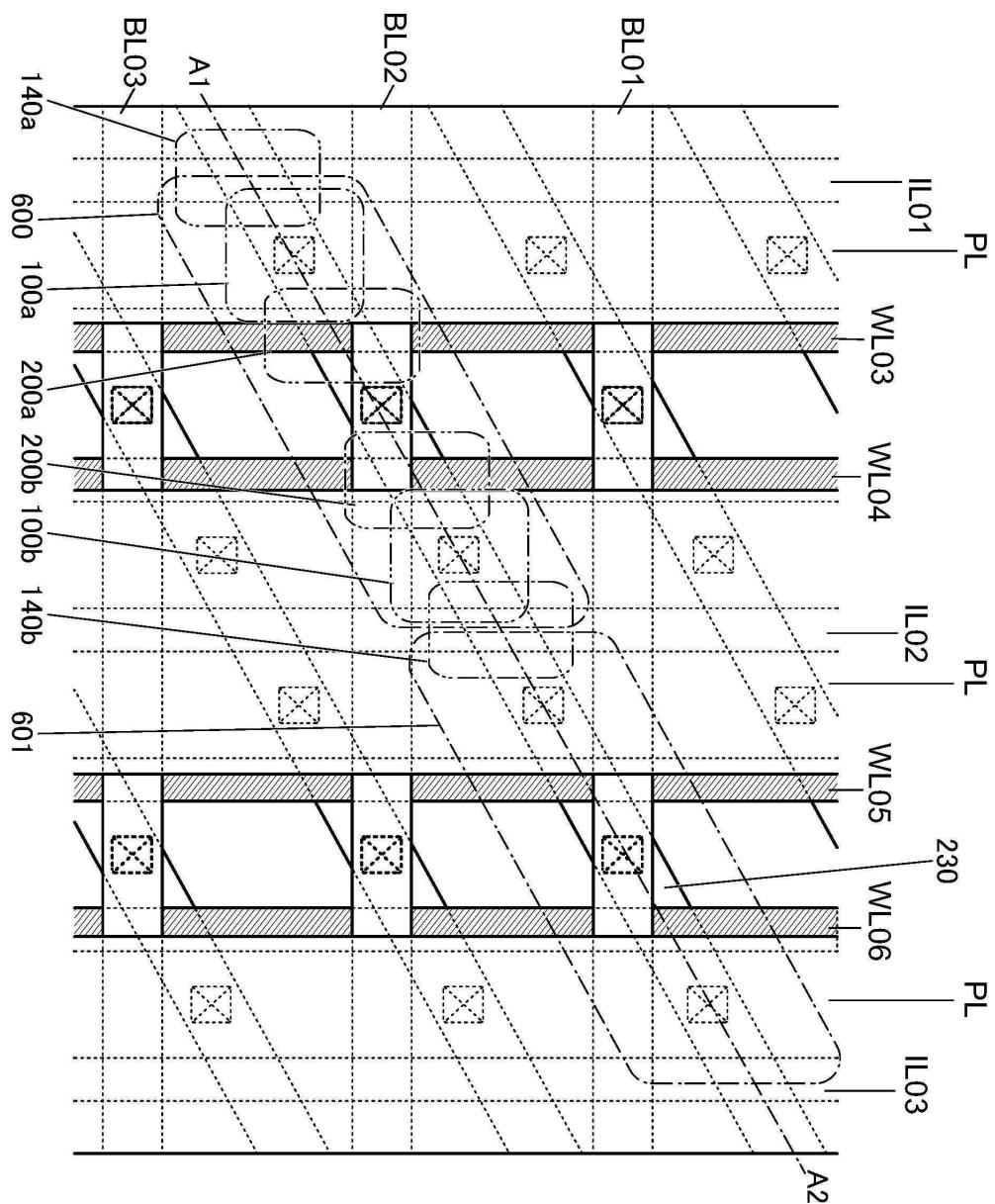
도면22



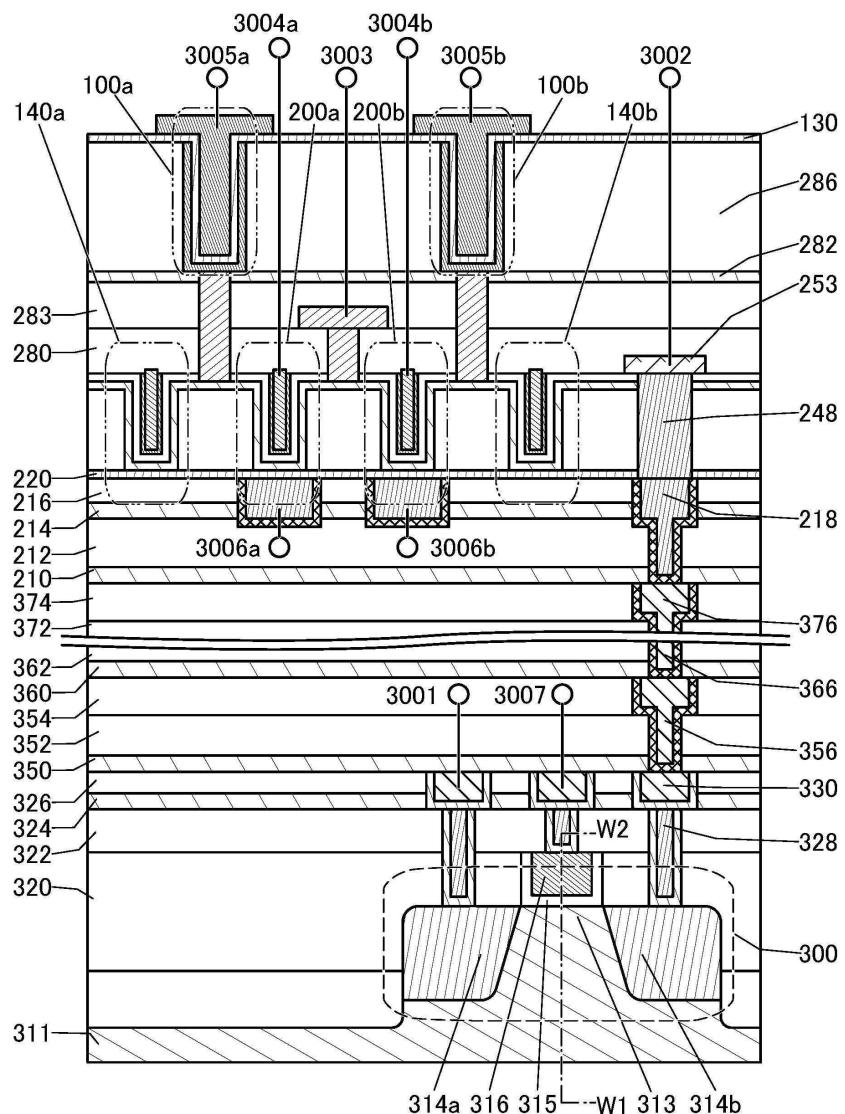
도면23



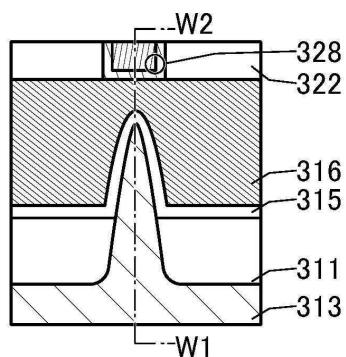
도면24



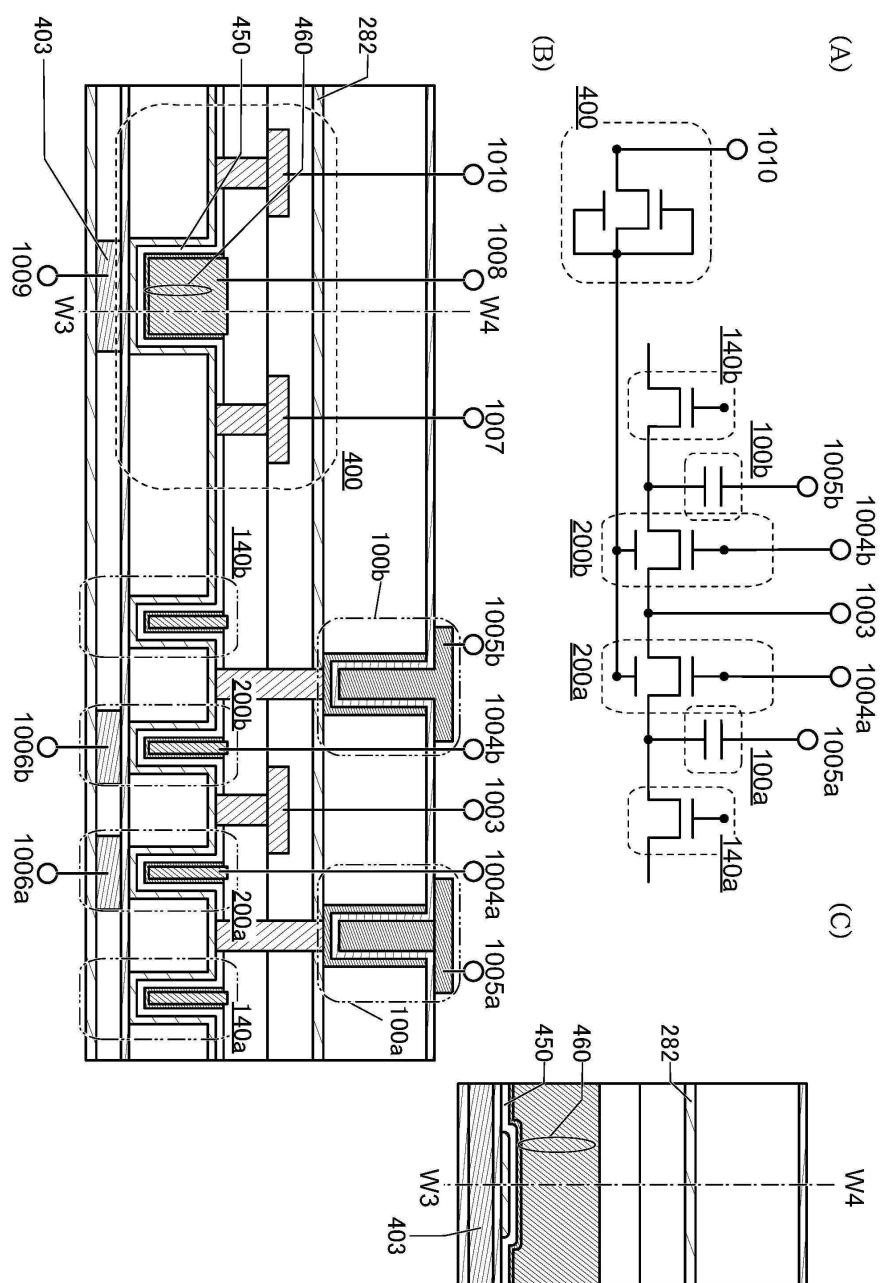
도면25



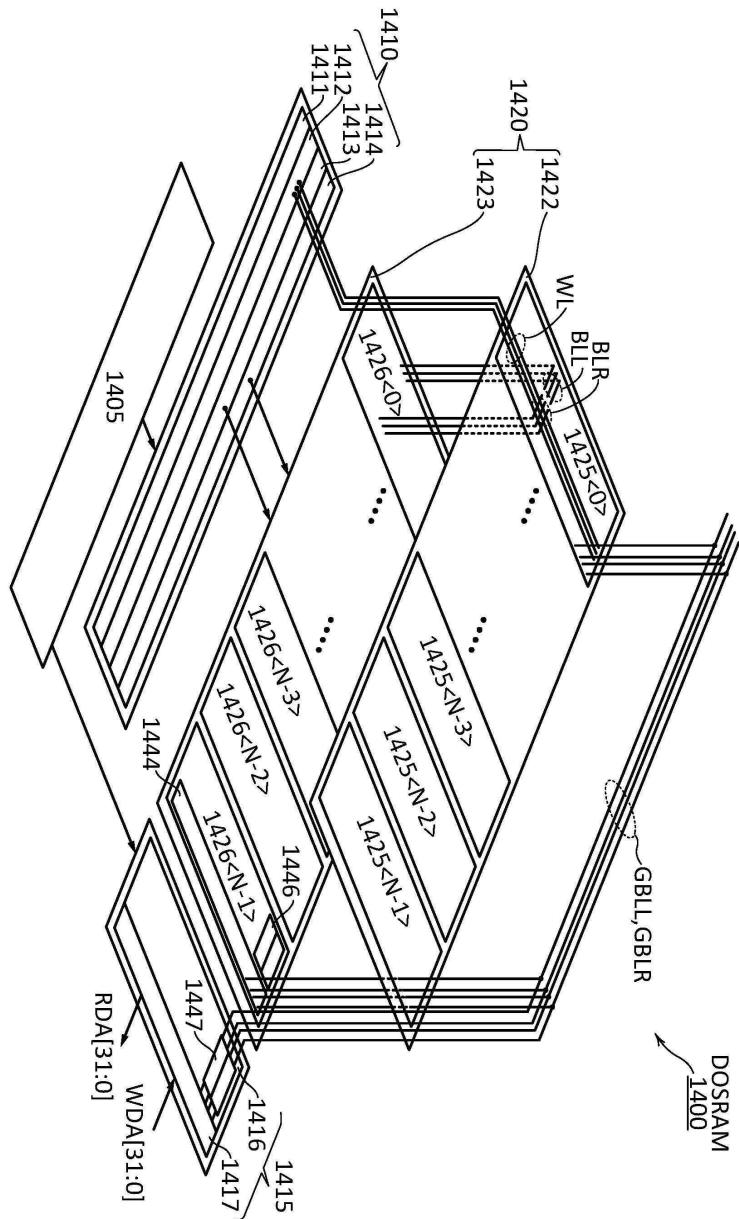
도면26



도면27

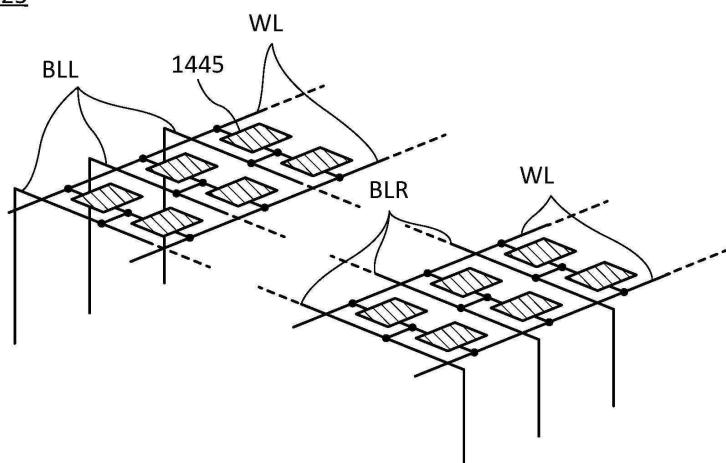


도면28

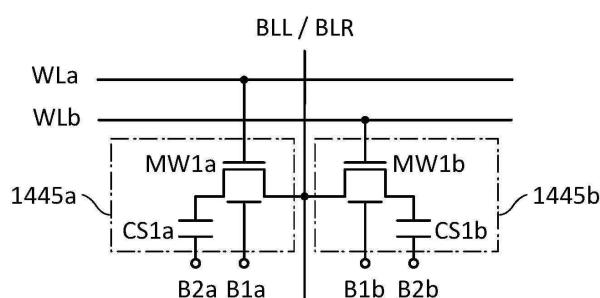


도면29

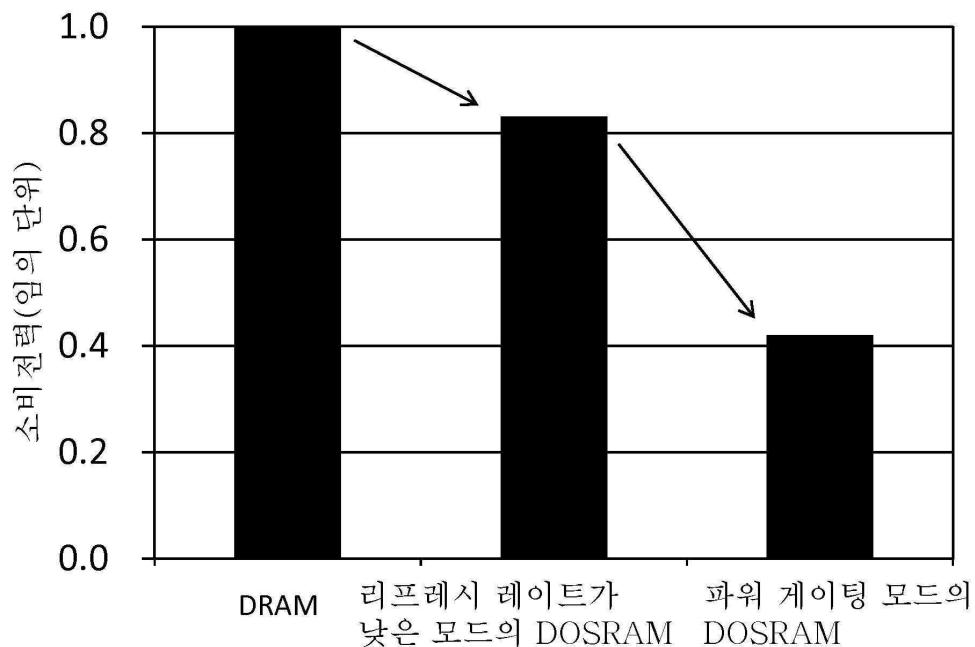
(A)

1425

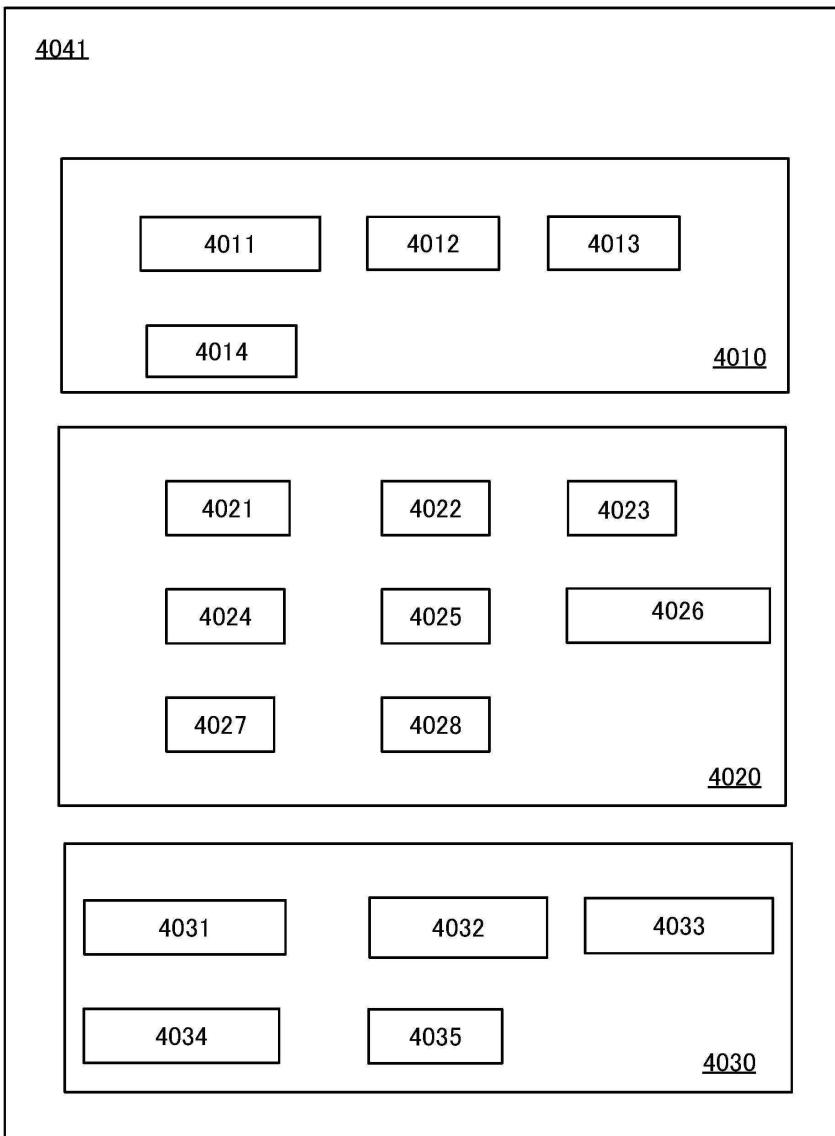
(B)



도면30

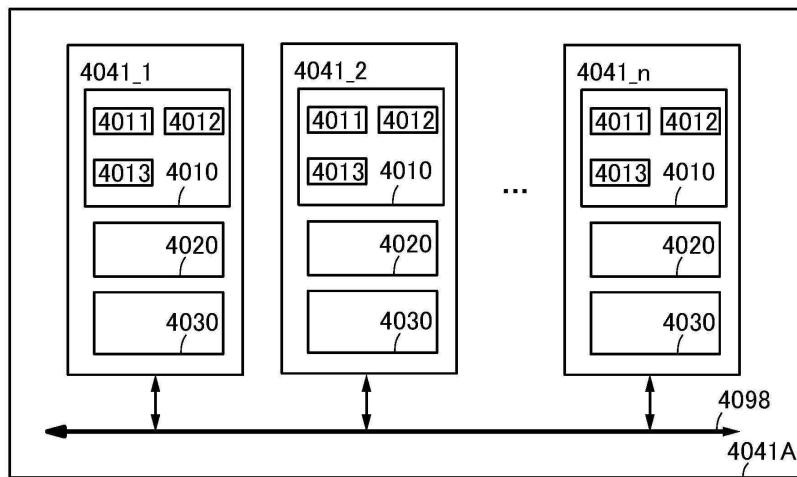


도면31

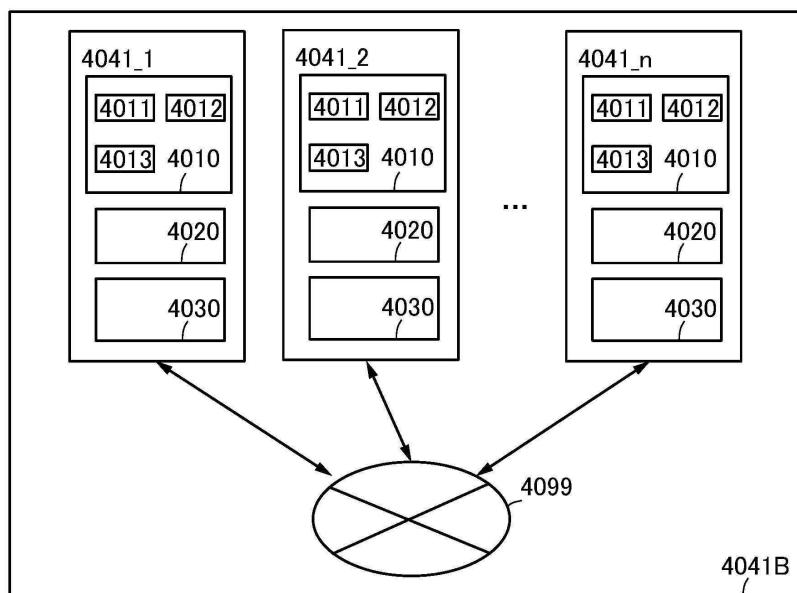


도면32

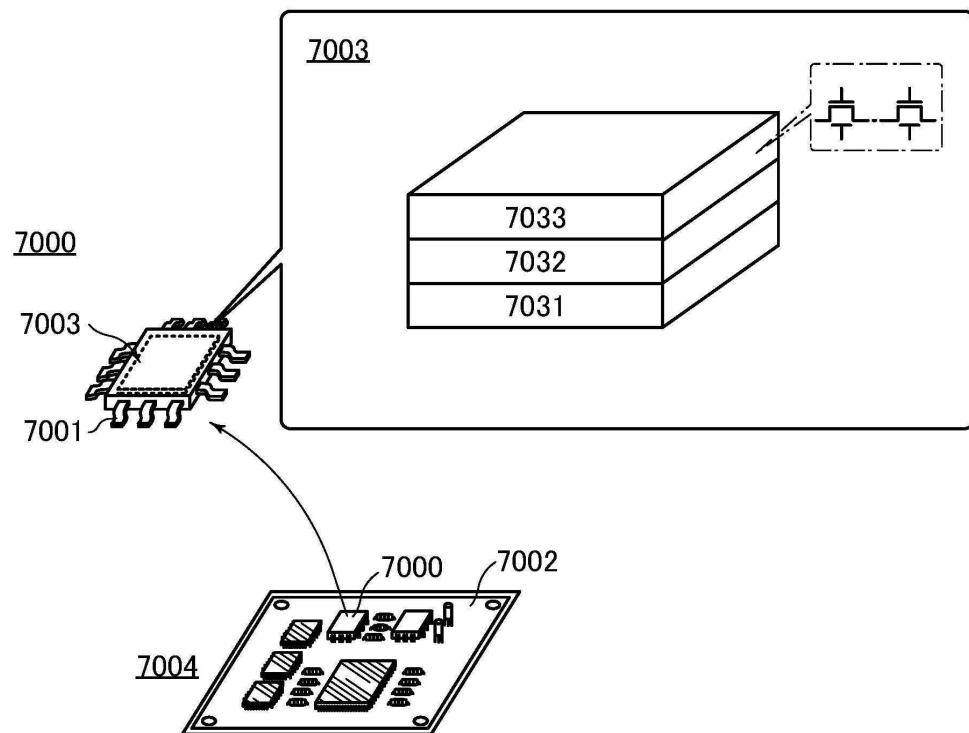
(A)



(B)

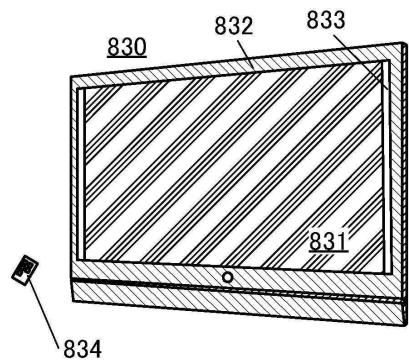


도면33

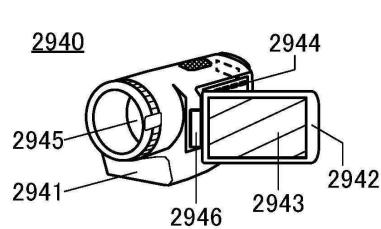


도면34

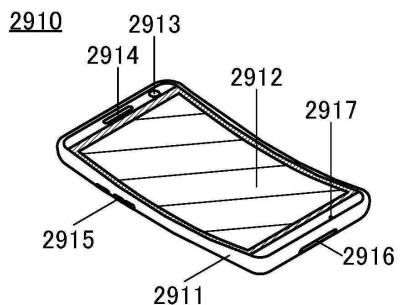
(A)



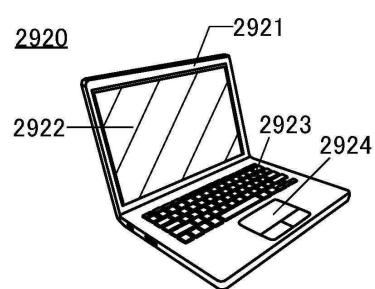
(B)



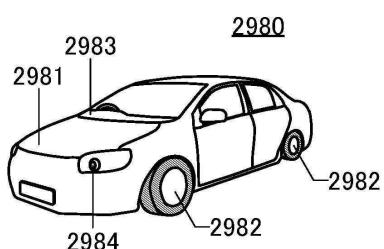
(C)



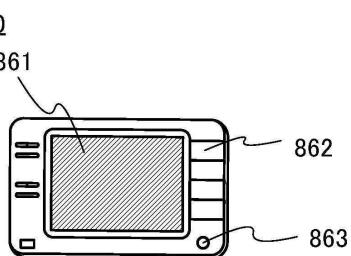
(D)



(E)

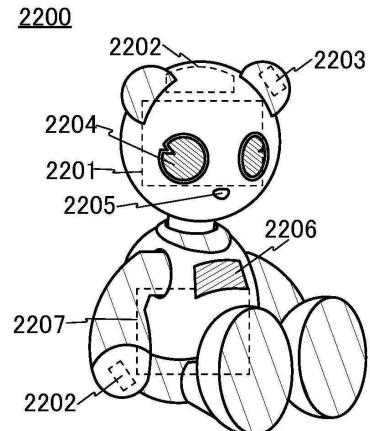


(F)

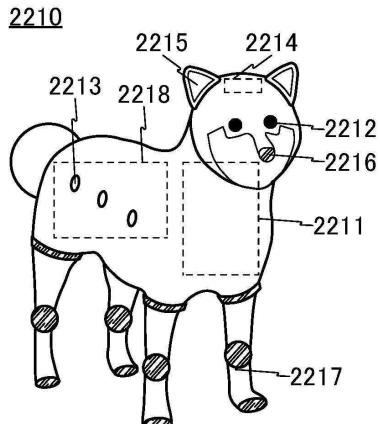


도면35

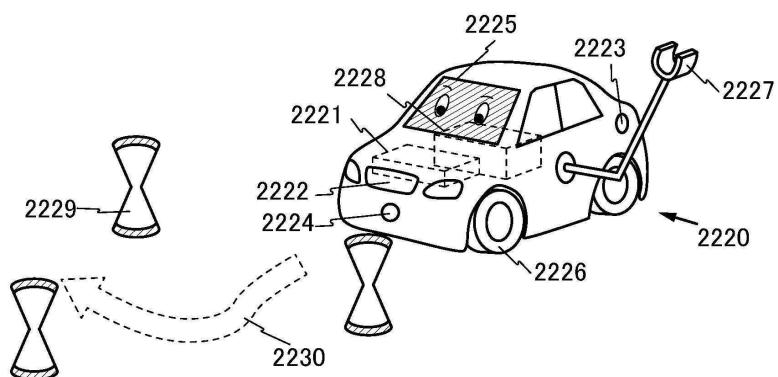
(A)



(B)



(C)



(D)

