

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4662012号
(P4662012)

(45) 発行日 平成23年3月30日 (2011.3.30)

(24) 登録日 平成23年1月14日 (2011.1.14)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006.01)

G 0 9 G 3 / 3 0 J

G 0 9 G 3 / 2 0 (2006.01)

G 0 9 G 3 / 3 0 K

H 0 4 N 5 / 7 0 (2006.01)

G 0 9 G 3 / 2 0 6 2 1 L

H 0 1 L 5 1 / 5 0 (2006.01)

G 0 9 G 3 / 2 0 6 2 3 C

G 0 9 G 3 / 2 0 6 2 3 F

請求項の数 7 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2003-205891 (P2003-205891)
 (22) 出願日 平成15年8月5日 (2003.8.5)
 (65) 公開番号 特開2005-55487 (P2005-55487A)
 (43) 公開日 平成17年3月3日 (2005.3.3)
 審査請求日 平成18年2月23日 (2006.2.23)

(73) 特許権者 000221926
 東北パイオニア株式会社
 山形県天童市大字久野本字日光1105番地
 (74) 代理人 100101878
 弁理士 木下 茂
 (72) 発明者 関 修一
 山形県米沢市八幡原四丁目3146番地7
 東北パイオニア株式会社 米沢工場内

審査官 奈良田 新一

(56) 参考文献 特開2002-304147 (JP, A)

最終頁に続く

(54) 【発明の名称】 ディスプレイおよびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

点灯駆動トランジスタを介して発光制御される発光素子と、前記点灯駆動トランジスタのゲート電位を制御するデータ書き込みトランジスタと、前記データ書き込みトランジスタにより制御される前記ゲート電位を保持する電荷保持用のキャパシタとを少なくとも備えてなる各画素を、複数のデータ線および複数の走査線の交差位置にそれぞれ配置して構成されたディスプレイであって、

映像信号の単位フレーム期間を等間隔の複数のサブフレーム期間に分割し、前記サブフレーム期間ごとに前記発光素子を点灯制御することで階調制御を実現する階調制御手段と、前記各走査線ごとに設定されたγ補正およびデータ線方向に生ずる輝度ばらつきの補正を実現するための補正データに基づいて、前記各データ線を介してデータ書き込みトランジスタに供給される書き込みデータに対応する電位をレベルシフトさせるレベルシフト手段とを具備したことを特徴とするディスプレイ。

【請求項2】

前記キャパシタに蓄積された電荷を、前記サブフレーム期間のタイミングで消去させることで、前記階調制御を実現する消去トランジスタを備えたことを特徴とする請求項1に記載のディスプレイ。

【請求項3】

前記レベルシフト手段には、書き込みデータに対応する電位を前記補正データに基づいてレベルシフトさせるDACが具備されていることを特徴とする請求項1または請求項2

に記載のディスプレイ。

【請求項 4】

前記走査線ごとに設定された補正データが不揮発性のメモリに格納され、前記ディスプレイの点灯駆動動作に際して、前記補正データを前記不揮発性のメモリより順次読み出すように構成したことを特徴とする請求項 1 ないし請求項 3 のいずれかに記載のディスプレイ。

【請求項 5】

前記発光素子は、有機化合物を発光層に用いた有機 EL 素子により構成したことを特徴とする請求項 1 ないし請求項 4 のいずれかに記載のディスプレイ。

【請求項 6】

点灯駆動トランジスタを介して発光制御される発光素子と、前記点灯駆動トランジスタのゲート電位を制御するデータ書き込みトランジスタと、前記データ書き込みトランジスタにより制御される前記ゲート電位を保持する電荷保持用のキャパシタとを少なくとも備えてなる各画素を、複数のデータ線および複数の走査線の交差位置にそれぞれ配置して構成されたディスプレイの駆動方法であって、

映像信号の単位フレーム期間を等間隔の複数のサブフレーム期間に分割し、前記サブフレーム期間ごとに前記発光素子を点灯制御することで階調制御を実行すると共に、前記各走査線ごとに設定された γ 補正およびデータ線方向に生ずる輝度ばらつきの補正を実現するための補正データに基づいて、前記各データ線を介してデータ書き込みトランジスタに供給される書き込みデータの電位をレベルシフトさせることを特徴とするディスプレイの駆動方法。

【請求項 7】

前記補正データが不揮発性のメモリに格納され、前記ディスプレイの点灯駆動動作に際して、前記不揮発性のメモリより補正データを順次読み出す動作を実行することを特徴とする請求項 6 に記載のディスプレイの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、画素を構成する発光素子を、例えば T F T (Thin Film Transistor) によってアクティブ駆動させるディスプレイ（以下発光表示パネルの駆動装置、もしくは単に駆動装置とも言う。）に関し、特に前記発光素子の点灯期間をデジタル制御することで多階調表現を実現させると共に、データ線方向の面内ばらつきの補正および γ 補正を効果的になし得るディスプレイおよびその駆動方法に関する。

【0002】

【従来の技術】

発光素子をマトリクス状に配列して構成される表示パネルを用いたディスプレイの開発が広く進められている。このような表示パネルに用いられる発光素子として、例えば有機材料を発光層に用いた有機 EL (エレクトロルミネッセンス) 素子が注目されており、既に一部の製品において実用化されている。これは EL 素子の発光層に、良好な発光特性を期待することができる有機化合物を使用することによって、実用に耐えうる高効率化および長寿命化が進んだことも背景にある。

【0003】

かかる有機 EL 素子を用いた表示パネルとして、EL 素子を単にマトリクス状に配列したパッシブマトリクス型表示パネルと、マトリクス状に配列した EL 素子の各々に、例えば T F T からなる能動素子を加えたアクティブマトリクス型表示パネルが提案されている。後者のアクティブマトリクス型表示パネルは、前者のパッシブマトリクス型表示パネルに比べて、低消費電力化を実現することができ、また画素間のクロストークが少ない等の特質を備えており、特に大画面を構成する高精細度のディスプレイに適している。

【0004】

ところで、前記したアクティブマトリクス型表示パネルを点灯駆動する場合の階調表現の

10

20

30

40

50

一つに、例えば1フレームに対応する有効点灯期間を等間隔の複数のサブフレームに分割し、前記サブフレーム単位で発光素子を点灯制御するようにしたデジタル時間階調制御が提案されている。前記したようにサブフレーム単位で発光素子を点灯制御する階調制御は、いわゆる重み無しサブフレーム方式と呼ばれており、階調と発光輝度の関係がほぼリニア ($\gamma = 1$) に制御される。しかしながら、理想的な階調と輝度特性は、 γ (視感度) = 1.8 ~ 2.2 程度の γ 補正カーブに基づくものであるとされている。

【0005】

そこで、例えば $\gamma = 2.0$ 程度の γ 補正カーブに基づく階調制御を実現しようとする場合においては、高階調側における階調間の輝度差は比較的大きいのに対して、低階調側における階調間の輝度差は極めて小さい。したがって、低階調側における階調間の輝度差に合わせて輝度差の制御を精密に実行するには、高分解能が必要となり、結果として駆動回路の全体の制御を司るクロック信号を高速化させる必要が生ずる。このようにクロック信号を高速化させて回路の動作速度を上昇させるように構成した場合においては、回路全体の消費電力が増大するという問題を招来させる。

【0006】

そこで、前記したようにクロック信号を高速化させずに、階調制御を実行させる手段として、前記したデジタル時間階調制御に加え、アナログ階調制御を併用した階調制御が、次に示す特許文献1に開示されている。

【0007】

【特許文献1】

特開2000-56727号公報(段落0023~0033、図5~図7)

【0008】

【発明が解決しようとする課題】

ところで、前記特許文献1に示された階調制御方式によると、デジタル的な時間階調制御に加え、発光素子を点灯駆動する電源電圧をアナログ的に変化させることで、素子の発光輝度を制御するようにしている。これによれば、前記したようにクロック信号をある程度以上に高速化させる必要はないものの、前記特許文献1における図5に示されたように、電源ラインと各パネル信号ライン(データライン)との間のそれぞれにDAC(Digital to Analog Converter)を挿入する必要が生じ、コストアップとなることは免れない。

【0009】

この発明は、前記した問題点に着目してなされたものであり、前記発光素子の点灯期間をデジタル制御することで多階調表現を実現させると共に、クロック信号を高速化させることなくデータ線方向の面内ばらつきおよび γ 補正をローコストにおいて実現し得る発光表示パネルの駆動装置および駆動方法を提供することを課題とするものである。

【0010】

【課題を解決するための手段】

前記した課題を解決するためになされたこの発明にかかるディスプレイは、請求項1に記載のとおり、点灯駆動トランジスタを介して発光制御される発光素子と、前記点灯駆動トランジスタのゲート電位を制御するデータ書き込みトランジスタと、前記データ書き込みトランジスタにより制御される前記ゲート電位を保持する電荷保持用のキャパシタとを少なくとも備えてなる各画素を、複数のデータ線および複数の走査線の交差位置にそれぞれ配置して構成されたディスプレイであって、映像信号の単位フレーム期間を等間隔の複数のサブフレーム期間に分割し、前記サブフレーム期間ごとに前記発光素子を点灯制御することで階調制御を実現する階調制御手段と、前記各走査線ごとに設定された γ 補正およびデータ線方向に生ずる輝度ばらつきの補正を実現するための補正データに基づいて、前記各データ線を介してデータ書き込みトランジスタに供給される書き込みデータに対応する電位をレベルシフトさせるレベルシフト手段とを具備した点に特徴を有する。

【0011】

また、前記した課題を解決するためになされたこの発明にかかるディスプレイの駆動方法は、請求項6に記載のとおり、点灯駆動トランジスタを介して発光制御される発光素子

10

20

30

40

50

と、前記点灯駆動トランジスタのゲート電位を制御するデータ書き込みトランジスタと、前記データ書き込みトランジスタにより制御される前記ゲート電位を保持する電荷保持用のキャパシタとを少なくとも備えてなる各画素を、複数のデータ線および複数の走査線の交差位置にそれぞれ配置して構成されたディスプレイの駆動方法であって、映像信号の単位フレーム期間を等間隔の複数のサブフレーム期間に分割し、前記サブフレーム期間ごとに前記発光素子を点灯制御することで階調制御を実行すると共に、前記各走査線ごとに設定された γ 補正およびデータ線方向に生ずる輝度ばらつきの補正を実現するための補正データに基づいて、前記各データ線を介してデータ書き込みトランジスタに供給される書き込みデータの電位をレベルシフトさせる点に特徴を有する。

【0012】

10

【発明の実施の形態】

以下、この発明にかかる発光表示パネルの駆動装置について、図に示す実施の形態に基づいて説明する。図1はこの発明にかかる駆動装置によって点灯駆動されるアクティブマトリクス型発光表示パネルを構成する1つの画素の形態を示したものである。すなわち、符号1として示す画素の形態は2つのTFTからなるコンダクタンスコントロール（Conductance Controlled）方式と呼ばれる有機EL素子を発光素子とした場合の最も基本的な画素構成を示している。

【0013】

図1において、制御用TFT、すなわちデータ書き込みトランジスタTr1のゲートは、走査線（以下、走査ラインとも言う。）2に接続され、そのソースはデータ線（以下、データラインとも言う。）3に接続されている。また、この書き込みトランジスタTr1のドレインは、点灯駆動用TFT、すなわち駆動トランジスタTr2のゲートに接続されると共に、電荷保持用キャパシタC1の一方の端子に接続されている。

20

【0014】

前記駆動トランジスタTr2のソースは、前記キャパシタC1の他方の端子に接続されると共に、電源供給ライン4に接続されている。また、駆動トランジスタTr2のドレインは、発光素子としての有機EL素子E1のアノード端子に接続され、この有機EL素子E1のカソード端子は、回路の基準電位点（グランド）に接続されている。

【0015】

前記した画素1の回路構成において、アドレス期間において書き込みトランジスタTr1のゲートに走査ライン2を介してオン電圧Selectが供給されると、書き込みトランジスタTr1はオン状態となる。そして、書き込みトランジスタTr1のソースに供給されるデータライン3からの書き込みデータに対応するデータ電圧Vdataを受けて、書き込みトランジスタTr1はデータ電圧Vdataに対応した電流を、ソースからドレインに流す。したがって、書き込みトランジスタTr1のゲートがオン電圧の期間に、前記キャパシタC1が充電され、その充電電圧は前記データ電圧Vdataに対応したものとなる。

30

【0016】

一方、前記駆動トランジスタTr2には、前記キャパシタC1に充電された充電電圧がゲート電圧として供給され、駆動トランジスタTr2にはそのゲート電圧と、ソース電圧である電源供給ライン4から供給される駆動電圧Vccに基づいた電流が、ドレインからEL素子E1に流れ、EL素子E1は駆動トランジスタTr2のドレイン電流によって発光駆動される。

40

【0017】

ここで、1つの走査ライン2に対応するアドレッシング動作が終了し、前記書き込みトランジスタTr1のゲートがオフ電圧になると、書き込みトランジスタTr1はいわゆるカットオフとなり、トランジスタTr1のドレイン側は開放状態となる。しかしながら、駆動トランジスタTr2はキャパシタC1に蓄積された電荷によりゲート電圧が保持され、次のアドレス期間においてデータ電圧Vdataが書き換えられるまで同一の駆動電流が維持され、この駆動電流に基づくEL素子E1の発光状態も継続される。

【0018】

50

以上説明した画素 1 の構成は、図 2 に示す発光表示パネル 10 にマトリクス状に配列されて、ドットマトリクス型表示パネルを構成しており、各画素 1 は各走査線 2 および各データ線 3 の交差位置にそれぞれ形成されている。そして、図 2 には前記した発光表示パネル 10 と、その駆動回路の構成がブロック図によって示されている。

【0019】

前記発光表示パネル 10 において表示される映像信号は、図 2 に示す発光制御回路 11 に供給される。この発光制御回路 11 においては、映像信号中における水平同期信号および垂直同期信号に基づいて、入力された映像信号をサンプリング処理を施すなどして 1 画素ごとに対応した画素データに変換し、図示せぬフレームメモリに順次書き込む動作を実行する。そして、フレームメモリに 1 フレーム分の画素データの書き込み処理が完了した後のアドレス期間においては、前記した 1 つの走査ラインごとにフレームメモリより読み出したシリアルな画素データを、順次データドライバ 12 におけるシフトレジスタおよびデータラッチ回路 13 に供給する。

10

【0020】

このシフトレジスタおよびデータラッチ回路 13 においては、1 水平走査に対応する画素データを取り込んだ時に、これをラッチし、1 水平走査に対応するパラレルデータをレベルシフタ 14 に供給するように作用する。図 2 には示されていないが、表示パネル 10 には、前記データライン 3 が各画素に対応して列方向に配列されており、これらのデータライン 3 は前記レベルシフタ 14 に接続されている。この構成により各画素 1 を構成するデータ書き込みトランジスタ Tr1 のソースに対して、前記した画素データに対応するデータ電圧 Vdata が個々に供給されるようになされる。そして、前記した動作はアドレス期間における 1 走査ごとに繰り返される。

20

【0021】

また、前記発光制御回路 11 からは、アドレス期間において操作ドライバ 16 に対して、水平同期信号に対応した走査クロック信号が供給される。そして、図 2 には示されていないが、表示パネル 10 には、前記走査ライン 2 が各画素に対応して行方向に配列されており、これらの走査ライン 2 は前記走査ドライバ 16 に接続されている。この構成により各画素 1 を構成するデータ書き込みトランジスタ Tr1 のゲートに対して、前記したオン電圧 Select が走査ライン 3 ごとに順次供給されるように作用する。

【0022】

したがって、アドレス期間の 1 走査ごとに、その走査ラインに配列された表示パネル 10 上の各画素 1 は、走査ドライバ 16 より前記したオン電圧 Select の供給を受ける。これに同期して、走査ラインごとに配列された各画素 1 に対して前記レベルシフタ 14 よりデータ電圧 Vdata が供給され、当該走査ラインに対応する各画素には、前記データ電圧 Vdata がそれぞれ書き込まれる。そして、この動作が全走査ラインにわたって実行されることにより、表示パネル 10 上に 1 フレームに対応する画像が再生される。

30

【0023】

一方、前記表示パネル 10 に配列された各画素 1 には、前記した電源ライン 4 を介して電源回路 17 より、駆動電圧 Vcc が供給されるように構成されている。そして、この図 2 に示す実施の形態においては、前記発光制御回路 11 より電源回路 17 に対して階調制御信号が供給されるように構成されている。なお、この階調制御信号に基づく階調制御の具体例については後で詳細に説明する。

40

【0024】

さらに、図 2 に示す実施の形態においては、発光制御回路 11 より DAC (Digital to Analog Converter) 18 に対して、各走査ラインごとに設定された補正データに対応するデジタルデータが供給されるように構成されている。前記 DAC 18 は、前記デジタルデータに対応するアナログ信号を前記レベルシフタ 14 に供給し、このレベルシフタ 14 は各走査ラインの走査ごとに、DAC 18 からのアナログ信号に基づいて前記データラインの電位を同時にレベルシフトするように動作する。

【0025】

50

前記各走査ラインごとに設定される補正データは、発光制御回路 11 に接続された例えば E E P R O M 等による不揮発性のデータメモリ 19 に格納されている。そして、発光制御回路 11 は表示パネルの発光制御に同期して走査ラインごとに前記補正データをデータメモリ 19 より読み出して、読み出した補正データに対応するデジタルデータを、前記 D A C 18 に供給するように作用する。なお、前記補正データによりデータライン 3 の電位をレベルシフトさせる動作については、後で詳細に説明する。

【0026】

次に図 3 は、図 2 に示す実施の形態において実行される階調制御の制御態様を説明するものである。この実施の形態においては多階調表現を実現させるために、図 3 (a) に示すように単位フレーム、例えば 1 フレームの発光可能期間を 15 のサブフレームに分割して

10

【0027】

一つの例として階調を例えば“10”に設定する場合においては、図 3 (a) に示す 1 フレームの発光可能期間における 1 ~ 10 のサブフレーム期間において E L 素子を点灯制御させると共に、11 ~ 15 のサブフレーム期間においては、E L 素子を消灯させる操作を実行する。これにより、E L 素子はサブフレーム単位で点灯制御を受け、時間階調が実現される。

【0028】

前記した時間階調は、図 2 に示す実施の形態においては発光制御回路 11 より電源供給回路 17 に対して供給される階調制御信号により実行される。なお、発光制御回路 11 は、例えば人為的に指令を受けた階調制御指令に基づいて、電源供給回路 17 に対して階調制御信号を送出するようになされる。そして、電源供給回路 17 は、前記した電源ライン 4 を介して各画素 1 に供給する駆動電圧 V_{cc} の供給動作を、前記したサブフレーム期間の単位で制御するようになされ、これにより E L 素子の点灯時間がサブフレーム単位で制御され、時間階調が実現される。したがって、この実施の形態においては、前記発光制御回路 11 および電源供給回路 17 によって階調制御手段を構成している。

20

【0029】

前記した時間階調による階調表現によると、1 フレームに対応する発光可能期間をほぼ同一の時間間隔に分けてサブフレームを形成するものであるため、その制御に特に高い分解能が要求されるものではなく、したがって比較的低い周波数の動作クロックを利用することで、デジタル階調制御を実現させることができる。それ故、クロック信号を高速化させることによる消費電力の増大を阻止させることができる。

30

【0030】

以上説明した階調制御は、前記したとおり重み無しサブフレーム方式と呼ばれるものであり、階調と発光輝度の関係はほぼリニア ($\gamma = 1$) になされる。そこで、前記したように $\gamma = 2.0$ 程度の理想的な γ 補正を実現させるために、この実施の形態においては、図 3 (b) に示すように階調に対応した γ 補正が実現できるように構成されている。すなわち、図 3 (b) に示す縦軸は各画素 1 を構成する書き込みトランジスタ T_{r1} のソースに供給されるデータ電圧 V_{data} のレベルを示している。

40

【0031】

このデータ電圧 V_{data} は、前記した階調制御の設定度合いによって変更され、例えば前記したように階調を“10”に設定した場合においては、前記レベルシフタ 14 から出力されるデータ電圧 V_{data} が、図 3 (b) に示す数値“10”に対応する電圧値で出力されるようになされる。要するに階調の設定が比較的低階調の場合には、データ電圧 V_{data} も低レベルとなり、比較的高階調の場合には、データ電圧 V_{data} も高いレベルとなる。前記したデータ電圧 V_{data} の変化は、図 1 に示した画素 1 の構成において、キャパシタ $C1$ へのチャージ電圧の変化として作用し、E L 素子の発光輝度を変化させることになる。これによりアナログ的に γ 補正が実現される。

【0032】

50

なお前記した γ 補正の制御動作は、発光制御回路11からDAC18に対して、階調の設定状態に応じたデジタルデータが供給されることにより実行される。すなわち、前記DAC18は、発光制御回路11からのデジタルデータに基づいてアナログ電圧を生成し、このアナログ電圧はレベルシフタ14に供給される。そして、レベルシフタ14においては前記DAC18からのアナログ電圧を受けて、データ電圧Vdataをレベルシフトするように動作する。したがって、この実施の形態においては、前記DAC18およびレベルシフタ14によってレベルシフト手段が構成されている。

【0033】

次に図4は、図2に示す実施の形態によってなされるデータ線方向の面内ばらつきを補正させる制御態様を説明するものである。前記したデータ線方向の面内ばらつきは、前記した発光表示パネル10を形成させる場合のTFTEあるいはEL素子の成膜条件等によって発生するものである。すなわち、前記成膜条件等の製造プロセスにおける僅かなばらつきは、TFTEであるならば電圧対電流特性等に影響を与え、EL素子であるならば電流対発光輝度特性等に影響を与える。この結果、各画素ごとに発光輝度にばらつきが発生する。

【0034】

図4に示す補正操作は、前記したように特にデータ線方向に発生する面内ばらつきを効果的に補正させるものであり、1フレーム期間（もしくは1サブフレーム期間）に対応して走査ライン1～Nを順次走査する場合の補正データの設定状況の一例を示している。まず図4(a)はアドレス期間における走査選択の動作を示しており、この走査選択動作はアドレス期間において、走査ライン1から順にNまで走査される。

【0035】

一方、図4(b)は各走査ラインの走査に対応して前記レベルシフタ14から順次出力されるデータ電圧Vdataの値（電圧）を示している。なお、図4(b)に示すデータ電圧Vdataは、ある特定の階調状態に設定されている場合を示しており、したがって、すでに説明した γ 補正に基づくデータ電圧Vdataの補正值も含まれている。図4(b)に示すようにデータ電圧Vdataは、各走査ラインごとに変更され、走査対象となる各画素1における書き込みトランジスタTr1のソースにそれぞれ供給される。これにより、走査ラインごとにEL素子の発光輝度が制御され、データ線方向に発生するEL素子の発光輝度のばらつきを補正することが可能となる。

【0036】

図4(b)に示す走査ラインごとのデータ電圧Vdataの出力パターンは、前記したとおり図2に示すデータメモリ19に格納されている補正データにより生成される。すなわち、発光制御回路11はアドレス期間において、走査ラインごとに前記補正データをデータメモリ19より読み出し、読み出した補正データに対応するデジタルデータを、前記DAC18に供給するように動作する。

【0037】

前記デジタルデータを受けるDAC18は、デジタルデータに基づいてアナログ電圧を生成し、これをレベルシフタ14に供給する。レベルシフタ14においては前記DAC18からのアナログ電圧を受けて、データ電圧Vdataを各ラインごとにレベルシフトする動作を実行し、これにより図4(b)に示すデータ電圧Vdataの出力パターンが生成される。

【0038】

前記したデータメモリ19に格納される補正データは、データ線方向に発生する面内ばらつきを、個々の表示パネルにおいて測定することによりデータメモリ19に設定することが望ましい。しかしながら、面内ばらつきの傾向が明確である場合においては、それぞれの表示パネルの仕様ごとに、共通に利用できる補正データを利用するようにしてもよい。

【0039】

図5は、この発明にかかる駆動装置によって点灯駆動される発光表示パネルを構成する他の1つの画素の形態を示したものである。すなわち、図5に示す符号1として示す画素の形態は、時分割階調表現を実現する同時消去法（SES=Simultaneous Erasing Scan）

10

20

30

40

50

と呼ばれる点灯駆動方式を採用した 3 T F T からなる画素構成を示している。

【0040】

この画素 1 の構成は、図 1 に基づいてすでに説明した画素の回路構成に加え、消去用 T F T としての消去トランジスタ T r3 が備えられている。なお、図 5 においては、図 1 に基づいて説明した各構成に対応する部分を同一の符号で示しており、したがってその説明は省略する。図 5 に示すように消去トランジスタ T r3 のソースおよびドレインは、キャパシタ C1 の各端部にそれぞれ接続されており、消去トランジスタ T r3 のゲートは消去信号線（以下、消去ラインとも言う。）5 に接続され、消去ラインを介して消去信号 Erase が供給されるように構成されている。

【0041】

図 6 には、図 5 に示した画素 1 を配列した発光表示パネル 10 と、その駆動回路の構成がブロック図によって示されている。なお、この図 6 においても、図 2 に基づいて説明した各構成に対応する部分を同一の符号で示しており、したがって、その説明は省略する。この図 6 に示す実施の形態においては、図 2 に示す形態に比較して新たに消去ドライバ 20 が具備されている。この消去ドライバ 20 は E L 素子 E1 の点灯期間の途中（例えば、1 フレーム期間の途中）において、前記消去ドライバ 20 より消去トランジスタ T r3 をオンさせる消去信号 Erase を供給するように作用する。

【0042】

これにより、キャパシタ C1 にチャージされている電荷は瞬時にして消去（放電）される。この結果、駆動トランジスタ T r2 はカットオフ状態となり、E L 素子 E1 は直ちに消灯される。換言すれば、消去ドライバ 20 からのゲートオン電圧（消去信号 Erase ）の出力タイミングを制御することで、E L 素子 E1 の点灯期間が制御され、これにより多階調表現を実現するようになされる。

【0043】

図 6 に示す実施の形態においては、図 3（a）に示す 1 サブフレームの単位で消去ドライバ 20 から消去信号 Erase が出力される。これにより、計 16 階調の階調制御を実現させることができる。したがって、この実施の形態においては、各画素を構成する前記消去トランジスタ T r3 および消去ドライバ 20 によって階調制御手段を構成している。そして、この時の γ 補正については、図 2 に示した実施の形態に基づいて説明したとおり、レベルシフタ 14 から出力されるデータ電圧 Vdata を D A C 18 によりレベルシフトさせることにより実現される。

【0044】

また、データ線方向に発生する面内ばらつきを補正させる手段についても、図 2 に示した実施の形態と同様であり、データメモリ 19 から読み出した補正データに対応するデジタルデータを、前記 D A C 18 に供給するようになされる。そして、レベルシフタ 14 においては前記 D A C 18 からのアナログ電圧を受けて、データ電圧 Vdata を各ラインごとにレベルシフトする動作を実行する。これにより、データ線方向に発生する面内ばらつきを是正することができる。

【0045】

したがって、図 6 に示した構成においても、図 2 に示した構成と同様の作用効果を得ることができる。

【図面の簡単な説明】

【図 1】この発明にかかる駆動装置によって点灯駆動される 1 つの画素の形態を示した結線図である。

【図 2】図 1 に示す画素を配列した発光表示パネルと、その駆動回路の構成を示したブロック図である。

【図 3】階調制御と γ 補正手段を説明するタイミング図である。

【図 4】データ線方向に発生する面内ばらつきを補正する手段を説明するタイミング図である。

【図 5】この発明にかかる駆動装置によって点灯駆動される他の 1 つの画素の形態を示し

10

20

30

40

50

た結線図である。

【図6】図5に示す画素を配列した発光表示パネルと、その駆動回路の構成を示したブロック図である。

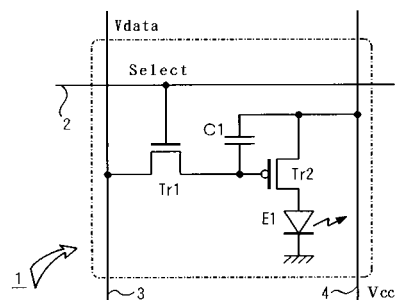
【符号の説明】

- 1 画素
- 2 走査ライン（走査線）
- 3 データライン（データ線）
- 4 電源供給ライン
- 5 消去ライン（消去信号線）
- 10 発光表示パネル
- 11 発光制御回路
- 12 データドライバ
- 14 レベルシフタ
- 16 走査ドライバ
- 17 電源供給回路
- 18 DAC
- 19 データメモリ
- C1 キャパシタ
- E1 発光素子（EL素子）
- Tr1 書き込みトランジスタ
- Tr2 駆動トランジスタ
- Tr3 消去トランジスタ

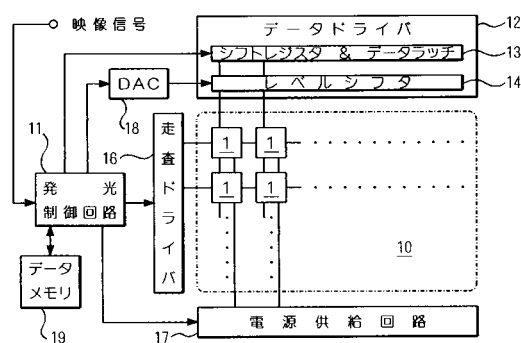
10

20

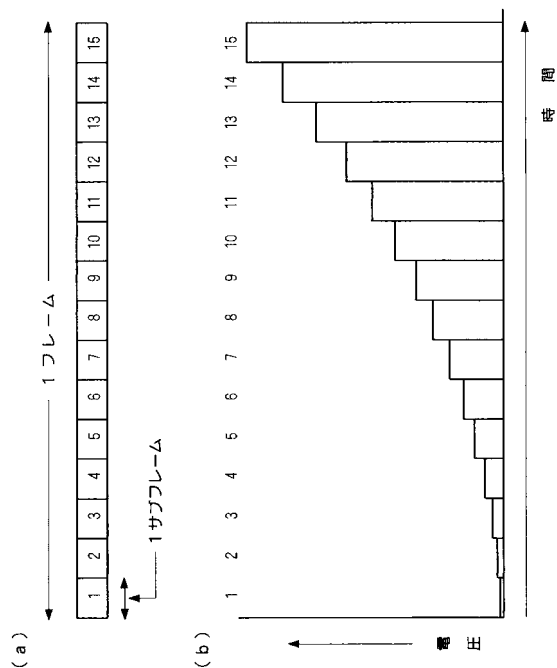
【図1】



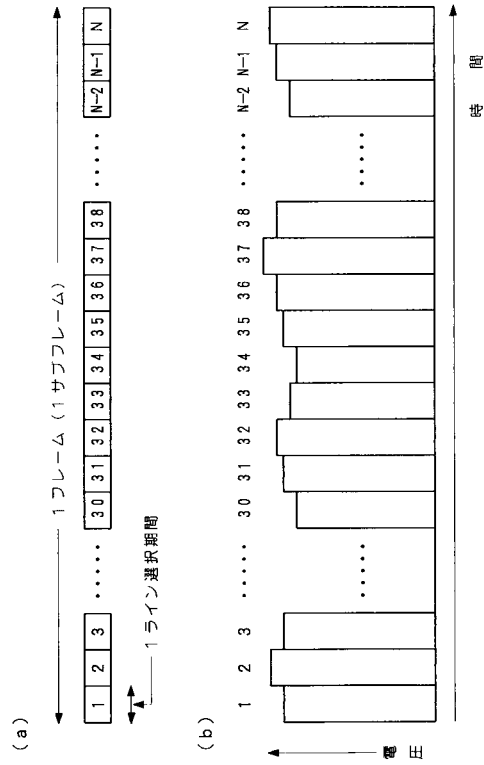
【図2】



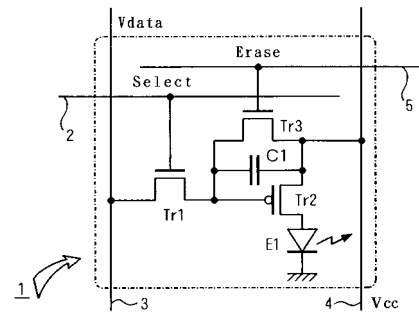
【図3】



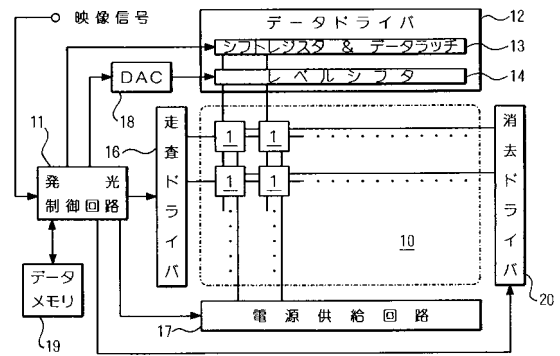
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 3 1 K
G 0 9 G	3/20	6 4 1 E
G 0 9 G	3/20	6 4 1 P
G 0 9 G	3/20	6 4 1 Q
G 0 9 G	3/20	6 4 2 A
H 0 4 N	5/70	A
H 0 5 B	33/14	A

(58)調査した分野(Int.Cl., D B名)

G09G3/00-3/38