(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0068529
(43) 공개일자 2013년06월26일

(51) 국제특허분류(Int. Cl.)
A61B 8/14 (2006.01) *G01N 29/24* (2006.01)
G06F 19/00 (2011.01)
(21) 출원번호 10-2011-0135770
(22) 출원일자 2011년12월15일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
서강대학교산학협력단
서울특별시 마포구 백범로 35 (신수동, 서강대학교)
(72) 발명자
김배형
경기도 용인시 기흥구 상갈동 금화마을주공3단지 아파트 305-1403
경인표
서울특별시 동대문구 장안1동 장안현대홈타운아파트 107-1003
(뒷면에 계속)
(74) 대리인
리앤목특허법인

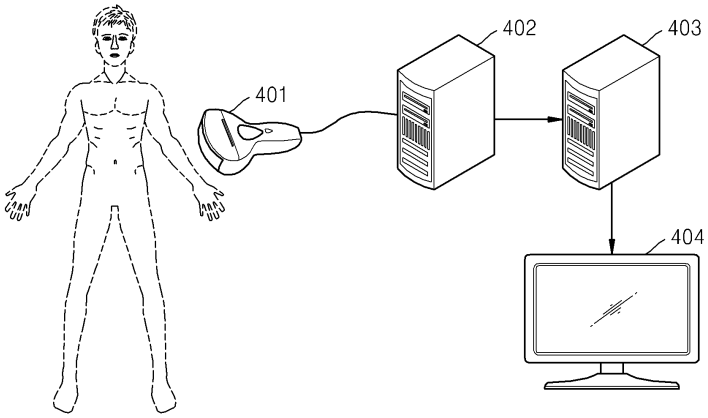
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **아날로그 빔포밍을 수행하는 장치 및 방법**

(57) 요 약

아날로그 빔포밍을 효과적으로 하는 방법 및 장치가 개시된다. 이와 같이 개시된 방법 내지 장치에 따르면, 아날로그 빔포밍을 수행할 때, 보다 적은 개수의 소자와 적은 데이터 처리로 높은 수준의 아날로그 빔포밍을 수행할 수 있다.

대 표 도 - 도3



(72) 발명자

장진호

서울특별시 양천구 신정2동 청구아파트 101-302

김동욱

서울특별시 서초구 반포동 577-51번지 그린파크 401호

송종근

경기도 용인시 수지구 죽전동 꽃메마을현대홈타운 4차3단지 437동 304호

송태경

서울특별시 종로구 평창동 롯데캐슬 로잔 106-402

유양모

경기도 고양시 일산서구 일산3동 후곡건영아파트 1507-504

조경일

서울특별시 송파구 오륜동 올림픽선수촌2단지아파트 229-502

이승헌

서울특별시 마포구 합정동 355-18 호산빌라 101호

특허청구의 범위

청구항 1

복수 개의 트랜스듀서 배열소자들로부터 수신된 초음파 신호들의 아날로그 빔포밍(Beamforming)을 수행하는 장치에 있어서,

소정의 스캔 영역 내의 위치에서의 상기 초음파 신호들 각각에 대한 제 1 단위 시간의 지연 횟수를 나타내는 제 1 제어 정보와 제 2 단위 시간의 지연 횟수를 나타내는 제 2 제어 정보를 출력하는 지연 제어부;

상기 제 1 지연 제어 정보에 기초하여 상기 수신된 초음파 신호들 각각을 상기 제 1 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 제 1 아날로그 소자들;

상기 제 2 지연 제어 정보에 기초하여 상기 지연되거나 통과된 초음파 신호들 각각을 제 2 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 제 2 아날로그 소자들; 및

상기 제 2 아날로그 소자들에 의해 지연된 초음파 신호들을 합산하는 합산부를 포함하는 아날로그 빔포밍 수행 장치.

청구항 2

제 1 항에 있어서,

상기 제 1 단위 시간이 상기 제 2 단위 시간보다 큰 아날로그 빔포밍 수행 장치.

청구항 3

제 1 항에 있어서,

상기 제 2 단위 시간이 상기 제 1 단위 시간보다 큰 아날로그 빔포밍 수행 장치.

청구항 4

제 1 항에 있어서,

서로 다른 주파수를 갖는 복수 개의 클락(clock)들을 생성하는 클락 생성부를 더 포함하고,

상기 제 1 아날로그 소자들은 상기 복수 개의 클락들 중 하나인 제 1 클락과 상기 제 1 지연 제어 정보에 기초하여 상기 수신된 초음파 신호들 각각을 상기 제 1 단위 시간만큼 적어도 한번 지연시키거나 통과시키고,

상기 제 2 아날로그 소자들은 상기 복수 개의 클락들 중 하나인 제 2 클락과 상기 제 2 지연 제어 정보에 기초하여 상기 지연되거나 통과된 초음파 신호들 각각을 상기 제 2 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 아날로그 빔포밍 수행 장치.

청구항 5

제 4 항에 있어서,

상기 클락 생성부는

서로 다른 주파수를 갖는 복수 개의 기본 클락들을 생성시키는 기본 클락 생성부; 및

상기 기본 클락들 중 적어도 하나의 위상을 천이(shift)시키는 클락 위상 천이부(clock phase shift unit)로 구성되고,

상기 복수 개의 클락들은 상기 복수 개의 기본 클락들과 상기 위상 천이된 클락들을 포함하는 아날로그 빔포밍 수행 장치.

청구항 6

제 1 항에 있어서,

상기 스캔 영역 내의 위치로부터 상기 수신 초음파 신호가 상기 복수 개의 트랜스듀서 각각에 도달하는 시간을 획득하는 제어부; 및

상기 도달하는 시간을 기초로 복수 개의 트랜스듀서들과 상기 제 1 아날로그 소자들 각각의 연결을 스위칭하는 스위칭부를 더 포함하는 아날로그 빔포밍 수행 장치.

청구항 7

제 1 항에 있어서,

상기 지연 제어부는

상기 스캔 영역 내의 위치로부터 상기 초음파 신호들 각각에 대한 지연 시간들을 획득하는 지연 시간 출력부; 및

상기 얻은 지연 시간들에 대응하는 상기 제 1 제어 정보와 상기 제 2 제어 정보를 출력하는 제어 정보 출력부로 구성된 아날로그 빔포밍 수행 장치.

청구항 8

제 7 항에 있어서,

상기 제어 정보 출력부는

상기 지연 시간들과, 상기 지연 시간들 각각에 대응하는 상기 제 1 제어 정보 및 상기 제 2 제어 정보를 대응시켜 함께 저장하는 저장부; 및

상기 저장부에 저장된 상기 제 1 제어 정보 및 상기 제 2 제어 정보 중 상기 지연 시간들에 대응하는 상기 제 1 제어 정보 및 상기 제 2 제어 정보를 출력하는 제어 정보 검색부를 포함하는 아날로그 빔포밍 수행 장치.

청구항 9

제 8 항에 있어서,

상기 저장부는,

상기 지연 시간들의 크기 순서에 따라, 상기 지연 시간들과, 상기 지연 시간들 각각에 대응하는 상기 제 1 제어 정보 및 상기 제 2 제어 정보를 대응시켜 함께 저장하는 아날로그 빔포밍 수행 장치.

청구항 10

복수 개의 트랜스듀서들이 수평 및 수직 방향으로 배열된 2차원 트랜스듀서 어레이(Transducer-arrays);

상기 수평 및 수직 방향 중 어느 하나의 방향으로 제 1 항의 아날로그 빔포밍 수행 장치를 이용하여 빔포밍을 수행하고, 다른 하나의 방향으로는 디지털 빔포밍을 수행하는 3차원 빔포밍 수행 장치를 포함하는 초음파 스캔 시스템.

청구항 11

복수 개의 트랜스듀서들로부터 수신된 초음파 신호들의 아날로그 빔포밍 방법에 있어서,

소정의 스캔 영역 내의 위치에서의 상기 초음파 신호들 각각에 대한 제 1 단위 시간의 지연 횟수를 나타내는 제 1 제어 정보와 제 2 단위 시간의 지연 횟수를 나타내는 제 2 제어 정보를 얻는 단계;

상기 제 1 지연 제어 정보에 기초하여 상기 수신된 초음파 신호들 각각을 상기 제 1 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 단계;

상기 제 2 지연 제어 정보에 기초하여 상기 지연되거나 통과된 초음파 신호들 각각을 제 2 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 지연 단계;

상기 제 2 지연단계에서 지연되거나 통과된 초음파 신호들을 합산하는 단계를 포함하는 아날로그 빔포밍 방법.

청구항 12

제 11 항에 있어서,

상기 제 1 단위 시간은 상기 제 2 단위 시간보다 큰 아날로그 빔포밍 방법.

청구항 13

제 11 항에 있어서,

상기 제 2 단위 시간은 상기 제 1 단위 시간보다 큰 아날로그 빔포밍 방법.

청구항 14

제 11 항에 있어서,

서로 다른 주파수를 갖는 제 1 클락과 제 2 클락을 생성하는 단계를 더 포함하고,

상기 제 1 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 단계는,

상기 제 1 지연 제어 정보와 상기 제 1 클락에 기초하여 상기 수신된 초음파 신호들 각각을 상기 제 1 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 제 1 지연 단계;

상기 제 2 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 지연 단계는,

상기 제 2 지연 제어 정보와 상기 제 2 클락에 기초하여 상기 지연되거나 통과된 초음파 신호들 각각을 제 2 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 제 2 지연 단계인 아날로그 빔포밍 방법.

청구항 15

제 14 항에 있어서,

상기 클락을 생성하는 단계는

서로 다른 주파수를 갖는 제 1 클락과 제 2클락을 생성하는 단계;

상기 제 1 클락과 제 2 클락 중 적어도 어느 하나의 위상을 천이(shift)시키는 단계를 포함하는 아날로그 빔포밍 방법.

청구항 16

제 11 항에 있어서,

상기 스캔 영역 내의 위치들과, 상기 위치들 각각에 대응하는 상기 제 1 제어 정보 및 상기 제 2 제어 정보를 대응시켜 저장하는 단계를 더 포함하고,

상기 정보를 얻는 단계는 상기 위치들을 기초로 상기 저장된 제 1 제어 정보 및 제 2 제어 정보를 출력하는 아날로그 빔포밍 방법.

청구항 17

제 11 항에 있어서,

복수의 2차원 트랜스듀서 어레이(Transducer-arrays)가 수평 및 수직 방향으로 배열되고, 상기 수평 및 수직 방향 중 어느 하나의 방향으로 상기 아날로그 빔포밍을 수행하고, 다른 하나의 방향으로는 디지털 빔포밍(digital beamforming)을 수행하는 방법.

청구항 18

제 11 항 내지 제 17 항 중 어느 한 항의 방법을 컴퓨터에서 실행시키기 위한 컴퓨터 프로그램을 저장한 컴퓨터로 읽을 수 있는 기록매체.

청구항 19

제 1 항에 있어서,

상기 제 1 아날로그 소자들과 상기 제 2 아날로그 소자들은 CCD(charge-coupled device) 소자들인 아날로그 빔

포밍 수행 장치.

청구항 20

제 19 항에 있어서,

상기 수신 초음파 신호가 지연되거나 통과된 후에 상기 제 1 아날로그 소자들 및 상기 제 2 아날로그 소자들 내에 존재하는 신호를 제거하는 잔류 신호 제거부를 더 포함하는 아날로그 빔포밍 수행 장치.

명 세 서

기 술 분 야

[0001] 초음파 영상 분야에 관한 것으로, 특히 아날로그 빔포밍을 수행하는 방법 및 장치에 관한 것이다.

배 경 기 술

[0002] 초음파 진단기에서의 프로브는 일반적으로 트랜스듀서(transducer)로 제조된다. 3차원 영상 검출 장치의 프로브로부터 수kHz에서 수백 MHz 범위의 초음파가 환자 신체 내부의 특정 부위에 전달되면, 이 초음파는 여러 다른 조직들(tissues) 사이의 계층들로부터 부분적으로 반사된다. 특히, 초음파는 신체 내부에서의 밀도 변화가 있는 곳, 예를 들어, 혈장(blood plasma) 내의 혈구들(blood cells), 장기들(organs) 내의 작은 조직들(structures) 등에서 반사된다. 이와 같이 반사된 초음파들은 프로브의 트랜스듀서를 진동시키고, 트랜스듀서는 이 진동들에 따른 전기적 펄스들(electrical pulses)을 출력한다. 이와 같은 전기적 펄스들이 영상으로 변환된다. 하지만 이 때 반사되는 초음파 신호의 세기는 매우 약하고 SNR도 작아서 이를 영상 정보로 전환하기 위해서는 반사되는 초음파 신호의 세기와 SNR을 향상시키는 기술이 필요하다. 이 기술 중에 하나가 빔포밍(Beam-forming)이다.

[0003] 빔포밍이란, 복수 개의 트랜스듀서를 이용하여 신호를 송신, 수신할 때 중첩(superposition)시키는 방식을 통해 신호의 세기를 강하게 하는 것을 말한다. 도 1은 1차원 트랜스듀서-배열(Transducer array)을 이용한 송신 빔포밍의 개념도이다. 영상 정보를 얻고자 하는 하나의 점을 집속점(focal point)이라 하는데, 복수 개의 트랜스듀서가 직선으로 배열되어 있어서 각각의 트랜스듀서 소자와 집속점과의 거리에 차이가 존재한다. 따라서 각각의 트랜스듀서 소자 에서 신호가 전달되었다가 반사되어 돌아오는 시간이 달라지게 되어, 이 수신 신호들을 중첩시키게 되면 서로 위상이 맞지 않아 신호의 증폭이 이루어 지지 않는다. 결국 빔포밍을 수행하는데 있어서, 서로 위상이 맞지 않은 신호들의 위상을 맞추는 과정이 요구된다.

[0004] 위상을 맞추는 방법은 송신, 수신 신호를 지연시키는 것에 의해 이루어 지는데 이 지연시키는 방식에 따라서 빔포밍 방식이 나뉜다. 빔포밍은 아날로그 빔포밍(Analog Beamforming)과 디지털 빔포밍(Digital Beamforming)으로 나눌 수 있다. 아날로그 빔포밍(Analog Beamforming)방식은 회로 소자를 이용하여 신호를 지연시키는 반면, 디지털 빔포밍(Digital Beamforming)은 신호를 디지털화한 후 저장한 다음에, 원하는 시간이 흐른 뒤 데이터를 읽어내는 방법을 통해 지연시킨다.

발명의 내용

해결하려는 과제

[0005] 초음파 신호를 송신, 수신하는데 있어서 하드웨어 소자의 개수를 줄이고 시스템의 연산량과 메모리를 줄일 수 있는 아날로그 빔포밍(Analog Beamforming)을 하는 방법 및 장치를 제공하는데 있다. 또한, 상기 방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록 매체를 제공하는데 있다. 본 실시예가 이루고자 하는 기술적 과제는 상기된 바와 같은 기술적 과제들로 한정되지 않으며, 이하의 실시예들로부터 또 다른 기술적 과제들이 유추될 수 있다.

과제의 해결 수단

[0006] 본 발명의 일 측면에 따른 아날로그 빔포밍을 수행하는 장치는 복수 개의 트랜스듀서 소자들로부터 수신 초음파 신호들의 아날로그 빔포밍(Beamforming)을 수행하는 장치에 있어서 소정의 스캔 영역 내의 위치에서의 상기 초음파 신호들 각각에 대한 제 1 단위 시간의 지연 횟수를 나타내는 제 1 제어 정보와 제 2 단위 시간의 지연 횟수를 나타내는 제 2 제어 정보를 출력하는 지연 제어부 상기 제 1 지연 제어 정보에 기초하여 상기 수신된 초음파 신호들 각각을 상기 제 1 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 제 1 아날로그 소자들 상기

제 2 지연 제어 정보에 기초하여 상기 지연되거나 통과된 초음파 신호들 각각을 제 2 단위 시간만큼 적어도 한 번 지연시키거나 통과시키는 제 2 아날로그 소자들 및 상기 제 2 아날로그 소자들에 의해 지연된 초음파 신호들을 합산하는 합산부를 포함한다.

[0007] 본 발명의 또 다른 측면에 따른 아날로그 빔포밍을 수행하는 방법은 복수 개의 트랜스듀서 소자들로부터 수신된 초음파 신호들의 아날로그 빔포밍 방법에 있어서, 소정의 스캔 영역 내의 위치에서의 상기 초음파 신호들 각각에 대한 제 1 단위 시간의 지연 횟수를 나타내는 제 1 제어 정보와 제 2 단위 시간의 지연 횟수를 나타내는 제 2 제어 정보를 얻는 단계, 상기 제 1 지연 제어 정보에 기초하여 상기 수신된 초음파 신호들 각각을 상기 제 1 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 제 1 지연 단계, 상기 제 2 지연 제어 정보에 기초하여 상기 지연되거나 통과된 초음파 신호들 각각을 제 2 단위 시간만큼 적어도 한번 지연시키거나 통과시키는 제 2 지연 단계 및 상기 제 2 지연단계에서 지연되거나 통과된 초음파 신호들을 합산하는 단계를 포함한다.

[0008] 본 발명의 또 다른 측면에 따라 상기된 아날로그 빔포밍을 수행하는 방법을 컴퓨터에서 실행시키기 위한 프로그램을 기록한 컴퓨터로 읽을 수 있는 기록매체가 제공된다.

발명의 효과

[0009] 본 발명의 실시예에 따른 아날로그 빔포밍(Analog Beamforming)방식은 적은 개수의 회로 소자로 빔포밍을 수행할 수 있어 시스템의 크기를 줄여주고 연산량을 줄여주는 효과를 낼 수 있다. 그리고 빔포밍 과정에서 스위칭 횟수를 줄여 노이즈를 최소화 할 수 있다.

도면의 간단한 설명

[0010] 도 1은 1차원 트랜스듀서-배열(Transducer array)을 이용한 송신 빔포밍의 개념도이다.

도 2는 프로브 내부에 2차원 트랜스듀서-배열(Transducer array) 송신, 수신부를 도식한 도면이다.

도 3은 본 발명의 일 실시예에 따른 초음파 영상 시스템의 구성도이다.

도 4는 집속점의 위치를 변경하는 하나의 실시예를 도시한 도면이다.

도 5는 도 3의 프로브(401)과 빔포밍 장치(402)의 구성도이다.

도 6은 CCD소자의 개략적인 구조를 도시한 도면이다.

도 7은 CCD(charge-coupled device)에서 입력 클락(clock)과 시간 지연 해상도와의 관계를 설명한 그림이다.

도 8은 시간 지연 해상도가 낮은 경우 시간 지연에 오차가 생길 수 있는 경우를 도시한 도면이다.

도 9는 클락 생성부(708)의 일실시예를 나타내는 구성도이다.

도 10은 시간 지연 오차를 교정하는 수신 신호 지연부(703) 내부의 하나의 채널(100)의 일실시예를 도시한 도면이다.

도 11은 도 10의 수신 신호 지연부(703)가 시간 지연 오차를 교정하는 방법을 도시한 도면이다.

도 12는 도 10의 수신 신호 지연부(703)가 시간 지연을 두 단계로 나누어 수행하는 것을 도시한 도면이다.

도 13은 도 10의 출력 선택 제어부(105)의 일 실시예에 따른 내부 구조를 나타낸 도면이다.

도 14는 도 10의 출력 선택 제어부(105)의 또 다른 실시예에 따른 내부 구조를 나타낸 도면이다.

도 15는 도 14의 트리-스테이트 버퍼 블락(143)의 내부 구조를 도시한 도면이다.

도 16은 2차원 트랜스듀서-배열(Transducer array)이 하나의 평면 영상을 얻는 방법을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0011] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다.

[0012] 도 2는 프로브 내부에 2차원 트랜스듀서-배열(Transducer array) 송신, 수신부를 도식한 도면이다. 식별번호 201은 2차원 트랜스듀서-배열(Transducer array)의 배열을 나타낸 것이고, 식별번호 202는 2차원 트랜스듀서-배열(Transducer array) 중 첫 번째 고도(elevation)방향의 배열을 단독으로 표시한 것이다.

[0013] 도 3은 본 발명의 일 실시예에 따른 초음파 영상 시스템의 구성도이다. 도 3을 참조하면, 도 3에 도시된 실시예에 따른 초음파 영상 시스템은 프로브(401), 빔포밍(Beamforming) 장치(402), 영상 생성 장치(403), 및 영상 표시 장치(404)로 구성된다. 프로브(401)는 트랜스듀서-배열소자로 구성되는데 빔포밍 장치(402)로부터 트랜스듀서-배열소자에 포함된 트랜스듀서 각각에 대응하는 전기적 신호를 입력 받으면, 이 전기적 신호를 트랜스듀서를 통해 소스 신호로 변환한다. 이때 프로브(401)가 하나의 트랜스듀서가 아니고, 트랜스듀서-배열과 같이 복수 개의 트랜스듀서 소자를 이용하는 이유는 프로브(401)에서 생성되는 소스 신호는 신호의 세기가 영상 정보로 활용하기 약하기 때문이다.(이하 각 트랜스듀서 소자와 연결되는 하나의 데이터 라인을 채널이라 부른다. 따라서 트랜스듀서의 소자 개수 이하만큼 채널이 형성된다.) 따라서 복수 개의 트랜스듀서 소자에서 생성된 소스 신호가 중첩되도록 신호를 생성하게 되면 신호의 세기가 영상 정보로 활용할 수 있을 만큼의 세기를 확보할 수 있다. 예를 들면 1차원 트랜스듀서-배열소자는 트랜스듀서 소자 128개로 구성되며, 프로브(401)는 각각의 트랜스듀서 소자에서 128개의 전기적 신호를 128개의 소스 신호로 변환한다.(이하 실시예에서 1차원 트랜스듀서-배열(202) 소자는 128개의 트랜스듀서로 구성되어있다고 가정한다.)

[0014] 빔포밍 장치(402)는 도 3에 도시된 바와 같이 프로브(401)와 별개의 장치로써 구성되어 프로브(401)와 데이터를 주고 받을 수 있도록 연결될 수 있지만 프로브(401) 장치에 함께 구성될 수 있다. 빔포밍 장치(402)는 프로브(401) 내부의 각 트랜스듀서 소자가 소스 신호로 변환할 수 있는 128개의 전기적 신호들을 출력한다. 이때 프로브(401)가 생성하는 128개의 소스 신호가 집속점에서 중첩되기 위해서는 집속점에 동시에 도달해야 한다. 프로브(401) 내부의 트랜스듀서를 살펴보면, 1차원 트랜스듀서-배열의 경우에 프로브(401)의 끝 부분에 직선으로 트랜스듀서 소자들이 배열되어 있다. 따라서 임의의 집속점과 각 트랜스듀서 소자간의 거리에 차이가 존재하고, 거리의 차이에 의해 소스 신호가 집속점에 도달하는 시간에 차이가 발생한다. 결국 프로브(401)가 생성한 128개의 소스 신호가 집속점에 동시에 도달하기 위해서는 집속점에서 상대적으로 먼 트랜스듀서가 먼저 소스 신호를 생성하고, 상대적으로 가까운 트랜스듀서가 늦게 소스 신호를 생성하게 된다. 따라서 빔포밍 장치(402)는 프로브(401) 내부의 각 트랜스듀서가 소스 신호를 생성하는 시간이 다르도록 각 트랜스듀서에 인가되는 각 전기적 신호(예에서는 각각의 128개의 전기적 신호)가 출력하는 시간을 다르게 설정한다. 위에서 설명한 바와 같이 이 128개의 전기적 신호를 프로브(401)가 128개의 소스 신호로 출력한다.

[0015] 이 소스 신호가 집속점에 도달하게 되면, 소스 신호가 집속점 혹은 그 주변에서 신체 조직에 의해 반사될 수 있는데, 반사되어 돌아온 반사 신호가 트랜스듀서-배열소자에 도달하면 프로브(401)내의 각 트랜스듀서 소자가 이 반사 신호를 다시 전기적 신호로 변환한다. 따라서 프로브(401)는 트랜스듀서 소자의 수만큼 전기적 신호를 생성한다.

[0016] 빔포밍 장치(402)는 프로브(401)가 반사 신호를 변환한 128개의 전기적 신호를 생성하면 이 128개의 전기적 신호를 입력 받고, 128개의 전기적 신호에 대해 위상을 조정하여 하나의 신호로 중첩시킨다. 이때 빔포밍 장치(402)가 위상을 조정하는 이유는 반사 신호가 128개의 트랜스듀서 각각에 도달하는 시간이 다르기 때문에 128개의 전기적 신호를 중첩시키기 위해서는 전기적 신호의 위상을 조정할 필요가 있기 때문이다. 빔포밍 장치(402)는 하나의 신호로 중첩된 신호를 AD컨버터를 이용하여 디지털 신호로 변환한다. 빔포밍 장치(402)는 이 디지털 신호의 세기를 하나의 집속점에 대한 영상 정보로써 저장한다. 빔포밍 장치(402)는 집속점의 위치를 변경하면서 위에서 설명한 방법으로 각각의 집속점에 대한 디지털 신호의 세기 정보를 영상 생성 장치(403)에 출력한다.

[0017] 도 4는 집속점의 위치를 변경하는 하나의 실시예를 도시한 도면이다. 프로브(401) 내부의 트랜스듀서-배열소자의 위치를 기준으로 하여 축방향(Axial Direction) 의 깊이가 수cm에서 수십cm (예를 들어 20cm) 깊이까지 초음파 영상을 생성하고 너비로는 트랜스듀서-배열소자의 중앙을 기준으로하여 측방향(Lateral Direction) 좌우 수cm에서 수십cm(예를 들어 10cm)까지 초음파 영상을 생성하는 것을 예로 들 수 있다.(예를 들어, 영상의 크기는 10cm(측방향) X 20cm) 점선으로 표시된 화살표는 스캔 라인을 의미하고, 별표(*)는 집속점을 의미한다. 프로브(401)를 기준으로 정해진 각도 예를 들면 측방향 왼쪽으로 45도, 오른쪽으로 45도라고 한다면, 프로브(401)의 중앙에 스캔 라인의 시작점을 고정하고 정해진 각만큼 변경하면서 스캔 라인을 형성할 수 있다. 스캔 라인이 정해지면 정해진 간격 예를 들면 1mm간격으로 집속점의 위치를 변경할 수 있다. 이런 방식으로 영상 전체에 대해 스캔 집속점의 위치를 변경하면서 영상 전체에 대한 영상 정보를 생성할 수 있다.

[0018] 영상 생성 장치(403)는 빔포밍 장치(402)로부터 각 집속점의 위치 좌표 정보와 이에 대응하는 디지털 신호 세기의 강약을 입력 받으면, 이를 기초로 신호 세기의 강약을 판단하고 세기의 강약을 영상 픽셀의 밝기 정보로 변환하여 영상 표시 장치(404)로 출력한다. 영상 표시 장치(404)는 영상 생성 장치(403)로부터 영상 픽셀의 밝기 정보를 이용하여 화면에 표시한다.

[0019] 이 방법으로 빔포밍 장치(402)가 임의의 집속점에 대해 소스 신호를 중첩시키고자 128개의 전기적 신호의 출력 시간을 다르게 하기 위해서 전기적 신호를 시간 지연시킬 수 있다. 또한 프로브(401)가 집속점에서 반사된 반사 신호를 전기적 신호로 변환한 후에 위상을 조정하는 것도 전기적 신호의 시간 지연을 해 위상을 조정할 수 있다. 이렇게 전기적 신호를 송신하기 전, 전기적 신호를 수신한 후에 시간 지연을 해 중첩이 일어나도록 유도하는 것을 빔포밍이라 한다.

[0020] 빔포밍을 수행하기 위해서 빔포밍 장치(402)는 전기적 신호의 시간을 지연하는데, 이때 빔포밍 장치(402)가 최대로 지연 시킬 수 있는 시간을 최대 지연 시간이라고 정한다. 그리고 빔포밍 장치(402)가 시간 지연을 할 수 있는 최소 단위 시간을 시간 지연 해상도라고 정한다. 예를 들면 시간 지연 해상도가 1Hz라고 한다면 빔포밍 장치(402)는 시간 지연을 1초 단위로 할 수 있으므로 1초, 2초, 3초 등과 같이 시간지연을 할 수 있고, 1.5초와 같이 "최소 시간 단위"보다 작은 시간 지연을 할 수 없다. 만일 시간 지연 해상도가 10Hz라면 빔포밍 장치(402)는 1/10초 단위로 시간 지연을 할 수 있으므로 0.1초, 0.2초, 0.3초 등과 같이 시간지연을 할 수 있다. 빔포밍 장치(402)가 시간 지연을 좀 더 촘촘히 하면 할 수록 초점을 맞출 수 있는 집속점이 늘어나기 때문에 측방향(Lateral Direction) 해상도가 더 좋아질 수 있다.(측방향은 도 2 참조.)

[0021] 도 5는 도 3의 프로브(401)과 빔포밍 장치(402)의 구성도이다. 설명된 바와 같이 프로브(401)와 빔포밍 장치(402)는 같은 장치 내에 구성될 수 있다. 도 3에 도시된 프로브(401)와 빔포밍 장치(402)는 1차원 트랜스듀서-배열(Transducer array)(701), 스위칭부(702), 수신 신호 지연부(703), 아날로그 합산부(704), 스위칭제어부(705), 제어부(706), 지연 제어부(707), 클락 생성부(708) , AD컨버터(709), 디지털 빔포밍부(710) 및 잔류 신호 제거부(711)로 구성된다.

[0022] 프로브(401)의 내부에는 도 2의 2차원 트랜스듀서-배열(202)이 있으며, 도 5의 1차원 트랜스듀서-배열(701)은 2차원 트랜스듀서-배열(202) 중 고도방향의 트랜스듀서-배열 하나를 도시한 도면이다. 1차원 트랜스듀서-배열(701)은 신호를 송신, 수신하는 압전 변환체(Transducer)의 배열로 되어 있으며 신호를 수신할 때에는 집속점으로부터 반사된 소스 신호를 감지하여 전기적 펄스(electiracal pulse)로 변환하여 수신 신호 지연부(703)로 출력한다.

[0023] 스위칭부(702)는 스위칭제어부(705)로부터 스위치를 여는 신호를 받기 전에는 1차원 트랜스듀서-배열(Transducer array)(701)로부터 받은 신호를 출력하지 않고, 스위칭제어부(705)로부터 스위치를 여는 신호를 받으면 1차원 트랜스듀서-배열(Transducer array)로부터 받은 신호를 수신 신호 지연부(703)으로 출력한다.

[0024] 수신 신호 지연부(703)는 1차원 트랜스듀서-배열(Transducer array)(701)의 각 채널당 독립적으로 구비되어 있으며, 정해진 집속점에 대해서 지연 제어부(707)에 의해 각 채널당 입력되는 지연 정보만큼 스위칭부(702)에 의해 통과되는 신호를 지연시킨다.

[0025] 수신 신호 지연부(703)가 시간 지연 해상도를 조절하는 한 실시예로 CCD(charge-coupled device)의 활용을 들 수 있다. 도 6은 CCD소자의 개략적인 구조를 도시한 도면이다. CCD는 전하의 축적과 이동을 이용하는 반도체 집적 회로 소자로서, 반도체 표면(501)에 0.1㎜ 정도 두께의 절연층(502)을 형성하고 그 위에 금속 전극(5031, 5032, 5033)을 배열하여 이 금속 전극의 전압을 제어함으로써 반도체 표면 전위의 낮은 부분을 좌우로 이동시켜 축적된 전하를 순차로 전송시킬 수 있는 소자이다. 절연층은 SiO2로 제조할 수 있다. CCD소자는 신호가 입력되면 504출력과 같이 신호의 지연 없는 신호를 출력한다. 금속 전극에는 전압이 인가, 제거가 반복될 수 있는데 금속 전극에 전압이 인가될 경우 인가된 금속 전극 바로 밑의 절연층 하부에 쿨롱힘에 의해 전하가 축적된다. 도 6에 도시된 바와 같이 만일 5031 금속 전극에 전압이 인가될 경우, 5031 금속 전극 바로 밑의 절연층 하부에 입력 전하가 축적된다. 5031 금속 전극에 전하가 축적되었다가, 5031 금속 전극에 전압이 제거됨과 동시에 5032 금속 전극에 전압이 인가가 되면, 이 전하들은 5032 금속 전극 바로 밑 절연층 하부로 옮겨진다. 같은 원리로 5032 금속 전극에 전압이 제거 되고 5033 금속 전극에 전압이 인가되면 이 전하들이 5033 금속 전극 바로 밑 절연층 하부로 옮겨진다. 즉, 일정한 시간차이를 두고 전압의 인가를 제어할 경우 일정한 시간이 지연된 출력을 505, 506, 507출력에서 얻을 수 있게 된다. 도 6에 도시된 CCD소자를 도 7의 (a)와 같이 도식화 해서 표현할 수 있다. CCD소자에 인가된 전극의 개수만큼 박스로 표현할 수 있고, 배열된 전극의 수만큼 출력이 지연될 수 있기 때문에 3개의 지연 출력과, 입력이 그대로 나오는 출력까지 총 4개의 출력을 얻을 수 있다. 도 7의 (a)에 도시된 4개의 출력이 왼쪽에서부터 차례로 도 6에 표시된 504, 505, 506, 507출력이다.

[0026] 도 7은 CCD(charge-coupled device)에서 입력 클락(clock)과 시간 지연 해상도와의 관계를 설명한 그림이다. 이때 입력 클락은 CCD 소자에 배열된 금속 전극을 제어하는 전압으로 사용된다. 도 7의 (a)는 CLK1이 입력 클락(CLK1의 주파수 fo1가 1Hz, 주기 To1이 1s)으로 들어갈 때 CCD(charge-coupled device)의 각 출력에서 나오는

시간 지연을 표시한 것이다. CCD(charge-coupled device)의 첫 번째 출력에서는 시간 지연이 되지 않은 출력이 나오지만, 두 번째 출력에서는 To1만큼의 출력 지연이, 세 번째 출력에서는 2To1만큼의 출력이 지연된다. 도 7의 (b)에서는 CCD(charge-coupled device)에 CLK2의 입력 클락(CLK2의 주파수 fo2가 2Hz, 주기 To2이 0.5s)이 인가되었을 때를 도시한 것이다. 이때에는 CCD(charge-coupled device)의 각 출력은 To2만큼의 시간 지연만큼 증가된다. 따라서 이 CCD(charge-coupled device)를 활용한다면 수신 신호 지연부(703)는 입력되는 클락을 조정함으로써, 시간 지연 해상도를 조정할 수 있다. 즉, 입력 클락의 주파수를 2배 높이면 그만큼 시간지연 해상도도 2배 상승하게 된다.

[0027] 하지만 최대 지연 시간의 관점에서 보면, 같은 CCD(charge-coupled device)를 활용했음에도 불구하고 도 7의 (a)에서는 수신 신호 지연부(703)가 최대 3초까지 최대 지연이 되지만, 도 7의 (b)에서는 최대 1.5초밖에 지연이 되지 않는다. 결국 수신 신호 지연부(703)가 시간 지연 해상도를 높임과 동시에 동일한 최대 지연 시간을 확보하기 위해서는 도 7의 (c)와 같이 CCD(charge-coupled device)의 직렬 연결 개수를 증가시켜야 됨을 알 수 있다. 이를 역으로 이용하면 수신 신호 지연부(703)는 동일한 최대 지연 시간을 수행하는데 있어서, 시간 지연 해상도를 낮추면 CCD(charge-coupled device)의 직렬 연결 개수를 줄일 수 있다. 본 발명의 요지는 이 방법을 이용하여 동일한 최대 지연 시간을 수행하면서도 CCD 소자의 직렬 연결 개수를 줄이는 데에 있다.

[0028] 도 8은 시간 지연 해상도가 낮은 경우 시간 지연에 오차가 생길 수 있는 경우를 도시한 도면이다. 본 발명의 요지는 CCD(charge-coupled device)의 시간 지연 해상도를 낮추어 직렬 연결 개수를 줄이지만, 빔포밍 성능은 최대한 유지시키는데 있다. 식별 부호 601은 수신 신호 지연부(703)의 "최소 시간 단위"가 To1일 때 두 개의 채널에서의 시간 지연을 수행한 결과를 나타낸 것이고, 식별 부호 602는 "최소 시간 단위"가 To2일 때 식별 부호 601의 신호와 같은 신호를 두 개의 채널에서 시간 지연을 수행한 결과를 나타낸 것이다. "최소 시간 단위"인 To2는 To1의 두 배이다. 따라서 시간 지연 해상도는 601이 602보다 2배 높다. 601 결과에서는 수신 신호 지연부(703)에 의해 두 신호의 중심이 정확하게 일치하게 시간 지연이 수행된 반면, 같은 신호에 대해 시간 지연 해상도가 낮고 "최소 시간 단위"가 큰 To2로 시간 지연이 수행된 602 결과는 두 신호의 중심이 어긋나 있음을 알 수 있다. 따라서, 수신 신호 지연부(703)가 낮은 시간 지연 해상도로 시간 지연을 할 경우 시간 지연이 어긋나 영상의 품질이 저하될 수 있다.

[0029] 아날로그 합산부(704)는 수신 신호 지연부(703)로부터 지연된 전기적 신호를 중첩시켜 하나의 신호를 생성한다. 생성된 신호는 AD컨버터(709)로 출력된다.

[0030] 스위칭제어부(705)는 제어부(706)에 의해 집속점의 위치 좌표 정보를 받고, 이 집속점과 각 채널과의 거리를 계산하여 각 채널에 신호가 반사되어 도달하는 시점에만 각각의 스위칭부(702)에 스위치를 여는 신호를 출력한다.

[0031] 제어부(706)은 사용자 혹은 다른 장치로부터 스캔의 시작명령을 입력 받으면, 집속점을 차례로 변경하면서(도 4에서와 같은 방법으로 변경할 수 있다.) 스위칭제어부(705), 지연 제어부(707), 클락 생성부(708) 및 잔류 신호 제거부(711)에 집속점의 위치 좌표 정보를 출력한다. 이때 제어부(706)가 받는 사용자의 입력은 프로브(401)에 구비된 스위치에 의해 스캔의 시작명령을 입력 받을 수 있고, 다른 장치로부터의 스캔 시작명령은 프로브(401)에 구비된 접촉 센서에 의해 프로브(401)가 신체에 접촉되었을 때 스캔의 시작명령을 입력 받을 수 있다.

[0032] 지연 제어부(707)는 제어부로부터 집속점에 대한 위치 좌표 정보를 받으면, 각각의 채널과 집속점과의 거리에 기초해 지연시간을 계산하여, 지연시간에 대한 정보를 수신 신호 지연부(703)에 출력한다. 본원 발명의 일 실시예에 따른, 클락 생성부(708)는 서로 다른 주파수를 갖는 클락들 복수 개를 생성하여 수신 신호 지연부(703)에 제공할 수 있다. 이 실시예에 대해서는 도 11에 도시된 내용과 함께 상세하게 설명된다. 이하에서 구성요소가 하는 기능은 제어부(706)가 하나의 집속점을 지정하고 이 집속점에 대하여 스캔을 수행하는 과정을 통해 설명한다.

[0033] AD컨버터(709)는 아날로그 합산부(704)에 의해 생성된 아날로그 신호를 디지털 신호로 전환하여 디지털 빔포밍부(710)로 출력한다.

[0034] 1차원 트랜스듀서-배열(701)이 2차원 트랜스듀서-배열(202) 중 하나일 경우 1차원 트랜스듀서-배열(701)이 복수개일 수 있다. 디지털 빔포밍부(710)는 복수 개의 1차원 트랜스듀서-배열(701) 각각에 대응하는 AD컨버터(709)의 복수 개의 디지털 신호들의 빔포밍을 수행한다. 디지털 빔포밍부(710)는 빔포밍이 수행된 디지털 신호를 영상 생성 장치(403)으로 출력한다.

[0035] 잔류 신호 제거부(711)는 제어부로부터 집속점의 위치 좌표 정보를 입력 받고, 수신 신호 지연부(703) 내의 CCD(charge-coupled device) 소자 내에 초음파 신호를 제외하고 나머지 잔류 신호를 제거한다. 즉, 초음파 신호

에 의한 신호 외에 각각의 트랜스듀서를 통해 들어온 신호를 제거해 영상 정보로 변환되는 신호를 필터링한다.

[0036] 영상 생성 장치(403)는 제어부로부터 집속점의 위치 좌표 정보를 입력 받고, 이 집속점에 대응되는 디지털 신호의 세기를 디지털 빔포밍부(710)로부터 입력 받아 메모리에 영상 정보로 일시적으로 저장할 수 있다. 영상 생성 장치(403)는 전체 영상의 집속점에 대한 영상 정보가 저장될 경우 이를 영상 표시 장치(404)에 출력할 수 있다.

[0037] 도 9는 클락 생성부(708)의 일실시예를 나타내는 구성도이다. 도 5의 클락 생성부(708)는 제 1 클락 생성부(1001), 제 2 클락 생성부(1002) 및 제 1 클락 위상 천이부(1003)으로 구성된다. 제 1 클락 생성부(1001)는 제 1 클락을 제 1 클락 위상 천이부(1003)에 제공한다. 제 1 클락 위상 천이부(1003)는 제 1 클락 생성부(1001)로부터 입력 받은 제 1 클락의 위상을 0도, 90도, 180도, 270도만큼 천이(shift) 한다. 제 1 클락 위상 천이부(1003)는 천이한 제 1 클락을 수신 신호 지연부(703) 내부의 제 1 CCD 지연소자(도 10의 101)에 제공한다. 제 2 클락 생성부(1002)는 제 2 클락을 수신 신호 지연부(703) 내부의 제 2 CCD 지연소자(도 10의 102)에 제공한다.

[0038] 도 10은 시간 지연 오차를 교정하는 수신 신호 지연부(703) 내부의 하나의 채널(100)의 일실시예를 도시한 도면이다. 도 5의 수신 신호 지연부(703)의 하나의 채널(100)의 하나의 실시예는 제 1 CCD 지연소자(101), 제 2 CCD 지연소자(102), 제 1 출력 선택부(103), 제 2 출력 선택부(104) 및 출력 선택 제어부(105)로 구성되어 있다. 도 10A는 입력신호를 제 1 CCD 지연소자(101), 제 2 CCD 지연소자(102) 순서로 통과시킨 구조를 도시한 도면이고, 도 10B는 입력신호를 제 2 CCD 지연소자(102), 제 1 CCD 지연소자(101) 순서로 통과시킨 구조를 도시한 도면이다.

[0039] 제 1 CCD 지연소자(101)는 도 7에서 기술된 방법으로 각 채널의 입력 신호를 제 1 클락을 기초로 지연시킨 복수개의 출력들을 생성한다.(이때 출력의 수는 CCD소자의 직렬 연결 개수보다 하나 더 많다.) 이때 제 1 클락은 제 2 클락보다 상대적으로 낮은 값으로, 제 1 클락을 기초로 입력 신호를 지연 시키면 상대적으로 큰 "최소 시간 단위"를 이용하여 큰 시간 지연 효과를 얻는다. 제 1 출력 선택부(103)는 제 1 CCD 지연소자(101)로부터 복수개의 지연된 신호를 입력 받고, 이 중 출력 선택 제어부(105)로부터 입력 받은 정보를 기초로 이 복수 개의 출력들 중 하나만을 제 2 CCD 지연소자(102)로 출력한다. 제 2 CCD 지연소자(102)는 제 1 출력 선택부(103)으로부터 입력 받은 신호를 제 2 클락을 기초로 지연시킨 복수 개의 출력들을 생성하여, 제 2 출력 선택부(104)로 출력한다. 제 2 클락은 제 1 클락보다 상대적으로 높은 값을 가져서, 제 1 클락을 기초로 입력 신호를 지연할 때 보다 상대적으로 작은 "최소 시간 단위"를 이용하여 작은 시간 지연 효과를 얻는다. 이때 제 2 CCD 지연소자(102)는 작은 시간 지연을 가지므로 높은 시간 지연 해상도를 얻을 수 있다. 본 실시예에서 제 1 클락과 같이 상대적으로 큰 "최소 시간 단위"를 이용하여 시간을 지연 시키는 동작을 "비정밀 시간 지연(Coarse time delay)", 제 2 클락과 같이 상대적으로 작은 "최소 시간 단위"를 이용하여 시간을 지연 시키는 동작을 "정밀 시간 지연(fine time delay)"이라고 정할 수 있다. 제 2 출력 선택부(104)는 제 2 CCD 지연소자(102)로부터 입력 받은 복수 개의 출력 중 출력 선택 제어부(105)로부터 입력 받은 신호를 기초로 위 복수 개의 출력 중 하나의 신호를 선택한다. 이 출력 선택 제어부(105)는 각각 다르게 지연된 신호들 중 하나를 선택함으로써 신호를 원하는 시간만큼 지연하는 효과를 낼 수 있다. 출력 선택 제어부(105)는 지연 제어부(707)로부터 지연 제어 패턴을 입력 받고, 이 지연 제어 패턴에 의한 시간 지연에 해당하는 스위치 동작 신호를 제 1 출력 선택부(103)과 제 2 출력 선택부(104)에 내보낸다.

[0040] 이때 클락의 개수는 시간 지연을 위해 사용하는 시간 지연 해상도의 개수와 같다. 왜냐하면 각각의 CCD 지연소자(101, 102)는 클락에 의해 시간 지연 해상도가 결정되기 때문이다. 한편, 도 10의 예에서 제 1 CCD 지연소자(101)의 시간 지연 해상도를 f1[Hz]라고 한다면, 제 2 CCD 지연소자(102)의 시간 지연 해상도 f2[Hz]는 f1의 4배로 설정하였다. 그러면 제 1 CCD 지연 소자의 "최소 시간 단위"인 제 1 "최소 시간 단위"는 T1초로 "비정밀 시간 지연(Coarse time delay)"의 "최소 시간 단위"이고, 제 2 CCD 지연 소자의 "최소 시간 단위"인 제 2 "최소 시간 단위"는 T2초로 "정밀 시간 지연(fine time delay)"의 "최소 시간 단위"이다. 따라서 이 예에서 T1은 T2의 4배이다.

[0041] 제 1 출력 선택부(103), 제 2 출력 선택부(104)는 각각 "비정밀 시간 지연(Coarse time delay)"과 "정밀 시간 지연(fine time delay)"의 신호를 선택하는 역할을 한다. 각각의 출력선택부 칸 내에 적혀있는 숫자는 출력선택부 입력의 번호를 뜻한다. 아래첨자는 제 몇 출력선택부를 나타내는지 번호를 나타낸다. 즉, 제 1 출력 선택부(103)에는 아래첨자 1을 공통으로 하여 01, 11, 21, 31, ... n1이고, 제 2 출력 선택부(104)에는 아래첨자 2를 공통으로 하여 02, 12, 22, 32...식의 식별 번호로 구분한다. 출력 선택부(103, 104)의 입력 개수는 결국 각각의 CCD 지연소자의 출력의 개수를 뜻하는데, 이 출력의 개수는 제 1 시간 지연 해상도, 제 2 시간 지연 해상도와 연관이 있다. 그 이유는 다음과 같다. 복수 개의 시간 지연 해상도를 활용할 경우 수신 신호 지연부(703)은

CCD 지연 소자의 개수를 줄일 수 있는데, 구체적으로 T2시간의 4배가 T1임을 이용하여 T2만큼의 시간 지연을 4번 반복하는 것 대신, T1만큼의 시간지연 한번으로 대체하여 CCD(charge-coupled device)소자의 개수를 줄이는 것이다. 따라서 T1이 T2의 네 배라는 조건에서 T2의 CCD 지연 소자의 개수는 3개를 넘을 필요가 없다. CCD 지연 소자의 개수가 3개라면 도 7에서 기술한 바와 같이 출력의 시간 지연이 0초, T0초, 2T0초, 3T0초 네 개가 나온다. 따라서 T1이 T2의 네 배라는 예에서는 제 2 출력 선택부(104)의 입력이 4개가 될 수 있다. 반면, 제 1 CCD 지연소자(101)의 개수는 필요한 지연 시간에 따라서 달라질 수 있다. 예를 들면 100초의 시간 지연을 할 때에 제 1 "최소 시간 단위"를 이용하여 수행해야 하는 시간 지연의 횟수만큼 CCD 지연 소자의 개수가 필요하다. 따라서 제 1 CCD 지연소자(101)의 개수가 n개이고 제 2 CCD 지연 소자(102)의 개수가 3개일 때에 지연을 수행할 수 있는 최대 시간은 아래 수학식 1과 같다. 예를 들면, T1이 4초이고 T2가 1초일 때 필요한 시간 지연이 98초라면, 제 1 CCD 지연소자의 개수 n은 24개가 되고, 제 2 CCD 지연소자의 개수는 2개가 된다.

수학식 1

[0042] $$(n \times T_1) + T_2 = n \times (4T_2) + T_2 = (4n+1)T_2$$

[0043] 도 11은 도 10의 수신 신호 지연부(703)가 시간 지연 오차를 교정하는 방법을 도시한 도면이다. 도 11의 (a)는 전형적인 방법을 이용하여 CCD 지연 소자로 시간 지연을 수행할 때에 필요한 CCD 지연 소자의 개수를 도시한 도면이고, (b)는 본원 발명에서 CCD 지연 소자를 이용하여 시간 지연을 수행할 때에 필요한 CCD 지연 소자의 개수를 도시한 도면이다. (b)에서 수신 신호 지연부(703)는 복수 개의 "최소 시간 단위"(즉, 복수 개의 시간 지연 해상도)를 이용하여 시간 지연을 수행하고 있다. 도 11의 예는 수신 신호 지연부(703)가 13초의 시간 지연을 시키고자 하고 있으며, 제 1 시간 지연 해상도가 1/4Hz인 경우 제 1 "최소 시간 단위"는 T1로 표시되어 있으며, T1는 4초이다. 제 2 시간 지연 해상도가 1Hz일 때에 제 2 "최소 시간 단위"는 T2으로 표시되어 있으며 T2은 1초이다. 수신 신호 지연부(703)가 (a)와 같이 제 2 시간 지연 해상도로 시간 지연을 수행할 경우 제 2 "최소 시간 단위"를 13번 적용하면 13초의 시간 지연 효과를 얻을 수 있다. 수신 신호 지연부(703)가 제 1 시간 지연 해상도(T1=4초)로 시간 지연을 수행할 경우 제 1 "최소 시간 단위"를 3번 적용하면 12초의 시간 지연 효과를 얻을 수 있다. 하지만 13초의 시간 지연과 비교했을 때에 1초의 오차가 발생한다. 따라서 수신 신호 지연부(703)는 이 오차를 교정하기 위해 제 1 "최소 시간 단위"와 함께 제 2 "최소 시간 단위"를 이용하여 시간 지연을 교정할 수 있다. 수신 신호 지연부(703)은 먼저 제 1 CCD 지연 소자(101)를 이용하여 제 1 최소 시간 지연(T1=4초)의 정수배를 지연시키고 이 지연시킨 신호을 다시 제 2 CCD 지연 소자(102)를 이용하여 제 2 최소 시간 지연(T2=1초)의 정수배를 지연시킨다. 즉, 수신 신호 지연부(703)는 최소 시간 지연을 복수 개를 두어 시간 지연을 수행한다. 이렇게 최소 시간 지연을 복수 개를 두어 시간 지연을 수행하면 수신 신호 지연부(703)에 필요한 각각의 CCD 지연 소자는 (a)의 경우 13개, (b)의 경우 4개가 필요하다. 따라서 수신 신호 지연부(703)가 신호를 지연시킬 때 필요한 소자의 개수를 줄일 수 있다.

[0044] 도 12는 도 10의 수신 신호 지연부(703)가 시간 지연을 두 단계로 나누어 수행하는 것을 도시한 도면이다. 도 12의 (a)는 제 1 CCD 지연소자(101)가 제 1 시간 지연 해상도(T1=4초)를 가지고 시간지연을 수행하는 과정을 나타낸 것이다. 이때 (a)의 상단에 존재하는 클락은 도 10A에 제 1의 클락이다. (b)는 제 2 CCD 지연소자(102)가 (a)과정에서 시간 지연이 된 신호를 한번 더 제 2 시간 지연 해상도로 시간지연을 수행하는 과정을 나타낸 것이다. 이때 (b)의 상단에 존재하는 클락은 도 10A의 제 2의 클락이다. 수신 신호 지연부(703)가 (a)과정만을 거쳤을 때에는 도 8에서와 같은 과정에 해당하여 시간 지연 시 오차가 있지만, (a)과정을 거친 신호가 다시 (b)과정을 거치게 되면 최종 결과에 시간 지연 오차가 감소하거나 사라질 수 있다.

[0045] 도 13은 도 10의 출력 선택 제어부(105)의 일 실시예에 따른 내부 구조를 나타낸 도면이다. 도 10에 도시된 출력 선택 제어부(105)는 SIPO 쉬프트 레지스터(Serial-in Parallel-out Shift Register)(131)로 구성된다. SIPO 쉬프트 레지스터(131)는 하나의 입력에 순차적으로 복수 개의 신호들을 인가 시, 순차적으로 입력되는 신호 개수만큼의 복수 개의 출력들에서 각각의 신호를 출력시킨다. 지연 제어 패턴과 실제 신호가 지연되는 시간과의 관계를 좀 더 상세히 설명하면, CCD 지연소자(101, 102)는 입력 신호가 "최소 시간 단위"의 정수배만큼 지연된 복수 개의 출력을 생성한다. 이때 출력 선택 제어부(105)가 이 복수 개의 출력 중 지연하고자 하는 만큼 지연된 신호를 선택함으로써 신호를 원하는 시간만큼 지연시키게 된다. 도 13의 출력 선택 제어부(105)가 신호를 선택하는 구체적인 과정은 다음과 같다. 출력 선택 제어부(105)는 각각의 출력 선택부(103, 104)로 선택신호를 출력

하는데, 선택신호란 각각의 출력 선택부(103, 104)에서 입력을 선택하기 위한 신호를 뜻한다. 선택한 출력의 선택신호는 1, 선택하지 않은 출력의 선택신호는 0이라고 지정할 수 있다. 출력 선택 제어부(105)는 지연 제어부(707)로부터 0과 1로 구성된 지연 제어 패턴을 하나의 입력에서 직렬(Serial)로 순차적으로 입력 받고, 제 1 출력 선택부(103), 제 2 출력 선택부(104)를 제어하는 신호를 복수 개의 병렬(Parallel) 출력들로 내보낸다. 예를 들면 지연 제어부(707)로부터 0001이라는 입력을 출력 선택 제어부(105)가 하나의 입력에서 받게 되면, 4개의 출력으로 각각 0, 0, 0, 1이라는 출력들을 출력 선택부(103, 104)로 내보낸다. 각각의 출력 선택부(103, 104)는 출력 선택 제어부(105)로부터 선택신호를 입력 받고, 선택신호에 해당하는 CCD 지연소자의 복수 개의 출력들 중 하나를 선택하여 출력한다. 도 13에서 출력 선택 제어부 내부의 숫자는 각각의 출력 선택부(103, 104)로 출력하는 스위칭 신호의 개수를 뜻하며, 이는 각각의 CCD 지연소자(101, 102)의 출력의 개수와 같다. 아래첨자는 제어하는 출력 선택부에 부여한 번호를 나타낸 것이다. 01, 11, 21, ... (n-1)1, n1은 제 1 출력 선택부(103)에 부여한 번호이며 "비정밀 시간 지연(Coarse time delay)"의 출력을 선택한다. 02, 12, 22, 32는 제 2 출력 선택부(104)에 부여한 번호이며, "정밀 시간 지연(fine time delay)"의 출력을 선택한다. 각각 "정밀 시간 지연(fine time delay)"과 "비정밀 시간 지연(Coarse time delay)"에서 신호를 하나씩 선택해야 하므로, 출력 선택 제어부(105)는 선택 신호를 출력 선택 제어부 내의 번호 중 01~n1과 02~32에서 각각 1이 하나씩 나오고 나머지 숫자는 0이 되도록 출력할 수 있다. 따라서 지연 제어부(707)는 필요한 지연 시간에 해당하는 각각의 지연 제어 패턴들을 아래 표 1과 같이 데이터로 저장하고 제어부(706)으로부터 집속점의 위치 좌표 정보를 입력 받으면, 각각 채널 별로 필요한 지연 시간을 연산하고, 각각 필요한 지연 시간만큼의 지연 제어 패턴을 출력 선택 제어부(105)에 전송할 수 있다.

표 1

[0046]

패턴 번호	지연 제어 패턴								지연 되는 시간	상대적인 지연 크기
	제 1 스위칭부 (비정밀 시간 지연)				제 2 스위칭부 (정밀 시간 지연)					
	0	1	…	n	0	1	2	3		
1	1	0	…	0	1	0	0	0	0	작음
2	1	0	…	0	0	1	0	0	T2	
3	1	0	…	0	0	0	1	0	2T2	
4	1	0	…	0	0	0	0	1	3T2	
5	0	1	…	0	1	0	0	0	T1	
6	0	1	…	0	0	1	0	0	T1+T2	
7	0	1	…	0	0	0	1	0	T1+2T2	
8	0	1	…	0	0	0	0	1	T1+3T2	
9	0	0	…	0	1	0	0	0	2T1	
10	0	0	…	0	0	1	0	0	2T1+T2	
11	0	0	…	0	0	0	1	0	2T1+2T2	
12	0	0	…	0	0	0	0	1	2T1+3T2	
· · ·			·				·		· · ·	
4n+1	0	0	…	1	1	0	0	0	nT1	
4n+2	0	0	…	1	0	1	0	0	nT1+T2	큼
4n+3	0	0	…	1	0	0	1	0	nT1+2T2	
4n+4	0	0	…	1	0	0	0	1	nT1+3T2	

[0047] 가장 왼쪽에 위치한 첫 번째 열은 패턴순서로 부여한 번호를 뜻한다. 오른쪽에서 두 번째 열은 지연되는 시간이 계산된 것으로, 지연 제어부(707)는 지연이 필요한 시간을 계산한 결과를 오른쪽에서 두 번째 열의 결과와 비교하여 대응되는 지연 제어 패턴을 결정할 수 있다.

[0048] 도 10B에서와 같이 입력 신호를 제 2 CCD 지연 소자에 먼저 통과시키는 구조에서는 출력 선택 제어부(105)는 도 13B의 구조를 갖는다. 이때에도 선택한 스위치 소자에 1의 신호를, 나머지 스위치 소자에 0의 신호를 인가한다면 지연 제어부(707)는 아래 표2와 같이 지연 제어 패턴을 저장할 수 있다.

표 2

[0049]

패턴 번호	지연 제어 패턴								지연 되는 시간	상대적인 지연 크기
	제 2 스위칭부 (정밀 시간 지연)				제 1 스위칭부 (비정밀 시간 지연)					
	0	1	2	3	0	1	…	n		
1	1	0	0	0	1	0	…	0	0	작음
2	0	1	0	0	1	0	…	0	T2	
3	0	0	1	0	1	0	…	0	2T2	
4	0	0	0	1	1	0	…	0	3T2	
5	1	0	0	0	0	1	…	0	T1	
6	0	1	0	0	0	1	…	0	T1+T2	
7	0	0	1	0	0	1	…	0	T1+2T2	
8	0	0	0	1	0	1	…	0	T1+3T2	
9	1	0	0	0	0	0	…	0	2T1	
10	0	1	0	0	0	0	…	0	2T1+T2	
11	0	0	1	0	0	0	…	0	2T1+2T2	
12	0	0	0	1	0	0	…	0	2T1+3T2	
· · ·	· · ·				· · ·					
4n+1	1	0	0	0	0	0	…	1	nT1	
4n+2	0	1	0	0	0	0	…	1	nT1+T2	큼
4n+3	0	0	1	0	0	0	…	1	nT1+2T2	
4n+4	0	0	0	1	0	0	…	1	nT1+3T2	

[0050] 도 14는 도 10의 출력 선택 제어부(105)의 또 다른 실시예에 따른 내부 구조를 나타낸 도면이다. 도 14의 실시예에 따른 도 10의 출력 선택 제어부(105)는 선택 신호 출력부(141)과 저장부(142)로 구성된다. 지연 제어부(707)는 저장 단계와 스캔단계를 반복하는데, 저장단계에서 복수 개의 집속점에 대한 지연 제어 패턴과 저장 주소를 함께 패턴 저장부(142)에 저장한다. 트리-스테이트 버퍼 블락(143)은 저장 단계에서 출력 선택 제어부(105)와 출력 선택부(103, 104)와의 연결을 차단하고, 스캔단계에서는 차단을 해제하는 역할을 하는데, 연결의 차단과 해제는 지연 제어부(707)로부터 버퍼를 차단하는 버퍼 제어 신호를 입력 받아서 한다. 트리-스테이트 버퍼는 논리 소자의 하나로써, 입력으로는 데이터 입력과 버퍼 제어신호로 두 개가 있고, 출력으로는 데이터 출력이 하나 있다. 트리-스테이트 버퍼 블락(143)은 트리-스테이트 버퍼로 이루어진 블락으로서, 도 15의 내부 구조와 함께 상세하게 설명된다. 버퍼를 차단하는 버퍼 제어신호는 0, 차단을 해제하는 버퍼 제어신호는 1로 설정될 수 있다. 트리-스테이트 버퍼 블락(143)은 지연 제어부(707)로부터 차단한다는 버퍼 제어 신호를 받으면, 출력 선택 제어부(105)와 출력 선택부(103, 104)와의 연결을 차단한다. 트리-스테이트 버퍼 블락(143)이 차단을 한 후, 지연 제어부(707)은 복수 개의 지연 제어 패턴과 주소(address)를 패턴 저장부(142)에 제공하면, 패턴 저장부(142)는 각각의 주소에 해당하는 지연 제어 패턴을 순차적으로 저장한다. 이때 표 3(비정밀 시간 지연을 먼저 수행하는 경우)과 같이 패턴번호의 순서와 도 4의 하나의 스캔라인에서 집속점의 깊이 방향(depth) 순서대로 저장할 경우 영상을 스캔할 때 주소에 따라 순차적으로 지연 제어 패턴을 불러올 수 있어 높은 프래임율을 갖는 영상을 얻을 수 있다. 저장 단계가 끝나면 스캔 단계를 시작한다. 스캔 단계는 지연 제어 패턴을 순차적으로 출력하여, 복수 개의 집속점들에 대해 빔포밍을 수행하는 단계이다. 이 단계는 저장부(142)에 저장되어 있는 지연 제어 패턴들을 주소 번호의 순서에 따라 차례로 읽어 선택 신호 출력부(141)에 전송하고, 선택 신호 출력부(141)은 이 신호를 출력 선택부(103, 104)에 순차적으로 내보낸다.

표 3

[0051]

주소 번호	저장되는 지연 데이터								집속점 깊이 방향
	(비정밀 시간 지연)				(정밀 시간 지연)				
	0	1	…	n	0	1	2	3	

#1	1	0	…	0	1	0	0	0	깊음
#2	1	0	…	0	0	1	0	0	
#3	1	0	…	0	0	0	1	0	
#4	1	0	…	0	0	0	0	1	
#5	0	1	…	0	1	0	0	0	
#6	0	1	…	0	0	1	0	0	
· · ·	· · ·	· · ·	· · ·	· · ·	· · ·	· · ·	· · ·	· · ·	
#(2^k-2)	0	0	…	1	0	1	0	0	얕음
#(2^k-1)	0	0	…	1	0	0	1	0	
#(2^k)	0	0	…	1	0	0	0	1	

[0052] 정밀 시간 지연을 먼저 수행하는 경우 패턴 저장부(142)에 저장되는 지연 데이터는 아래 표 4와 같은 형태일 수 있다.

표 4

[0053]

주소 번호	저장되는 지연 데이터								집속점 깊이 방향
	(정밀 시간 지연)				(비정밀 시간 지연)				
	0	1	2	3	0	1	…	n	
#1	1	0	0	0	1	0	…	0	깊음
#2	0	1	0	0	1	0	…	0	
#3	0	0	1	0	1	0	…	0	
#4	0	0	0	1	1	0	…	0	
#5	1	0	0	0	0	1	…	0	
#6	0	1	0	0	0	1	…	0	
· · ·	· · ·	· · ·	· · ·	· · ·	· · ·	· · ·	· · ·	· · ·	
#(2^k-)2	0	1	0	0	0	0	…	1	얕음
#(2^k-1)	0	0	1	0	0	0	…	1	
#(2^k)	0	0	0	1	0	0	…	1	

[0054] 도 15는 도 14의 트리-스테이트 버퍼 블락(143)의 내부 구조를 도시한 도면이다. 출력 제어 선택부(105)로부터 복수 개의 지연 패턴을 입력 받으면, 버퍼 제어신호에 따라서 입력 받은 복수 개의 지연 패턴을 통과 시키거나, 차단시킨다. 즉, 도 14의 트리-스테이트 버퍼 블락(143)는 저장 단계에서 출력선택부(103, 104)와 출력 제어 선택부(105)의 연결을 차단한 상태를 유지하는 역할을 수행한다. 트리-스테이트 버퍼 블락(143) 복수 개의 입력들과 복수 개의 출력들은 각각 트리-스테이트 버퍼(three state buffer) 소자들로 연결되어 있다. 버퍼 제어신호는 데이터 입력을 개폐하는 역할로써, 버퍼 제어신호가 1이 입력이 되면 트리-스테이트 버퍼는 데이터 입력을 단순히 1의 증폭비로 증폭하여 출력으로 내보내고, 버퍼 제어신호가 0이면 데이터 입력이 들어가도 트리-스테이트 버퍼는 아무런 출력을 내보내지 않는다. 도 14의 지연 제어부(707)는 데이터를 패턴 저장부(142)에 저장하는 저장 단계에서 트리-스테이트 버퍼 블락(143)에 버퍼 제어신호를 "0"으로 인가하여 출력 선택부(103, 104)와 출력 선택 제어부(105)의 연결을 차단할 수 있다. 저장 단계 후 도 14에서 설명한 스캔 단계에서는 지연 제어부(707)는 버퍼 제어신호를 "1"으로 인가하여 출력 선택부(103, 104)와 출력 선택 제어부(105)를 연결할 수 있다.

[0055] 도 16은 2차원 트랜스듀서-배열(Transducer array)이 하나의 평면 영상을 얻는 방법을 도시한 도면이다. 측방향(Lateral Direction)을 x축, 고도방향(Elevation Direction)을 y축, 축방향(Axial Direction)을 z축이라고 했을 때, xz평면과 얻고자 하는 평면과 이루는 각을 Θ라고 한다. Θ1의 각을 갖는 임의의 평면의 영상을 얻기 위해서 모든 트랜스듀서-배열 하나하나에 시간 지연을 수행해야 한다. 도 16의 (b)는 (a)의 2차원 트랜스듀서-배열을 x-y축 평면을 기준으로 도시한 도면이다. (b) 도면에서 고도방향(y축)으로의 1차원 배열을 서브어레이(Sub-array)라고 지정하고, 트랜스듀서 각각에 표시되어 있는 숫자는 표 1 또는 표 2의 패턴번호이다. 그리고

가장 왼쪽에서부터 숫자를 지정하여 제 1 서브어레이, 제 2 서브어레이 등으로 지정할 수 있다. 각각의 서브어레이는 Θ의 값이 동일하기 때문에 서브어레이는 같은 시간 지연 패턴을 갖는다. 도 16의 (b)에서 각각 서브어레이들의 시간 지연 패턴이 동일하게 표기되어 있음을 확인할 수 있다. Θ 값 하나에 하나의 영상이 대응되므로, Θ를 N개를 지정하면 N개의 영상을 얻을 수 있다. 한편, 하나의 서브어레이에 위와 같이 지연 패턴을 제어하기 위해서 K비트의 제어 데이터를 활용하면 2의 K승 개 만큼의 영상을 제어할 수 있다. 예를 들면, 지연 제어부(707)가 표 5와 같이 K비트를 3비트라고 가정하고 각 데이터에 대응하는 서브어레이 시간 지연 패턴을 저장할 수 있다.

표 5

[0056]

	비트 번호			서브어레이의 시간 지연 패턴						
Θ	#1	#2	#3	E_1	E_2	E_3	…	E_N	E_{N-1}	E_N
Θ1	0	0	0	1	4	10	…	10	4	1
Θ2	0	0	1	1	4	9	…	9	4	1
Θ3	0	1	0	1	4	8	…	8	4	1
Θ4	0	1	1	1	3	8	…	8	3	1
Θ5	1	0	0	1	3	6	…	7	3	1
Θ6	1	0	1	1	3	5	…	5	3	1
Θ7	1	1	0	1	2	5	…	5	2	1
Θ8	1	1	1	1	2	4	…	4	2	1

[0057] 표 5에서 E1~EN은 서브어레이의 각 트렌스듀서를 뜻하고, N은 서브어레이에서 트렌스듀서의 개수이다. 3비트로 2의 3승 개의 경우의 수를 만들 수 있으므로, 8개의 평면에 대한 서브어레이의 시간 지연 패턴을 대응시킬 수 있고, 따라서 지연 제어부(707)은 K비트를 활용할 경우에는 2의 K승 개의 평면을 제어할 수 있다.

[0058] 한편, 상술한 본 발명의 실시예들은 컴퓨터에서 실행될 수 있는 프로그램으로 작성 가능하고, 컴퓨터로 읽을 수 있는 기록매체를 이용하여 상기 프로그램을 동작시키는 범용 디지털 컴퓨터에서 구현될 수 있다. 또한, 상술한 본 발명의 실시예에서 사용된 데이터의 구조는 컴퓨터로 읽을 수 있는 기록매체에 여러 수단을 통하여 기록될 수 있다. 상기 컴퓨터로 읽을 수 있는 기록매체는 마그네틱 저장매체(예를 들면, 롬, 플로피 디스크, 하드 디스크 등), 광학적 판독 매체(예를 들면, 시디롬, 디브이디 등)와 같은 저장매체를 포함한다.

[0059] 이제까지 본 발명에 대하여 그 바람직한 실시예들을 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

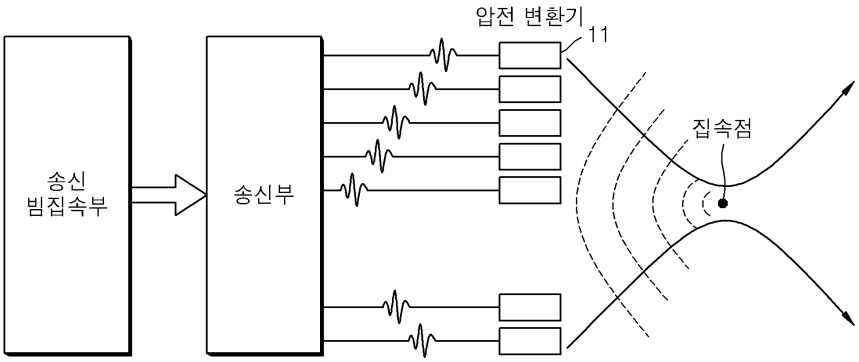
부호의 설명

[0060] 401: 프로브 402: 빔포밍 장치

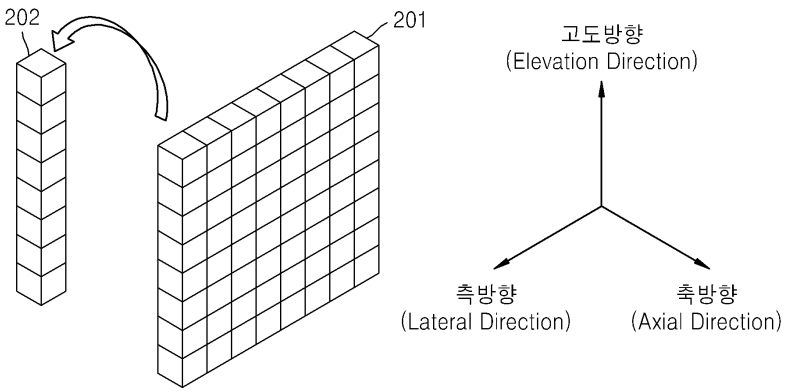
403: 영상 생성 장치 404: 영상 표시 장치

도면

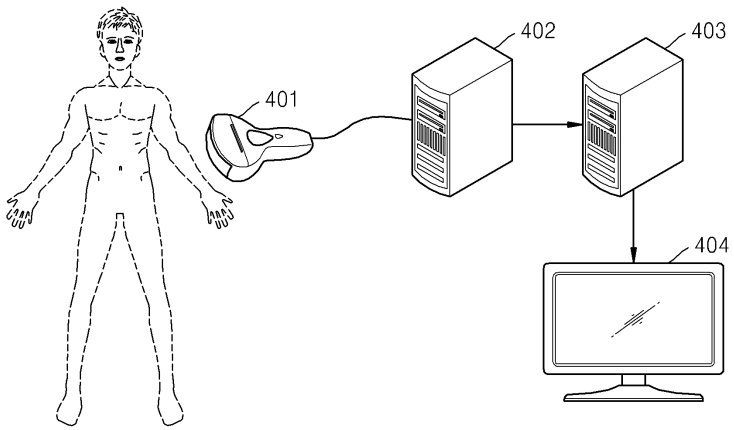
도면1



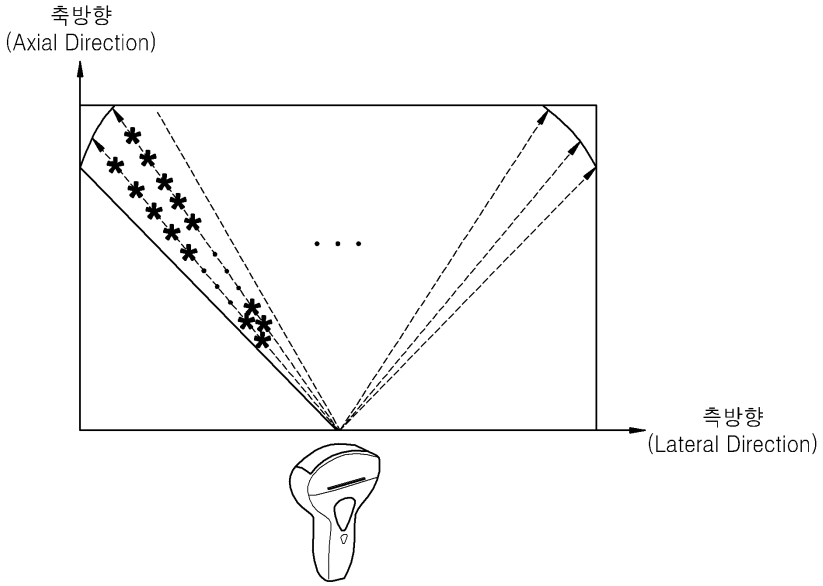
도면2



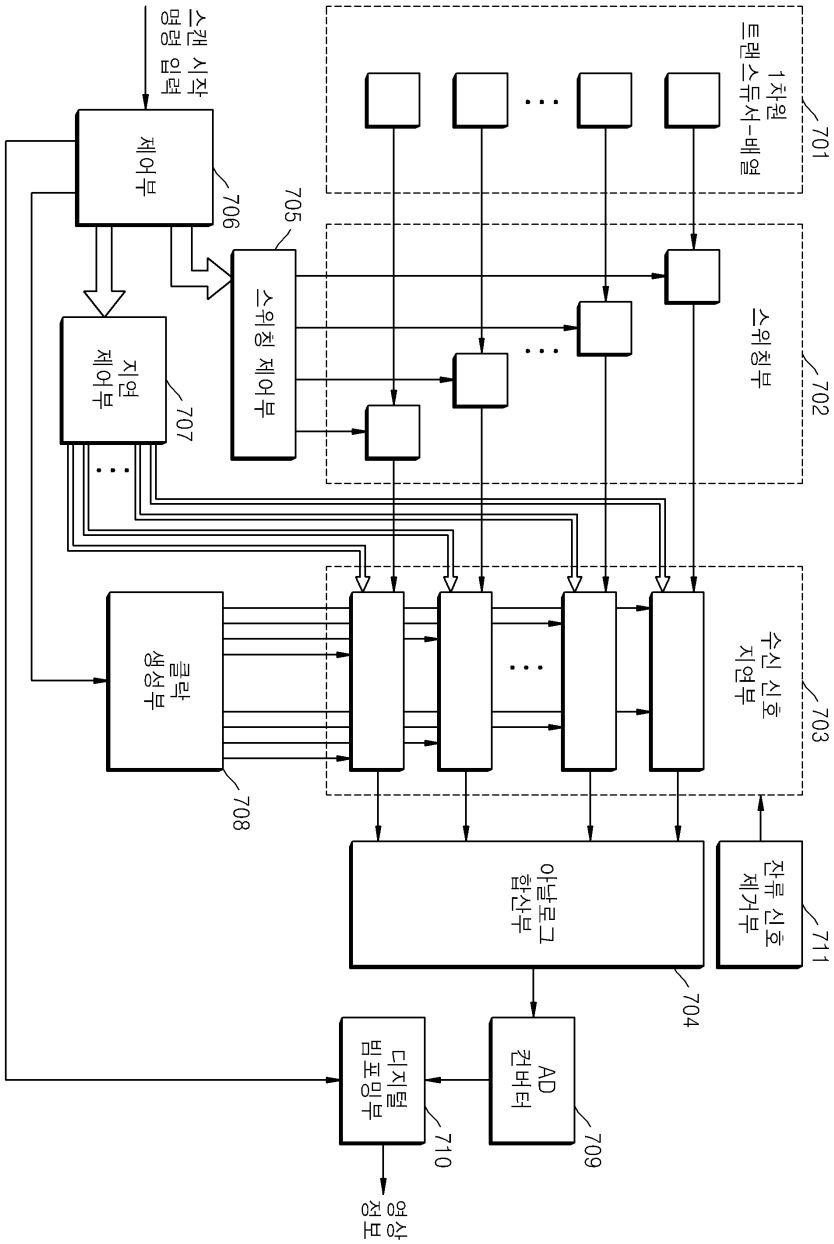
도면3



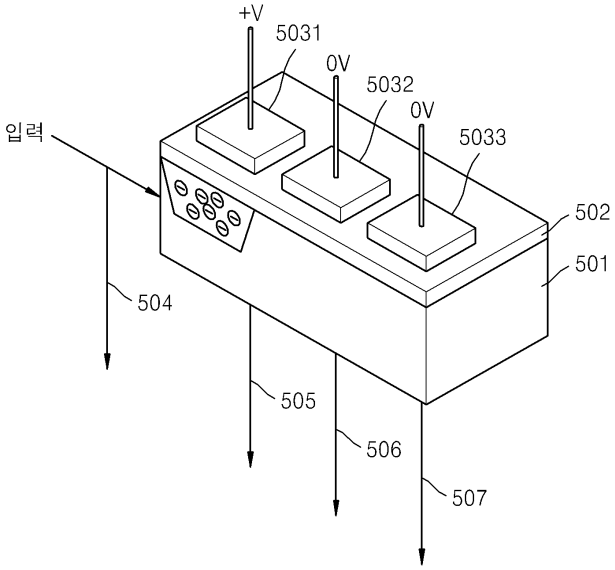
도면4



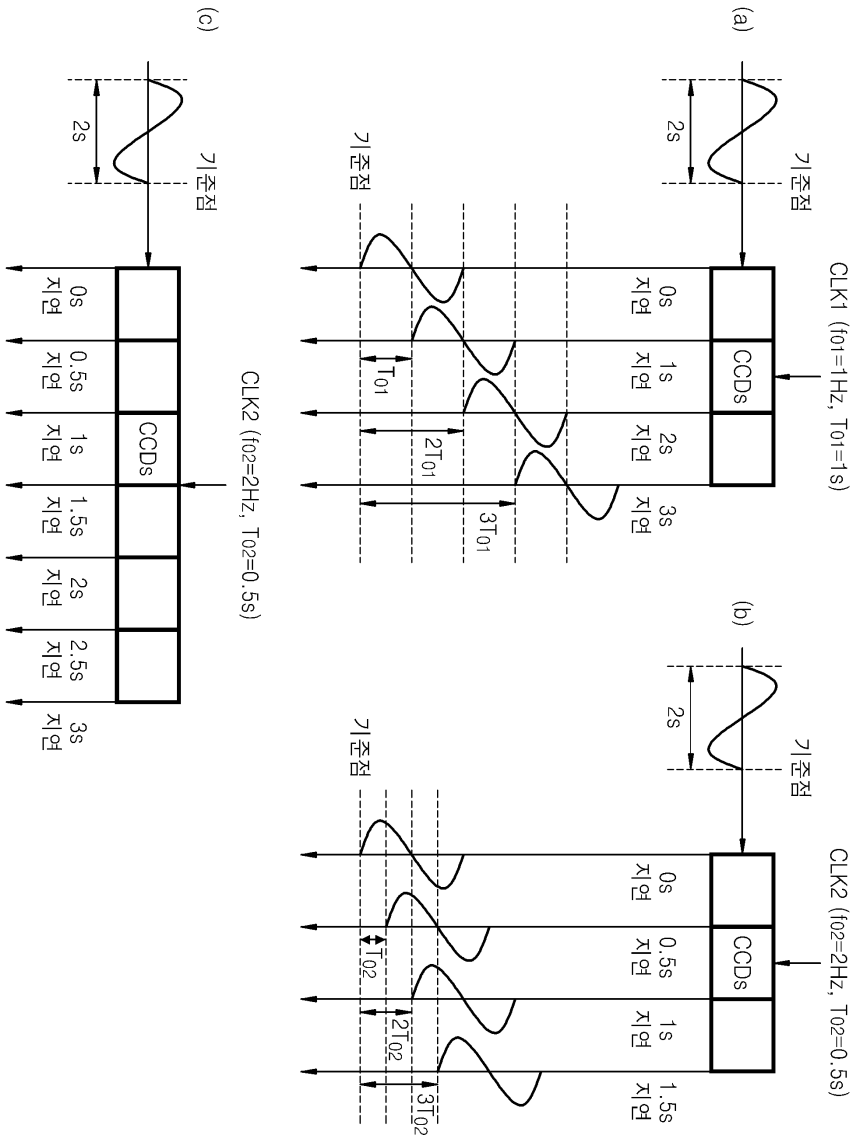
도면5


스캔 시작 명령 입력
제어부
706
705
스위칭 제어부
지연 제어부
707
1차원 트랜스듀서-배열
701
스위칭부
702
수신 신호 지연부
703
클락 생성부
708
아날로그 합산부
704
잔류 신호 제거부
711
AD 컨버터
709
디지털 빔포밍부
710
영상 정보

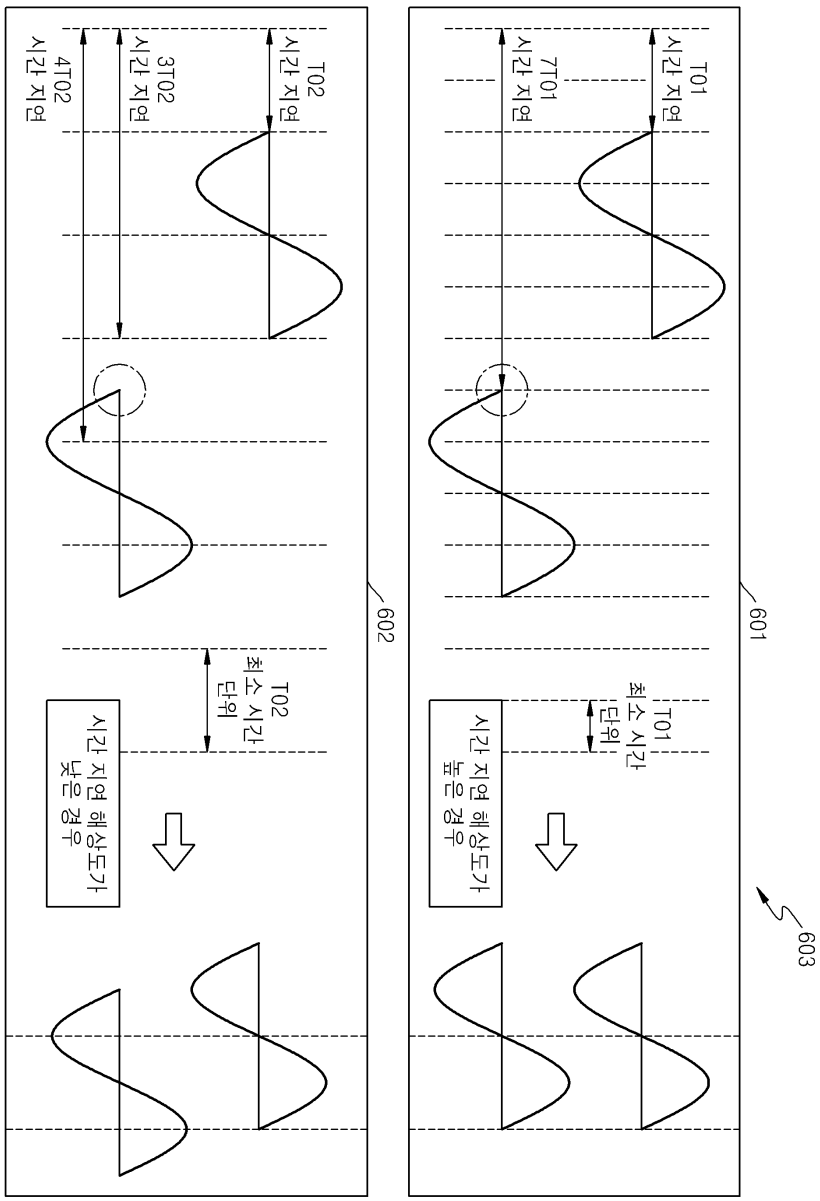
도면6


+V
5031
0V
5032
0V
5033
입력
502
501
504
505
506
507

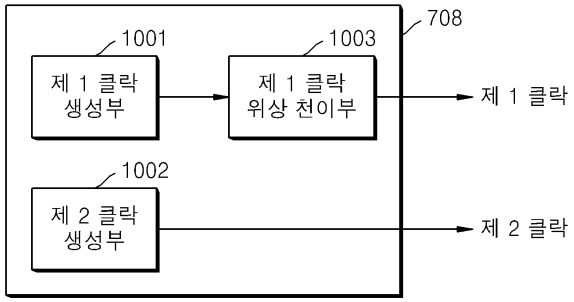
도면7


(a)
2s
기준점
0s 지연
1s 지연
2s 지연
3s 지연
CCDs
CLK1 (f01=1Hz, T01=1s)
T01
2T01
3T01
(b)
2s
기준점
0s 지연
0.5s 지연
1s 지연
1.5s 지연
CCDs
CLK2 (f02=2Hz, T02=0.5s)
T02
2T02
3T02
(c)
2s
기준점
0s 지연
0.5s 지연
1s 지연
1.5s 지연
2s 지연
2.5s 지연
3s 지연
CCDs
CLK2 (f02=2Hz, T02=0.5s)

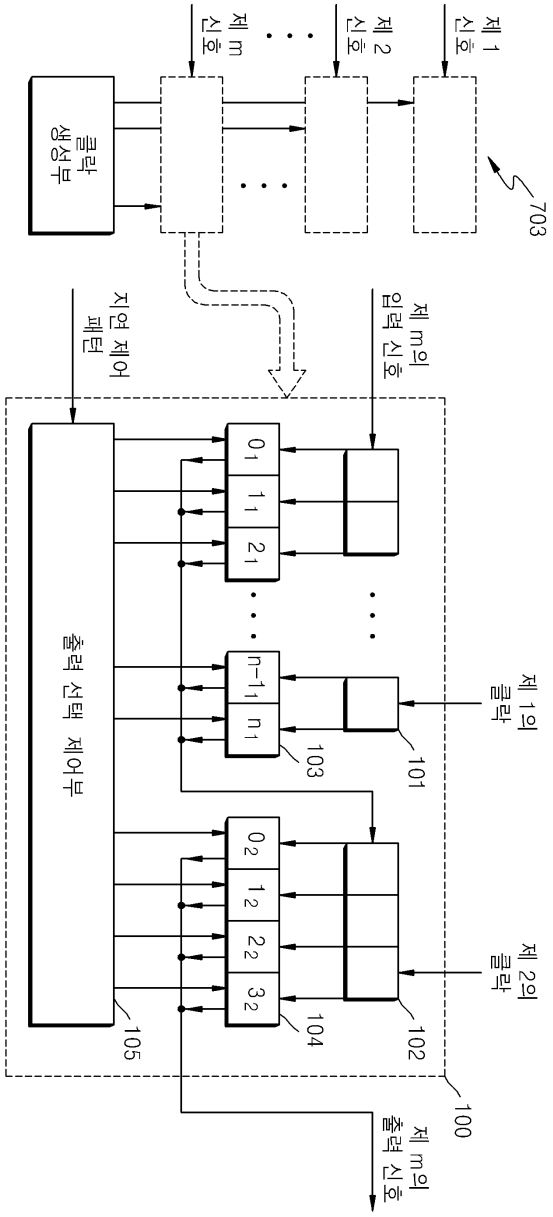
도면8


T02 시간 지연
3T02 시간 지연
4T02 시간 지연
T02 최소 시간 단위
시간 지연 해상도가 낮은 경우
602
T01 시간 지연
7T01 시간 지연
T01 최소 시간 단위
시간 지연 해상도가 높은 경우
601
603

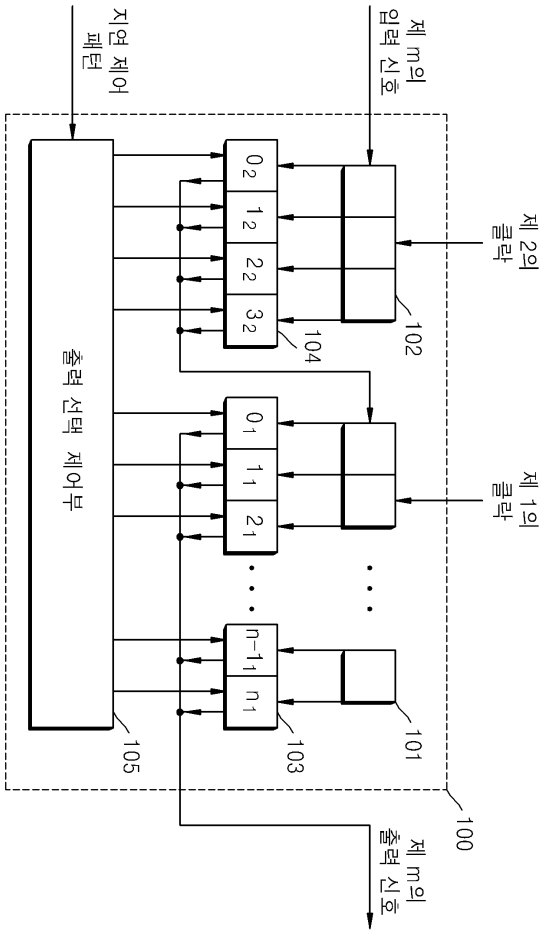
도면9


708
1001
제 1 클락 생성부
1003
제 1 클락 위상 천이부
제 1 클락
1002
제 2 클락 생성부
제 2 클락

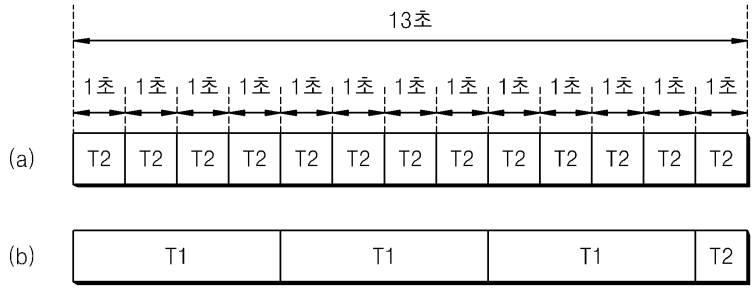
도면10a


제 1 신호
제 2 신호
제 m 신호
703
클럭 생성부
지연 제어 패턴
제 m의 입력 신호
출력 선택 제어부
제 1의 클럭
제 2의 클럭
제 m의 출력 신호
100
101
102
103
104
105

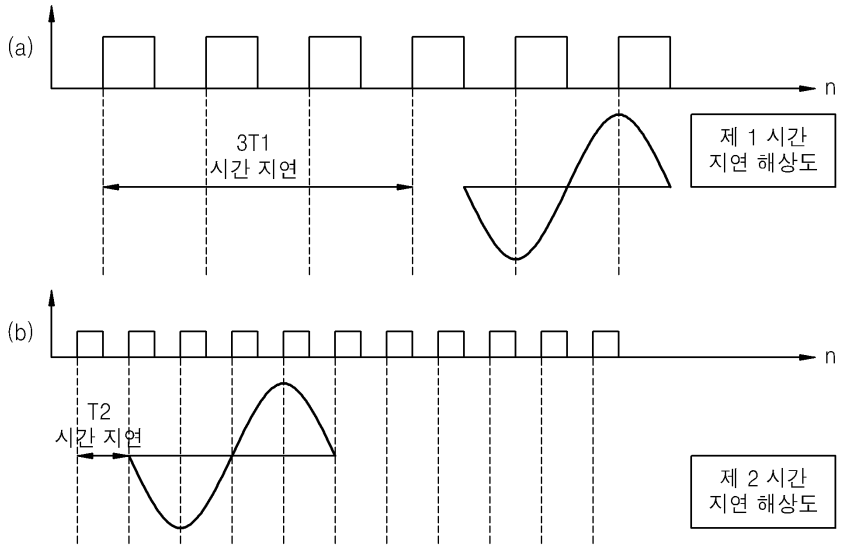
도면10b


지연 제어 패턴
제 m의 입력 신호
제 2의 클락
제 1의 클락
출력 선택 제어부
제 m의 출력 신호
100
101
102
103
104
105

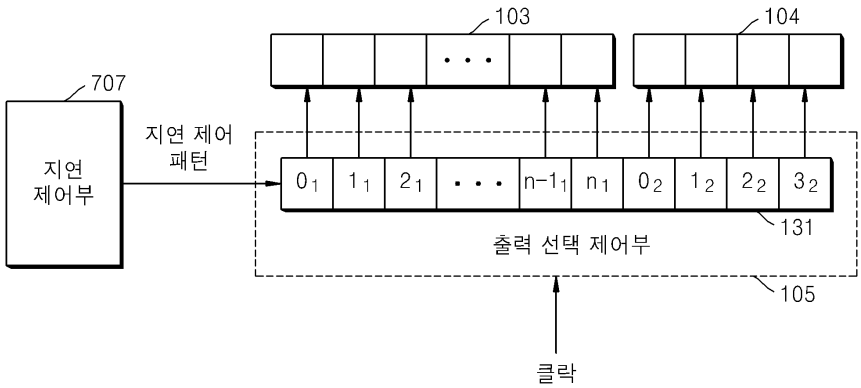
도면11


13초
1초
(a)
(b)
T2
T1

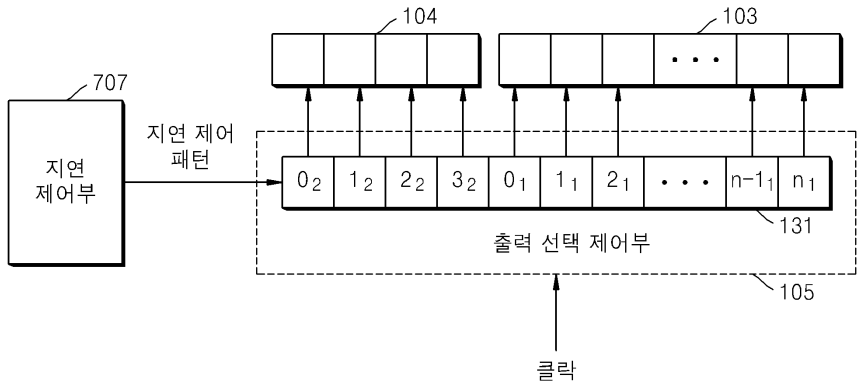
도면12



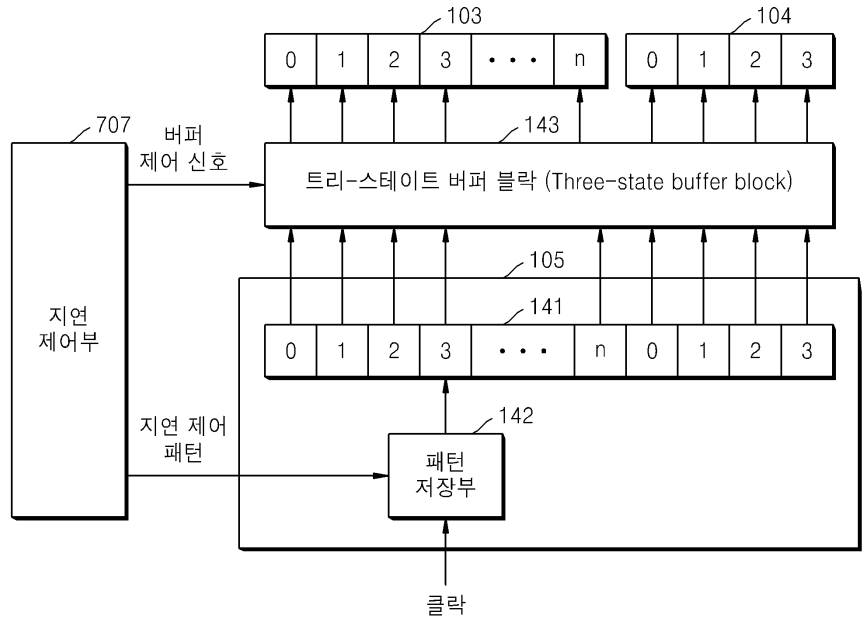
도면13a



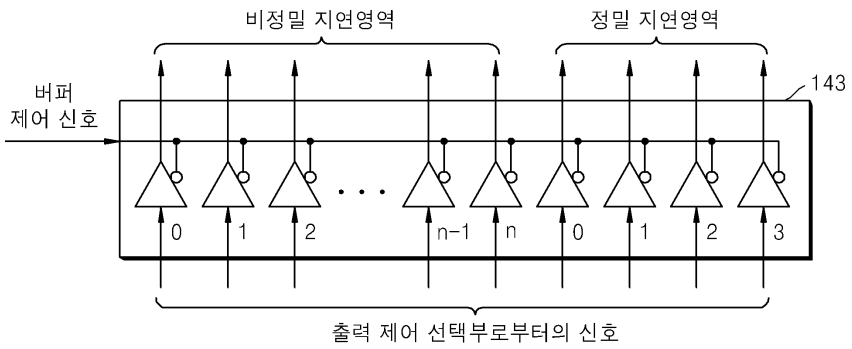
도면13b



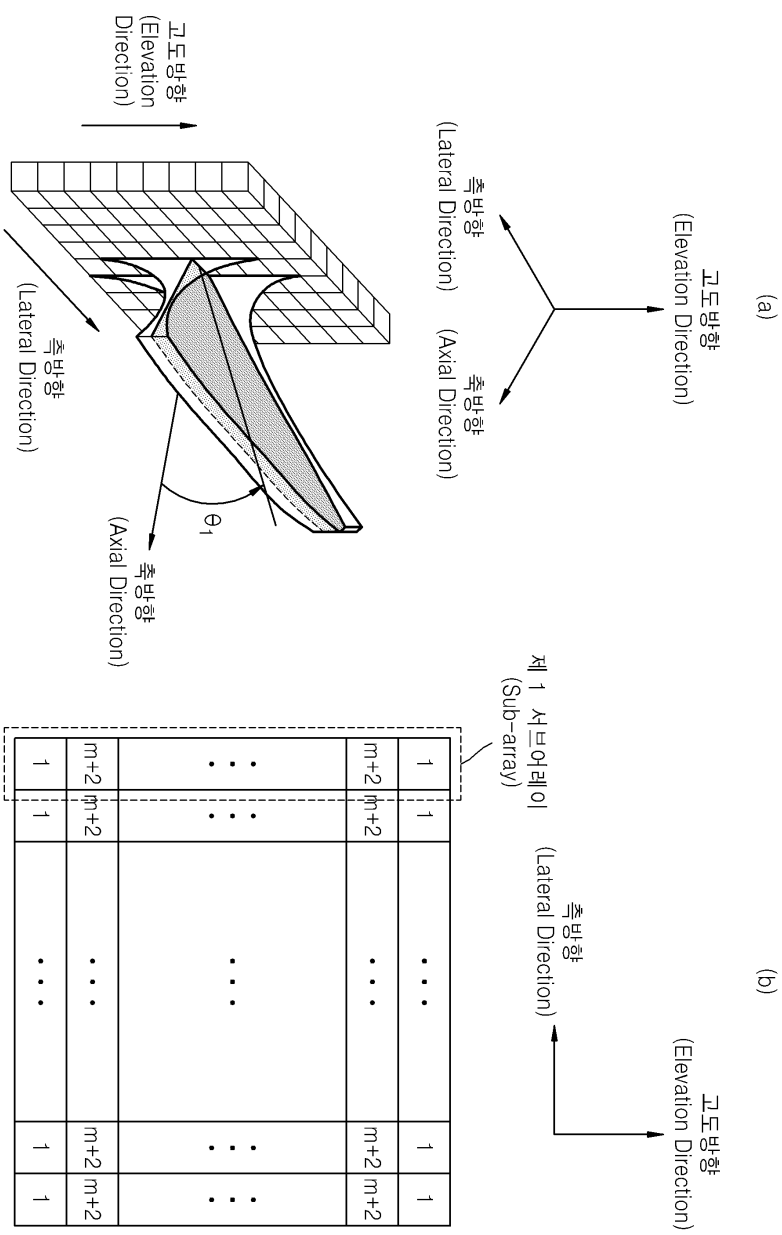
도면14


103
104
0
1
2
3
• • •
n
707
버퍼
제어 신호
143
트리-스테이트 버퍼 블락 (Three-state buffer block)
105
141
지연
제어부
지연 제어
패턴
142
패턴
저장부
클락

도면15


비정밀 지연영역
정밀 지연영역
버퍼
제어 신호
143
0
1
2
n-1
n
3
출력 제어 선택부로부터의 신호

도면16


(a)
고도방향
(Elevation Direction)
측방향
(Lateral Direction)
축방향
(Axial Direction)
고도방향
(Elevation Direction)
측방향
(Lateral Direction)
Θ_1
축방향
(Axial Direction)
(b)
제 1 서브어레이
(Sub-array)
측방향
(Lateral Direction)
고도방향
(Elevation Direction)
1
m+2