



(12)发明专利

(10)授权公告号 CN 104867442 B

(45)授权公告日 2017.10.31

(21)申请号 201410058991.9

(22)申请日 2014.02.20

(65)同一申请的已公布的文献号

申请公布号 CN 104867442 A

(43)申请公布日 2015.08.26

(73)专利权人 北京大学深圳研究生院

地址 518055 广东省深圳市南山区西丽深圳大学城北大园区

(72)发明人 张盛东 王翠翠 冷传利

(74)专利代理机构 深圳鼎合诚知识产权代理有限公司 44281

代理人 郭燕 彭愿洁

(51)Int.Cl.

G09G 3/3233(2016.01)

(56)对比文件

CN 103187024 A,2013.07.03,

CN 103187024 A,2013.07.03,

CN 202948704 U,2013.05.22,

CN 102222468 A,2011.10.19,

CN 103440840 A,2013.12.11,

CN 102708790 A,2012.10.03,

审查员 吕佩

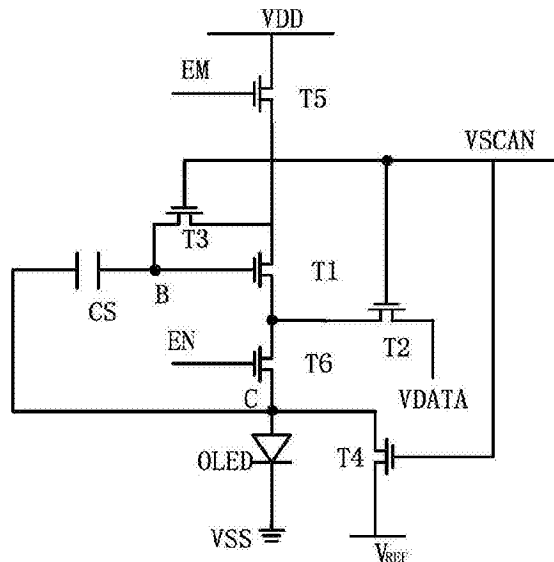
权利要求书2页 说明书8页 附图4页

(54)发明名称

一种像素电路及显示装置

(57)摘要

本申请公开了一种像素电路及显示装置。像素电路包括存储电容、第三晶体管、第二晶体管和用于串联在第一公共电极和第二公共电极之间的发光支路。发光支路包括串联的第五晶体管、驱动晶体管、第六晶体管和发光元件。在初始化阶段,第三晶体管和第五晶体管导通初始化存储电容两端的电位;在编程阶段,第二晶体管将数据信号通过第三晶体管输入至存储电容一端并存储;在发光阶段,驱动晶体管根据存储电容两端的压差驱动发光元件发光。采用该像素电路及显示装置,能够补偿驱动管的阈值电压和发光元件的退化,同时,也能增加显示器的对比度。



1. 一种像素电路,其特征在于,包括:

存储电容(CS)、第三晶体管(T3)、第二晶体管(T2)以及用于耦合在第一公共电极(VDD)和第二公共电极(VSS)之间的发光支路;

发光支路包括串联的第五晶体管(T5)、驱动晶体管(T1)、第六晶体管(T6)和发光元件;其中,第五晶体管(T5)串联在第一公共电极(VDD)和驱动晶体管(T1)之间,第六晶体管(T6)串联在第二公共电极(VSS)和驱动晶体管(T1)之间;第五晶体管(T5)的控制极用于输入第一控制信号(EM);第六晶体管(T6)的控制极用于输入第二控制信号(EN);驱动晶体管(T1)的第一极耦合至第五晶体管(T5)的第二极,第二极耦合至第六晶体管(T6)的第一极,控制极耦合至第二节点(B);

第三晶体管(T3)的控制极用于输入扫描信号(VSCAN),第一极和第二极分别耦合至驱动晶体管(T1)的第一极和第二节点(B);

第二晶体管(T2)的控制极用于输入扫描信号(VSCAN),第一极耦合至驱动晶体管(T1)的第二极,第二极用于输入数据信号(VDATA);

存储电容(CS)的第一端耦合至第二节点(B),第二端耦合至第六晶体管(T6)的第二极;

在编程阶段,第五晶体管(T5)和第六晶体管(T6)分别响应第一控制信号(EM)和第二控制信号(EN)而断开,第二晶体管(T2)和第三晶体管(T3)响应扫描信号(VSCAN)导通将数据信号(VDATA)和驱动晶体管(T1)的阈值电压存储于第二节点(B);

在发光阶段,第二晶体管(T2)和第三晶体管(T3)分别响应输入扫描信号(VSCAN)而断开,第五晶体管(T5)和第六晶体管(T6)分别响应第一控制信号(EM)和第二控制信号(EN)而导通,且驱动晶体管(T1)在第二节点(B)的电位控制下导通为发光元件提供驱动电流。

2. 如权利要求1所述的像素电路,其特征在于,所述第五晶体管(T5)的第一极用于耦合至第一公共电极(VDD);所述发光元件的第一端耦合至第六晶体管(T6)的第二极,第二端用于耦合至第二公共电极(VSS)。

3. 如权利要求1所述的像素电路,其特征在于,所述第五晶体管(T5)的第一极耦合至所述发光元件的第二端;所述发光元件的第一端用于耦合至第一公共电极(VDD);所述第六晶体管(T6)的第二极用于耦合至第二公共电极(VSS)。

4. 如权利要求2所述的像素电路,其特征在于,还包括第四晶体管(T4);

所述第四晶体管(T4)的第一极耦合至所述发光元件的第一端,第二极用于输入参考电压(V_{REF}),控制极用于输入扫描信号(VSCAN);在发光元件处于非发光状态时,所述第四晶体管(T4)导通,在发光元件处于发光状态时,所述第四晶体管(T4)断开。

5. 如权利要求4所述的像素电路,其特征在于,所述参考电压(V_{REF})小于或等于0。

6. 如权利要求4所述的像素电路,其特征在于,所述第四晶体管(T4)的第二极耦合至所述发光元件的第二端,所述参考电压(V_{REF})由所述发光元件的第二端的电位提供。

7. 如权利要求3所述的像素电路,其特征在于,还包括第四晶体管(T4);

所述第四晶体管(T4)的第一极耦合至所述发光元件的第一端,第二极耦合至所述发光元件的第二端,控制极用于输入扫描信号(VSCAN);在发光元件处于非发光状态时,所述第四晶体管(T4)导通,在发光元件处于发光状态时,所述第四晶体管(T4)断开。

8. 如权利要求1-6任意一项所述的像素电路,其特征在于,所述第六晶体管(T6)和所述第五晶体管(T5)的沟道类型相同,所述第二控制信号(EN)和所述第一控制信号(EM)相同;

和/或;

所述第六晶体管(T6)和所述第二晶体管(T2)的沟道类型相异,所述第二控制信号(EN)和所述扫描信号(VSCAN)由共同的信号提供。

9. 一种显示装置,其特征在于,包括:

像素电路矩阵,所述像素电路矩阵包括排列成n行m列矩阵的如权利要求1-8任意一项所述的像素电路,所述n和m为大于0的整数;

栅极驱动电路,用于产生扫描脉冲信号,并通过沿第一方向形成的各行扫描线向像素电路提供扫描信号;还用于沿第一方向向各行像素电路提供第一控制信号和第二控制信号;

数据驱动电路,用于产生代表灰度信息的数据电压信号,并通过沿第二方向形成的各数据线向像素电路提供数据电压信号;

控制器,用于向栅极驱动电路和数据驱动电路提供控制时序。

10. 一种如权利要求1-8任一项所述的像素电路的驱动方法,其特征在于,所述像素电路的每一驱动周期包括初始化阶段、编程阶段和发光阶段,所述驱动方法包括:

在所述初始化阶段,所述第三晶体管(T3)和所述第五晶体管(T5)导通初始化存储电容(CS)两端的电位;

在所述编程阶段,所述第三晶体管(T3)和所述第二晶体管(T2)导通,数据信号(VDATA)和驱动晶体管(T1)的阈值电压通过第二晶体管(T2)和第三晶体管(T3)输入至存储电容(CS)的第一端,并通过存储电容(CS)存储于该端;

在发光阶段,所述驱动晶体管(T1)根据所述存储电容(CS)两端的压差驱动产生驱动电流,并驱动发光元件OLED发光。

一种像素电路及显示装置

技术领域

[0001] 本申请涉及一种显示装置,尤其涉及一种像素电路及显示装置。

背景技术

[0002] 有机发光二极管(Organic Light-Emitting Diode,OLED)显示因具有高亮度、高发光效率、宽视角和低功耗等优点,近年来被人们广泛研究,并迅速应用到新一代的显示当中。OLED显示的驱动方式可以为无源矩阵驱动(Passive Matrix OLED,PMOLED)和有源矩阵驱动(Active Matrix OLED,AMOLED)两种。无源矩阵驱动虽然成本低廉,但是存在交叉串扰现象不能实现高分辨率的显示,且无源矩阵驱动电流大,降低了OLED的使用寿命。相比之下,有源矩阵驱动方式在每个像素上设置数目不同的晶体管作为电流源,避免了交叉串扰,所需的驱动电流较小,功耗较低,使OLED的寿命增加,可以实现高分辨的显示,同时,有源矩阵驱动更容易满足大面积和高灰度级显示的需要。

[0003] 传统AMOLED的像素电路是简单的两薄膜场效应晶体管(Thin Film Transistor,TFT)结构,通常包括多个栅极扫描线、多个数据线、多个电源线以及连接到这些线并以矩阵形式排列的多个像素点。OLED是电流型发光器件,其亮度与通过的电流成正比。在传统的AMOLED像素电路中,如图1所示,流过OLED的电流会随着时间而改变从而导致显示的不均匀问题,这是由于驱动晶体管T1的阈值电压和OLED两端的电压会随着时间发生变化,从而导致电流的变化。这种电路虽然结构简单,但不能补偿驱动晶体管T1阈值电压漂移、OLED阈值电压漂移或面板各处晶体管阈值电压不均匀等问题。

[0004] 此外,由于这种像素电路在非发光阶段,仍然有电流流过OLED,从而降低了像素电路的对比度。

[0005] 目前,为了解决晶体管的阈值电压漂移带来的问题,不管AMOLED的像素电路采用的工艺是多晶硅(poly-Si)技术、非晶硅(a-Si)技术还是氧化物半导体技术,其在构成像素电路时都需要提供阈值电压补偿机制。目前出现了很多提供补偿的像素电路,这些电路大致可以分为两类:电流驱动型像素电路和电压驱动型像素电路。

[0006] 电流驱动型像素电路主要采用电流镜或者电流源将数据电流按一定比例复制为驱动电流的方式来点亮发光件。由于OLED是电流型器件,因此采用电流驱动型电路可以很精确的补偿阈值电压的漂移和迁移率的不同。但是在实际应用时,由于数据线上的寄生电容效应,数据电流的建立需要较长的时间,这个问题在小电流的情况下更加突出,严重影响了电路的驱动速度。另外,随着显示器的尺寸增大,寄生电容和电阻越来越大,在数据电流较小的情况下充放电延迟比较大,因此电流型像素电路不适合制造大面积、高分辨率的显示器。

[0007] 电压驱动型像素电路相对于电流驱动型像素电路有很快的充放电速度,可以满足大面积、高分辨显示的需要。但是电压型像素电路不能很精确的补偿阈值电压的漂移,且对于面板上不同器件迁移率的差异很难有补偿作用。另外,电压型像素电路在补偿阈值电压变化的过程中会使结构变得复杂,减少开口率,并且会引入多条驱动信号使外围驱动电路

变的比较复杂。

发明内容

[0008] 本申请提供一种像素电路及显示装置,从而补偿晶体管的阈值电压漂移。

[0009] 根据本申请的第一方面,本申请提供一种像素电路,包括:

[0010] 存储电容、第三晶体管、第二晶体管以及用于耦合在第一公共电极和第二公共电极之间的发光支路。

[0011] 发光支路包括串联的第五晶体管、驱动晶体管、第六晶体管和发光元件;其中,第五晶体管串联在第一公共电极和驱动晶体管之间,第六晶体管串联在第二公共电极和驱动晶体管之间;第五晶体管的控制极用于输入第一控制信号;第六晶体管的控制极用于输入第二控制信号;驱动晶体管的第一极耦合至第五晶体管的第二极,第二极耦合至第六晶体管的第一极,控制极耦合至第二节点。

[0012] 第三晶体管的控制极用于输入扫描信号,第一极和第二极分别耦合至驱动晶体管的第一极和第二节点。

[0013] 第二晶体管的控制极用于输入扫描信号,第一极耦合至驱动晶体的第二极,第二极用于输入数据信号。

[0014] 存储电容的第一端耦合至第二节点,第二端耦合至第六晶体的第二极。

[0015] 在编程阶段,第五晶体管和第六晶体管分别响应第一控制信号和第二控制信号而断开,第二晶体管和第三晶体管响应扫描信号导通将数据信号和驱动晶体的阈值电压存储于第二节点。

[0016] 在发光阶段,第二晶体管和第三晶体管分别响应输入扫描信号而断开,第五晶体管和第六晶体管分别响应第一控制信号和第二控制信号而导通,且驱动晶体管在第二节点的电位控制下导通为发光元件提供驱动电流。

[0017] 根据本申请的第二方面,本申请提供一种显示装置,包括:

[0018] 像素电路矩阵,像素电路矩阵包括排列成 n 行 m 列矩阵的上述像素电路, n 和 m 为大于0的整数。

[0019] 栅极驱动电路,用于产生扫描脉冲信号,并通过沿第一方向形成的各行扫描线向像素电路提供扫描信号。

[0020] 数据驱动电路,用于产生代表灰度信息的数据电压信号,并通过沿第二方向形成的各数据线向像素电路提供数据电压信号。

[0021] 控制器,用于向栅极驱动电路和数据驱动电路提供控制时序。

[0022] 根据本申请的第三方面,本申请提供一种上述像素电路的驱动方法,像素电路的每一驱动周期包括初始化阶段、编程阶段和发光阶段,驱动方法包括:

[0023] 在初始化阶段,第三晶体管和第五晶体管导通初始化存储电容两端的电位;

[0024] 在编程阶段,第三晶体管和第二晶体管导通,数据信号和驱动晶体的阈值电压通过第二晶体管和第三晶体管输入至存储电容的第一端,并通过存储电容存储于该端;

[0025] 在发光阶段,驱动晶体管根据存储电容两端的压差驱动产生驱动电流,并驱动发光元件发光。

[0026] 本申请的有益效果是:采用本申请的像素电路,通过在驱动晶体的控制极和第

一极之间并接第三开关晶体管,利用这种电路结构并配合发光支路的开关晶体管,在编程阶段存储驱动晶体管的阈值电压,从而在发光阶段补偿驱动晶体管的阈值电压变化的问题,以降低显示器的不均匀问题。

附图说明

- [0027] 图1为现有技术的无补偿像素电路结构图;
- [0028] 图2为本申请实施例一的电路结构图;
- [0029] 图3为本申请实施例一的信号时序图;
- [0030] 图4为本申请实施例二的电路结构图;
- [0031] 图5为本申请实施例二的信号时序图;
- [0032] 图6为本申请实施例三的电路结构图;
- [0033] 图7为本申请实施例四显示装置结构图。

具体实施方式

[0034] 下面通过具体实施方式结合附图对本发明作进一步详细说明。

[0035] 首先对一些术语进行说明:本申请中的晶体管可以是任何结构的晶体管,比如双极型晶体管(BJT)或者场效应晶体管(FET)。当晶体管为双极型晶体管时,其控制极是指双极型晶体管的基极,第一极可以为双极型晶体管的集电极或发射极,对应的第二极可以为双极型晶体管的发射极或集电极;当晶体管为场效应晶体管时,其控制极是指场效应晶体管的栅极,第一极可以为场效应晶体管的漏极或源极,对应的第二极可以为场效应晶体管的源极或漏极。显示器中的晶体管通常为一种场效应晶体管:薄膜晶体管(TFT)。下面以晶体管为场效应晶体管为例对本申请做详细的说明,在其它实施例中晶体管也可以是双极型晶体管。

[0036] 发光元件为有机发光二极管(Organic Light-Emitting Diode,OLED),在其它实施例中,也可以是其它发光元件。

[0037] 需要说明的是:第一公共电极VDD和第二公共电极VSS并非本申请像素电路的一部分,为了使本领域普通技术人员更好地理解本申请的技术方案,而特别引入第一公共电极VDD和第二公共电极VSS予以描述。

[0038] 实施例一:

[0039] 请参考图2,图2所示为本申请像素电路一种实施例的结构,包括:存储电容CS、第三晶体管T3、第二晶体管T2以及用于耦合在第一公共电极VDD和第二公共电极VSS之间的发光支路。发光支路包括串联的第五晶体管T5、驱动晶体管T1、第六晶体管T6和发光元件OLED。

[0040] 其中,第五晶体管T5串联在第一公共电极VDD和驱动晶体管T1之间,第六晶体管T6串联在第二公共电极VSS和驱动晶体管T1之间,第五晶体管T5的控制极(例如栅极)用于输入第一控制信号EM;第六晶体管T6的控制极(例如栅极)用于输入第二控制信号EN;驱动晶体管T1的第一极(例如漏极)耦合至第五晶体管T5的第二极(例如源极),第二极(例如源极)耦合至第六晶体管T6的第一极(例如漏极),控制极(例如栅极)耦合至第二节点B。

[0041] 在一具体实施例中,发光元件OLED可以串联在第一公共电极VDD和第五晶体管T5

之间,也可以串联在第二公共电极VSS和第六晶体管T6之间。在本实施例中,发光元件OLED的第一端耦合至第六晶体管T6的第二极(例如源极),第二端耦合至第二公共电极VSS。

[0042] 第三晶体管T3的控制极(例如栅极)用于输入扫描信号VSCAN,第一极(例如漏极)和第二极(例如源极)分别耦合至驱动晶体管T1的第一极(例如漏极)和第二节点(B)。

[0043] 第二晶体管T2的控制极(例如栅极)用于输入扫描信号VSCAN,第一极耦合至驱动晶体管T1的第二极(例如源极),第二极(例如源极)用于输入数据信号VDATA。

[0044] 存储电容CS的第一端耦合至第二节点B,第二端耦合至第六晶体管T6的第二极(例如源极)。

[0045] 在本实施例中,以所有晶体管均为N沟道型晶体管为例阐述本实施例的工作过程。像素电路驱动过程分为初始化阶段、编程阶段和发光阶段,如图3所示为本实施例的信号时序,下面结合图2和图3具体描述本实施例的驱动过程。

[0046] 在初始化阶段,第一控制信号EM为高电平,第二控制信号EN为低电平,扫描信号VSCAN为高电平,因此,第六晶体管T6断开,第二晶体管T2、第三晶体管T3和第五晶体管T5均打开。在该阶段,第三节点C(第六晶体管T6与存储电容CS第二端的耦合点)被耦合到第二公共电极VSS,因此,第三节点C的电位接近第二公共电极VSS的电位,该阶段后,记第三节点C的初始电位为 V_C ;第二节点B通过导通的第三晶体管T3和第五晶体管T5耦合到第一公共电极VDD,因此,第二节点B的电位接近第一公共电极VDD的电位,并导通驱动晶体管T1。

[0047] 在编程阶段,第一控制信号EM为低电平,第二控制信号EN为低电平,扫描信号VSCAN为高电平,因此,第五晶体管T5断开,第二晶体管T2和第三晶体管T3仍然导通。在该阶段,一方面,第三节点C的电位保持不变;另一方面,第三晶体管T3与驱动晶体管T1组成了二极管形式的接法。于是,第二节点B开始放电,直到驱动晶体管T1断开。在驱动晶体管T1断开时,第二节点B的电位被放电稳定至 $V_{DATA}+V_{TH1}$,其中, V_{DATA} 为第二晶体管T2第二极(例如源极)输入的数据信号VDATA的电压, V_{TH1} 为驱动晶体管T1的阈值电压。因此,在该阶段结束时,存储电容CS两端(第二节点B和第三节点C)的电压差为 $V_{DATA}+V_{TH1}-V_C$ 。存储电容CS存储着该电压差。

[0048] 在发光阶段,第一控制信号EM为高电平,第二控制信号EN为高电平,扫描信号VSCAN为低电平,因此,第五晶体管T5和第六晶体管T6导通;第二晶体管T2和第三晶体管T3断开。此时,由于第二节点B处于悬浮状态,因此,存储电容CS两端的电压差保持 $V_{DATA}+V_{TH1}-V_C$ 不变,流过发光元件OLED的驱动电流为:

$$[0049] \quad I_{OLED} = \frac{\beta}{2} (V_{DATA} + V_{TH1} + V_{OLED} - V_C - V_{DS6} - V_{OLED} - V_{TH1})^2 \quad (1)$$

[0050] 其中, V_{TH1} 为驱动晶体管T1的阈值电压; V_{OLED} 为OLED两端的电压降; V_{DS6} 为第六晶体管T6的第一极-第二极(例如漏-源)电压,与驱动晶体管T1的阈值电压及发光元件OLED两端的电压无关,可以表示成 αI_{OLED} 。所以,公式可以简化为:

$$[0051] \quad \begin{aligned} I_{OLED} &= \frac{\beta}{2} (V_{DATA} - V_C - V_{DS6})^2 \\ &= \frac{\beta}{2} (V_{DATA} - V_C - \alpha I_{OLED})^2 \end{aligned} \quad (2)$$

[0052] 其中, β 为增益因子, $\beta=\mu C_{ox}(W/L)$ μ 和 C_{ox} 分别为驱动晶体管的载流子迁移率和栅绝缘层的单位面积电容, W 和 L 分别表示驱动晶体管的沟道宽度和长度, α 为与 V_{TH1} 和 V_{OLED} 无关的系数。从上式可以看出,流过发光元件OLED的驱动电流 I_{OLED} 只跟当前数据信号 V_{DATA} 的电压 V_{DATA} 及第三节点C的初始电位 V_C 有关,与驱动晶体管T1的阈值电压 V_{TH1} 及发光元件OLED两端的电压 V_{OLED} 无关,从而补偿了驱动晶体管T1阈值电压的变化和发光元件OLED随时间的退化产生的亮度不均匀问题。

[0053] 进一步地,像素电路还可以包括第四晶体管T4。第四晶体管T4的第一极(例如漏极)耦合至发光元件OLED的第一端,第二极(例如源极)用于输入参考电压 V_{REF} ,控制极(例如栅极)用于输入扫描信号 V_{SCAN} ;在发光元件OLED处于非发光状态时,第四晶体管T4导通,在发光元件OLED处于发光状态,第四晶体管T4断开。具体为:在初始化阶段,第四晶体管T4响应扫描信号 V_{SCAN} 的高电平导通,将参考电压 V_{REF} 输入第三节点C,此时,第三节点C的初始电位 $V_C=V_{REF}$;在编程阶段,第四晶体管T4依旧导通,从而使得第三节点C的电位 V_C 维持在 V_{REF} ;在发光阶段,第四晶体管T4在扫描信号 V_{SCAN} 低电平的控制下断开,从而使得发光支路能够导通,即发光支路的驱动电流能够流经发光元件OLED,进而驱动发光元件OLED发光。

[0054] 由于在非发光阶段,即初始化阶段和编程阶段,第四晶体管T4均导通,将第三节点C的电位 V_C 旁路至参考电压 V_{REF} 。因此,没有额外的电流流过发光元件OLED,从而保证了发光元件OLED在非发光阶段不发光,进而增加了显示器的对比度。在一种具体实施例中,参考电压 V_{REF} 应小于或等于0,当参考电压 V_{REF} 为负值时, $|V_{REF}|$ 越大,越能够抑制发光元件OLED随时间的退化产生的亮度不均匀问题。

[0055] 在另一种实施例中,第二控制信号EN和第一控制信号EM也可以相同,即第二控制信号EN也可以由第一控制信号EM提供,而第一控制信号EM保持上述的时序关系。此时,在初始化阶段,由于第一控制信号EM为高电平,因此,第六晶体管T6也导通,但这不影响第四晶体管T4将参考电压 V_{REF} 输入至第三节点C,即第三节点C的电位 V_C 在初始化阶段依旧是参考电压 V_{REF} ;而在编程阶段和发光阶段与上述实施例的工作过程相同,在此不再赘述。

[0056] 在另一种实施例中,当参考电压 V_{REF} 为0时,由于发光元件OLED的第二端耦合至第二公共电极VSS,第二公共电极VSS的电位为0。因此,参考电压 V_{REF} 也可由发光元件OLED的第二端的电位提供,即,将第四晶体管T4的第二极(例如源极)耦合至发光元件OLED的第二端。在这种情况下,像素电路的工作过程同上述过程,不再赘述。

[0057] 实施例二:

[0058] 根据图3可知,第二控制信号EN与扫描信号 V_{SCAN} 相位相反,即当第二控制信号EN为高电平时,扫描信号 V_{SCAN} 为低电平;当扫描信号 V_{SCAN} 为高电平时,第二控制信号EN为低电平。基于这一点,本实施例通过改变某些晶体管的类型,从而减少信号线的输入。请参考图4,在上述实施例中,各晶体管为N沟道型晶体管,而在本实施例中,将第六晶体管T6改选用为P沟道类型晶体管,此时,第六晶体管T6与第二晶体管T2的沟道类型相异,第二控制信号EN由扫描信号 V_{SCAN} 提供。请参考图5,为本实施例像素电路的信号时序图,其中,扫描信号 V_{SCAN} 和第一控制信号EM的时序关系同上实施例,所以,在初始化阶段和编程阶段,第六晶体管T6导通;在发光阶段,第六晶体管T6断开。

[0059] 本领域技术人员根据实施例一很容易推出本实施例流过发光元件OLED的编程电流也与式(2)相同,在此不再赘述。当然,当第四晶体管T4的第二极(例如源极)耦合至发光

元件OLED的第二端时,式中 V_c 为0。

[0060] 在另一实施例中,第五晶体管T5也可以采用P沟道类型晶体管,此时,第一控制信号EM的相位应与上述实施例中第一控制信号EM的相位相反,即,在初始化阶段,第一控制信号EM为低电平;在编程阶段和发光阶段,第一控制信号EM为高电平。

[0061] 实施例三:

[0062] 请参考图6,为本实施例的像素电路结构图。本实施例与上述实施例不同之处在于,发光支路的发光元件OLED串联的位置不同,本实施例的发光元件OLED的第一端耦合至第一公共电极VDD,具体为:

[0063] 发光元件OLED的第一端(例如阳极)和第四晶体管T4的第一极(例如漏极)耦合至第一公共电极VDD;发光元件OLED的第二端(例如阴极)和第四晶体管T4的第二极(例如源极)耦合到第五晶体管T5的第一极(例如漏极);第四晶体管T4的控制极(例如栅极)用于输入并响应扫描信号VSCAN以切换导通/断开状态。同样地,在发光元件OLED处于非发光状态时,第四晶体管T4导通;在发光元件OLED处于发光状态,第四晶体管T4断开。

[0064] 第六晶体管T6的第二极(例如源极)耦合至第二公共电极VSS,因此,在本实施例中,第三节点C初始电位 V_c 与第二公共电极VSS的电位相同,在一具体实施例中 $V_c=0$ 。

[0065] 本实施例中,其它晶体管的连接关系为:

[0066] 第三晶体管T3的控制极(例如栅极)用于输入扫描信号VSCAN,第一极(例如漏极)和第二极(例如源极)分别耦合至驱动晶体管T1的第一极(例如漏极)和控制极(例如栅极)。

[0067] 第二晶体管T2的控制极(例如栅极)用于输入扫描信号VSCAN,第一极耦合至驱动晶体管T1的第二极(例如源极),第二极(例如源极)用于输入数据信号VDATA。

[0068] 存储电容CS的第一端耦合至驱动晶体管T1的控制极(例如栅极)形成第二节点B,第二端耦合至第六晶体管T6的第二极(例如源极)形成第三节点C。

[0069] 驱动晶体管T1的第一极(例如漏极)耦合至第五晶体管T5的第二极(例如源极),第二极(例如源极)耦合至第六晶体管T6的第一极(例如漏极),控制极(例如栅极)耦合至第二节点B,驱动晶体管T1在第二节点B的信号控制下为发光元件OLED提供驱动电流。

[0070] 第五晶体管T5的控制极(例如栅极)用于输入第一控制信号EM;第六晶体管T6的控制极(例如栅极)用于输入第二控制信号EN。

[0071] 在本实施例中,以所有晶体管均为N沟道型晶体管为例阐述本实施例的工作过程。像素电路驱动过程同样也分为初始化阶段、编程阶段和发光阶段,本实施例的信号时序图请参考图3所示为,下面结合图6和图3具体描述本实施例的驱动过程。

[0072] 在初始化阶段,第一控制信号EM为高电平,第二控制信号EN为低电平,扫描信号VSCAN为高电平,因此,第六晶体管T6断开,第二晶体管T2、第三晶体管T3、第四晶体管T4和第五晶体管T5均打开。在该阶段,第三节点C的电位与第二公共电极VSS的电位相同,具体为 $V_c=0$;第二节点B通过导通的第三晶体管T3和第五晶体管T5耦合到第一公共电极VDD,因此,第二节点B的电位接近第一公共电极VDD的电位,并导通驱动晶体管T1。

[0073] 在编程阶段,第一控制信号EM为低电平,第二控制信号EN为低电平,扫描信号VSCAN为高电平,因此,第六晶体管T6断开,从而第三节点C的电位保持低电平电位,具体为0。第五晶体管T5断开,第二晶体管T2和第三晶体管T3仍然导通,因此,在该阶段,第三晶体管T3与驱动晶体管T1组成了二极管形式的接法。于是,第二节点B开始放电,直到驱动晶体

管T1断开。在驱动晶体管T1断开时,第二节点B的电位被放电稳定至 $V_{DATA}+V_{TH1}$,其中, V_{DATA} 为第二晶体管T2第二极(例如源极)输入的数据信号 V_{DATA} 的电压, V_{TH1} 为驱动晶体管T1的阈值电压。因此,在该阶段结束时,存储电容CS两端(第二节点B和第三节点C)的电压差为 $V_{DATA}+V_{TH1}$ 。存储电容CS存储着该电压差。

[0074] 在发光阶段,第一控制信号EM为高电平,第二控制信号EN为高电平,扫描信号VSCAN为低电平,因此,第五晶体管T5和第六晶体管T6导通;第二晶体管T2、第三晶体管T3和第四晶体管T4断开。此时,由于第二节点B处于悬浮状态,因此,存储电容CS两端的电压差保持 $V_{DATA}+V_{TH1}$ 不变,流过发光元件OLED的驱动电流为:

$$[0075] \quad I_{OLED} = \frac{\beta}{2} (V_{DATA} + V_{TH1} - V_{DS6} - V_{TH1})^2 \quad (3)$$

[0076] 其中, V_{TH1} 为驱动晶体管T1的阈值电压; V_{DS6} 为第六晶体管T6的第一极-第二极(例如漏-源)电压,与驱动晶体管T1的阈值电压及发光元件OLED两端的电压无关,可以表示成 αI_{OLED} 。所以,公式可以简化为:

$$[0077] \quad \begin{aligned} I_{OLED} &= \frac{\beta}{2} (V_{DATA} - V_{DS6})^2 \\ &= \frac{\beta}{2} (V_{DATA} - \alpha I_{OLED})^2 \end{aligned} \quad (4)$$

[0078] 其中, β 为增益因子, $\beta=\mu C_{ox} (W/L)$ μ 和 C_{ox} 分别为驱动晶体管的载流子迁移率和栅绝缘层电容, W 和 L 分别表示驱动晶体管的沟道宽度和长度, α 为与 V_{TH1} 和 V_{OLED} 无关的系数。从上式可以看出,流过发光元件OLED的驱动电流 I_{OLED} 只跟当前数据信号 V_{DATA} 的电压 V_{DATA} 及参考电压 V_{REF} 有关,与驱动晶体管T1的阈值电压 V_{TH1} 及发光元件OLED两端的电压 V_{OLED} 无关,从而补偿了驱动晶体管T1阈值电压的变化和发光元件OLED随时间的退化产生的亮度不均匀问题。

[0079] 此外,由于在非发光阶段,即初始化阶段和编程阶段,第四晶体管T4均导通,将发光元件OLED短路。因此,没有额外的电流流过发光元件OLED,从而保证了发光元件OLED在非发光阶段不发光,进而增加了显示器的对比度。

[0080] 同样地,在其它实施例中,第二控制信号EN和第一控制信号EM也可以相同,即第二控制信号EN也可以由第一控制信号EM提供,而第一控制信号EM保持上述的时序关系。

[0081] 同样地,在其它实施例中,第六晶体管T6亦可以改选用为与其它晶体管不同沟道类型的晶体管,如本实施例中,可以改选用P沟道类型晶体管,此时,第六晶体管T6与第二晶体管T2的沟道类型相异,第二控制信号EN由扫描信号VSCAN提供。像素电路的信号时序图请参考图5,其中,扫描信号VSCAN和第一控制信号EM的时序关系同上实施例,所以,在初始化阶段和编程阶段,第六晶体管T6导通;在发光阶段,第六晶体管T6断开。本领域技术人员根据上述实施例很容易推出本实施例流过发光元件OLED的编程电流也与式(4)相同,在此不再赘述。

[0082] 同样地,在其它实施例中,第五晶体管T5也可以采用P沟道类型晶体管,此时,第一控制信号EM的相位应与上述实施例中第一控制信号EM的相位相反,即,在初始化阶段,第一控制信号EM为低电平;在编程阶段和发光阶段,第一控制信号EM为高电平。

[0083] 实施例四：

[0084] 如图7所示为本申请公开的一种显示装置，包括显示面板100，显示面板100包括由多个二维像素以 $n \times m$ 矩阵形式布置（即 n 行 m 列，其中 n 和 m 均为正整数）构成的二维像素阵列，以及与每个像素相连的第一方向（例如横向）的多条栅极扫描线Gate，用于提供各像素电路的扫描信号VSCAN，和第二方向（例如纵向）的多条数据线Data，用于提供各像素电路的数据信号VDATA。像素阵列中的同一行像素均连接到同一条栅极扫描线Gate，而像素阵列中的同一列像素则连接到同一条数据线Data。显示面板100的每个像素都采用上述实施例提供的像素驱动电路。显示面板100可以是液晶显示面板、有机发光显示面板、电子纸显示面板等，而对应的显示装置可以是液晶显示器、有机发光显示器、电子纸显示器等。

[0085] 栅极驱动电路200，栅极驱动电路200中栅极驱动单元电路的栅极扫描信号输出端耦合到显示面板100中与其对应的栅极扫描线Gate，用于产生像素电路所需要的扫描信号VSCAN，对像素阵列逐行扫描；还用于逐行向各像素电路提供第一控制信号EM和第二控制信号EN。栅极驱动电路200可以通过焊接与显示面板100相连或者集成于显示面板100内。

[0086] 数据驱动电路300，数据驱动电路300的信号输出端耦合到显示面板100中与其对应的数据线Data上，数据驱动电路300产生的数据信号电压 V_{DATA} 通过数据线Data传输到对应的像素单元内以实现图像灰度。数据驱动电路300可以通过焊接与显示面板100相连或者集成于显示面板100内。

[0087] 控制器400，控制器400用于向栅极驱动电路和数据驱动电路提供控制时序。

[0088] 实施例五：

[0089] 本实施例还公开了一种显示电路驱动方法，显示电路采用上述实施例的像素电路，像素电路的每一驱动周期包括初始化阶段、编程阶段和发光阶段，驱动方法具体包括：

[0090] 初始化阶段，第三晶体管T3和第五晶体管T5导通初始化存储电容CS两端的电位。

[0091] 编程阶段，第三晶体管T3和第二晶体管T2导通，第二晶体管T2将数据信号VDATA和驱动晶体管T1的阈值电压通过第二晶体管T2和第三晶体管T3输入至存储电容CS的第一端，并通过存储电容CS存储于该节点。

[0092] 发光阶段，驱动晶体管T1根据存储电容CS两端的压差驱动产生驱动电流，并驱动发光元件OLED发光。

[0093] 以上内容是结合具体的实施方式对本发明所作的进一步详细说明，不能认定本发明的具体实施只局限于这些说明。对于本发明所属技术领域的普通技术人员来说，在不脱离本发明构思的前提下，还可以做出若干简单推演或替换。

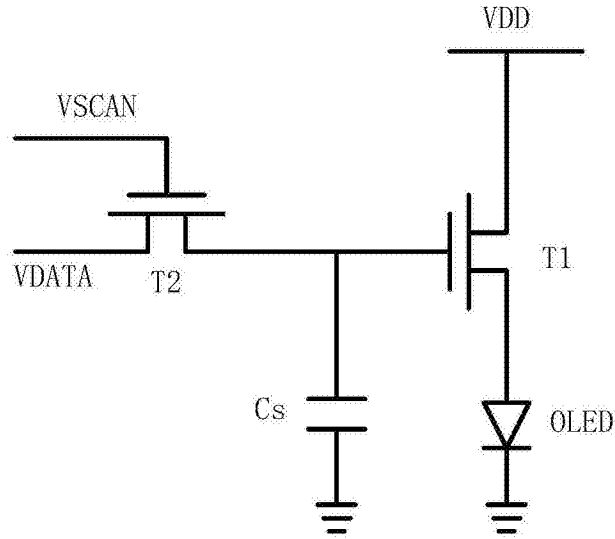


图1

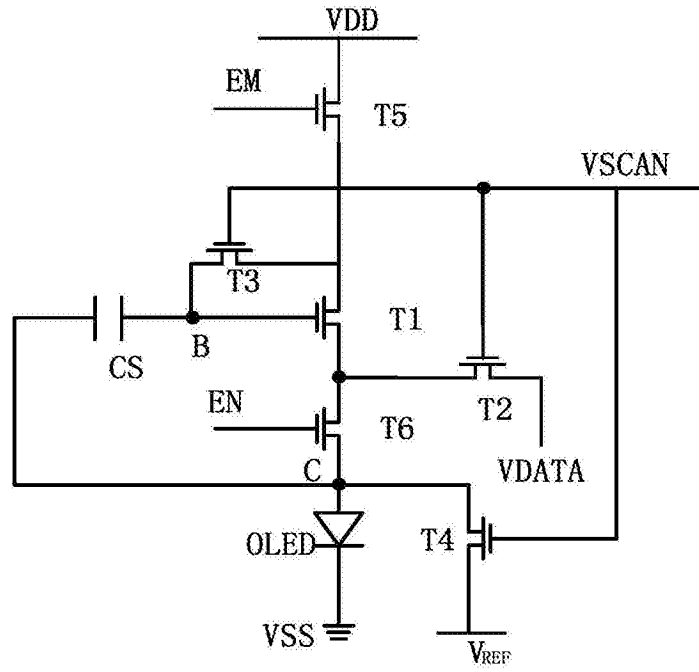


图2

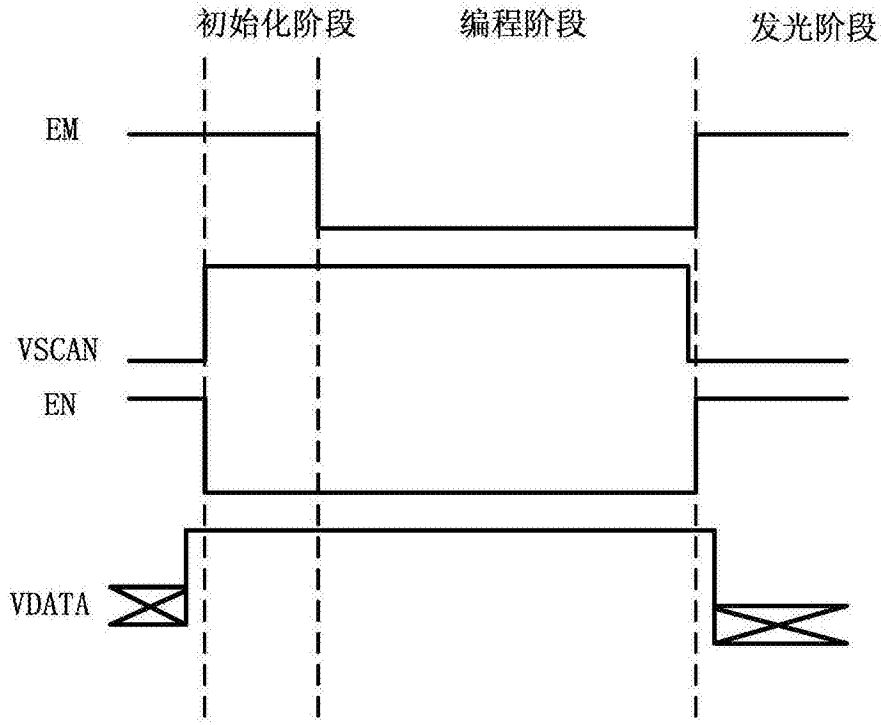


图3

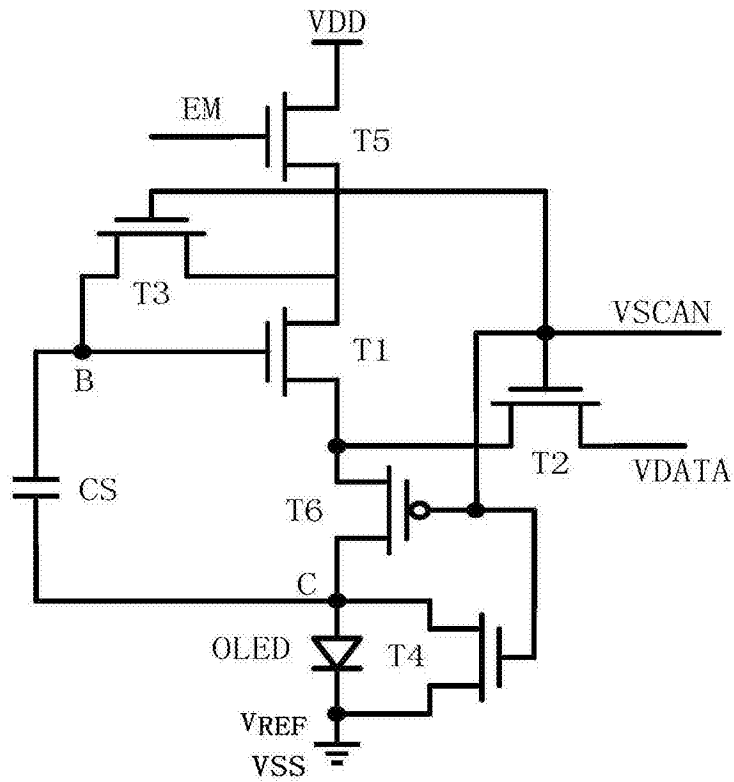


图4

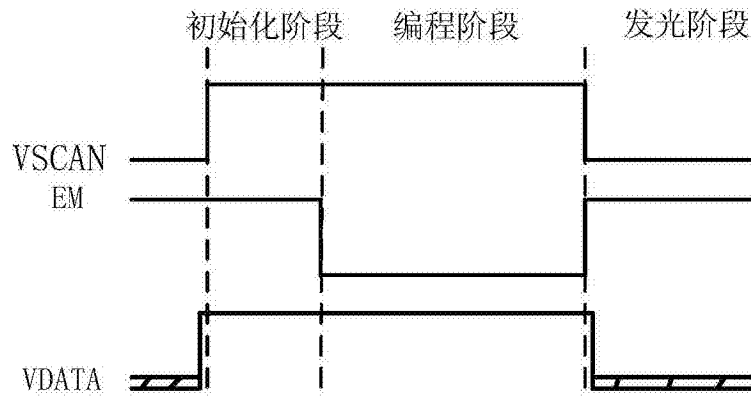


图5

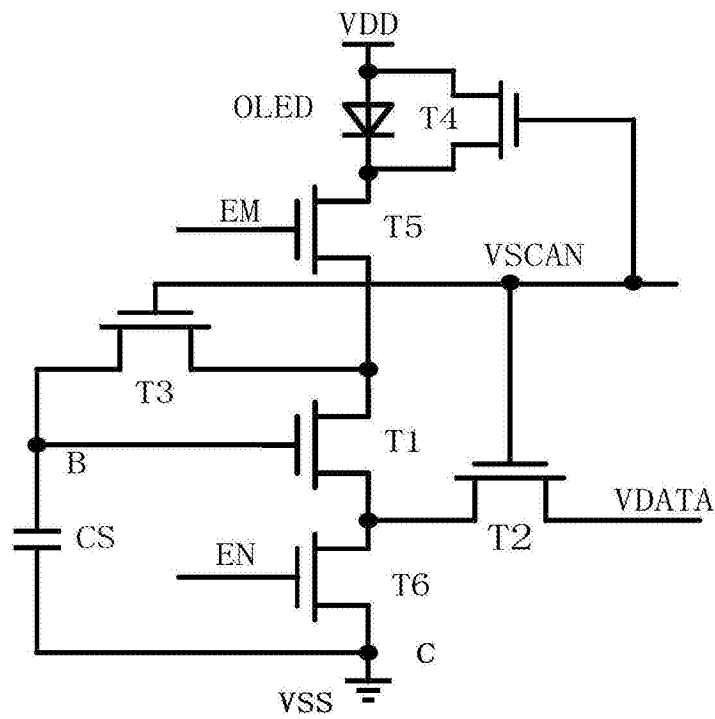


图6

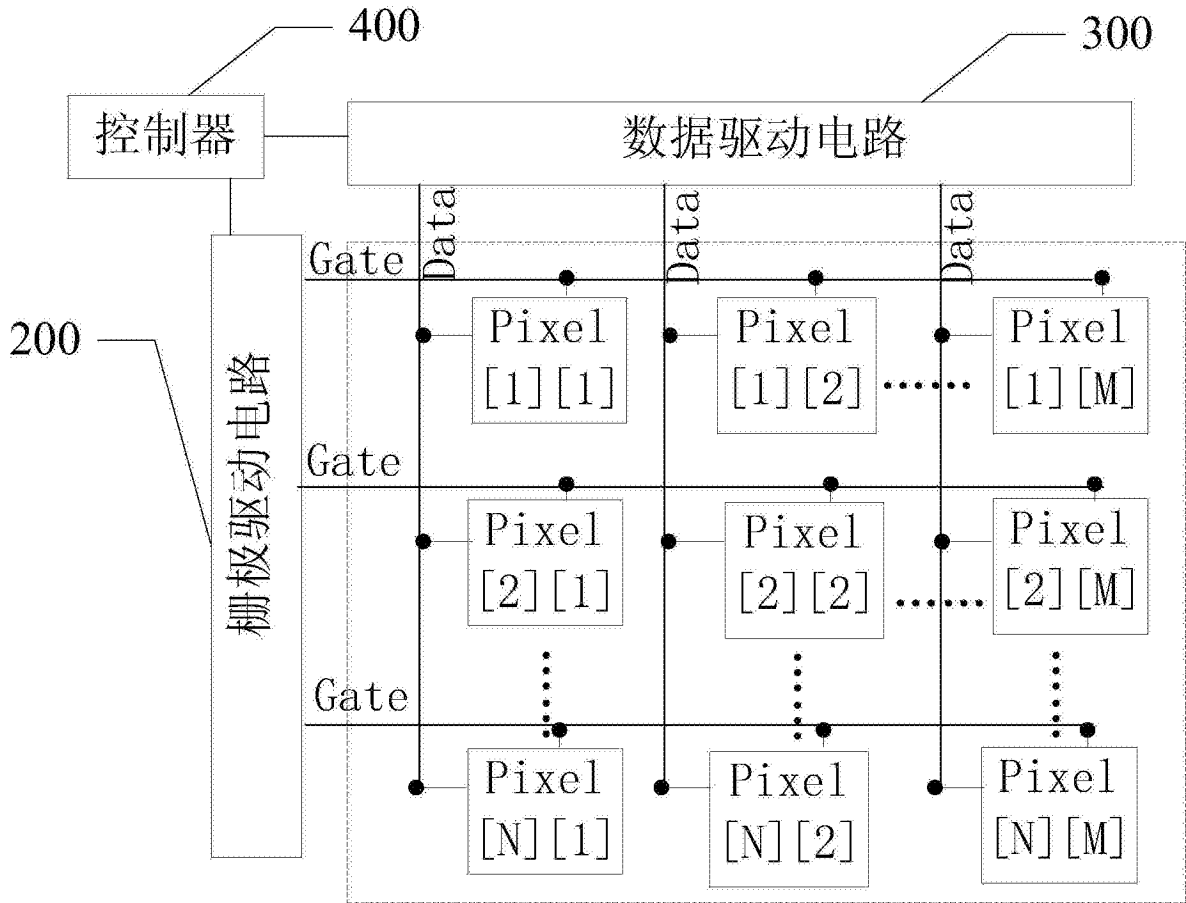


图7