

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年8月18日(18.08.2016)

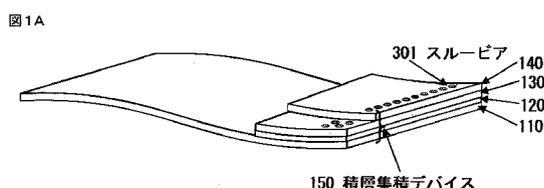


(10) 国際公開番号
WO 2016/129705 A1

- (51) 国際特許分類:
H05K 3/46 (2006.01) H05K 3/36 (2006.01)
 - (21) 国際出願番号: PCT/JP2016/055734
 - (22) 国際出願日: 2016年2月12日(12.02.2016)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2015-027013 2015年2月13日(13.02.2015) JP
 - (71) 出願人: パイクリスタル株式会社(PI-CRYSTAL INCORPORATION) [JP/JP]; 〒5320004 大阪府大阪市淀川区西宮原2-7-3 8 新大阪西浦ビル4 F Osaka (JP).
 - (72) 発明者: 竹谷 純一(TAKEYA, Junichi); 〒5320004 大阪府大阪市淀川区西宮原2-7-3 8 新大阪西浦ビル4 F パイクリスタル株式会社内 Osaka (JP). 山口 清一郎(YAMAGUCHI, Seiichiro); 〒5320004 大阪府大阪市淀川区西宮原2-7-3 8 新大阪西浦ビル4 F パイクリスタル株式会社内 Osaka (JP). 伊藤 政隆(ITO, Masataka); 〒5320004 大阪府大阪市淀川区西宮原2-7-3 8 新大阪西浦ビル4 F パイクリスタル株式会社内 Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: METHOD FOR FORMING LAMINATED CIRCUIT BOARD, AND LAMINATED CIRCUIT BOARD FORMED USING SAME

(54) 発明の名称: 積層回路基板の形成方法及びこれにより形成された積層回路基板



150 Laminated integrated device
301 Through-via

(57) Abstract: Research on the practical use of various printable devices is advancing, and the achievement of devices in which the printable devices are integrated on flexible substrates is anticipated. However, when a plurality of printable devices are simply integrated on the same substrate, problems are presented in that the area of the integrated device increases and yield is significantly reduced. An integration technology for resolving the problems of increased area and reduced yield is needed. In the present invention, individual electronic devices to be integrated are formed independently on a substrate, and are overlaid in a prescribed relationship, whereupon through-vias are formed in prescribed locations and electrically connected, whereby the devices are caused to function as an integrated device.

(57) 要約:

[続葉有]



WO 2016/129705 A1



各種プリントブルデバイスの実用化研究が進んでおり、これらをフレキシブル基板上に集積したデバイスの実現が期待されている。しかし、複数のプリントブルデバイスを同一基板上に単純に集積すると、集積デバイスの面積が大きくなるとともに歩留りが大幅に低下する問題がある。面積増大と歩留り低下の問題を解決する集積技術が切望されている。集積する個々の電子デバイスをそれぞれ独立の基板の上に形成し、それらを所定の関係で重ね合せた後に所定の箇所にスルービアを形成し電気的に接続させることにより、集積デバイスとして機能させる。

明細書

発明の名称

積層回路基板の形成方法及びこれにより形成された積層回路基板

5 技術分野

本発明は、回路が作りこまれたフレキシブル基板に関するものであり、特に積層した複数の回路基板上の回路を相互に接続させて機能させる積層回路基板。

背景技術

10 印刷技術を用いて電子デバイスを形成するプリントド・エレクトロニクス技術が開発され、新しい産業として立ち上がってきた。この技術は、印刷技術を中心とした低温プロセスにより配線材料や有機半導体材料及び絶縁材料を成膜することで、プラスチック・フィルム等の柔らかく軽いフレキシブル基板上に、回路やディスプレイ或はセンサー等の機能を有する電子デバイスを形成することを特徴とする。加えて製造時に真空装置や高温
15 装置を必要としないため製造コストが低く抑えられという利点がある。軽くて柔らかいという機能性や低コストという点から、様々な分野での応用と市場拡大が期待されてきた。

これまでプリントド・エレクトロニクスの要素技術としては、配線技術、有機ELや電子ペーパー等の表示デバイス、有機EL照明、バッテリー技術、各種センサー、記憶素子等の様々な電子デバイス技術が開発され実用レベルに達している技術も多い。その一方で、
20 これらの技術は単体での活用が一般的で、フレキシブル基板上で様々な電子デバイスを集積するという取組みはあまりなかった。主たる原因は半導体技術にあった。

有機半導体はプリントド・エレクトロニクス技術における重要分野として注目されてきたが、その性能の低さと材料の不安定性からその実用化が進まないという状況が長く続いた。その中で、高性能且つ安定な有機半導体材料とその成膜技術が近年開発され、実用
25 化に向けた研究開発も徐々に活発化してきた。

以上の技術的背景により、様々なプリントブル電子デバイスをフレキシブル基板上に集積し、実用レベルで動作させることの実現性が高まってきた。今後、プリントブル電子デバイスを効率的にフレキシブル基板上に集積する技術が望まれる。

30 先行技術文献

特許文献

特許文献1：特開2000-277689号公報

発明の概要

35

発明が解決しようとする課題

様々な機能を持つ電子デバイスを同一基板上に集積する場合、集積デバイスの面積が増大するとともに歩留りの大幅な低下をもたらす。本発明は複数の電子デバイスをフレキシブル基板上に集積する際に必要となる、生産性の高いプリントブル電子デバイスの集積技術を提供するものである。
40

課題を解決するための手段

本発明は、集積する個々の電子デバイスをそれぞれ独立の基板上に形成し、それらを所定の関係で重ね合せた後に電氣的に接続させることにより、集積デバイスとして機能させることを可能にする。
45

具体的には、電子デバイスが形成された少なくとも2つ以上の回路基板をそれぞれの一部或は全体を重ね、その重ねられた領域に前記複数の回路基板を貫通する1つ以上のスルーホールを形成する。さらにこのスルーホールに導電性材料を充填することにより、前記回路基板間を電氣的に接続することを可能にするスルービアを形成する。一方で前記回路
50 基板上の回路の一部を前記スルービアが形成される領域に至るように予めレイアウトして

おくと、前記回路の一部が前記スルービアと電氣的に接続させることが可能になる。従って、前記回路基板上の回路間で相互に接続させたい箇所どうしを前記スルービア中の同一のスルービアに接続するように予めレイアウトしておくことで、積層した回路基板上の回路を一つの集積デバイスとして機能させることを実現する。

5

発明の効果

一つのフレキシブル基板上に複数の電子デバイスを順次作り込む場合は概ね個々の歩留りの掛け算で集積デバイスの歩留りが低下する。本発明によれば個々の電子デバイスの良品を選択して積層するため、集積デバイスの歩留まり低下の問題を回避することが可能になる。加えて、多数の電子デバイスを集積した場合の面積増加を防ぐことも可能である。

10

図面の簡単な説明

図1Aは本発明の第一の実施形態における積層集積デバイス150の斜視図である。積層集積デバイス150は、回路基板110、120、130、140を積層したものである。

15

図1Bは積層集積デバイス150の上面図。回路基板110、130の一部と回路基板140の上面全体が示されている。回路基板120は回路基板130に隠れて見えない。図には各回路基板間の電氣的な接続に使われるスルービア301も図示されている。

図2Aは本発明の第一の実施形態における積層プロセスフローの概略を示す図であり、積層する回路基板110、120、130、140を所定の位置関係に位置合せを行った状況を示す。

20

図2Bは本発明の第一の実施形態における積層プロセスフローの概略を示す図であり、積層する回路基板110、120、130、140を貼り合せた直後の状態を示す。

図2Cは本発明の第一の実施形態における積層プロセスフローの概略を示す図であり、貼り合せた回路基板の所定の位置に複数のスルーホール201を形成した状態を示す。

25

図2Dは本発明の第一の実施形態における積層プロセスフローの概略を示す図であり、スルーホール201に導電性の材料を埋め込みスルービア301を形成した状態を示す。

図3は本発明の第一の実施形態における積層集積デバイス150を示す図であり、以後の説明で参照する、積層集積デバイス150上の一領域である領域Aと、領域Aの断面を切り出す方向Bを示す。

30

図4は本発明の第一の実施形態における積層プロセスにおいて、回路基板110、120、130、140を貼り合せた直後の領域Aの上面(上図)と領域AをBで切り出した断面(下図)を示す。図中、

111、112、113、114は回路基板110上の配線を、

121、122、123、124は回路基板120上の配線を、

131、132、133、134は回路基板130上の配線を、

141、142、143は回路基板140上の配線を示す。

図5は本発明の第一の実施形態における積層プロセスにおいて、回路基板110、120、130、140を貼り合せた積層回路基板に、複数のスルーホール201を形成した直後を示す図であり、領域Aの上面を上図に、領域AをBで切り出した断面を下図に示す。

40

図6は本発明の第一の実施形態における積層プロセスにおいて、スルーホール201に導電性の材料を埋め込み、スルービア301を形成した直後を示す図であり、領域Aの上面を上図に、領域AをBで切り出した断面を下図に示す。

図7は本発明におけるスルービアを使用しない例を示した概要図。

45

図8は本発明の第二の実施形態。

発明を実施するための形態

以下、図面を参照して本発明の実施形態について詳細に説明する。

50

実施例 1

図 2 A, 2 B, 2 C, 2 D に、回路基板 110, 120, 130, 140 を積層し、所定の箇所に全ての基板を貫通するスルーホール 201 を形成し、このスルーホールに導電性の材料を埋め込むことで、各回路基板上に設けられた回路間を電氣的に接続するためのスルービア 301 を形成するという本発明の概要を図示している。

本実施例では積層するフレキシブル基板は 4 つであり、基板 110 は照度をモニタするための照度センサーをライン状に配置したもの、基板 140 は温度センサーを作りこんだもの、基板 120 及び 130 は照度センサーと温度センサーを制御する回路を 2 つの基板に分けて作りこんだものである。本発明の適用範囲としては、基板の枚数に制限はない。

図 4 は 4 つの回路基板を貼り合せた直後の状態を、後の工程で形成されるスルービア列を横切る線（方向 B）で切り出した断面の一部と、それを上面から見た図である。各回路基板上の配線は、この図で示す範囲においては、配線 111 と 121 が、配線 131 と 141 が、配線 112, 122 及び 132 が、配線 113, 123, 133 及び 142 が、配線 114, 124, 134 及び 143 のそれぞれが相互に接続されるように予めレイアウトされている。

図では省略しているが、それぞれの回路基板上の回路は複数の配線層からなっており、図ではその最上層の配線のみを示している。本発明の適用範囲としては、回路基板上の回路配線が 1 層のみの場合であっても構わないし、多層配線の間層がスルービアと接続するようなレイアウト構成をとっても構わない。

図 5 に、回路基板 110, 120, 130, 140 を貼り合せた積層回路基板の所定の位置にスルーホール 201 を形成した直後の積層回路基板の断面と上面の一部（領域 A）の様子を示す。本実施例ではレーザーを用いてスルーホールを形成したが、本発明の適用範囲としてはスルーホールの形成手段は選ばない。また、図においては最下層の回路基板 110 もスルーホールを貫通させているが、必ずしも最下層の基板を貫通させる必要はない。

図 6 に、先の工程で形成したスルーホール 201 に導電性の材料を埋め込んでスルービア 301 を形成した直後の積層回路基板の断面と上面の一部（領域 A）の様子を示す。スルービア 301 を形成することで、各回路基板 110, 120, 130 上の回路は必要な接点で相互に接続され、積層基板全体で集積デバイスとして機能する。

本実施例においては無電解メッキ法で金を埋め込んでスルービアとしたが、本発明の適用範囲としては、他の方法で別の導電性材料を埋め込んで構わない。また、スルーホールを導電材料で完全に充填することは必須な条件ではない。メッキ法等で導電材料層をスルービアの側壁にのみ形成するだけでも構わない。本特許の目的であるスルービア内の導電性材料にて各回路基板上の回路を必要な箇所で相互に接続させることが可能である。

また、本実施例においては、スルーホール内に形成したスルービアにより、各回路基板上の回路を相互に接続させたが、各回路基板の周辺端にノッチや半円状の窪みを形成し、その窪みに沿って導電性材料を接触させることで、各回路基板上の回路を相互に接続させることも可能である。各回路基板上の回路と各回路基板間を接続させる導電性材料との接触面を広くとれる場合は、窪みを形成する必要もない。この接触面を広く取る方法として、各回路基板を少しずつずらして重ね合わせることも有効である。図 7 に、この様子の概要を示した斜視図を示す。

実施例 2

前記第一の実施例においては 4 つの回路基板を積層した例を示したが、本発明の応用として、多数の回路基板を積層する際に、回路基板を幾つかのグループに分けて貼り合せ、それぞれの積層基板毎にスルーホールを形成した後にこれら積層基板を重ね合わせてスルービアを形成することが可能である。さらには、グループ分けした積層基板毎に本発明を適用してスルービアまで形成し、それらグループ分けした積層基板をさらに積層することも考えられる。後者の場合、グループ分けして積層した各積層基板におけるスルービアの位置の全てが揃っている必要はなく、接続が必要なスルービア間のみが、全積層基板を張り合せた際に重なるように配置することで、集積したデバイス全体を機能させることが可能になる。この様子を図 8 を用いて説明する。

本発明をそれぞれに適用した積層回路基板500, 600, 700を予め形成する。図8の例においては、積層回路基板500は2つ、積層回路基板600は4つ、積層回路基板700は5つの回路基板をそれぞれに積層したものである。積層基板500には、スルービア501, 502, 503, 504, 505, 506, 507, 508が、積層基板600には、スルービア601, 602, 603, 604, 605, 606, 607, 608, 609, 610が、積層基板700にはスルービア701, 702, 703, 704, 705, 706, 707, 708, 709, 710がそれぞれ形成されている。これらスルービアは以下の括弧で括る組合せで相互に接続されるように配置されている。

(501, 601, 701), (502, 602, 702),
(503, 703), (504, 704), (505, 705), (506, 706),
(507, 607), (508, 608), (609, 709), (610, 710)

これら3つの積層基板を積層したものが積層集積デバイス800である。

作用及び効果

- 15 本実施例は照度センサーアレイ、温度センサー及び有機半導体回路の集積したものであるが、これを同一のフレキシブル基板に作りこむ場合は集積デバイスの面積が大きくなるため、歩留りが大幅に低下する。実験では20%を超えることがなかった。本発明を適用すると、80%程度の歩留りが得られることを確認した。

請求の範囲

[請求項 1]

5 電子デバイスが形成された少なくとも2つ以上の回路基板をそれぞれの一部或は全体を
重ね、その重ねられた領域に前記複数の回路基板を貫通する1つ以上のスルーホールを形
成した上で導電性材料を埋め込むことにより、前記回路基板間を電氣的に接続すること
を可能にするスルービアを形成することと、
10 前記回路基板上の回路配線の一部を前記スルービアと電氣的に接続させるために、前記回
路配線の一部を前記スルービアが形成される領域に至るように予めレイアウトすること
により、前記複数の回路基板上の回路を相互に接続することを特徴とする積層回路基板の形
成方法。

[請求項 2]

15 請求項第1項における積層回路基板の形成方法において、前記回路基板の少なくとも一
つがフレキシブルなフィルム上に回路を形成した基板であることを特徴とする積層回路基
板の形成方法。

[請求項 3]

20 請求項第2項における積層回路基板の形成方法において、形成される前記スルービアが
前記回路基板の周辺のうち一辺にのみ配置されるように形成することを特徴とする積層回
路基板の形成方法。

[請求項 4]

25 請求項第2項における積層回路基板の形成方法において、積層する複数の前記回路基板
に形成される前記スルービアの開口部の大きさが、上層に位置するものほど大きくなるよ
うに形成することにより、前記各回路基板上の回路配線の一部で前記スルーホールに埋め
込む前記導電性材料との接触が必要な箇所における接触面積を大きくすることを特徴とす
る積層回路基板の形成方法。

30 [請求項 5]

請求項第2項における積層回路基板の形成方法において、前記複数の回路基板を貫通す
るスルーホールを形成した後に、積層した複数の回路基板の各々を、下層に位置する回路
基板に対して、形成した前記スルーホールの長辺或は長径以下の長さ分だけずらすよう
に再配置することにより、前記各回路基板上の回路配線の一部で前記スルーホールに埋め
込む前記導電性材料との接触が必要な箇所における接触面積を大きくすることを特徴とす
35 る積層回路基板の形成方法。

[請求項 6]

40 請求項第1項における積層回路基板の形成方法において、前記スルーホールを前記複数
の回路基板の各々を形成する過程において予め形成することを特徴とする積層回路基板
の形成方法。

[請求項 7]

45 請求項第6項における積層回路基板の形成方法において、前記回路基板の少なくとも一
つがフレキシブルなフィルム上に回路を形成した基板であることを特徴とする積層回路基
板の形成方法。

[請求項 8]

50 請求項第7項における積層回路基板の形成方法において、形成される前記スルービアが
前記回路基板の周辺のうち一辺にのみ配置されるように形成することを特徴とする積層回

路基板の形成方法。

[請求項 9]

- 5 請求項第 7 項における積層回路基板の形成方法において、積層する複数の前記回路基板に形成される前記スルービアの開口部の大きさを、上層に位置するものほど大きくなるように形成することにより、前記各回路基板上の回路配線の一部で前記スルーホールに埋め込む前記導電性材料との接触が必要な箇所における接触面積を大きくすることを特徴とする積層回路基板の形成方法。

10 [請求項 10]

- 15 請求項第 7 項における積層回路基板の形成方法において、積層する前記複数の回路基板を重ね合わせた結果、下層に位置する回路基板に対して形成した前記スルーホールの長辺或は長径以下の長さ分だけずれるような位置関係になるように、各々の前記回路基板に形成する前記スルービアを配置するか、前記回路基板を重ねる際に相互の位置決めをすることで、前記各回路基板上の回路配線の一部で前記スルーホールに埋め込む前記導電性材料との接触が必要な箇所における接触面積を大きくすることを特徴とする積層回路基板の形成方法。

[請求項 11]

- 20 請求項第 1, 2, 3, 4, 6, 7, 8, 9 項における積層回路基板の形成方法において、前記スルービアの代替として、前記回路基板の周辺端部に形成するノッチ状或は半円状の窪みを形成し、そこに沿って前記導電性材料を接触させることを特徴とする積層回路基板の形成方法。

25 [請求項 12]

- 30 請求項第 11 項における積層回路基板の形成方法において、積層する前記複数の回路基板を重ね合わせた結果、下層に位置する回路基板に対して一定の長さ分だけずれるような位置関係になるように、前記回路基板を重ねる際に相互の位置決めをすることで、前記各回路基板上の回路配線の一部で前記スルーホールに埋め込む前記導電性材料との接触が必要な箇所における接触面積を大きくすることを特徴とする積層回路基板の形成方法。

[請求項 13]

- 35 請求項第 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 12 の何れかの方法で形成されたことを特徴とする積層回路基板。

図1A

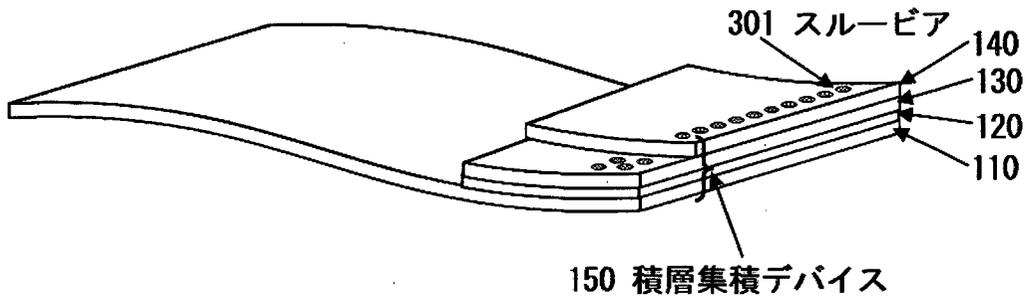


図1B

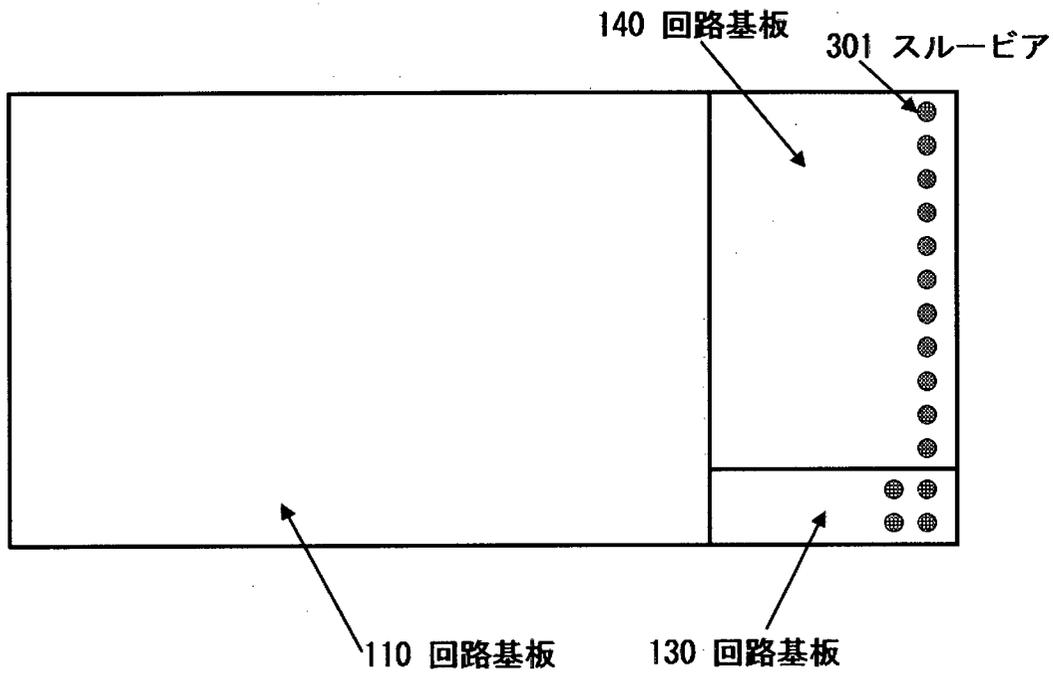


図2A

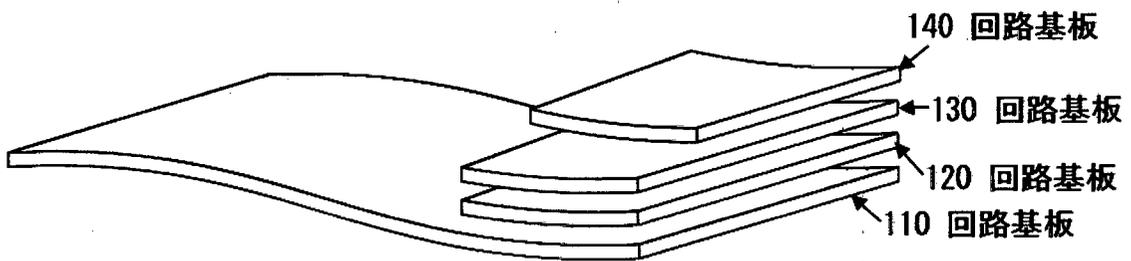


図2B

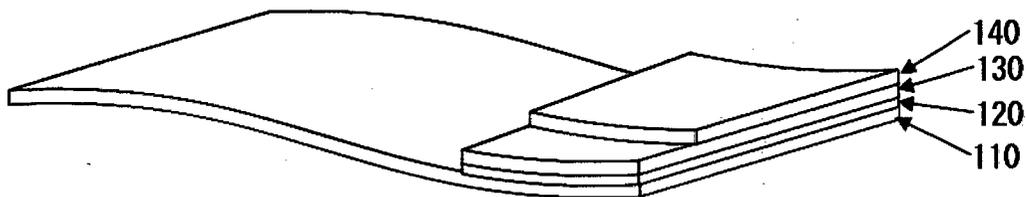


図 2 C

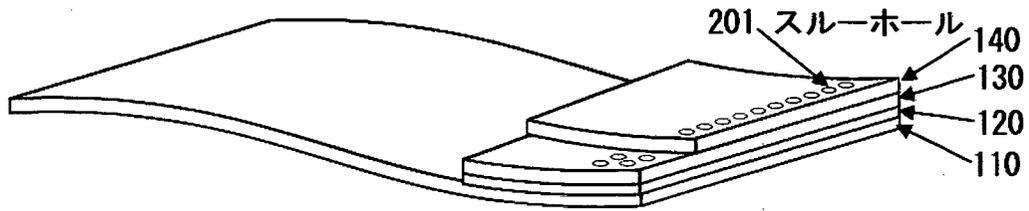


図 2 D

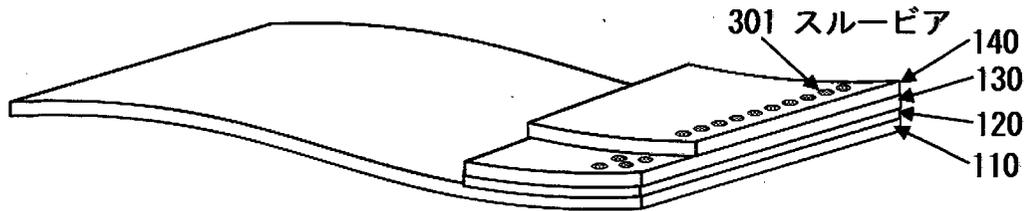


図 3

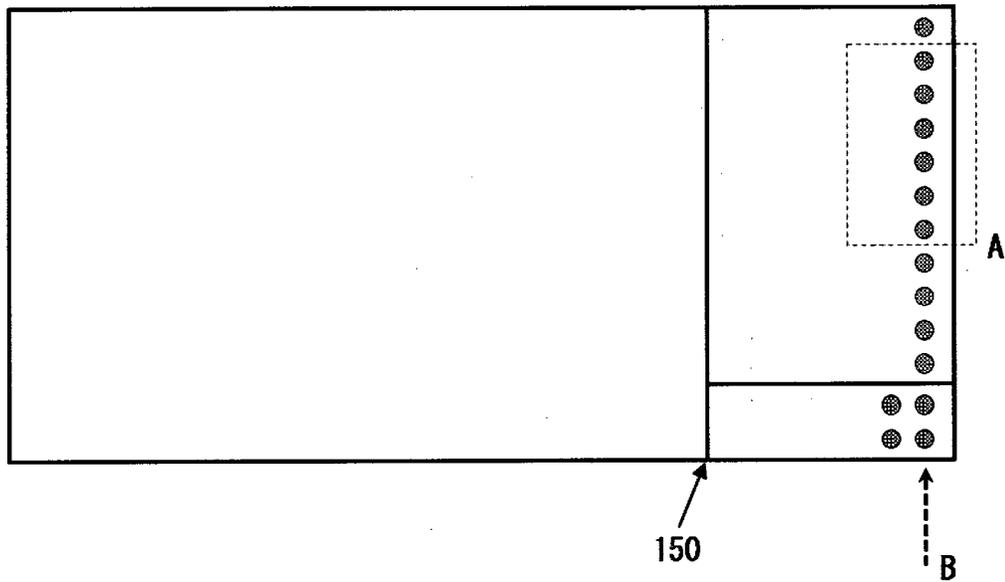


図 4

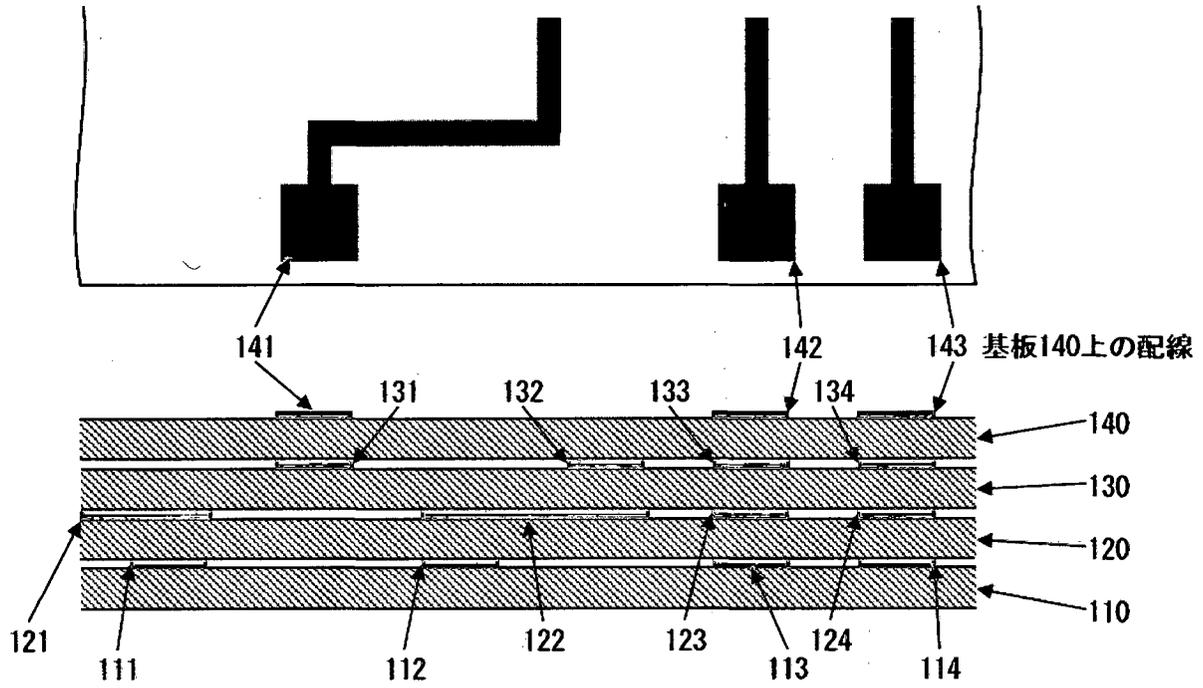


図 5

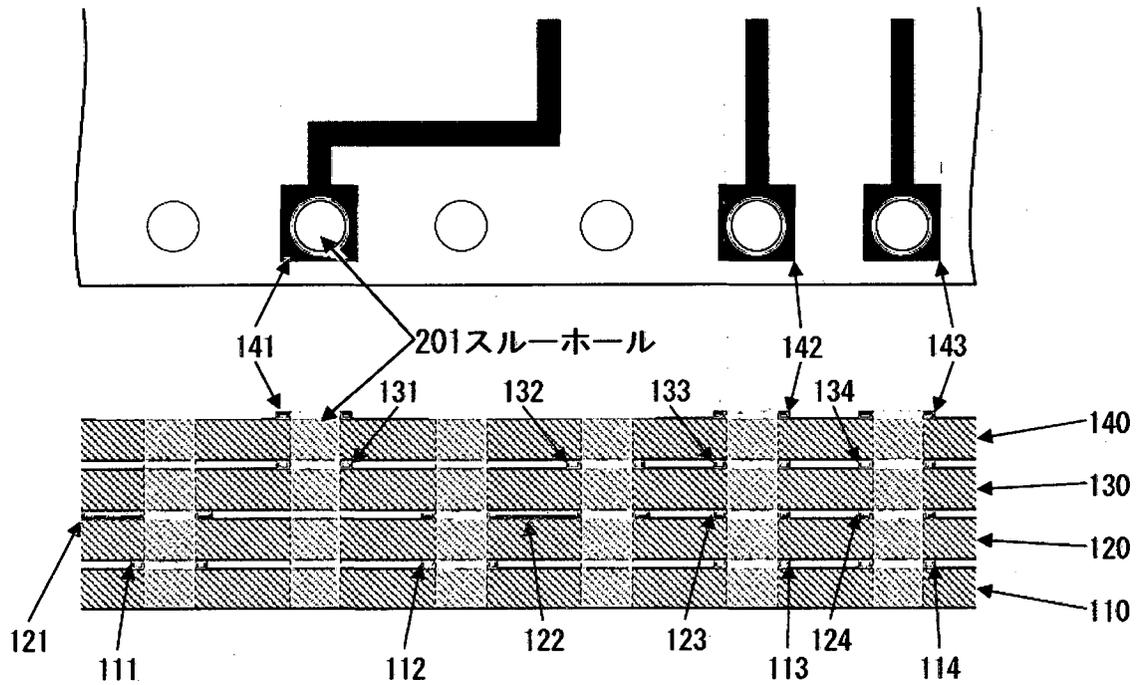


図 6

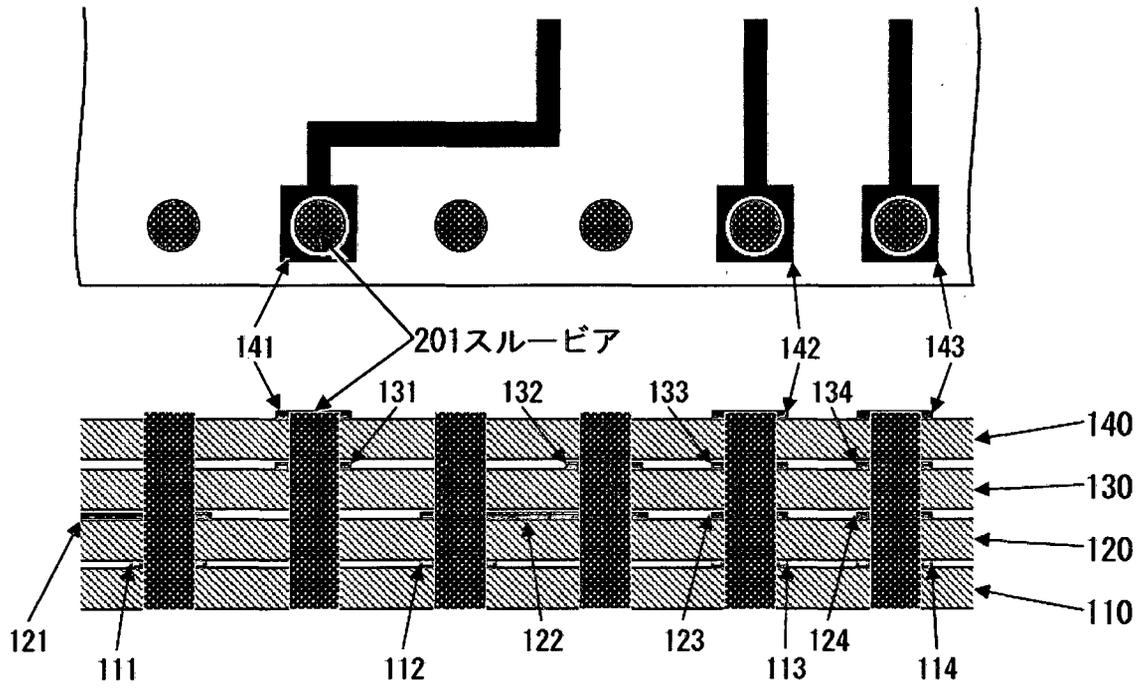
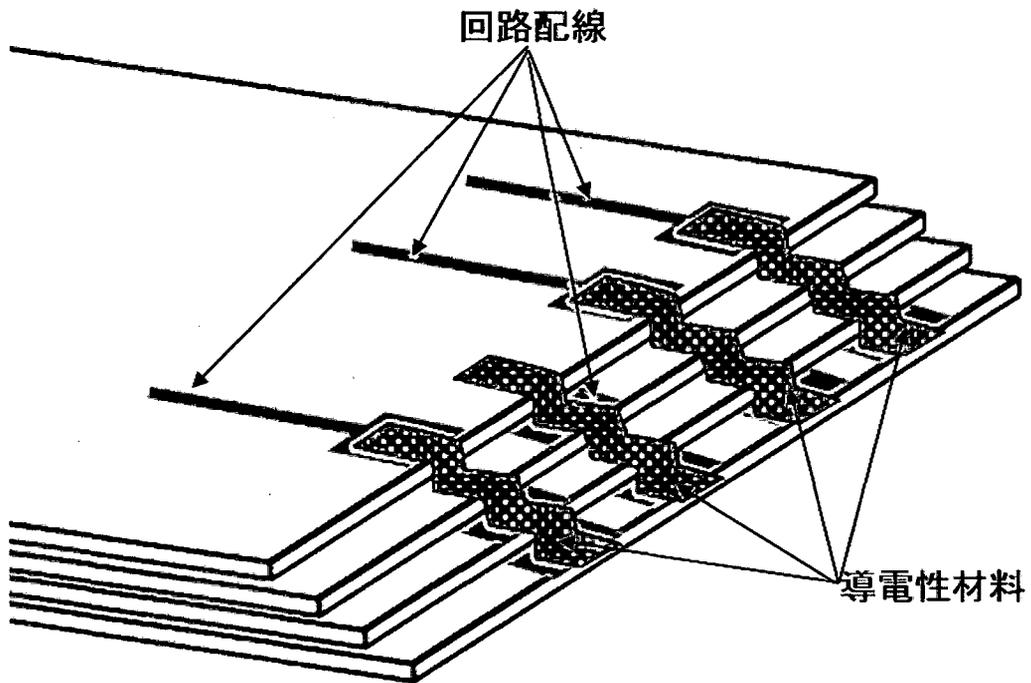


図 7



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/055734

<p>A. CLASSIFICATION OF SUBJECT MATTER <i>H05K3/46(2006.01) i, H05K3/36(2006.01) i</i></p> <p>According to International Patent Classification (IPC) or to both national classification and IPC</p>														
<p>B. FIELDS SEARCHED</p> <p>Minimum documentation searched (classification system followed by classification symbols) <i>H05K3/46, H05K3/36</i></p> <p>Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched</p> <table style="width:100%; border:none;"> <tr> <td style="width:33%;"><i>Jitsuyo Shinan Koho</i></td> <td style="width:33%;"><i>1922-1996</i></td> <td style="width:33%;"><i>Jitsuyo Shinan Toroku Koho</i></td> <td style="width:33%;"><i>1996-2016</i></td> </tr> <tr> <td><i>Kokai Jitsuyo Shinan Koho</i></td> <td><i>1971-2016</i></td> <td><i>Toroku Jitsuyo Shinan Koho</i></td> <td><i>1994-2016</i></td> </tr> </table> <p>Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)</p>			<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2016</i>	<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2016</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2016</i>				
<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2016</i>											
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2016</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2016</i>											
<p>C. DOCUMENTS CONSIDERED TO BE RELEVANT</p> <table border="1" style="width:100%; border-collapse: collapse;"> <thead> <tr> <th style="width:10%;">Category*</th> <th style="width:70%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width:20%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td style="text-align:center;">X Y</td> <td>JP 3-069191 A (NEC Corp.), 25 March 1991 (25.03.1991), page 1, lower right column, line 16 to page 2, upper left column, line 18; fig. 2 (Family: none)</td> <td style="text-align:center;">1, 13 2-12</td> </tr> <tr> <td style="text-align:center;">X Y</td> <td>JP 2007-335675 A (Fuji Electric Systems Co., Ltd.), 27 December 2007 (27.12.2007), paragraphs [0014] to [0017]; fig. 1 (Family: none)</td> <td style="text-align:center;">1, 13 2-12</td> </tr> <tr> <td style="text-align:center;">Y</td> <td>JP 2008-258357 A (Fujikura Ltd.), 23 October 2008 (23.10.2008), paragraph [0003]; fig. 1 (Family: none)</td> <td style="text-align:center;">2-5, 7-10</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X Y	JP 3-069191 A (NEC Corp.), 25 March 1991 (25.03.1991), page 1, lower right column, line 16 to page 2, upper left column, line 18; fig. 2 (Family: none)	1, 13 2-12	X Y	JP 2007-335675 A (Fuji Electric Systems Co., Ltd.), 27 December 2007 (27.12.2007), paragraphs [0014] to [0017]; fig. 1 (Family: none)	1, 13 2-12	Y	JP 2008-258357 A (Fujikura Ltd.), 23 October 2008 (23.10.2008), paragraph [0003]; fig. 1 (Family: none)	2-5, 7-10
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X Y	JP 3-069191 A (NEC Corp.), 25 March 1991 (25.03.1991), page 1, lower right column, line 16 to page 2, upper left column, line 18; fig. 2 (Family: none)	1, 13 2-12												
X Y	JP 2007-335675 A (Fuji Electric Systems Co., Ltd.), 27 December 2007 (27.12.2007), paragraphs [0014] to [0017]; fig. 1 (Family: none)	1, 13 2-12												
Y	JP 2008-258357 A (Fujikura Ltd.), 23 October 2008 (23.10.2008), paragraph [0003]; fig. 1 (Family: none)	2-5, 7-10												
<p><input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.</p>														
<p>* Special categories of cited documents:</p> <table style="width:100%; border:none;"> <tr> <td style="width:50%; vertical-align:top;"> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> </td> <td style="width:50%; vertical-align:top;"> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p> </td> </tr> </table>			<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>										
<p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>													
<p>Date of the actual completion of the international search 27 April 2016 (27.04.16)</p>		<p>Date of mailing of the international search report 17 May 2016 (17.05.16)</p>												
<p>Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan</p>		<p>Authorized officer</p> <p>Telephone No.</p>												

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/055734

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2014-212181 A (Funai Electric Co., Ltd.), 13 November 2014 (13.11.2014), paragraphs [0023] to [0028]; fig. 1, 2 (Family: none)	4, 9
Y	JP 2008-294337 A (Japan Electronic Materials Corp.), 04 December 2008 (04.12.2008), paragraphs [0016] to [0027]; fig. 1 (Family: none)	5-10
Y	JP 2008-153441 A (Koa Corp.), 03 July 2008 (03.07.2008), paragraphs [0018] to [0025]; fig. 1 & WO 2008/075686 A1	11-12
Y	JP 2008-071902 A (Fujifilm Corp.), 27 March 2008 (27.03.2008), paragraphs [0031] to [0039]; fig. 6 (Family: none)	12

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H05K3/46(2006.01)i, H05K3/36(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H05K3/46, H05K3/36		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2016年 日本国実用新案登録公報 1996-2016年 日本国登録実用新案公報 1994-2016年		
国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 3-069191 A（日本電気株式会社）1991.03.25, 第1ページ右下欄 第16行-第2ページ左上欄第18行, 図2（ファミリーなし）	1, 13 2-12
X Y	JP 2007-335675 A（富士電機システムズ株式会社）2007.12.27, 段落[0014]-[0017], 図1（ファミリーなし）	1, 13 2-12
Y	JP 2008-258357 A（株式会社フジクラ）2008.10.23, 段落[0003], 図1（ファミリーなし）	2-5, 7-10
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 27.04.2016	国際調査報告の発送日 17.05.2016	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 小林 大介 電話番号 03-3581-1101 内線 3551	5D 9848

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-212181 A (船井電機株式会社) 2014. 11. 13, 段落[0023]-[0028], 図 1, 図 2 (ファミリーなし)	4, 9
Y	JP 2008-294337 A (日本電子材料株式会社) 2008. 12. 04, 段落[0016]-[0027], 図 1 (ファミリーなし)	5-10
Y	JP 2008-153441 A (コア株式会社) 2008. 07. 03, 段落[0018]-[0025], 図 1 & WO 2008/075686 A1	11-12
Y	JP 2008-071902 A (富士フイルム株式会社) 2008. 03. 27, 段落[0031]-[0039], 図 6 (ファミリーなし)	12