



(12)发明专利申请

(10)申请公布号 CN 111509103 A

(43)申请公布日 2020.08.07

(21)申请号 202010107160.1
(22)申请日 2012.05.22
(30)优先权数据
61/491920 2011.06.01 US
(62)分案原申请数据
201280026289.3 2012.05.22
(71)申请人 亮锐控股有限公司
地址 荷兰史基浦
(72)发明人 J.C.布哈特 S.阿克拉姆
D.A.斯泰格瓦德
(74)专利代理机构 中国专利代理(香港)有限公
司 72001
代理人 陈俊 陈岚
(51)Int.Cl.
H01L 33/48(2010.01)

H01L 33/00(2010.01)
H01L 33/38(2010.01)
H01L 33/44(2010.01)
H01L 33/46(2010.01)
H01L 33/60(2010.01)
H01L 33/62(2010.01)
H01L 23/488(2006.01)
H01L 21/60(2006.01)
H01S 5/022(2006.01)

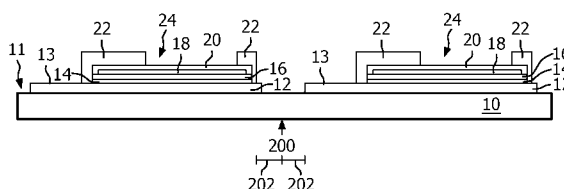
权利要求书1页 说明书8页 附图4页

(54)发明名称

键合到支撑衬底的发光器件

(57)摘要

包含主体(35)和多个延伸穿过该主体的全部厚度的通孔(48)的支撑衬底被键合到包含夹在n型区(12)和p型区(16)之间的发光层(14)的半导体发光器件。该支撑衬底不宽于该半导体发光器件。



1. 一种发光结构, 包括:
支撑衬底, 包括主体和多个延伸穿过所述主体的全部厚度的通孔;
半导体发光器件, 包括夹在n型区和p型区之间的发光层, 其中该半导体发光器件经由电介质键合层被键合到该支撑衬底, 所述通孔也延伸穿过电介质键合层的整个厚度; 以及
布置在该n型区的边缘和该半导体发光器件的边缘之间的聚合物层,
其中该支撑衬底不宽于该半导体发光器件, 并且该电介质键合层与该聚合物层的材料相同, 并且
其中所述n型区和所述p型区被设置为离开所述半导体发光器件的边缘。
2. 根据权利要求1所述的发光结构, 进一步包括布置在该n型区上的金属接触。
3. 根据权利要求2所述的发光结构, 其中该金属接触延伸超过该n型区的边缘上的侧壁。
4. 根据权利要求2所述的发光结构, 其中:
该金属接触被设置为离开该n型区的边缘; 以及
反射电介质结构被布置在该n型区的外部 and 侧壁上。
5. 根据权利要求1所述的发光结构, 进一步包括被布置在该半导体发光器件上的波长转换层。

键合到支撑衬底的发光器件

技术领域

[0001] 本发明涉及键合到支撑衬底的半导体发光器件。

背景技术

[0002] 包含发光二极管(LED)、共振腔发光二极管(RCLED)、垂直腔激光二极管(VCSEL)以及边发射激光器的半导体发光器件是当前可用的最有效率的光源之一。当前在生产中所关心的能够横跨可见光谱工作的高亮度发光器件的材料系统包含III-V族半导体,特别是镓、铝、镓和氮(同样被称作III族氮化物材料)的二元、三元和四元合金。典型地,III族氮化物发光器件通过采用金属有机化学气相沉积(MOCVD)、分子束外延(MBE)或其它外延技术在蓝宝石、碳化硅、III族氮化物或其它合适的衬底上外延生长不同组分和掺杂浓度的半导体层的堆叠来制造。该堆叠通常包含一种或更多形成在该衬底上的掺杂有例如Si的n型层、一种或更多在该一种或更多n型层上形成的有源区中的发光层、以及一种或更多形成在该有源区上的掺杂有例如Mg的p型层。电接触形成在n型和p型区上。

[0003] 图10图示出贴在基板(submount)114上的发光二极管管芯110,其在US 6,876,008中被更加详细地描述。该基板的上下表面上的可焊接表面之间的电学连接形成在该基板内。该基板顶部上的其上布置有焊球122-1和122-2的可焊接区域通过该基板内的导电路径电学连接到该基板的底部上的贴在焊点138上的可焊接区域。焊点138将该基板底部上的可焊接区域电学连接到板134。基板114可以是例如具有若干不同区的硅/玻璃复合基板。硅区114-2被金属化物118-1和118-2环绕,所述金属化物118-1和118-2形成该基板的上表面和下表面之间的导电路径。诸如ESD保护电路之类的电路可以在被金属化物118-1和118-2环绕的硅区114-2中形成,或者在其它硅区114-3中形成。这样的其它硅区114-3同样可以与管芯110或板134电接触。玻璃区114-1电学隔离硅的不同区。焊点138可以通过例如可以是电介质层或空气的绝缘区135被电学隔离。

[0004] 在图10中图示的器件中,包含金属化物118-1和118-2的基板114在管芯110被贴在基板114上之前独立于管芯110而形成。例如,US 6,876,008解释了由用于许多基板的点组成的硅晶圆被生长为包含任何希望的诸如上文提到的ESD保护电路之类的电路。孔通过常规的掩模和刻蚀步骤在该晶圆中形成。诸如金属之类的导电层形成在晶圆上和孔中。该导电层之后可以被图形化。玻璃层之后被形成在晶圆上和孔中。玻璃层和晶圆的部分被移除以露出导电层。在该晶圆下侧上的导电层之后可以被图形化并且附加的导电层可以被添加和图形化。一旦该晶圆的下侧被图形化,单独的LED小片110可以通过互连122被物理地和电学地连接到基板上的导电区。换句话说,LED 100在被切成单独的二极管后被贴至基板114。

发明内容

[0005] 本发明的一个目的是提供键合到支撑衬底的半导体发光器件。

[0006] 本发明的实施例包含含有主体和多个延伸穿过该主体的全部厚度的通孔的支撑衬底。包含夹在n型区和p型区之间的发光层的半导体发光器件被键合到该支撑衬底。该支

撑衬底不宽于该半导体发光器件。

[0007] 该半导体发光器件可以在晶圆级工艺中被键合到该支撑衬底,以便该器件晶圆和支撑衬底同时被切成小片并且该支撑衬底因此不宽于该半导体发光器件。晶圆级工艺可以通过准许一些常规执行在管芯级的加工步骤被执行在晶圆级以降低成本。

附图说明

[0008] 图1图示出半导体发光器件晶圆的一部分。在图1中图示出两个发光器件。

[0009] 图2图示出在添加一个或更多金属层和一个或更多聚合物层后的图1中的器件之一。

[0010] 图3图示出通过金属键合键合到支撑衬底的器件。

[0011] 图4图示出通过单个聚合物层键合到支撑衬底的器件。

[0012] 图5图示出通过形成在该器件和该支撑衬底上的电介质层键合到支撑衬底的器件。

[0013] 图6图示出在支撑衬底的主体中形成通孔后的图3的结构。

[0014] 图7图示出在形成通孔并图形化金属和电介质层后的图4的结构。

[0015] 图8图示出在形成附加的图形化金属和电介质层并贴附焊料凸点和波长转换层后的图7的结构。

[0016] 图9图示出形成在n型区的边缘上的反射器。

[0017] 图10图示出包含安装在基板上的LED的现有技术器件。

具体实施方式

[0018] 在本发明的实施例中,半导体发光器件在晶圆级工艺中被键合到基座(mount)。尽管在下文的示例中该半导体发光器件为发射蓝色或UV光的III族氮化物LED,但是除了LED之外的诸如激光二极管的半导体发光器件和由诸如其它III-V族材料、III族磷化物、III族砷化物、II-VI族材料、ZnO,或基于Si的材料之类的其它材料系统制成的半导体发光器件也可以被使用。

[0019] 图1图示出半导体发光器件的晶圆的部分。在图1中图示两个器件。为了形成图1中图示的结构,半导体结构在生长衬底上生长,该生长衬底可以是诸如例如蓝宝石、SiC、Si、GaN或复合衬底之类的任何合适的衬底10。该半导体结构包含夹在n和p型区12和16之间的发光或有源区14。n型区12可以首先被生长并且可以包含具有不同组分和掺杂浓度的多层,该多层包含例如诸如缓冲层或成核层之类的准备层,和/或被设计以便于生长衬底移除的可以是n型的或非有意掺杂的层,以及设计用于针对发光区的希望的特定光学或电学特性以有效发光的n或甚至p型器件层。发光或有源区14生长在n型区12上。合适的发光区的示例包括单个的厚或薄的发光层,或者包含多个由阻挡层分开的薄或厚的发光层的多量子阱发光区。p型区16可以之后生长在发光区14上。与n型区12相似,p型区16可以包含具有不同组分、厚度和掺杂浓度的多层,该多层包含非有意掺杂的层或n型层。该器件中所有半导体材料的总厚度在一些实施例中小于10 μm 并且在一些实施例中小于6 μm 。在一些实施例中首先生长p型区,然后为有源区,然后为n型区。在一些实施例中,半导体材料可以在生长后可选地在200 $^{\circ}\text{C}$ 到800 $^{\circ}\text{C}$ 之间退火。

[0020] 然后,形成在p型区16上的金属接触。在图1的器件中,p接触包含两个金属层18和20。金属18可以通过例如蒸发或溅射被沉积,之后通过包含例如刻蚀或剥离的标准光刻操作被图形化。金属18可以是诸如例如银之类的反射金属以便获得与p型III族氮化物材料的欧姆接触。金属18同样可以是过渡金属和银的多层堆叠。该过渡金属可以是例如镍。金属18在一些实施例中为100Å到2000Å厚,在一些实施例中为500Å到1700Å厚,而在一些实施例中为1000Å到1600Å厚。该结构可以可选地在金属18的沉积后进行第二次退火。

[0021] 可选的第二p接触金属20可以在p接触金属18上通过例如蒸发或溅射被沉积,之后通过诸如例如刻蚀或剥离之类的标准光刻操作被图形化。金属20可以是任何最低限度地与银反应的导电材料,诸如例如钛和钨的合金之类。这种合金可以或者部分地、整体地被氮化或者根本不被氮化。金属20可以可替换地为铬、铂或硅,或者可以为最优化用于附着至周围层并阻塞金属18扩散的任何上述材料的多层堆叠。金属20在一些实施例中可以为1000Å到10000Å厚,在一些实施例中为2000Å到8000Å,而在一些实施例中为2000Å到7000Å厚。

[0022] 该结构之后通过标准的光刻操作被图形化并且通过例如其中化学反应等离子体被用于移除半导体材料的反应离子刻蚀(RIE)或感应耦合等离子体(ICP)刻蚀(一种RIE工艺,其中等离子体由RF电磁场产生)被刻蚀。在一些实施例中,该图形由用于图形化p接触金属20的光刻掩模确定。在这些实施例中,刻蚀可以在刻蚀p接触金属20之后在单个操作中执行。在一些区中,p型区16的全部厚度和发光区14的全部厚度被移除,显露出n型区12的表面13。之后区11中的在器件之间的n型区12被刻蚀掉,显露出生长衬底10,以便III族氮化物材料被设置为离开点200(最终器件的边缘)一个距离202,即器件之间露出的衬底10的距离为距离202的两倍。例如,III族氮化物材料被设置离开器件的边缘的距离在一些实施例中为1μm到50μm之间,在一些实施例中小于20μm,在一些实施例中小于10μm,而在一些实施例中小于6μm。

[0023] 电介质22可以例如通过等离子体增强化学气相沉积(PECVD)、化学气相沉积(CVD)或蒸发而沉积在图1中的结构上。电介质22为连接到n型和p型区的金属接触提供电学隔离。电介质22通过标准的光刻操作被图形化并通过ICP刻蚀或RIE被刻蚀以露出在区13中的n型区12并露出在区24中的p接触金属20。电介质22同样可以通过剥离被图形化。电介质22可以是包含氮化硅、氧化硅和氮氧化硅的任何合适的电介质。在一些实施例中,电介质22为被优化以反射入射到它的光的多层电介质堆叠。电介质22在一些实施例中可以为小于2μm厚,在一些实施例中为200Å到5000Å厚,而在一些实施例中为500Å到3200Å厚。

[0024] 图1中示出两个器件以图示出本文中描述的器件形成在器件的晶圆上。出于简明的目的,在图2、3、4、5、6、7和8中仅示出一个器件,尽管应当理解的是这些图中示出的多个结构跨越晶圆而重复。

[0025] 在图2中,在接触n型区12的区中形成n接触26的金属层27和附加的p接触层32被沉积和图形化。金属27可以是包含铝的任何合适的金属或包括铝、钛-钨合金、铜和金的多层金属堆叠。在其中金属27为多层堆叠的实施例中,第一金属(即邻近n型区12的金属)可以被选择以形成对GaIn的欧姆接触并反射蓝色和白色光。这样的第一层可以是例如铝。最后的金属可以是适合于用于将器件贴在基座上的任何键合工艺的金属。例如,在一些实施例中,键合工艺为热压键合并且最后的金属为金。金属27可以通过包含例如溅射、蒸发、电镀或这些工艺的组的任何合适的工艺被沉积。

[0026] 尽管在图2中图示的器件中,n接触26延伸超过n型区12的边缘并碰到生长衬底10,但是在一些实施例中,n接触26可以被设置为离开n型区12的边缘以便n接触26不覆盖n型区12的边缘。在这样的实施例中,在下文中描述的聚合物层28可以更宽,以便它碰到未被n接触26覆盖的n型区12的部分。在如示出器件一部分的图9中图示的一些实施例中,反射电介质材料70绕着n型区12的边缘被沉积。反射电介质材料70可以是例如与电介质22同时形成或在单独的沉积和图形化步骤中形成的反射电介质堆叠。在任何情况下,n型区12和n接触26二者都被设置为离开该器件的边缘200。

[0027] 一个或更多聚合物层之后被沉积和图形化。聚合物层28沉积在邻近的器件之间。聚合物层30将p接触32从n接触26分开。聚合物层28和30可以是相同材料并且可以在相同操作中被沉积和图形化,尽管它们不必这样。例如,在图4中图示的器件中,聚合物层28和30及键合层42都可以是在单个步骤中沉积的相同材料。在这种情况下,所沉积的材料不需要被图形化并且平坦化可以不需要。在一些实施例中聚合物层28和30是耐高温的。合适的材料的示例包含苯并环丁烯基聚合物、聚酰亚胺基聚合物,以及环氧树脂。在一些实施例中,聚合物层28掺杂有诸如二氧化钛之类的散射组分或诸如炭黑之类的光吸收材料。聚合物层28在一些实施例中可以是硅树脂。所沉积的聚合物层28和30可以例如通过化学-机械抛光、机械抛光或高速切削被平坦化。

[0028] 图2中图示的器件的晶圆相对于图2中图示的方向被翻转并键合到支撑衬底的晶圆。半导体发光器件33和支撑衬底34之间合适的键合的三个示例图示在图3、4和5中。图3、4和5中图示出的支撑衬底34包含主体35。主体在一些实施例中可以是Si、GaAs或Ge,或者任何其它合适的材料。在一些实施例中,电子设备可以被集成到支撑衬底34中。集成的元件可以包含例如用于静电放电保护的电路元件或驱动电子设备。合适的集成元件的示例包含二极管、电阻和电容。集成元件可以通过常规半导体加工技术形成。

[0029] 在图3中图示的结构中,可选的电介质36生长在支撑衬底34上。电介质36可以是热生长的主体35的自然氧化物(例如氧化硅),通过PECVD或CVD沉积的电介质(例如硅的氧化物、氮化物或氮氧化物),或任何其它合适的电介质。例如,热氧化物可以通过在含O₂和/或H₂O的气体气氛中以800℃到1200℃加热硅来生长。PECVD氧化物可以在150℃到400℃下在硅烷和N₂O或O₂,或原硅酸四乙酯和N₂O或O₂的气氛中生长。CVD氧化物可以在300℃到900℃下在硅烷和N₂O或O₂,或原硅酸四乙酯和N₂O或O₂的气氛中生长。

[0030] 金属38被沉积在电介质36(如果存在的话)或主体35上。金属38可以是例如铜、金、或任何其它合适的金属,通过溅射、电镀、蒸发、这些技术的组合或任何其它合适的技术被沉积。金属38同样可以包括多层金属堆叠。在其中金属38为多层堆叠的实施例中,该堆叠最后沉积的层可以是适合于使用在任何被用于将器件33贴至支撑衬底34的键合技术中的金属。在一些实施例中,该键合技术为热压键合并且最后沉积的层可以为金。金属38可以例如通过添加工艺或减去工艺被图形化。

[0031] 电介质40被沉积和图形化。电介质40提供电学连接到n型和p型半导体层的金属层之间的电学隔离,因此电介质40必须与聚合物层30对准。电介质40可以是适合用作键合材料或胶水的聚合物或其它有机材料。电介质40可以是例如苯并环丁烯基聚合物、聚酰亚胺基聚合物、硅树脂基聚合物、环氧树脂、材料的组合、任何其它适当的有机材料,或无机电介质。可选地,支撑衬底34的顶表面(即金属38和电介质40的顶表面)可以例如通过抛光,通过

化学-机械抛光,或通过任何其它合适的工艺被平坦化。

[0032] 在图4中图示的结构中,单个电介质键合层42形成在图2图示的结构顶表面(即金属层26和32以及聚合物层28和30的顶表面)上。可替换地,电介质42可以形成在支撑衬底34的主体35上。电介质42可以是适合于用作键合材料或胶水的聚合物或其它有机材料。电介质42可以是苯并环丁烯基聚合物、聚酰亚胺基聚合物、环氧树脂、硅树脂基聚合物,或任何其它适当的有机材料。电介质42可以是与聚合物层28和30相同的材料,尽管它不必是。电介质42可以通过例如旋涂形成,并且可以在沉积后例如通过化学-机械抛光、机械抛光,或高速切削被平坦化。在其中电介质42是与聚合物层28和30相同的材料的实施例中,器件可以在共沉积后的单个步骤中例如通过化学-机械抛光被平坦化。在一些实施例中,电介质42的平坦化不是必需的。电介质42在金属层26和32上可以为100Å到1μm厚,并且跨越整个晶圆是平面的。

[0033] 在图5中图示的器件中,键合层44和46分别形成在主体35和器件33二者上。形成在器件33上的键合层46可以是诸如例如在低温下例如通过PECVD沉积的硅的氧化物、氮化硅或氮氧化硅之类的电介质。例如,PECVD氧化物可以在温度为150℃到400℃在硅烷和N₂O或O₂,或原硅酸四乙酯和N₂O或O₂的气氛中生长。在一些实施例中电介质46可以为100Å到1μm厚。形成在支撑衬底34上的键合层44可以是诸如例如硅的氧化物、氮化硅,或氮氧化硅之类的电介质。硅的氧化物可以在硅支撑衬底上的热生长氧化物,例如通过CVD在高温下被沉积的,或例如通过PECVD在低温下被沉积的。电介质44的厚度在一些实施例中可以为100Å到1μm厚。例如,热氧化物可以通过在含O₂和/或H₂O的气体气氛中在800℃到1200℃下加热硅来生长。PECVD氧化物可以在温度为150℃到400℃在硅烷和N₂O或O₂,或原硅酸四乙酯和N₂O或O₂的气氛中生长。CVD氧化物可以在温度为300℃到900℃在硅烷和N₂O或O₂,或原硅酸四乙酯和N₂O或O₂的气氛中被沉积。

[0034] 器件33的晶圆通过例如图3、4和5中图示的键合结构中的一种键合到支撑衬底34的晶圆。在一些实施例中键合可以在温度为50℃到500℃之间执行,并且在一些实施例中在温度为100℃到250℃之间执行。在一些实施例中键合可以在低于5MPa的施加的压缩压力下执行。在一些实施例中,在键合到支撑衬底34的晶圆后,生长衬底10可以通过例如刻蚀或激光剥离从器件33移除。在其中生长衬底10被移除的实施例中,由于没有生长衬底的器件典型地过于薄以至于它不能在机械地自支撑,支撑衬底34为器件33提供机械支撑。例如,图2中图示的器件在没有衬底时的总厚度在一些实施例中不大于7μm,而在一些实施例中不大于25μm。通过移除生长衬底10而露出的半导体材料可以被图形化或通过诸如光电化学刻蚀之类的任何合适的工艺被粗糙化以例如提高光提取。在一些实施例中,生长衬底10仍然是最终器件的部分。在一些实施例中,生长衬底可以例如通过锯切或刻蚀而成形。支撑衬底34的主体35在键合到器件33之前或之后,在一些实施例中可以被减薄到厚度为50μm到250μm之间,并且在一些实施例中可以被减薄到厚度为80μm到120μm之间。减薄可以例如通过化学机械抛光或研磨和抛光来执行。

[0035] 键合后,通孔在支撑衬底中形成并且键合的结构经受进一步的加工,如图6、7和8中图示。图6图示出形成在图3中图示的器件中的通孔。图7和8图示出形成在图4中图示出的器件上的通孔和金属以及电介质层。在图6、7和8中图示的加工可以在任何图3、4和5中图示的器件上执行。

[0036] 如图6中所示的,通孔48被刻蚀穿过支撑衬底34的主体35。图示出两个通孔,一个显露出电学连接到n型区12的金属并且一个显露出电学连接到p型区16的金属。在图6中图示的器件中(其包含图3中图示的键合),通孔48被刻蚀穿过主体35和可选的电介质36以显露出金属层38。在图4和5中图示的器件中,通孔被刻蚀穿过键合层42、44和46以显露出p金属32和n金属26。通孔48可以例如通过深反应离子刻蚀、反应离子刻蚀、湿法化学刻蚀,或任何其它合适的刻蚀技术被刻蚀。在其中支撑衬底34为Si的实施例中,合适的刻蚀剂气体包含例如SF₆并且刻蚀可以与使用例如通常被称作波希法(Bosch Process)的工艺中的八氟环丁烷的在Si侧壁上的化学惰性钝化层的沉积时分复用。在其中支撑衬底34为GaAs的实施例中,合适的刻蚀剂气体包含例如Cl₂、HBr或Cl₂与HBr的混合物。在其中支撑衬底34为Ge的实施例中,合适的刻蚀剂气体包含例如Cl₂、SCl₄或Cl₂和SCl₄的混合物。在其中支撑衬底34为GaAs或Ge的实施例中,刻蚀同样可以与侧壁上的化学惰性钝化层的沉积时分复用。通孔48的侧壁相对于主体35可以是正交的或如图6所示是成角度的。

[0037] 如图7所示,电介质50之后被沉积在主体35的表面上和通孔48中。电介质50可以是例如硅的氧化物、硅的氮化物或在低温下例如通过PECVD沉积的硅的氮氧化物。例如,PECVD氧化物可以在温度为150℃到400℃在硅烷和N₂O或O₂,或原硅酸四乙酯和N₂O或O₂的气氛中被沉积。电介质50在一些实施例中可以为100Å到2μm厚。电介质50随后被图形化以露出通孔48顶部的金属层32和26。

[0038] 金属层被沉积,之后被图形化以形成到p和n接触的电学连接52和54。电学连接52和54可以是例如通过例如电镀、溅射或电镀和溅射的组合沉积的Cu。电学连接52和54在一些实施例中可以为1μm到20μm厚并且在一些实施例中为6μm到10μm厚。如图7所示的横截面中,通孔48没有完全被电学连接52和54填充。在一些实施例中,通孔48没有被电介质50占据的部分可以完全被电学连接52和54填充。形成电学连接52和54的金属层可以是包括例如Ti、TiW、Cu、Ni和Au并通过溅射或溅射和电镀的组合沉积的多层金属堆叠。

[0039] 如图8所示,电介质55被沉积并被图形化以用于电学隔离和/或保护电学连接52和54。电介质55可以是例如一种或更多苯并环丁烯基聚合物或一种或更多聚酰亚胺基聚合物。在其中通孔48还没有被形成电学连接52和54的金属层完全填充的实施例中,电介质55可以被配置用于主要或全部地填充通孔48,或通孔48可以被保持未填充。

[0040] 可选地,附加的金属层之后被沉积以形成焊料连接56和58。附加的金属可以是任何适合作为电学连接52和54以及互连60和62(在一些实施例中为焊料凸点)之间的连接的金属。用于焊料连接56和58的合适结构的示例包含溅射的NiV或电镀的Ni的第一层及之后的溅射或电镀的Au的第二薄层,溅射的TiW的第一层及之后的溅射的NiV或电镀的Ni的第二层和之后的溅射或电镀的Au的第三薄层,或者溅射或电镀的TiW的第一层及之后的电镀的Cu的第二层和之后的溅射或电镀的Au的第三层。焊料连接56和58在一些实施例中可以具有1μm到15μm的总厚度。

[0041] 在一些实施例中,波长转换层64被布置在发光层14上并且在该发光层发射的光的路径中。波长转换层64可以与器件相隔开,如果生长衬底10已被移除则贴至n型区12,如果存在则贴至生长衬底10。波长转换层包含一种或更多被配置用于吸收发光层发射的光并发射不同波长的光的波长转换材料。所有或仅仅一部分由发光层发射并入射到波长转换层上的光可以由波长转换材料转换。未转换的由发光层发射的光可以是光的最终光谱的一部

分,尽管它不必是。通常的组合的示例包含与黄光发射波长转换材料组合的蓝光发射LED,与绿光和红光发射波长转换材料组合的蓝光发射LED,与蓝光和黄光发射波长转换材料组合的UV发射LED,以及与蓝光、绿光和红光发射波长转换材料组合的UV发射LED。发射其它颜色光的波长转换材料可以被添加以定制发射自该器件的光的光谱。

[0042] 波长转换层64可以是例如通过分层沉积到晶圆上的例如在硅树脂基质中的一层磷光体颗粒。波长转换层的厚度在一些实施例中可以为10 μm 到100 μm ,在一些实施例中为15 μm 到50 μm ,而在一些实施例中为18 μm 到30 μm 。波长转换层64可以是例如通过喷涂、电泳、模压、打印、丝网或喷墨印刷、沉淀、蒸发、溅射或任何其它合适的技术沉积在器件上的有机或无机密封剂中的例如粉末状磷光体或量子点。波长转换层64可以是例如诸如通过烧结形成的固体陶瓷磷光体之类的预成型的自支撑层或玻璃基磷光体。这样的自支撑层可以直接被键合到器件而无需黏合剂或经由诸如硅树脂胶水之类的黏合剂被键合。在一些实施例中,波长转换层64可以是包括直接沉积或键合到n型区12的第一高折射指数间隔材料和沉积在该间隔材料顶部上的磷光体层的多层结构。合适的磷光体的示例包含掺杂的钇铝石榴石基磷光体、氮化物基磷光体、或任何其它合适的磷光体。

[0043] 在一些实施例中,波长转换层64是器件中仅有的波长转换材料。在一些实施例中,波长转换层64与诸如其它磷光体、量子点、半导体波长转换元件、或染料之类的其它波长转换元件组合,以创建白色光或其它颜色的单色光。

[0044] 在一些实施例中,适合于将图8所示的结构贴在诸如印刷电路板之类的另一结构上的可选的互连60和62形成在连接56和58上。互连60和62通常为焊料凸点但是任何合适的互连都可以被使用。焊料凸点60和62可以是例如锡、银和铜的合金(SAC焊料)或金和锡的合金。该焊料可以由包含例如电镀的任何合适的技术来施加。电镀后,该结构随后可以被回流来使该结构和焊料凸点60和62的微结构平滑。

[0045] 之后,键合到支撑衬底34的器件33的晶圆可以被切成单独的发光器件芯片。由于器件33和支撑衬底34被一起切成小片,支撑衬底不宽于器件,如图3、4、5、6、7和8所示。单粒化可以例如通过常规的锯切、通过使用193nm、248nm或355nm的光的激光烧蚀、或通过水喷射切割来执行。单粒化同样可以经由划片和机械断裂的组合被执行,其中划片例如通过常规的锯切、通过使用193nm、248nm或355nm的光的激光烧蚀、或通过水喷射切割来执行。

[0046] 由于上述的器件在晶圆级被键合到支撑衬底,本发明的实施例可以提供比其中器件逐个管芯地被键合到支撑衬底的常规方案更高的效率和成本的降低。例如,由于通过许多在常规LED中典型地被执行在封装级的加工操作的LED的晶圆级加工的可能性,因此效率可以提升,其中所述加工操作包含生长衬底的移除、生长衬底移除后半导体表面的粗糙化、以及形成波长转换层。

[0047] 在常规的半导体垂直集成方案中,被集成的器件时常在名义上是相同材料、或者是具有类似的热膨胀系数(CTE)的材料。这样,该结构的晶圆键合可以在提高的温度下执行。在III族氮化物器件生长在蓝宝石上并且晶圆键合到硅支撑衬底晶圆的情况下,蓝宝石和硅的CTE足够不同,以至于在提高的温度下的晶圆键合会导致锁在该键合结构中的显著的应力,导致在随后的加工期间该键合结构的弯曲和破碎。在一些上述的实施例中,该器件在低温下被键合到支撑衬底,这会导致在该结构中最小的锁入应力,这可以改善产量。例如,在一些实施例中键合在低于300 $^{\circ}\text{C}$ 下执行而在一些实施例中在230 $^{\circ}\text{C}$ 到275 $^{\circ}\text{C}$ 之间或更

低温度下执行。在一些使用硅树脂基键合层的实施例中，键合可以在低于150℃下执行。

[0048] 在一些实施例中，由于支撑衬底晶圆在键合时不包含任何特征，因此器件的晶圆无需复杂的对准就可以被键合到支撑衬底晶圆。该器件和支撑衬底晶圆仅仅需要粗略地对准，例如通过视觉对准，但是不要求两个晶圆上图形化特征的精确对准。键合后，通孔刻蚀掩模不得不与LED金属化物对准，这可以通过IR对准（透过键合的晶圆观察）或背后对准（将支撑衬底晶圆侧上的掩模与如同透过诸如蓝宝石之类的透明生长衬底看见的LED图形的视图对准）被执行。

[0049] 已经详细描述了本发明，本领域的技术人员能够理解，给定本公开内容，可以对本发明作出修改而不脱离于本文所描述的创造性概念的精神。因此，不旨在将本发明的范围限制为图示和描述的特定实施例。

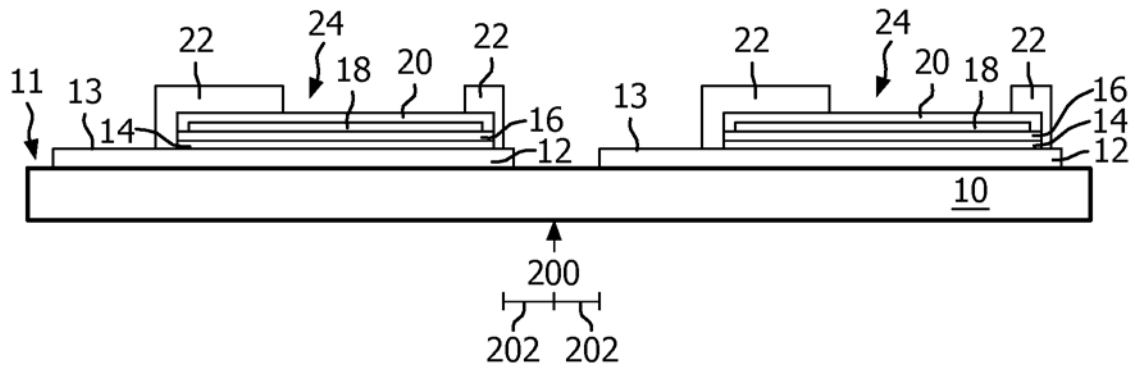


图 1

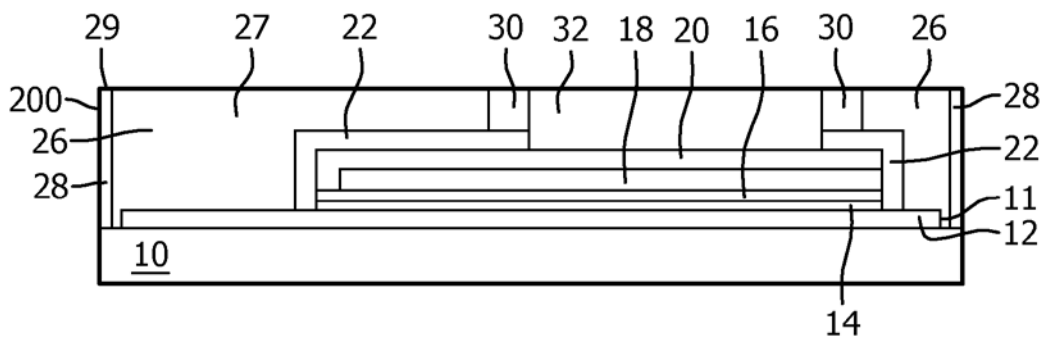


图 2

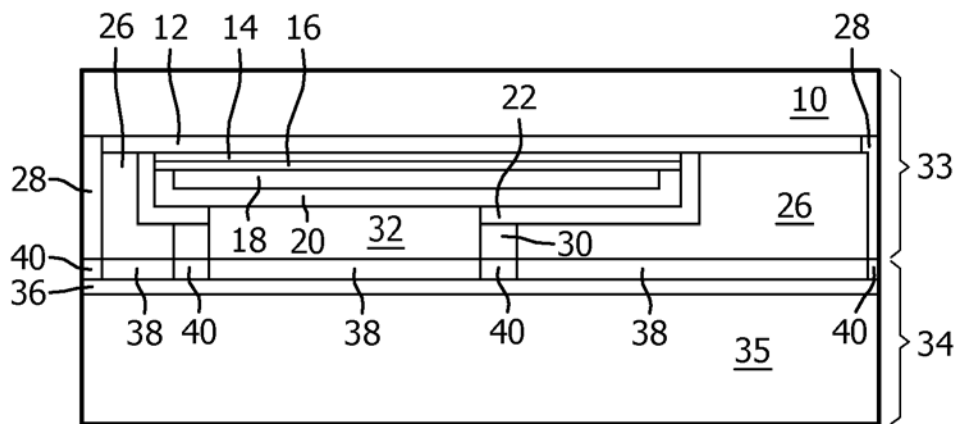


图 3

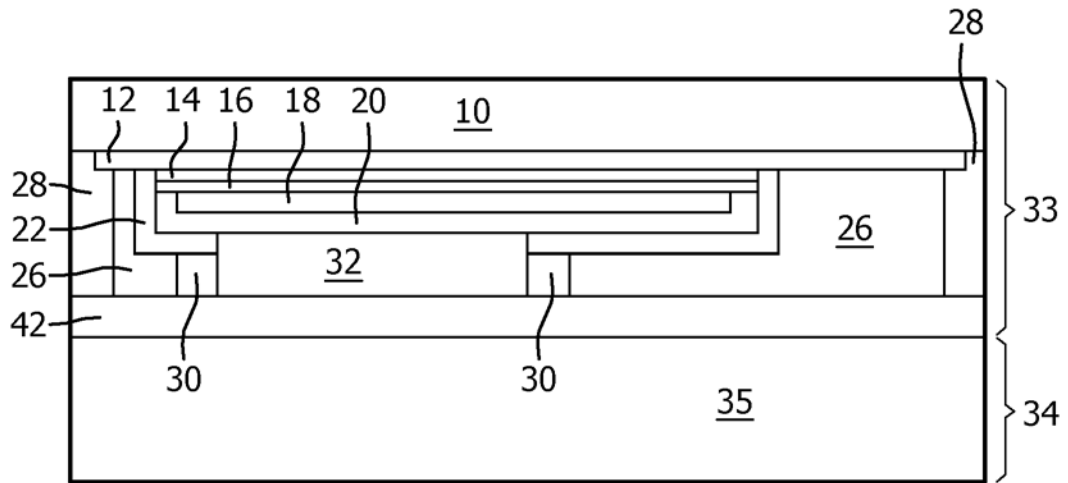


图 4

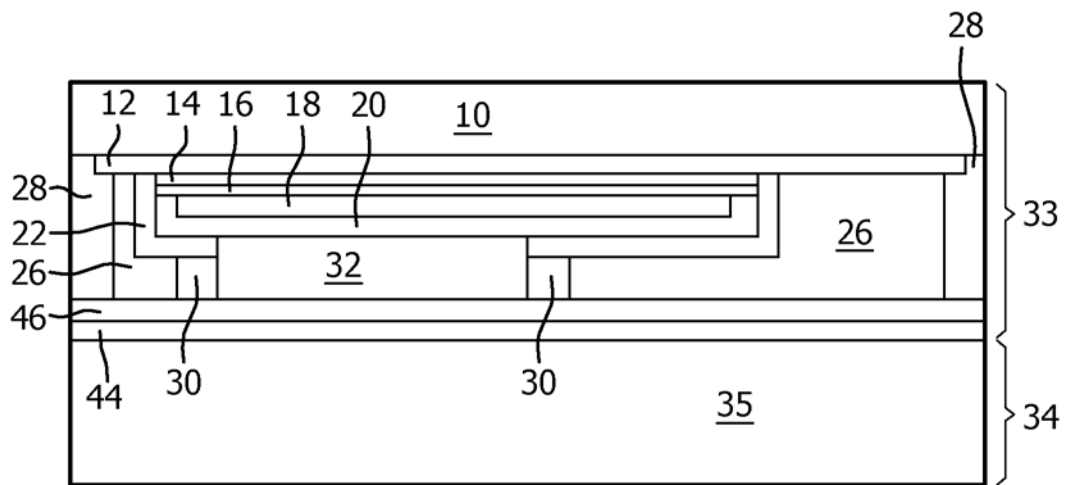


图 5

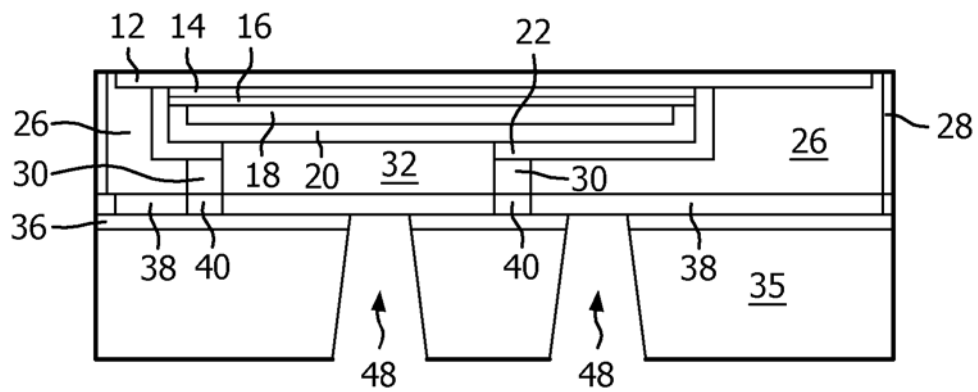


图 6

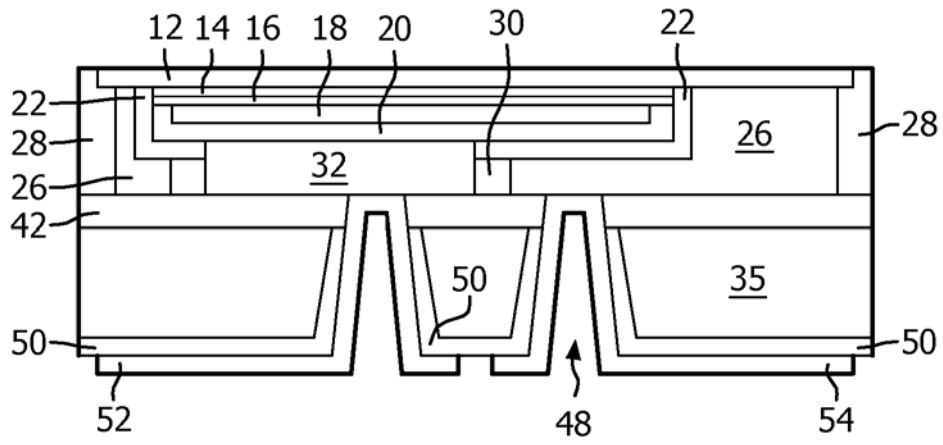


图 7

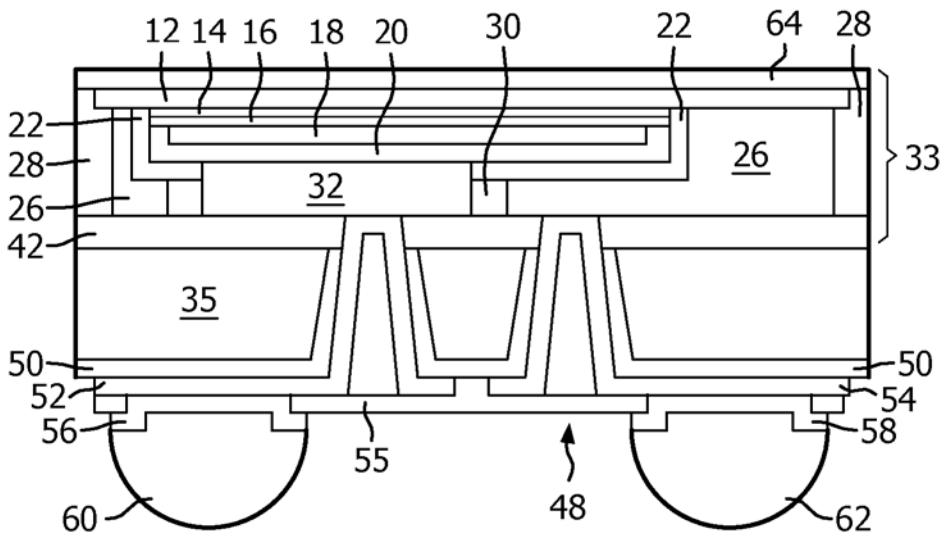


图 8

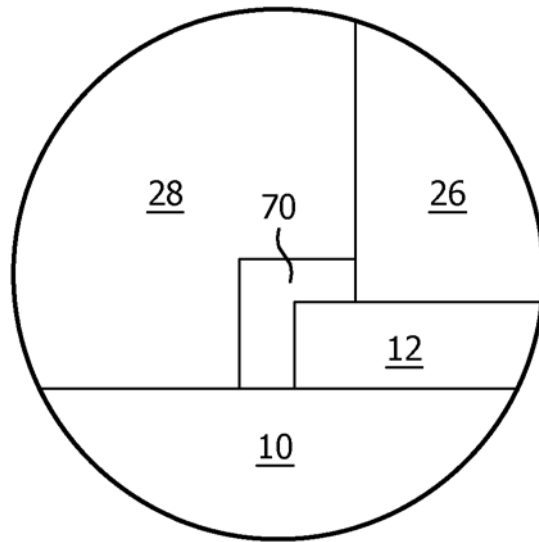


图 9

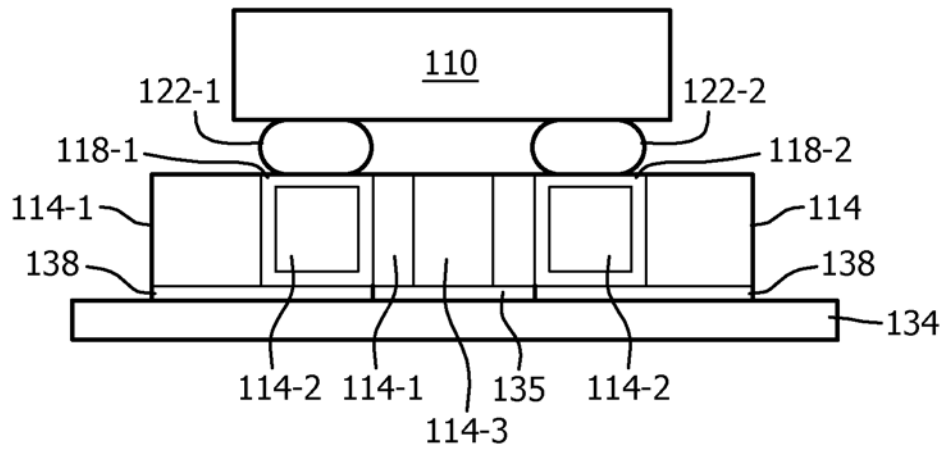


图 10 (现有技术)