



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0087545  
H03K 19/173 (2006.01) (43) 공개일자 2007년08월28일

(21) 출원번호 10-2007-7003697  
(22) 출원일자 2007년02월15일  
심사청구일자 없음  
번역문 제출일자 2007년02월15일  
(86) 국제출원번호 PCT/US2005/026227 (87) 국제공개번호 WO 2006/014849  
국제출원일자 2005년07월25일 국제공개일자 2006년02월09일

(30) 우선권주장 10/899,020 2004년07월27일 미국(US)  
11/186,923 2005년07월22일 미국(US)

(71) 출원인 이에이직 코포레이션  
미국 캘리포니아 95050 산타 클라라 월시 예비뉴 2001

(72) 발명자 카펠, 아론  
이스라엘 23800 기벳 엘라 해벡 스트리트 41  
그리고레, 조지, 카타린  
루마니아 알-아이아시 비1. 544 이티.3 에이피. 11 소스.파쿠라리 엔알.  
38  
오어-바흐, 즈비  
미국 95124 캘리포니아 샌어제이 우드포드 드라이브 3555  
아브람, 페트리카  
루마니아 알-아이아시 파터 에이피. 2 씨1 에스씨. 이 에타지스플레이  
바홀위 넘버 24/비1.  
이아코벳, 로메오  
루마니아 알-617091 아이아시 록 바티세스티 521 콤 보테스티넘트  
아포스톨 에이드리언  
루마니아 알-610106 아이시 17 피아트라 넘트 브들 다시아 비엘9에이  
피. 17  
워맨, 제'이브  
미국 94303 캘리포니아 팔로 알토 스톡톤 플레이스 3355  
레벤타, 아담  
미국 94062 캘리포니아 레드우드 씨티 윌밍톤 웨이 956  
제맨, 리차드  
미국 95131 캘리포니아 샌어제이 폴링트리 드라이브 3545

(74) 대리인 남상선

전체 청구항 수 : 총 57 항

(54) 구조화된 집적회로 소자

**(57) 요약**

구성가능한 로직 어레이는, 검색표를 포함하는 다수의 로직 셀, 다수의 로직 셀 위에 놓이는 주문가능한 금속 및 비아 접속층들, 다수의 소자의 주문가능한 I/O 셀들, 다수의 주문가능한 RAM 블록, 주문가능한 콘텐츠를 갖는 ROM 블록, 및 어레이를 구성하고 테스트하는 주문가능한 I/O를 갖는 마이크로프로세서를 포함하며, 주문은 단일 비아층상에서 모두 수행된다.

**대표도**

도 11

**특허청구의 범위**

**청구항 1.**

반도체 소자로서,

다수의 로직 셀을 포함하는 로직 어레이; 및

다수의 소자의 주문형 I/O 셀들

을 포함하며, 상기 로직 셀 각각은 적어도 하나의 검색표를 포함하며, 상기 로직 어레이는 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하기 위해 상기 다수의 로직 셀 상부에 놓이는 금속 및 비아 접속층들을 포함하며, 상기 주문형 상호접속부는 커스텀 비아층에 의해 주문되며, 상기 주문형 I/O 셀들은 상기 커스텀 비아층에 의해 주문되는, 반도체 소자.

**청구항 2.**

제 1 항에 있어서,

상기 반도체 소자는 구성가능한 RAM 블록을 더 포함하며, 상기 RAM 블록의 구성은 상기 커스텀 비아층에 의해 주문되는 것을 특징으로 하는 반도체 소자.

**청구항 3.**

제 1 항에 있어서,

상기 반도체 소자는 구성가능한 ROM 블록을 더 포함하며, 상기 ROM 블록의 구성은 상기 커스텀 비아층에 의해 주문되는 것을 특징으로 하는 반도체 소자.

**청구항 4.**

제 1 항에 있어서,

상기 반도체 소자는 주문가능한 클록 분포 구조물을 더 포함하며, 상기 주문가능한 클록 분포 구조물은 상기 커스텀 비아층에 의해 주문되는 것을 특징으로 하는 반도체 소자.

## 청구항 5.

제 4 항에 있어서,

상기 반도체 소자는 상기 클록 분포 구조물을 미세하게 조절하는 주문가능한 트리머 셀을 더 포함하며, 상기 주문가능한 트리머 셀은 상기 커스텀 비아층에 의해 주문되는 것을 특징으로 하는 반도체 소자.

## 청구항 6.

반도체 소자로서,

각각 적어도 하나의 플립-플롭을 가지는 다수의 로직 셀을 포함하는 로직 어레이;

다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록 다수의 동일한 로직 셀 위에 놓이는 적어도 하나의 금속 접속층; 및

다수의 소자의 주문형 I/O 셀들

을 포함하며, 상기 주문형 상호접속부는 커스텀 비아층에 의해 주문되며, 상기 주문형 I/O 셀들은 상기 커스텀 비아층에 의해 주문되는, 반도체 소자.

## 청구항 7.

제 6 항에 있어서,

상기 반도체 소자는 구성가능한 RAM 블록을 더 포함하며, 상기 RAM 블록의 구성은 상기 커스텀 비아층에 의해 주문되는 것을 특징으로 하는 반도체 소자.

## 청구항 8.

제 7 항에 있어서,

상기 반도체 소자는 내장형 마이크로프로세서를 더 포함하며, 상기 마이크로프로세서는 구성가능한 RAM 포트로부터 개별 관독/기록 포트에 의해 상기 RAM 블록을 액세스할 수 있는 능력을 가지는 것을 특징으로 하는 반도체 소자.

## 청구항 9.

제 7 항에 있어서,

상기 구성가능한 RAM 포트는 다수의 RAM의 출력의 로직 멀티플렉싱 출력 또는 와이어링을 위한 비아 옵션을 포함하는 것을 특징으로 하는 반도체 소자.

## 청구항 10.

제 6 항에 있어서,

상기 반도체 소자는 구성가능한 ROM 블록을 포함하며, 상기 구성가능한 ROM 블록의 콘텐츠는 상기 커스텀 비아층에 의해 주문되는 것을 특징으로 하는 반도체 소자.

### 청구항 11.

제 6 항에 있어서,

상기 반도체 소자는 주문가능한 클록 분포 구조물을 포함하며, 상기 주문가능한 클록 분포 구조물은 상기 커스텀 비아층에 의해 주문되는 것을 특징으로 하는 반도체 소자.

### 청구항 12.

제 11 항에 있어서,

상기 반도체 소자는 상기 클록 분포 구조물을 미세하게 조절하기 위해 주문가능한 트리머 셀을 더 포함하며, 상기 주문가능한 트리머 셀은 상기 커스텀 비아층에 의해 주문되는 것을 특징으로 하는 반도체 소자.

### 청구항 13.

반도체 소자로서,

다수의 로직 셀을 포함하는 로직 어레이; 및

내장형 마이크로프로세서

를 포함하며, 상기 로직 셀 각각은 적어도 하나의 검색표를 포함하며, 상기 로직 어레이는 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록 상기 다수의 로직 셀 상에 놓이는 금속 접속층들을 더 포함하는, 반도체 소자.

### 청구항 14.

제 13 항에 있어서,

상기 반도체 소자는 구성가능한 ROM 블록을 더 포함하는 것을 특징으로 하는 반도체 소자.

### 청구항 15.

제 13 항에 있어서,

상기 마이크로프로세서는 상기 검색표의 콘택츠를 판독하거나 로딩하는 능력을 갖는 것을 특징으로 하는 반도체 소자.

### 청구항 16.

제 13 항에 있어서,

상기 마이크로프로세서는 상기 로직 어레이의 테스트를 수행하는 능력을 갖는 것을 특징으로 하는 반도체 소자.

### 청구항 17.

제 13 항에 있어서,

상기 반도체 소자는 구성가능한 RAM 블록을 더 포함하며, 상기 마이크로프로세서는 상기 RAM 블록의 테스트를 수행하는 능력을 갖는 것을 특징으로 하는 반도체 소자.

### 청구항 18.

반도체 소자로서,

적어도 하나의 플립-플롭을 가지는 다수의 로직 셀을 포함하는 로직 어레이;

다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록 다수의 동일한 로직 셀 위에 놓이는 적어도 하나의 금속 접속층; 및

내장형 마이크로프로세서

를 포함하는, 반도체 소자.

### 청구항 19.

제 18 항에 있어서,

상기 반도체 소자는 구성가능한 ROM 블록을 더 포함하는 것을 특징으로 하는 반도체 소자.

### 청구항 20.

제 18 항에 있어서,

상기 마이크로프로세서는 상기 검색표의 콘텐츠를 관독하거나 로딩하는 능력을 갖는 것을 특징으로 하는 반도체 소자.

### 청구항 21.

제 18 항에 있어서,

상기 마이크로프로세서는 상기 로직 어레이의 테스트를 수행하는 능력을 갖는 것을 특징으로 하는 반도체 소자.

### 청구항 22.

제 18 항에 있어서,

상기 반도체 소자는 구성가능한 RAM 블록을 더 포함하며, 상기 마이크로프로세서는 상기 RAM 블록의 테스트를 수행하는 능력을 갖는 것을 특징으로 하는 반도체 소자.

### 청구항 23.

제 1 항에 있어서,

상기 I/O 셀들은 패드 전용 로우(row)를 포함하며, 상기 패드 전용 로우는 상기 주문형 I/O 셀에 대해 하나 이상의 전력 접속부를 제공하는 것을 특징으로 하는 반도체 소자.

#### 청구항 24.

제 23 항에 있어서,

상기 패드 전용 로우는 상기 로직 어레이에 전력 접속부를 제공하는 것을 특징으로 하는 반도체 소자.

#### 청구항 25.

제 23 항에 있어서,

상기 패드 전용 로우는 패드의 출력 로우인 것을 특징으로 하는 반도체 소자.

#### 청구항 26.

제 23 항에 있어서,

상기 I/O 셀들은 적어도 3개의 패드 로우를 포함하며, 상기 패드 전용 로우는 제 3 패드 로우인 것을 특징으로 하는 반도체 소자.

#### 청구항 27.

제 23 항에 있어서,

상기 패드 전용 로우는 I/O 셀 입력 또는 출력 신호와의 접속부를 갖지 않는 것을 특징으로 하는 반도체 소자.

#### 청구항 28.

제 11 항에 있어서,

상기 주문가능한 클록 분포 구조물은

상기 커스텀 비아층에 의한 주문과 상관없이, 미리-특정화된 지연을 유지하기 위해 각각의 분포 스테이지에서 일정한 로딩을 포함하는 것을 특징으로 하는 반도체 소자.

#### 청구항 29.

로직 어레이로서,

적어도 하나의 검색표를 포함하는 다수의 동일한 로직 셀; 및

다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 직접 상호접속부를 제공하도록 상기 다수의 동일한 로직 셀 위에 놓이는 금속 접속층들

을 포함하며, 상기 로직 어레이는 상기 다수의 동일한 로직 셀 각각의 기능이 상기 검색표의 적어도 하나의 구성에 의해 결정되는 다수의 기능중 하나가 되도록 설계되는, 로직 어레이.

### 청구항 30.

반도체 소자로서,

다수의 기능 블록 - 상기 기능 블록들 중 적어도 하나는 구성가능한 RAM 블록이며, 상기 RAM 블록의 구성은 커스텀 비아층에 의해 주문됨 - ; 및

상기 다수의 블록의 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 블록 위에 놓이는 다수의 금속 접속층들

을 포함하는, 반도체 소자.

### 청구항 31.

제 30 항에 있어서,

상기 커스텀 비아층은 상기 커스텀 비아층의 전자 데이터에 웨이퍼를 직접 노출시킴으로써 생성되는 것을 특징으로 하는 반도체 소자.

### 청구항 32.

반도체 소자로서,

다수의 기능 블록 - 상기 다수의 기능 블록들 중 적어도 하나는 구성가능한 ROM 블록이며, 상기 ROM 블록의 콘텐츠는 커스텀 비아층에 의해 주문됨 - ; 및

상기 다수의 블록의 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 블록 위에 놓이는 다수의 금속 접속층들

을 포함하며, 상기 주문형 상호접속부는 상기 커스텀 비아층에 의해 주문되는, 반도체 소자.

### 청구항 33.

제 32 항에 있어서,

상기 커스텀 비아층은 상기 커스텀 비아층의 전자 데이터를 웨이퍼에 직접 노출시킴으로써 생성되는 것을 특징으로 하는 반도체 소자.

### 청구항 34.

반도체 소자로서,

다수의 기능 블록;

상기 다수의 블록의 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 블록들 위에 놓이는 다수의 금속 접속층; 및

다수의 소자의 주문형 I/O 셀들

을 포함하며, 상기 주문형 상호접속부는 커스텀 비아층에 의해 주문되며, 상기 주문형 I/O 셀들은 상기 커스텀 비아층에 의해 주문되는, 반도체 소자.

### 청구항 35.

제 34 항에 있어서,

상기 커스텀 비아층은 상기 커스텀 비아층의 전자 데이터를 웨이퍼에 직접 노출시킴으로써 생성되는 것을 특징으로 하는 반도체 소자.

### 청구항 36.

반도체 소자로서,

다수의 기능 블록 - 상기 기능 블록들 중 적어도 하나는 구성가능한 ROM 블록이며, 상기 ROM 블록의 콘텐츠는 커스텀 비아층에 의해 주문되며, 상기 기능 블록들 중 적어도 하나는 구성가능한 RAM 블록이며, 상기 RAM 블록의 구성은 상기 커스텀 비아층에 의해 주문됨 - ;

상기 다수의 블록의 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 블록 위에 놓이는 다수의 금속 접속층 - 상기 주문형 상호접속부는 상기 커스텀 비아층에 의해 주문됨 - ; 및

다수의 소자의 주문형 I/O 셀들 - 상기 주문형 I/O 셀들은 상기 커스텀 비아층에 의해 주문됨 -

을 포함하는, 반도체 소자.

### 청구항 37.

제 36 항에 있어서,

상기 커스텀 비아층은 상기 커스텀 비아층의 전자 데이터를 웨이퍼에 직접 노출시킴으로써 생성되는 것을 특징으로 하는 반도체 소자.

### 청구항 38.

제 1 항에 있어서,

상기 로직 셀 각각은 멀티플렉서를 더 포함하는 것을 특징으로 하는 반도체 소자.

### 청구항 39.



제 1 항에 있어서,

상기 로직 셀 각각은 NAND 게이트를 더 포함하는 것을 특징으로 하는 반도체 소자.

#### 청구항 40.

제 1 항에 있어서,

상기 로직 셀 각각은 다수의 버퍼를 더 포함하는 것을 특징으로 하는 반도체 소자.

#### 청구항 41.

제 6 항에 있어서,

상기 로직 셀 각각은 멀티플렉서를 더 포함하는 것을 특징으로 하는 반도체 소자.

#### 청구항 42.

제 6 항에 있어서,

상기 로직 셀 각각은 NAND 게이트를 더 포함하는 것을 특징으로 하는 반도체 소자.

#### 청구항 43.

제 6 항에 있어서,

상기 로직 셀 각각은 다수의 버퍼를 더 포함하는 것을 특징으로 하는 반도체 소자.

#### 청구항 44.

반도체 소자로서,

다수의 로직 블록; 및

다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 로직 블록 위에 놓이는 금속 및 비아 접속층들

을 포함하며, 상기 주문형 상호접속부는 커스텀 비아층에 의해 주문되며,

상기 로직 블록들은,

다수의 로직 셀을 포함하는 로직 어레이; 및

다수의 소자의 주문형 I/O 셀들 및 구성가능한 RAM 블록 중 적어도 하나

를 포함하며, 상기 주문형 I/O 셀들은 상기 커스텀 비아층에 의해 주문되며, 상기 RAM 블록의 구성은 상기 커스텀 비아층에 의해 주문되는, 반도체 소자.

#### 청구항 45.

반도체 소자로서,

다수의 로직 셀을 포함하는 로직 어레이를 포함하며,

상기 로직 셀 각각은 검색표, 또 다른 로직 부재, 및 상기 로직 셀의 출력의 구동 강도를 변화시키기 위해 상기 로직 셀 내부의 상기 로직 부재와 선택적으로 접속되는 다양한 크기의 다수의 인버터를 포함하며,

상기 로직 어레이는 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 로직 셀 위에 놓이는 금속 및 비아 접속층들을 더 포함하며, 상기 주문형 상호접속부는 커스텀 비아층에 의해 주문되며,

상기 로직 어레이는 구성가능한 RAM 블록을 더 포함하며, 상기 RAM 블록의 구성은 상기 커스텀 비아층에 의해 주문되는, 반도체 소자.

#### 청구항 46.

반도체 소자로서,

다수의 로직 셀을 포함하는 로직 어레이를 포함하며,

상기 로직 셀 각각은 적어도 하나의 인버터, 적어도 하나의 NAND 펄크션, 및 검색표를 포함하며,

상기 로직 어레이는 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 로직 셀 위에 놓이는 금속 및 비아 접속층들을 더 포함하며, 상기 주문형 상호접속부는 커스텀 비아층에 의해 주문되며,

상기 주문형 상호접속부는 상기 적어도 하나의 NAND 펄크션 및 상기 적어도 하나의 인버터 사이에 접속부를 제공하는, 반도체 소자.

#### 청구항 47.

반도체 소자로서,

다수의 로직 셀을 포함하는 로직 어레이를 포함하며,

상기 로직 어레이는 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 로직 셀 위에 놓이는 금속 및 비아 접속층들을 더 포함하며, 상기 금속 및 비아 접속층은 긴 금속 세그먼트들 및 짧은 금속 세그먼트들을 포함하며, 상기 긴 금속 세그먼트들은 트랙이 주기적으로 변화도록 접퍼들에 접속되는 금속 세그먼트들을 포함하는, 반도체 소자.

#### 청구항 48.

반도체 소자로서,

다수의 로직 셀을 포함하는 로직 어레이를 포함하며,

상기 로직 셀 각각은 적어도 하나의 검색표를 포함하며, 상기 로직 어레이는 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 로직 셀 위에 놓이는 금속 및 비아 접속층들을 더 포함하며,

상기 금속 및 비아 접속층들의 개수는 주문형 상호접속부 설계에 대한 적어도 하나의 요구에 의해 결정되는, 반도체 소자.

#### 청구항 49.

제 48 항에 따른 적어도 2개의 반도체 소자를 포함하는 반도체 웨이퍼로서,

상기 반도체 소자 모두에 대해 공통 개수의 상기 다수의 금속 및 비아 접속층들이 요구되도록 상기 적어도 2개의 반도체 소자에 대해 하나 이상의 설계가 선택되는, 반도체 웨이퍼.

#### 청구항 50.

반도체 소자로서,

다수의 로직 셀을 포함하는 로직 어레이; 및

다수의 소자의 I/O 셀들

을 포함하며, 상기 로직 어레이는 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부가 제공되도록, 상기 다수의 로직 셀 위에 놓이는 금속 및 비아 접속층들을 더 포함하며, 상기 주문형 상호접속부는 커스텀 비아층에 의해 주문되며, 상기 주문형 상호접속부는 상기 커스텀 비아층에 의해 주문되며, 상기 I/O 셀들은 적어도 3개의 패드 로우를 포함하는, 반도체 소자.

#### 청구항 51.

제 50 항에 있어서,

적어도 하나의 패드 로우는 상기 로직 어레이에 적어도 하나의 전력 접속부를 제공하는데 이용되는 것을 특징으로 하는 반도체 소자.

#### 청구항 52.

반도체 소자로서,

다수의 로직 셀을 포함하는 로직 어레이 - 상기 로직 어레이는 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 로직 셀 위에 놓이는 금속 및 비아 접속층들을 더 포함하며, 상기 주문형 상호접속부는 커스텀 비아 층에 의해 주문됨 - ;

주문가능한 클록 분포 구조물

을 포함하며, 상기 주문가능한 클록 분포 구조물은,

상기 클록 분포 구조물의 지연을 미세하게 조절하며, 상기 커스텀 비아층에 의해 주문되는 주문가능한 트리머 셀; 및

위상 잠금 루프 회로에 대한 주문가능한 접속부들

로 이루어진 그룹에서 선택되는 적어도 하나의 컴포넌트

를 포함하며, 상기 주문가능한 접속부는 각각의 클록의 위상 및 주파수를 결정하는, 반도체 소자.

### 청구항 53.

반도체 소자로서,

프로브 패드들의 그룹 및 로직 어레이들의 그룹을 연속적으로 접속하는 단일 금속층 상의 다수의 와이어 세그먼트를 포함하며, 상기 로직 어레이들 각각은,

적어도 하나의 검색표를 가지는 다수의 로직 셀;

다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 로직 셀 위에 놓이는 금속 접속층들;

구성가능한 ROM 블록; 및

상기 로직 어레이의 테스트를 수행하는 능력을 갖는, 내장형 마이크로프로세서

를 포함하는, 반도체 소자.

### 청구항 54.

다수의 레티클 이미지를 포함하는 반도체 웨이퍼로서,

상기 레티클 이미지는 다수의 다이, 및 상기 다이들 사이에 하나 이상의 금속 상호접속부를 포함하며, 상기 다수의 다이 모두는 상기 레티클 이미지 각각의 단일 프로브로 테스트되는, 반도체 웨이퍼.

### 청구항 55.

제 54 항에 있어서,

상기 다수의 다이는 성능 측정에 이용되는 링 오실레이터를 포함하는 것을 특징으로 하는 반도체 웨이퍼.

### 청구항 56.

반도체 소자로서,

다수의 로직 셀을 포함하는 로직 어레이를 포함하며,

상기 로직 셀 각각은 적어도 하나의 검색표를 포함하며,

상기 로직 어레이는 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록, 상기 다수의 로직 셀 위에 놓이는 금속 및 비아 접속층들을 더 포함하며, 상기 주문형 상호접속부는 커스텀 비아층에 의해 주문되며, 상기 적어도 하나의 검색표는 상기 단일 커스텀 비아층 이외의 단일 비아층 상에 비아를 배치함으로써 영구적으로 주문되는, 반도체 소자.

### 청구항 57.

로직 어레이로서,

각각 적어도 하나의 검색표를 갖는 다수의 동일한 로직 셀;

다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 직접 상호접속부를 제공하도록, 상기 다수의 동일한 로직 셀 위에 놓이는 금속 접속층들

을 포함하며, 상기 다수의 동일한 로직 셀 각각의 기능은 상기 검색표의 구성에 의해 결정된 다수의 기능중 하나인, 로직 어레이.

## 명세서

### 기술분야

본 발명은 집적회로 장치, 및 이러한 장치를 개별화(personalizing), 프로그래밍 및 테스트하는 방법에 관한 것이다.

### 배경기술

미국 특허 No.6,331,733호, 6,245,634호, 6,236,229호 및 6,194,912호는 현재 기술 상태를 개시하고 있다. 이들 특허는 모두 본 발명에 비해 종래 기술들이다.

상기 특허들은 검색표를 갖춘 로직 셀들 및 단일 비아 마스크에 의해 패터닝될 수 있는 상호접속부를 가지는 반도체 소자를 개시한다. 이러한 ASIC들(application-specific integrated circuits)의 장점은 종래 기술에 명확히 정의되어 있으나, 로직 함수로 제한된다. 오늘날, 보편적인 반도체 소자는 랜덤 액세스 메모리, 리드 온리 메모리 및 프로세서, 및 일반적 조합 로직을 포함한다.

이러한 콤포넌트들은, 이들의 설계시 구조물을 인스턴스화(instantiating) 하기 이전에, 설계자가 이들의 특정 구성을 선택하고 한정하는 라이브러리 내에 사용자 구성가능 형태로 제공되는 것이 보편적이다. 전형적으로 이들 구조물은 제조를 위해 풀 세트의 마스크를 요구하는 금속 상호접속부 및 주문 설계된 트랜지스터로부터 구현된다. 이는 나머지 설계에 대해 풀 세트의 마스크를 요구하는 표준 셀 기술에 대해 허용될 수는 있지만, 그렇지 않은 표준화된 ASIC 부품에 대해서는 문제시될 수 있다.

한편, 필드 프로그래머블 게이트 어레이(FPGA: Field Programmable Gate Array)는 고객 위치에서 완벽하게 프로그램 가능한 소자이다. 일반적으로, FPGA 상에서 이용가능하다면 RAM, ROM 및 프로세서는 적절한 서브펄크션들 간에 재프로그래밍되는 상호접속부를 구성하는 제한된 구성 옵션을 갖는다. 이는 콤포넌트의 성능 및 공간 모두에서 비용이 많이 든다.

본 발명은 다수가 하나의 반도체 소자에 모두 제공될 수 있고, 단일 비아 변화에 의해 구성될 수 있는, 구성가능한 콤포넌트 세트를 제공하며, 나머지 설계에 대해 수행되는 것과 동일한 주문화로, FPGA에 대해 중요한 성능 및 공간 장점 또는 표준 셀 방안에 비해 요구되는 마스크 수의 상당한 감소가 달성된다.

### 발명의 상세한 설명

본 발명의 목적은 종래 기술에 비해 개별화가능하고, 프로그래밍가능하고 테스트가능한 개선된 집적회로를 제공하는 것이다.

따라서, 이러한 목적은, 다수의 로직 셀을 포함하는 로직 어레이 - 상기 로직 셀 각각은 적어도 하나의 검색표, 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록 상기 다수의 로직 셀 위에 놓이는 금속 및 비아 접속층들을 포함하며, 상기 주문형 상호접속부는 커스텀 비아층(custom via layer)에 의해 주문됨 - ; 및 다수의 주문형 I/O 셀들의 소자 - 상기 주문형 I/O 셀들은 커스텀 비아층에 의해 주문됨 -을 포함하는, 본 발명의 반도체 소자의 바람직한 실시예에 따라 달성된다.

금속 및 비아 접속층들의 수는 주문된 상호접속부 설계 조건에 의해 결정된다.

금속 및 비아 접속층들은 긴 금속 세그먼트들 및 짧은 금속 세그먼트들로 구성되며, 긴 금속 세그먼트는 트랙들이 주기적으로 변하도록 점퍼(jumper)에 접속된 금속 세그먼트로 구성될 수 있다.

로직 셀은 하나의 인버터 및 하나의 NAND 펑크션을 포함하며, 주문된 상호접속부는 NAND 펑크션과 인버터 간에 접속부를 제공한다.

로직 셀은 출력에 접속된 상이한 크기의 다수의 인버터를 포함하여, 출력의 인버터 크기는 로직 셀들 사이의 영구 주문형 상호접속부를 변화시키지 않고도 변할 수 있고, 이러한 인버터 크기의 선택은 배치(placement) 및 라우팅 이후 수행될 수 있다.

또한 로직 셀은 단일 커스텀 비아층 또는 또 다른 층상의 비아에 의해 영구적으로 주문될 수 있다. 또한 소자는 구성가능한 RAM 블록을 포함하며, RAM 블록 구성은 커스텀 비아층에 의해 주문된다.

또한 내장형 마이크로프로세서를 포함할 수 있고, 마이크로프로세서는 구성가능한 RAM 포트로부터 개별 관독/기록 포트에 의해 RAM 블록을 액세스할 수 있는 능력을 가지며, 구성가능한 RAM 포트는 다수의 RAM의 와이어(wired)-OR-로직 멀티플렉싱 출력에 대한 비아 옵션을 포함한다.

또한 구성가능한 ROM 블록을 포함할 수 있고, ROM 블록 콘텐츠는 커스텀 비아층에 의해 주문된다.

또한 주문가능 클록 분포 구조물을 포함할 수 있고, 주문가능 클록 분포 구조물은 커스텀 비아층에 의해 주문되며 클록 분포 구조물을 미세하게 조절하기 위해 주문가능 트리머(trimmer) 셀을 더 포함하며, 주문가능 트리머 셀은 커스텀 비아층에 의해 주문된다.

본 발명의 바람직한 실시예에 따라, 다수의 로직 셀을 포함하는 로직 어레이 - 상기 로직 셀 각각은 적어도 하나의 검색표, 다양한 입력들 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하도록 다수의 로직 셀 위에 놓이는 금속 접속층들; 내장형 마이크로프로세서; 구성가능한 ROM 블록; 및 구성가능한 RAM 블록을 더 포함하는 반도체 소자가 제공되며, 상기 마이크로프로세서는 검색표의 콘텐츠를 관독하거나 로딩할 수 있는 능력을 가지며 로직 어레이의 테스트를 수행하는 능력을 가지며, 상기 마이크로프로세서는 RAM 블록의 테스트를 수행하는 능력을 갖는다.

본 발명의 바람직한 실시예에 따라, 다수의 로직 셀을 포함하는 로직 어레이 - 상기 로직 셀 각각은 적어도 하나의 플립-플롭을 포함함 - ; 다양한 입력 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하기 위해 동일한 다수의 로직 셀 위에 놓이는 적어도 하나의 금속 접속층 - 상기 주문형 상호접속부는 커스텀 비아층에 의해 주문됨 - ; 다수의 주문형 I/O 셀들의 소자 - 상기 주문형 I/O 셀들은 커스텀 비아층에 의해 주문됨 - ; 구성가능한 RAM 블록 - 상기 RAM 블록의 구성은 커스텀 비아층에 의해 주문됨 - ; 구성가능한 ROM 블록 - 상기 ROM 블록 콘텐츠는 커스텀 비아층에 의해 주문됨 - ; 주문가능 클록 분포 구조물 - 상기 주문가능 클록 분포 구조물은 커스텀 비아층에 의해 주문되며, 상기 주문가능 클록 분포 구조물은 커스텀 비아층에 의한 주문과 상관없이 예비-특성화 지연(delay)을 유지하기 위해 분포의 각 스테이지에서 일정한 로딩을 함유함 - ; 및 클록 분포 구조물을 미세하게 조절하는 주문가능 트리머 셀 - 상기 주문가능 트리머 셀은 커스텀 비아층에 의해 주문됨 - 을 포함하는, 반도체 소자가 제공된다.

본 발명의 바람직한 실시예에 따라 로직 어레이가 제공되며, 상기 로직 어레이는 다수의 동일한 로직 셀을 포함하며, 상기 동일한 로직 셀 각각은 적어도 하나의 검색표, 다양한 입력 및 출력들 사이에 적어도 하나의 영구 주문형 직접 상호접속부를 제공하기 위해 상기 다수의 동일한 로직 셀 위에 놓이는 금속 접속층들을 포함하며, 상기 로직 어레이는 다수의 동일한 로직 셀의 기능이 검색표의 구성에 의해 결정되는 다수의 기능 중 하나가 되도록 설계된다.

본 발명의 바람직한 실시예에 따라, 다수의 기능 블록 - 상기 다수의 기능 블록 중 적어도 하나의 블록은 구성가능한 ROM 블록이며, 상기 ROM 블록의 콘텐츠는 커스텀 비아층에 의해 주문되며, 상기 기능 블록들 중 적어도 하나는 구성가능한 RAM 블록이며, 상기 RAM 블록의 구성은 커스텀 비아층에 의해 주문됨 - ; 다수의 블록의 다양한 입력 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하기 위해 다수의 블록 위에 놓이는 다수의 금속 접속층 - 상기 주문형 상호접속부는 커스텀 비아층에 의해 주문됨 - ; 및 다수의 주문형 I/O 셀들의 소자 - 상기 주문형 I/O 셀들은 커스텀 비아층에 의해 주문되며, 상기 커스텀 비아층은 커스텀 비아층의 전자 데이터로부터 직접적인 웨이퍼 노출에 의해 생성됨 - 를 포함하는, 반도체 소자가 제공된다.

본 발명의 바람직한 실시예에 따라, 로직 어레이를 포함하는 반도체 소자가 제공되며, 상기 로직 어레이는 다수의 로직 셀 및 다양한 입력 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하기 위해 다수의 로직 셀 위에 놓이는 금속 및 비아 접속층들을 포함하며, 상기 주문형 상호접속부는 커스텀 비아층에 의해 주문되며, 상기 금속 및 비아 접속층들의 수는 하나 이상의 설계의 주문형 상호접속 조건에 의해 결정되며, 상기 하나 이상의 설계는 상기 다수의 금속 및 비아 접속층의 공통 개수를 요구하도록 선택되며, 상기 금속 및 비아 접속층들은 길고 짧은 금속 세그먼트들을 포함하며, 상기 긴 금속 세그먼트는 트랙을 주기적으로 변화시키기 위해 점퍼에 접속된 금속 세그먼트를 포함하며, 적어도 하나의 로직 셀은 적어도 하나의 인버터 및 적어도 하나의 NAND 펄크션을 더 포함하며, 상기 주문형 상호접속부는 상기 NAND 펄크션 및 상기 인버터 사이에 접속부를 제공하며, 상이한 크기(구동 세기)의 다수의 인버터는 상기 출력에 접속되며, 상기 인버터 크기는 로직 셀들 사이의 상기 영구 주문형 상호접속부를 변화시키지 않고 변하며, 인버터 크기는 배치 및 라우팅 이후에 선택된다.

본 발명의 바람직한 실시예에 따라 로직 어레이를 포함하는 반도체 소자가 제공되며, 상기 로직 어레이는 다수의 로직 셀 및 다양한 입력 및 출력들 사이에 적어도 하나의 영구 주문형 상호접속부를 제공하기 위해 다수의 로직 셀 위에 놓이는 금속 및 비아 접속층들을 포함하며, 상기 로직 셀들은 단일 커스텀 비아층, 또는 단일 커스텀 비아층 이외의 단일 비아층 상의 비아들의 배치에 의해 영구적으로 주문될 수 있는 하나 이상의 검색표를 포함하며, 금속 및 비아 접속층들은 삽입된 패턴에 짧은 금속 세그먼트들 및 점퍼들을 포함하며, 점퍼들이 하나 이상의 짧은 금속 세그먼트 위 또는 아래로 연장될 수 있다.

본 발명의 바람직한 실시예에 따라 다수의 레티클 이미지 - 상기 레티클 이미지는 e-빔에 의해 패터닝된 단일 주문형 비아층에 의해 주문되는 다수의 다이를 포함함 - ; 및 다이 사이의 금속 상호접속부를 포함하는 반도체 웨이퍼가 제공되며, 상기 웨이퍼 상의 다이는 레티클 이미지 각각의 단일 프로브로 테스트되며, 상기 레티클 이미지는 상이한 크기의 다수의 다이를 포함하며, 레티클 이미지 프로빙은 단일의 공통 프로브 카드로 수행된다.

본 발명은 하기 도면을 참조로 한 상세한 설명을 통해 명확히 이해될 것이다.

## 실시예

도 1을 참조로, 본 발명의 바람직한 실시예에 따라 구성되고 동작하는 개별화가능 및 프로그램가능 집적회로 소자가 간략하게 도시된다. 도 1의 집적회로 소자(1)는 금속 접속층들을 갖춘 다수의 로직 셀(12)을 포함하는 로직 어레이(11), 다수의 구성가능한 RAM 블록들(13), 구성가능한 ROM 블록(14), 구성가능 클럭 분포 구조물(16)을 구동시키는 클럭 위상 잠금(phase lock) 루프(19), 내장형 마이크로프로세서(17) 및 각각 I/O 패드와 관련된 다수의 구성가능 I/O 셀들(15)로 이루어진다. 이러한 소자의 크기 및 개수의 변화가 다양한 반도체 소자에서 이루어질 수도 있다.

도 2를 참조로, Or-Bach 등의 미국 특허 No. 6,642,744호에 개시된 로직 셀에 대해 보다 상세히 개시된다. 로직 셀들은 바람직하게 2개의 검색표(20)를 포함하며 멀티플렉서(21)를 통해 플립-플롭(22)에 접속된다. 바람직하게 로직 셀 내부의 다양한 와이어를 바람직하게 2개의 출력 버퍼(25)중 하나에 접속하도록 선택적으로 비아를 배치시키는 포지션들(24)의 세트(23)가 제공된다. 바람직하게 로직 셀 입력들(26) 및 출력들(27)은 금속층들을 도시되지 않은 비아 세트와 접속시킬 수 있다. 또한, 도 2에 도시된 컴포넌트들의 다른 조합이 로직 셀들에 이용될 수도 있다.

도 3을 참조로, Or-Bach 등의 미국 특허 No. 6,642,744호에 개시된 금속 및 비아 구성 층들에 대해 보다 상세히 개시된다. 바람직하게 하나 이상의 금속층들이 수직 방향(30)으로, 바람직하게 수평 방향(31)에 있는 하나 이상의 금속층들과 엇갈리게 제공된다. 또한, 수평 층에 있는 세그먼트들 간의 선택적 접속이 수직 층 상의 점퍼 세그먼트들 위로 비아 접속층 상의 비아들의 선택적 배치의 사용에 의해 달성될 수 있는 로케이션(32), 및 수직 세그먼트들 간의 선택적 접속이 수평 층 상의 점퍼 세그먼트들 아래로 비아 접속층 상의 비아들의 선택적 배치의 사용에 의해 달성될 수 있는 로케이션(33)이 제공된다. 또한, 다수의 수직 및 수평 층들은 단일 비아 접속층 상의 비아들의 선택적 배치에 의해 접속될 수 있다.

도 4를 참조로, 도 1에서는 도면부호 15로서 다수인 것으로 도시된, 단일 I/O 셀이 상세히 도시된다. I/O 셀들은 차동 수신기(40), 아날로그 구동기(41), 3상 버퍼(42), 입력 버퍼(43), 및 경계 주사(boundary scan) JTAG 인터페이스(44)로 구성되며, 다수의 상이한 형태의 입력, 출력 및 산업상 공통적으로 이용되는 양방향성 I/O 버퍼들로 구성될 수 있다. 이러한 구성은 I/O 셀 내부에 지정된 로케이션(45)에, 예를 들어 참조부호 46으로 도 4에 도시된 비아들의 선택적 배치로 고정된 세트의 금속 세그먼트들을 접속함으로써 달성된다. 바람직하게, I/O 셀을 구성하는 비아층은 로직 어레이를 구성하는데 사용되는 비아층과 동일하다.

도 5를 참조로, 회로 상에 위치되는 다수의 RAM 블록이 도시된다. 각각의 RAM 블록은 로우 및 컬럼의 다수의 RAM 셀(50)을 포함한다. 각각의 로우의 RAM 셀들은 어드레스 디코더(53)에 의해 디코딩되는 어드레스 라인(52) 세트 상의 어드레스에 의해 이네이블되는 워드 라인(51)에 의해 선택된다. 어드레스된 셀들은 감지 증폭기 로직(55)에 의해 관찰된 및/또는 구동된 비트 라인(54)에 대해 데이터를 전달 또는 수신한다. 각각의 RAM 블록은 비아들의 선택적 배치를 통해 고정된 세트의 금속 세그먼트들을 접속함으로써 I/O의 다양한 폭들을 판독 또는 기록하도록 구성될 수 있다.

예를 들어, 출력의 2개 비트가 요구된다면, 비아 로케이션(56, 57)은 선택되어, 컬럼 디코드(58)의 어드레스 0과 컬럼의 감지 증폭기 로직(55)를 접속하도록 선택된다. 각각의 I/O 버퍼(60)와 각각의 컬럼의 감지 증폭기 로직을 접속하는 비아 로케이션(59)이 선택된다. 마지막으로, 적절히 디코딩된 어드레스를 선택하기 위해 컬럼 어드레스 로직(58)에 입력을 접시시키는 비아 로케이션(61) 및 I/O 버퍼들과 외부 로직을 접속하는 비아 로케이션(63)이 선택된다. 한편, 단지 하나의 I/O 버퍼가 요구된다면, 메모리는, I/O 버퍼들중 단지 하나의 버퍼와 외부 신호를 접속하기 위해 비아 로케이션(63)의 일부를 선택하고, 컬럼 어드레스 라인과 외부 로직을 접속하기 위해 비아 로케이션(62)을 선택하고, 자체 컬럼 어드레스 라인에 각각의 컬럼의 감지 증폭기 로직을 접속하기 위해 비아 로케이션(56, 66)을 선택하고, 2개 컬럼의 감지 증폭기 로직을 서로 접속하기 위해 비아 로케이션(65)을 선택함으로써, 전체적으로 사용될 수 있다. 이런 형태로, 2개 컬럼들은 단일의 선택된 I/O 로직을 통해 데이터를 기록하거나 판독하도록 개별적으로 어드레스된다. 양자의 경우, 바람직하게 비아들은 로직 어레이를 구성하는데 이용되는 비아층 상에 제공된다.

상기 예들은 메모리 셀들의 2개 컬럼들 사이의 선택에 대해서만 설명하였지만, 바람직한 실시예는  $2^{N+1}$  컬럼의 메모리 셀을 포함하며, 이는 N 추가 컬럼 어드레스 라인(64)에 의해 선택적으로 어드레스될 수 있다.

바람직한 실시예에서, 구성가능한 ROM 블록은 도 5에 도시된 RAM 블록과 유사한 방식으로 구성될 수 있다. 이러한 바람직한 실시예에서, 비트 셀들(50)은 도 6에 보다 상세히 도시된다. 각각의 ROM 비트 셀은 트랜지스터(68)를 포함하며, 트랜지스터의 소스는 접지되고, 게이트는 워드 라인(51)에 접속되며 드레인 비아(69)에 의해, 바람직하게는 로직 어레이를 구성하는데 이용되는 비아층 상의 비아에 의해 컬럼의 비트 라인에 선택적으로 접속된다. 또한, 감지 증폭기 로직(54)은 양방향성이 아닌, 3상 출력만을 요구하며, I/O 로직(60)은 도 5에 도시된 것처럼, 출력 버퍼(67)만을 포함할 수 있다.

도 5에 도시된 RAM 블록 또는 ROM 블록 출력 버퍼(67)가 도 7에서 설명된다. 바람직한 실시예에서, AND 게이트(70) 및 3상 버퍼(71)는 데이터 라인(76) 및 이네이블 라인(72)에 의해 구동된다. AND 게이트는 3상 버퍼(71)를 오프시키고 AND 게이트를 출력에 접속시킴으로써 선택될 수 있다. 이는 선택된 비아 로케이션(74)에 비아들을 배치시킴으로써 달성된다. 선택적으로, 3상 버퍼(71)는 이네이블 라인과 3상 이네이블 입력을 접속시킴으로써 선택될 수 있으며, 이는 이네이블 라인과 3상 이네이블 라인이 접속되도록 적절한 로케이션(75)에 비아를 배치시킴으로써 달성된다. 이러한 선택은 다수의 출력이 OR 펄크션과 함께 또는, 와이어(wired)와 함께 대응되게 접속될 수 있게 한다. 이러한 경우, 바람직하게 비아들은 로직 어레이를 구성하는데 이용되는 비아층 상에 제공된다.

도 8을 참조로, 도 1에 도시된 구성가능 클록 분포 구조물 일부가 도시된다. 클록 분포의 제 1 레벨에는 비아 로케이션(82)중 하나의 로케이션 상에 적절한 비아를 설정함으로써, 입력 버퍼에 의해 구동되는 PLL로부터 또는 입력 버퍼로부터 구동되는 다수의 수직 스피니(spine)(80)가 제공된다. 바람직하게 PLL은 한정된 대안 세트들 사이의 클록의 주파수 및 위상(phase)을 설정하는 능력을 갖는다. 바람직한 실시예에서, 32개 수직 스피니가 제공된다. 각각의 수직 스피니는 다수의 동일한 이네이블 버퍼(81), 바람직하게는 수평 스피니의 각각의 컬렉션에 대해 하나가 구동된다. 바람직한 실시예에서, 각각의 컬렉션에 16개 수평 스피니가 제공된다. 간략화를 위해, 도 8은 단지 2개의 가능성있는 수직 스피니로부터 수평 스피니의 한 개 컬렉션에 대해 단지 한 개만이 완전히 도시된다. 수직 및 수평 스피니들의 컬렉션은 도 1에 도시된 수직 및 수평 라인(16)에 의해 표시된다. 수직 스피니들의 각각의 버퍼(81)는 이용가능한 비아 로케이션(83)중 하나에 비아를 선택적으로 배치함으로써 수평 스피니의 컬렉션 중 하나에 선택적으로 접속될 수 있다. 바람직하게, 이러한 비아는 로직 어레이를 구성하는데 이용되는 비아층 상에 제공된다. 각각의 수평 스피니는 버퍼(84), 트림 회로(86), 트림 회로(87) 부근을 라우팅하거나 트림 회로(87)에 접속되는 비아 로케이션, 분포 버퍼(85) 및 로직 어레이의 로직 셀들(89)의 하나의 블록 상에 있는 2개의 클록 중 하나에 수평 스피니 클록을 접속하는 비아 로케이션(88)으로 구성된다. 바람직하게 이러한 비아 로케이션은 로직 어레이를 구성하는데 이용되는 비아층 상에 제공된다. 도 9에 도시된 것처럼 각각의 이네이블 버퍼는 하나의 상의 플립 플롭(90)을 래치(91)의 입력에 선택적으로 접속하는 비아 로케이션(96)을 더 포함하며, 이들 모두는 클록(92)에 의해 수집되며, 클록(92)이 게이트(94)의 출력이 된다. 바람직하게 이러한 비아 로케이션들은 로직 어레이를 구성하는데 이용되는 비아층 상에 제공된다. 플립-플롭(90)은 클록(92)을 수집하기 위해 사용자 이네이블 신호를 지연시킨다. 래치는 이네이블 신호가 클록을 손상시키지 않게 한다. 사용자-한정가능 세트 및 바이패스 신호(95)는 사용자가 이네이블 로직을 거절할(override) 수 있게 한다.



이러한 형태에서, 바람직하게 32 클록 중 임의의 하나는 256 로직 셀들의 임의의 그룹 중 도 2에 도시된 플립-플롭(22)을 구동시킬 수 있다. 이러한 그룹은 도 12에서 볼 수 있다.

도 10을 참조로, 도 1에 도시된 마이크로프로세서(17)의 I/O에 대해 도시된다. 일 실시예에서, 프로세서는 4개의 I/O 포트, 및 RS232 시리즈 포트를 갖는 8051이다. 도면에 도시된 것처럼, 포트 0로부터 입력 및 출력(103)은 사용자 정의 통신을 위한 것이다. 상기 포트로부터 금속 라인 및 로직 어레이(미도시) 내의 금속 세그먼트들 사이에 선택된 비아 로케이션은 집적회로(IC)의 정상 동작 동안 마이크로프로세서(100)의 사용을 허용한다. 포트 1은 정상 동작, 스캔 테스트, LUT 및 메모리 액세스 및 리셋과 같은, 다양한 동작 모드로 IC를 설치하는데 필요한 제어 신호와 접속된다. 바람직하게, 이러한 제어 신호들은 글리치 프리(glitch-free) 방식으로 기준 클록 주파수들과 위상들 사이를 선택함으로써 PLL 클록들을 설정하는 제어를 포함한다. 포트 2에 대한 입력 및 출력(102)은 로직 셀들내에서의 프로세서, LUT 및 IC 상의 RAM 블록들 간의 데이터 전달을 위한 것이다. 일 실시예에서, RAM 블록은 사용자 구성에 의한 RAM의 용도와 별개로 이들의 콘텐츠를 관찰하고 로딩하기 위해, 포트 2에 대해 라인(102)과 접속된 개별적인 비-구성가능 포트를 포함한다. 포트 3은 LUT를 관독하고 기록하는 어드레스를 공급하는데 이용된다. RS232 포트는 마이크로 프로세서 및 나머지 IC에 대한 디버그 액세스를 위해 I/O 핀들에 직접 접속된다. 마이크로프로세서는 메모리 포트(101)를 통해 내부 ROM 블록 또는 어드레스 외부 메모리 중 하나 일 수 있다. 제어 및 어드레스 로직은 로직 어레이 및 RAM 블록들을 어드레스하기 위해 마이크로프로세서의 포트 1 및 포트 3에 접속된 IC에 포함된다. 도 11은 로직 어레이 내의 로직 셀들(110)의 블록, IC 내의 RAM 블록(111)의 예시적 어드레스를 나타낸다. 각각의 어레이에 있는 로직 셀들 내의 모든 플립-플롭들은 도 10에 도시된 데이터 포트(102)를 통해 안팎으로 데이터를 스캐닝함으로써 어드레스될 수 있다. 도 12에 도시된 것처럼, 256 로직 셀들(123)을 구성하는 로직 셀들(120)의 각각의 블록 내에는, 어드레스(121) 및 버퍼 로직(122)이 제공되어, 이들이 하나의 연속적인 메모리인 경우 모든 로직 셀들을 액세스할 수 있다.

이러한 형태로, 외부 데이터 스트림은 RAM 블록으로의 전달을 위해 마이크로프로세서 및 로직 셀들 내의 LUT에 로딩될 수 있고, 데이터는 특정한 업무를 수행하기 시작하도록 IC를 완벽하게 구성하기 위해 로직 셀들 내의 플립-플롭으로 스캐닝될 수 있다. 일 실시예에서, 테스트에 보다 적합한 상이한 구성의 로직이 LUT에 로딩될 수 있고, 패턴들이 각각의 플립-플롭 스트링으로 스캐닝될 수 있어, 자동화 테스트 패턴 생성기(ATPG) 백터들에 기초한 정상(normal) 스캔이 IC로 RS232 포트를 통해 로딩될 수 있고, 결과치는 RS232 포트를 통해 연속적으로 전송될 수 있다. 또한, 결과치는 마이크로프로세서에 의해 체크섬(checksum) 또는 서명과 조합될 수 있다. 또 다른 실시예에서, IC 테스트를 위한 표준 구성은 적절한 비아 로케이션에 비아를 설정함으로써 도 1에 도시된 ROM 블록(14)에 설정될 수 있고, IC의 전력 상승(power-up)에 따라, 마이크로프로세서는 ROM으로부터 구성 데이터를 관독하고 LUT 및 RAM 블록으로 테스트 구성 데이터를 로딩하며; 반복적으로, 유사-랜덤(pseudo-random) 스캔 비트 값들을 생성하고, 이들을 플립-플롭의 스캔 스트링으로 로딩하고, 로직 어레이를 클록킹하고, 플립-플롭의 콘텐츠를 스캔하고, 규정된 수의 주기 동안 결과치에 서명을 부가하고, ROM 메모리에 저장된 서명과 형성되는 서명을 비교한다. 이러한 형태로, 칩은 임의의 외부 데이터 없이 완벽한 브링-업(bring-up) 테스트를 수행할 수 있다. 계산된 체크섬을 검출이 정확하면, 마이크로프로세서는 외부 사용자 구성 데이터를 로딩하기 시작한다.

도 13을 참조로, 외부 로우에 전용되는 P/G(전력/접지)를 이용한 패드 레이아웃의 측면도가 도시된다. 3개의 로우 패드, 2개의 신호 패드(130, 131), 및 전력 또는 접지에 전용되는 패드(137)가 제공된다. 신호 패드는 와이어(138)를 통해 I/O 셀과 각각 접속될 수 있다. 도 4는 신호 패드(47)를 나타낸다. 도 13에서, 하나 이상의 선택적 비아 로케이션(132)은 하나 이상의 내부 및 I/O 전력 공급 라인들과 전용 전력/접지 패드(137)가 접속되도록 비아들로 채워질 수 있다. 전용 전력/접지 패드(137)가 내부 전력 또는 접지를 위해 사용되는 경우, 비아들은 내부 접지(134) 또는 내부 전력(136)에 패드(137)를 접속시키도록 채워질 수 있다. 임의의 신호 패드는 I/O 전력 또는 접지 패드로서 이용될 수 있다. 예를 들어, 내부 신호 패드(131)는 적절한 로케이션(139)에 비아를 배치시킴으로써 I/O 전력 또는 접지에 접속될 수 있다. 또한, 전용 전력/접지 패드가 사용되지 않는다면, 신호 패드들중 하나는 내부 전력 또는 접지로서 이용될 수 있다. 예를 들어, 외부 신호 패드(130)는 전력(135) 또는 접지(133)를 통해 한 쌍의 비아 로케이션을 채움으로써 사용되지 않은 제 3 패드와 접속될 수 있고, 사용되지 않은 전력/접지 패드는 내부 전력(136) 또는 접지(134)에 또 다른 쌍의 비아 로케이션을 채움으로써 접속될 수 있다. 바람직한 실시예에서, 비아 로케이션은 바람직하게 로직 어레이에 대한 비아 로케이션과 동일한 비아층 상에 제공된다.

본 발명의 또 다른 바람직한 실시예에서, 어레이내의 로직 셀들 간의 금속 상호접속부는, 다수의 가능한 펌프선들중 하나가 로직 셀들 내의 LUT를 프로그래밍함으로써 어레이에 프로그램되도록 주문된다. 이러한 예로 PLD 구조물이 있다. 도 14를 참조로, 로직 셀들을 포함하는 소프트 프로그램가능 PLD 구조물의 하나의 출력이 도시된다. 통상적으로, PLD는 다수의 AND 펌프선들과 선택적으로 접속되는 입력 세트를 포함하며, AND 펌프선들의 출력은 하나 이상의 AND 펌프선들로 다시 선택적으로 공급되기 이전에, 등록된 각각의 출력에 대한 OR 펌프선에 접속된다. AND 펌프선에 접속되는 입력들

및 각각의 출력에 대한 OR 펑크션에 접속되는 AND 펑크션들은 사용자에게 의해 프로그램될 수 있다. 도 14는 6-입력 18-텀(term) 단일 출력 PLD를 나타낸다. 각각의 AND 펑크션(140)은 단일 AND 펑크션에 2개의 LUT를 구성하도록 적절한 비아 로케이션에 비아들을 설정함으로써 단일 로직 셀에 맵핑된다. 각각의 AND 펑크션의 출력은 AND 펑크션들과 입력들 사이의 금속 세그먼트들을 OR 펑크션에 접속하기 위해 적절한 비아를 선택함으로써 라우팅된다(148). 각각의 출력에 대한 OR 펑크션은, 금속 세그먼트 및 선택된 비아(149)의 라우팅을 통해 OR 텀 또는 다른 LUT(153)의 레지스터 출력 사이를 선택함으로써 결과치가 OR(145), 입력 및 선택적으로 레지스터(146)를 구성하는 또 다른 로직 셀(144)의 입력에 접속되는 OR 펑크션(143)에 구성된 로직 셀들을 포함하며, 다른 LUT(153)의 출력은 입력중 하나와 선택된 비아(147)를 갖는 다른 금속 세그먼트를 접속시킴으로써 피드백된다. 이런 방식으로, PLD는 바람직한 비아층이 채워지도록 적절한 비아 로케이션을 선택함으로써 로직 셀들 및 금속 상호접속부들로 구성된다.

PLD를 프로그래밍하기 위해, 각각의 LUT의 콘텐츠를 선택적으로 변경시킴으로써 AND 텀중 임의의 하나로부터 임의의 입력을 단선시킬 수 있다. 또한, 임의의 AND 텀은 각각의 LUT의 콘텐츠를 변경시킴으로써 OR 텀과 단선될 수 있다. 각각의 LUT는 입력으로서 3개의 어드레스 비트를 가지는 단일-출력 8-비트 메모리이며, 3개의 어드레스 비트의 임의의 펑크션을 포함할 수 있고, 임의의 특정 입력 상에서의 변화를 무시할 수 있다. 예를 들어, AND 펑크션을 포함하는 로직 셀(141)의 제 1 핀(150)은 AND(XA, XB, NOT(C))로부터 AND(XB, NOT(C))로 LUT(151)의 펑크션을 변화시킴으로써 사용자에게 의해 소거될 수 있다. 이는 0,0,0,1,0,0,0,0 내지 0,0,1,1,0,0,0,0로의 LUT(151) 콘텐츠 변화에 해당하며, 이는 핀(150)이 어드레스 0, LUT(151)의 로직 핀 XA에 접속되기 때문이다. 초기에, NAND 게이트(152)는 어드레스 2, LUT(151) 상의 로직 핀(C)을 구동시키기 때문에, LUT(151)에서 정상 AND 펑크션, 0,0,0,0,0,0,0,1은 0,0,0,1,0,0,0,0 또는 논리적으로 AND(XA, AB, C)에서 AND(XA, XB, NOT(C))로 변형되어 4-입력 AND 펑크션을 생성한다. 메모리의 3번째 비트에 추가적으로 1을 삽입함으로써, 어드레스 0, 로직 핀 XA는 더 이상 출력에 영향을 미치지 않아, 로직 펑크션에서 소거된다. 앞서 개시된 것과 유사한 형태로, 임의의 입력 극성이 변할 수 있고, 임의의 OR 입력이 소거될 수 있고, 최종 OR 텀(145) 또는 레지스터(146) 출력이 선택될 수 있다.

또 다른 바람직한 실시예에서, 집적회로 소자내에 ROM, RAM 및 I/O를 구성하는 바람직한 비아층이 비아층 상에 생성되는 비아의 로케이션을 포함하는 전자 데이터에 웨이퍼를 직접 노출시킴으로써 제조될 수 있다. 통상적으로, 프로세싱은 다음과 같다:

- a. 통상적 마스크 리소그래피로 모든 반도체 소자 처리, 처음부터 바람직한 비아층까지 소자 및 금속층들을 처리
- b. 상기 층 이전까지 웨이퍼 유지
- c. 충분한 제품이 각각의 웨이퍼에 대해 주문되었을 때, 커스텀 설계가 노출되도록 선택하고, 이들을 웨이퍼 맵과 함께 직접 웨이퍼 노출 장비에 전자적으로 로딩
- d. 웨이퍼 맵에 의해 결정된 위치에 각각의 커스텀 설계에 대한 커스텀 비아층을 인가함으로써 웨이퍼 노출
- e. 주문형 비아 노출로 웨이퍼 처리
- f. 나머지 금속층에 대해 표준 마스크 리소그래피로 웨이퍼 처리
- g. 웨이퍼 테스트, 프로빙되는 위치에서의 설계에 대해 특정한 주문형 테스트 패턴 전기적으로 로딩
- h. 패키징 조건에 따라 부품들을 다이싱, 소팅(sort) 및 패키징
- i. 패키지 테스트 수행, 특정한 부품들의 설계를 위해 특정한 주문형 테스트 패턴 전기적으로 로딩 및 통과되는 부품들 소팅.

도 15는 상기 단계 3에서 언급된 예시적인 웨이퍼 맵을 나타낸다. 웨이퍼 맵(154)은 각각의 다이 로케이션(155)에 대한 위치를 포함하며, 상기 위치에 배치된 커스텀 설계에 의해 공유된다. 프로세싱 이후, 적어도 프로토타입의 바람직한 칩의 개수(~10)를 얻기 위해, 소정의 설계들은 제한된 개수의 지점(site)(156)에 배치된다. 사전-제작 칩의 개수(~100)가 요구될 때 다른 설계(157)가 웨이퍼에 부가된다. 바람직하게 커스텀 비아층은 원하는 주문을 제공하도록 가능한 프로세싱 마지막에 제공된다. 이러한 기술은 연속적인 흐름의 제조 설비가 제조과정(단계 4-9)의 주문화 부분에 대해 상당히 짧은 제조 시간에 다수 변화로 커스텀 부품을 제조하게 한다.

반도체 콤포넌트의 제조를 위한 레티클, 마스크들은 실질적으로 이들 내부에 포함된 칩 설계보다 상당히 크다. 레티클은 레티클 이미지의 2차원 어레이에 제조되는 각각의 웨이퍼 위로 이동한다(steped). TSMC 및 다른 반도체 제조자들은 상이한 크기의 칩들이 단일 레티클 상에 모두 배치되는 서틀 서비스를 제공한다.

또 다른 바람직한 실시예에서, 상이한 크기 및 개수의 다수의 다이가 도 16a 및 도 16b를 포함하는 도 16에 도시된 개별 주문화를 위한 단일 웨이퍼 상에 포함될 수 있다. 본 실시예에서, 본 명세서에서 앞서 개시된 것처럼, 6개의 상이한 크기의 주문가능 칩(A 내지 F로 표시됨)의 상이한 개수가 레티클에 배치되고, 레티클 이미지(161)의 반복 패턴은 웨이퍼(60) 위에서 레티클을 이동함으로써 생성된다. 이러한 상이한 크기 칩들 각각은 본 명세서에서 앞서 개시된 것처럼, 개별적으로 주문될 수 있다. 레티클 이미지(161) 내부의 다이들은 초기에 연속적인 수직 라인들(162)을 스크라이빙하도록 배치된다. 순차적으로 모든 스트립은 연속적 수평 라인들(163) 상에 스크라이빙될 수 있다. 이전에 그어진 라인들을 따라 다이를 쪼갬 이후, 각각의 스트립이 수평 라인들(164) 상에서 개별적으로 스크라이빙되고 쪼개질 수 있고, 마지막으로, 작은 다이가 내부 수직 라인(165) 상에 스크라이빙되고 쪼개짐으로써 분리될 수 있다. 발생하는 다수의 쪼개짐을 최소화시키기 위해 비록 비사용 또는 불량 다이가 존재하는 경우의 스크라이빙을 포함하는, 다른 스크라이빙(scribing) 및 쪼갬 시퀀스가 수행될 수 있다.

또 다른 실시예에서, 레티클 이미지 내부에 주문된 모든 다이가 레티클 이미지의 단일 프로브로, 단일의 공통 프로브 카드를 이용하여 테스트될 수 있다. Jeng-Jyu shau는 웨이퍼 상의 모든 다이의 전력, 클럭 및 테스트 패드들을 상호접속하는 전체 웨이퍼 테스트 기술을 US 특허 No.6,427,222호에 개시하였다. Shau는 상호접속되는 금속 라인들의 순차적 스크라이빙과 관련된 문제를 예상하였지만, Shau의 기술은 도 17에 도시된 방안으로 방지되는, 전력 소모 및 레티클 이미지 정렬 문제에 의해 제한될 수 있다. Shau의 방안과 유사하게, 단일의 금속층이 웨이퍼의 정규 프로세싱에 따라 증착될 수 있으나, 이 경우, 형성되는 금속 상호접속부는 각각의 레티클 이미지(170)에서 단독으로 존재한다. 단일 프로브 패드(171, 172)는 충분한 전력이 공급되어 웨이퍼 상의 각각의 예시적 레티클 이미지를 모두 테스트한다. Shau의 방안과 유사하게, 인접한 칩들의 전력 및 접지 핀(173)은 서로 접속되어 이들 각각의 프로브 패드(171)에 의해 전력공급되는 그리드, 및 테스트 이네이블(175), 클럭을 형성할 수 있고, 데이터 입력 및 데이터 출력 핀(174)은 레티클 이미지 상의 각각의 칩을 통해, 이들의 제 1 패드(172)로부터 직렬 연결된다. 단일 금속층에 대한 와이어링을 제한하기 위해, 테스트 이네이블 및 클럭은 이들의 입력으로부터 다음 칩으로의 출력으로 각각의 칩상에 분포된다. 일 실시예에서, 이들 테스트 신호는 JTAG 신호일 수 있고, 테스트 프로세스는 스캔기반(Scan based)을 초기화시키기 위해 JTAG의 일련의 칩 프로토콜을 이용하고, 주문형 칩들 각각에서 브링-업 테스트를 수행하는 것으로 구성된다. 다음 일련의 DO 핀은 각각의 칩의 브링-업 테스트의 정확한 완료가 이루어졌는지에 대해 확인한다. 이러한 테스트는 프로브의 전력 소모 제한에 따라 연속적으로 또는 독립적으로(in parallel) 수행될 수 있다. 하기 테스트 및 마킹에서, 금속은 정규 반도체 프로세싱에 의해 제거될 수 있다. 이처럼, 제조 프로세스의 단계 7은 테스트를 위한 방안을 이용하도록 변할 수 있다.

테스트를 위해 레티클 이미지 상의 다수의 다이들을 상호접속할 때, 레티클 이미지 상의 각각의 카피(copy)에 대해 동일한 칩 설계를 유지하고, 다른 다이들을 테스트하기 위해 칩들을 통해 신호가 내부에 분포되지 하지 않는 것이 바람직하다. 도 18에서, 전력 및 접지(181), 데이터 입력(182) 및 데이터 출력(183) 신호들은 레티클 이미지(180) 상의 모든 다이를 통해 직렬로 접속된다. 클럭(184) 및 테스트 이네이블(185) 신호들은 레티클 이미지의 모든 칩들에 대해 병렬로 분포된다. 전력 및 접지 핀들이 임의의 인접한 이용가능 전력 및 접지 핀들(186)과 접속되어 이들의 전압을 분포시킬 수 있으나, 클럭, 테스트 이네이블, 데이터 입력 및 데이터 출력 핀들은 임의의 주어진 형태의 각각의 다이에 대한 동일한 위치에 있어, 이들 사이에 신호(187)의 소정의 라우팅이 요구된다. 또한, 단일 레티클 이미지에 대한 상호접속부를 제한하고 레티클 이미지들 사이의 스크라이브 영역을 이용함으로써, 금속의 단일층 상에서 요구되는 상호접속이 이루어진다. 도 17 및 도 18에서, 테스트 이네이블은 선택적으로 오실레이터를 동작시키고 레티클 이미지 상의 다이들의 스캐닝이 이루어지게 하여, 단일 프로브로 레티클 이미지 상의 모든 콤포넌트들을 테스트할 수 있게 하는데 이용된다.

도 2와 비교할 때, 본 발명의 바람직한 실시예는 도 19에 도시된 로직 셀에 도시된다. 도 2와 유사하게, 8X 크기의 출력(25)에 접속되는 2개의 버퍼, 멀티플렉서(21) 및 로직 셀을 주문화하는 다양한 비아 로케이션들(24)이 포함되나, 상이한 크기(6X)의 2개의 추가적 출력 버퍼(196), 추가의 입력 인버터(197), 주문화를 위해 각각 다수의 비아 로케이션을 갖는 5개의 점퍼(191-195) 및 멀티플렉서로의 2개의 제 1 입력(199)도 포함된다. 이러한 추가의 5개의 점퍼들은 종래 기술에서 이용되는 것보다도 많은 주문 옵션을 제공한다. 예를 들어, 인버터(197)는 NAND 게이트(198)의 입력 또는 출력 버퍼들(25)중 하나에 선택적으로 접속된다. 또한, 양 셀들은 2개의 LUT(20) 및 플립-플롭(22)을 포함하지만, 개선된 셀에서 점퍼(192, 194)는 NAND 게이트(198)의 입력으로 플립-플롭(22)의 출력을 다시 공급하는데 사용될 수 있다. 유사하게, 데이터 수집 펌프션은 멀티플렉서(21)의 2개 입력(199)중 하나로 플립-플롭(22)의 출력을 다시 공급하도록 점퍼(191)를 이용함으로써 수행될 수 있으며, 이는 종래 기술에서는 외부 와이어링에 의해서만 수행될 수 있었다.

또한, 본 발명의 또 다른 바람직한 실시예에서, 선택은 FF22의 4x 출력(189) 또는 8x 출력들(25)중 하나를 로직 셀들 사이의 상호접속부를 변화시키지 않고 FF22의 내부 출력과 접속하는 비아의 적절한 주문화에 의해 이루어질 수 있다. 로직 셀의 출력들(189, 25)은 셀 외측을 짧은 수평 세그먼트들(207)에 접속하여, 이들 사이의 주문형 비아층에 비아(209)를 적절히 배치함으로써 짧은 수직 세그먼트(208)에 접속될 수 있다. 또한 이들 사이의 접속부 및 2개의 다른 층들 상의 긴 세그먼트는 로직 셀들 사이에 상호접속부를 형성한다. 이는 도 23 내지 30에서 상세히 도시되며, 이후 설명된다. 단지 선택된 출력이 접속되도록 점퍼(191, 192, 195) 상의 적절한 비아를 선택하고 원래 라우팅된 수직 와이어(wire)와 출력의 특정한 수평 와이어를 접속하고, 원래 출력을 단선시킴으로써, 로직 셀들에 대한 접속부들 너머로 세그먼트 상에서의 라우팅을 변화시키지 않고도 3개의 출력중 임의의 하나가 선택될 수 있다. 또한, 이러한 선택으로 여전히 존재하는 임의의 타이밍 제한을 충족시키기 위해 요구되는 배치 및 라우팅이 수행될 수 있다.

도 20이 참조되며, 도 20에는 8개 한 세트의 프로그램가능 메모리 부재(201), 8개의 구동 버퍼(202) 및 LUT의 3개 입력(205)에 의해 구동되는 3개의 멀티플렉서 스테이지(203)를 포함하여, 8개의 프로그램가능한 메모리 부재(201)중 하나의 출력이 출력(206)으로부터 구동되게 하는, 3-입력 검색표(200)가 제공된다.

도 21이 참조된다. 본 발명의 또 다른 실시예에서, LUT의 각각의 메모리 부재(201)는 도 21a의 외부적으로 프로그램가능한 메모리 부재를 보유하고, 도 21b의 일정한 제로 레벨을 유도하거나, 또는 도 21c의 일정한 하나의 레벨을 유도하도록 구성될 수 있다. LUT의 각각의 메모리 부재(201)는 4개의 비아 로케이션을 포함하며, 하나(210)는 +V 전력에 p-채널 트랜지스터(211)를 접속하기 위한 것이고, 하나(212)는 접지에 n-채널 트랜지스터(213)를 접속하기 위한 것이고, 하나(214)는 +V에 출력(215)을 접속하기 위한 것이고, 하나(216)는 접지에 출력(215)을 접속하기 위한 것이다. 도 21a에서, p-채널 트랜지스터(211) 및 n-채널 트랜지스터(213)는 각각 적절한 로케이션(210, 212)에 2개의 비아를 배치함으로써, +V 및 접지에 접속된다. 이 경우, 메모리 부재는 프로그램가능 메모리 부재로서 동작한다. 도 21b 및 21c에서, 이들 2개의 로케이션(210, 212)은 트랜지스터를 단선시키는 비아를 갖지 않아, 이들의 플로팅을 허용한다. 도 21b에서, 비아 로케이션(216)은 출력(215)을 접지에 접속하고 도 21c에서, 비아 로케이션(214)은 LUT가 영구적으로 구성되도록 출력(215)을 +V에 접속한다. 통상적으로, 이들 비아 로케이션 모두는 로직 셀을 주문화시키는데 이용되는 비아층 아래에 있는 하나의 비아층 상에 제공된다. 칩이 주문화되어 제조된 이후, 비아 로케이션(210, 212)이 채워지면, 메모리 부재(201)의 프로그래밍이 허용되어, LUT는 임의의 로직 펑크션을 수행하도록 반복적으로 외부적으로 프로그램될 수 있다. 선택적으로, LUT는 어떤것이 해당 메모리 부재(201)의 프로그램된 값이 되었는지에 따라 비아 로케이션(214) 또는 비아 로케이션(216)을 채움으로써 특정한 로직 펑크션을 수행하도록 주문화될 수 있다. 이런 방식으로 모든 로직 셀들에 있는 모든 LUT가 구성될 때, 칩의 로직 펑크션이 칩속에 로딩될 필요가 없다.

도 22가 참조되며, 도 22는 2004년 6월 29일 등록된, Or-Bach의 미국 특허 No. 6,756,811호의 도 19에 도시된 것처럼, 고정된 세그먼트의 제 1 2개층에 대한 예시적인 종래기술이다. 이러한 종래 기술은 4개의 고정된 세그먼트층을 개시한다. 2개의 하부층들은 각각 수평 및 수직의 긴 금속 세그먼트를 포함하며, 2개의 상부층은 상부 2개의 짧은 금속 세그먼트층들 사이에 비아를 선택적으로 부가시킴으로써 상호접속부의 주문화에 이용되는 수평 및 수직의 짧은 금속 세그먼트를 포함한다. 이러한 종래 기술의 도면은 2개의 긴 금속 세그먼트층에 관한 것이다. 명료성을 위해, 종래 기술의 도면(220)의 반복되는 부분(221)은 확대하였다. 2개의 신호 상호접속부가 집적회로 상의 긴 간격에 대해 서로 인접해 있다면, 이들의 전기 변이는 인접한 상호접속부 상에 잡음, 소위 혼선을 야기시킨다. 구부러진 라인(222)은 트랙을 이동시킴으로써 발생하는 혼선을 방지하도록 위치를 이동시킨다. 인접한 세그먼트(223)는 짧은 세그먼트에 대해 주문가능 비아를 이용한 순차적 접속을 위해, 층 상의 수평 세그먼트(225)와 접속되는 고정된 비아(224)로 종결된다. 이는 긴 세그먼트와의 접속을 위한 메커니즘을 제공하지만, 적용하기 어렵다는 단점이 있고, 고밀도 마스크에 대해 리소그래피 제한이 가해져, 혼선 문제를 적절히 해결할 수 없으며, 이는 상호접속부에 대한 이러한 긴 세그먼트의 선택이 인접한 세그먼트를 이용할 때 서로에 대해 바로 인접하는 2개의 신호가 반복적으로 야기되기 때문이다.

도 23이 참조되며, 도 23은 본 발명의 실시예를 나타낸다. 도 23a는 긴 수평 및 수직 세그먼트의 2개의 하부층을 나타낸다. 각각의 로케이션에 있는 긴 수평 및 수직 세그먼트의 반복되는 패턴이 도시되며, 수평 및 수직 세그먼트중 하나로 종결된다. 도 23a에는 2개의 긴 수평 세그먼트(230), 층 상의 2개의 수직 세그먼트(232)와 세그먼트를 접속하는 2개의 비아(231)가 제공되며, 이는 2개의 다른 고정된 비아(234)에 의해 2개의 짧은 수평 세그먼트(233)이 접속된다. 한 지점에서 지점으로, 상이한 긴 세그먼트는 해당 비아(231)로 종결될 수 있으나, 지점 마다 짧은 수직 세그먼트(232), 수평 세그먼트(233), 및 이들과 관련된 비아(234)가 제공된다. 도 23b는 상부 2개의 짧은 세그먼트층의 나머지를 나타낸다. 여기서 2개의 짧은 수직 세그먼트(235)는 주문가능 비아(236)과 짧은 수평 세그먼트(233)에 접속된다. 각각의 긴 세그먼트(230)는 짧은 세그먼트 수평 세그먼트(237)중 하나에 접속된다. 유사하게, 도 23a에 도시된 것처럼, 상기 지점(238)에서 종결되는 긴 수직 세그먼트는 주문가능 비아와 짧은 수직 세그먼트(240)가 접속되게 한다.

하부 2개의 긴 세그먼트 층의 예가 도시된 도 24를 참조하며, 세그먼트들은 예정된 비아와 접속된다. 긴 수평 세그먼트(241, 242)는 선재하는(preexisting) 고정 비아(255)로 수직 점퍼(247)과 접속되어, 선재하는 고정 비아(257)와 제 3층 세그먼트가 결국 접속되어, 세그먼트(241, 242)는 주문된 비아에 의해 상부 2개의 금속층 상에서 서로 접속되거나 또는 짧은 세그먼트와 접속될 수 있다. 유사하게, 세그먼트(243, 244)는 선재하는 고정 비아(256)로 상부 2개의 주문가능층과 접속되며, 이들은 상부 2개의 금속층 상에서 서로 접속되거나 또는 짧은 세그먼트와 접속될 수 있다. 세그먼트(241, 242) 단부들 사이에, 점퍼 세그먼트(248( 및 선재하는 고정 비아(246)가 제공되며, 이들은 세그먼트(259)와 접속된다. 유사하게, 세그먼트(243, 244) 단부들 사이에 점퍼 세그먼트(249)가 제공되며, 이는 선재하는 고정 비아(245)로 세그먼트(258)와 서로 접속된다. 이런 형태로, 상기 세그먼트들 및 점퍼를 포함하는 하부 2개 금속층들 상의 긴 세그먼트는 하나의 트랙에서 다른 트랙으로 주기적으로 변할 수 있다. 다시, 특정한 쌍의 트랙(259, 258)은 비아(246, 245)와 함께 한 지점에서 또 다른 지점으로 상이할 수 있고, 동일한 접속 점퍼는 긴 라인들이 다수의 지점에서 서로 인접하지 않도록 각각의 지점에서 이용될 수 있다.

본 발명의 또 다른 실시예에서, 주문가능 긴 세그먼트 상호접속부는 트랙을 변화시키기 위해 고정 점퍼와 주기적으로 접속되어, 다른 인접한 긴 세그먼트 상호접속부와의 잠재적 누화를 최소화시킬 수 있다.

제 1 및 제 2 상호접속층들로부터 특정하게 상호접속된 세그먼트들의 예가 도시된 도 25를 참조한다. 도 24 및 도 25에 도시된 접속(tied) 영역(250)이 반복되며, 상기 영역 너머로 연장되는 세그먼트들은 집합에 의해 영역내에 있는 세그먼트들에 접속된다. 비아 로케이션(254)이 채워질 때, 2개의 긴 수평 세그먼트(241)는 선재하는 고정 비아(253)에 의해 2 및 3개가 접속되는 층들 상에 있는 일련의 점퍼들을 통해 접속된다. 마지막으로, 비아 로케이션(252)이 채워질 때, 짧은 수평 세그먼트는 분리된(split) 긴 수평 세그먼트(241)와 접속된다.

도 26을 참조한다. 비아 로케이션(264)이 채워질 때, 제 2 층 상에 있는 긴 수직 세그먼트(266)는 제 4층 상에 있는 짧은 수직 세그먼트(265)에 접속된다. 또한 비아 로케이션(267)이 채워질 때, 영역(250)에 인접한 영역의 긴 수평 세그먼트(269)는 선재하는 고정 비아에 의해 접속되는 층(2, 3) 상에 존재하는 점퍼와 층(1) 상에 있는 점퍼를 접속함으로써 긴 수직 세그먼트(268)와 접속된다.

도 22에 도시된 제 3 및 제 4 상호접속층들로부터 특정하게 상호접속된 세그먼트들의 예가 도시된 도 27을 참조한다. 비아 로케이션(270)이 채워질 때, 짧은 수직 세그먼트(271)와 짧은 수평 세그먼트(272)가 접속된다. 유사하게, 비아 로케이션(273)이 채워질 때, 점퍼(275)는 2개의 짧은 수평 세그먼트(274)에 접속되고, 비아 로케이션(276)이 채워질 때, 점퍼(278)는 2개의 수직 세그먼트(277)와 접속된다.

본 발명의 제 3 및 제 4 상호접속층들의 실시예를 도시하는 도 28을 참조한다. 제 4층은 제 3층 상에 존재하는 짧은 수평 세그먼트(282)를 접속하는 점퍼(283) 및 제 3 층 상에서 점퍼(281)와 서로 접속되는 짧은 수직 세그먼트(280)를 포함한다. 또한 제 3 층은 제 2 층 상의 2개의 긴 수직 세그먼트의 단부들과 접속되는 긴 수평 점퍼(284) 및 제 2 층 상의 점퍼에 접속되는 짧은 수평 점퍼(287)를 포함한다.

제 1 및 제 2 상호접속층들의 예가 도시된 도 29를 참조한다. 제 1 층은, 영역에 걸쳐 연속하는 긴 수평 세그먼트(290); 트랙 로케이션이 주기적으로 변화하도록 수직 점퍼에 접속되는 한 쌍의 세그먼트(299); 및 제 2층 상의 수직 점퍼 세그먼트에 비아(295)를 통해 각각 접속되어, 결국은 다른 비아(297)를 통해 제 3층에 접속되는 한 쌍의 세그먼트(291)를 포함한다. 이런 방식으로, 세그먼트들(291)은 적절한 주문가능 비아를 선택함으로써, 제 3 및 제 4층들 상에서 서로 접속되거나, 또는 짧은 세그먼트에 각각 접속된다. 유사하게, 제 2층은, 셀 로케이션을 통해 연속하는 긴 수직 세그먼트(292); 트랙 로케이션이 주기적으로 변화하도록 수평 점퍼에 접속되는 한 쌍의 세그먼트(298); 및 제 3 층에 비아(294)를 통해 각각 접속되는 한 쌍의 세그먼트(293)를 포함한다. 이런 형태로, 세그먼트들(293)은 주문된 비아를 적절히 선택함으로써 제 3 및 4층 상에서 서로 접속되거나 또는 짧은 세그먼트들과 접속된다.

본 발명의 예시적 실시예의 4개 상호접속층들의 반복 부분을 나타내는 도 30을 참조한다. 모두 4개의 층들 상에 있는 선택된 세그먼트의 단부(309)는 상호접속층들의 인접한 반복 부분들 상에 있는 해당 세그먼트와 집합에 의해 바람직하게 접속된다. 모두 주문가능한 접속부들은 제 3 및 제 4 층들 상에 있는 교차하는 세그먼트들 사이의 비아 로케이션을 채움으로써 형성된다.

각각의 반복하는 세그먼트 그룹에는, 층(3) 상의 점퍼들과 층(4)상의 짧은 수평 세그먼트를 서로 접속하는 비아 로케이션(300); 층(4) 상의 점퍼들과 층(3) 상의 짧은 수직 세그먼트를 서로 접속하는 비아 로케이션(302); 층(4) 상의 짧은 수직 세그먼트와 층(3) 상의 짧은 수평 세그먼트를 접속하는 비아 로케이션(301); 점퍼 및 고정 비아를 통해 층(3) 상의 짧은 수평

세그먼트와 층(1) 상의 긴 수평 세그먼트를 접속하는 비아 로케이션(305); 고정 비아 및 점퍼를 통해 층(4) 상의 짧은 수직 세그먼트와 층(2) 상의 긴 수직 세그먼트를 접속하는 비아 로케이션(304); 긴 수평 세그먼트들을 서로 접속하는 비아 로케이션(307); 긴 수직 세그먼트들을 서로 접속하는 비아 로케이션(306); 및 긴 수직 세그먼트들을 긴 수평 세그먼트들과 접속하는 비아 로케이션(308)을 포함하며, 이러한 모든 비아 로케이션은 제 3 및 제 4 상호접속층들 사이에 제공된다.

본 발명의 또 다른 실시예에서, 고정 점퍼 및 비아와 관련하여 주문가능한 상호접속부는 4개의 모든 층 상에 있는 임의의 쌍의 세그먼트들 간의 직접적인 접속을 허용한다.

주문가능한 상부 2개의 금속층들을 구조화하는 또 다른 방법이 도시된 도 31을 참조한다. 본 발명의 또 다른 실시예에서, 주문가능한 비아층 아래의 세그먼트들은, 셀 I/O에 접속되는 선재하는 모든 고정 비아 및 하부 레벨 와이어링 트랙에 접속되는 고정 비아가 점퍼로 연장될 수 있는 세그먼트들과 접속되도록 배열된다. 점퍼(312) 또는 짧은 수직 세그먼트(310)는 하부 레벨에 제공되며, 주문가능한 비아로 서로 접속됨으로써 상부층 상의 점퍼(314) 또는 수평 세그먼트(311)로 연장될 수 있다. 점퍼(314, 312)는 하부 레벨 긴 세그먼트가 한 쪽 방향으로 상부 레벨 짧은 세그먼트와 접속되게 한다.

블록 주변부 부근의 어드레스 로직(121) 및 버퍼 로직(122)을 갖는 로직 셀 블록이 도 12에 도시된다.

도 32를 참조로, 바람직하게는 각각 상호접속층들(5 및 6) 상에서, 블록 어드레스 로직 위로, 수평의 긴 와이어와의 선택적 접속을 위해 와이어링을 배치하는 스페이스(322) 및, 블록의 버퍼 로직 위로, 수직의 긴 와이어와의 선택적 접속을 위해 와이어링을 배치하는 스페이스(323)를 포함하는 8개의 블록(321) 다이어그램이 도시된다.

층들(3, 4)을 와이어(332)에 의해 도시된 것처럼 층(5) 상의 수평한 긴 라인들, 및 층들(5, 4) 사이의 비아(331)와 상호접속하는 방법을 나타내는 도 33을 참조한다. 수평한 긴 라인들(전체 도시되지 않음) 마다 비아(330)와 층(4)의 수직 라인이 접속된다. 수평한 긴 라인들은, 적어도 2개의 블록(321)에 대해, 도 32에 도시된 것처럼 하나의 접속 스페이스(322)에서 다음 접속 스페이스(324)로 연장된다. 도 33에 도시된 것처럼 333과 같은 소정의 수평한 긴 라인들은 도 32의 하나의 접속 스페이스(332)로부터 다음 접속 스페이스(324) 너머, 다음 접속 스페이스(325)로 연장된다.

층(6) 상의 수직의 긴 라인(341)을 층(5) 상의 세그먼트(342)와 층(4) 세그먼트를 상호접속하는 방법이 도시되는 도 34를 참조한다. 여기서, 고저어 비아(340)는 수직의 긴 라인(341)과 수평한 세그먼트(342) 사이에 접속되어, 결국 도 32에 도시된 방식으로 층(3, 4)이 접속된다. 소정의 수직인 긴 라인들(343)은 도 32에 도시된 것처럼 다음 접속 스페이스(323) 너머로 연장된다.

본 발명의 또 다른 바람직한 실시예에서, 추가된 상호접속부를 라우팅하기 위해 하나 이상의 칩이 추가의 긴 라인을 요구하는 웨이퍼에 요구되는 것처럼 상호접속층(5, 6)이 선택적으로 부가될 수 있다. 또한, 레이아웃 시스템은 옵션을 라우팅, 선택하는 4 또는 6 층들 상에서, 최저 개수의 층들과 상호접속부들을 선택적으로 라우팅하여, 상호접속부 설계 조건이 충족된다. 또한, 6개 라우팅층을 갖는 칩이 도 16에 도시된 것처럼, 웨이퍼(160) 상에 수집될 수 있어, 상호접속부 라우팅에 6개 층이 요구되는 설계가 보다 효율적으로 처리될 수 있다.

지금까지 특정하게 도시되고 개시된 것들은 본 발명의 범주를 제한하고자 하는 것은 아니다. 본 발명의 범주는 본 발명에 개시된 다양한 특징들의 조합 및 부조합, 및 종래기술에 개시되지 않은 상기 설명들을 참조로 당업자가 구현할 수 있는 변형 및 변조를 포함한다.

### 도면의 간단한 설명

도 1은 다수의 로직 셀, RAM 블록들, ROM 블록들, I/O 셀들, 및 클록 분포 구조물을 포함하는 반도체 소자의 간략도,

도 2는 본 발명의 바람직한 실시예에 따라 플립-플롭 및 다수의 검색표를 포함하는, 도 1의 로직 셀의 간략도,

도 3은 도 2에 도시된 로직 셀들 사이에 영구 주문형 상호접속부를 제공하는 와이어링층들을 나타내는 도면,

도 4는 단일 비아층 주문가능 I/O 셀의 회로도,

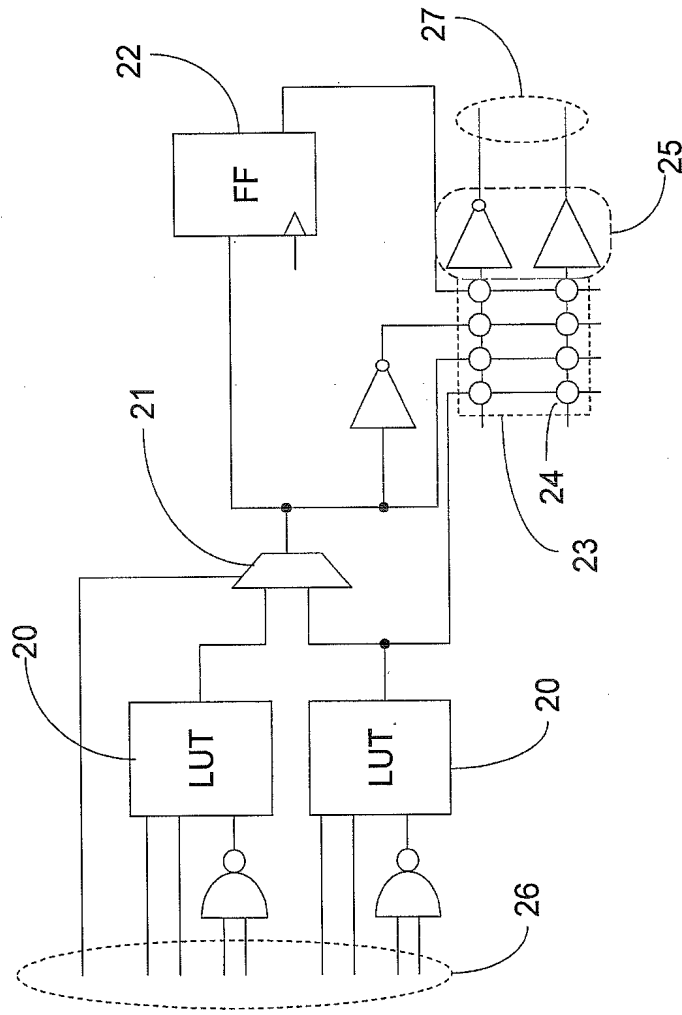
도 5는 단일 비아층 개별화를 포함하는, 주문가능 RAM 블록을 나타내는 도면,

- 도 6은 ROM 블록에 대한 비트 셀을 나타내는 도면,
- 도 7은 ROM 또는 RAM 블록에 대한 구성가능 출력 버퍼를 나타내는 도면,
- 도 8은 구성가능 클록 분포 구조물의 섹션을 나타내는 도면,
- 도 9는 구성가능 클록 분포 구조물 내의, 구성가능 블록 이네이블(enable)을 나타내는 도면,
- 도 10은 내장형 마이크로프로세서와 다른 온-칩 블록 간의 접속 블록도,
- 도 11은 구성가능 반도체 소자내의 블록들의 어드레싱을 나타내는 도면,
- 도 12는 메모리에 검색표를 구성하는 내장형 로직을 갖춘 다수의 검색표를 나타내는 도면,
- 도 13은 외부 로우(row)상의 패드들을 나타내는 도면,
- 도 14는 로직 셀들을 포함하는 프로그램가능 로직 소자(PLD)를 나타내는 도면,
- 도 15는 하나의 웨이퍼 상에 다수의 설계를 주문하기 위한 웨이퍼 맵을 나타내는 도면,
- 도 16a 및 도 16b를 포함하는 도 16은 상이한 크기의 다수의 다이를 포함하는, 레티클 이미지로 구성되는 웨이퍼를 나타내는 도면,
- 도 17은 레티클 이미지 내의 모든 다이를 테스트하는 다이들간(inter-die) 상호접속부를 나타내는 도면,
- 도 18은 레티클 이미지 내의 다이들간 상호접속부를 나타내는 도면,
- 도 19는 로직 셀의 또 다른 다이어그램,
- 도 20은 3-입력 검색표(LUT)이 다이어그램,
- 도 21a, 21b 및 21c를 포함하는 도 21은 3-입력 LUT 메모리 셀에 대한 비아 구성을 나타내는 도면,
- 도 22는 긴 세그먼트 상호접속부의 종래 기술의 예를 나타내는 도면,
- 도 23은 긴 세그먼트 상호접속부의 또 다른 예를 나타내는 도면,
- 도 24는 상호접속부의 4개층의 하부 2개층들 사이에 고정된 접속부를 나타내는 도면,
- 도 25는 4번째 층 상의 세그먼트들의 접속을 나타내는 도면,
- 도 26은 3번째 층 상의 세그먼트들의 접속을 나타내는 도면,
- 도 27은 상부 2개 층들 상의 세그먼트들의 접속을 나타내는 도면,
- 도 28은 하부 2개의 고정된 세그먼트 층들을 나타내는 도면,
- 도 29는 상부 2개의 고정된 세그먼트 층들을 나타내는 도면,
- 도 30은 프로그램가능 로직 셀들을 서로 접속하는, 물리적 주문형 상호접속 구조물의 4개 금속층을 나타내는 도면,
- 도 31은 프로그램가능 로직 셀들을 서로 접속하는, 물리적 주문형 상호접속 구조물의 2개 금속층을 나타내는 도면,



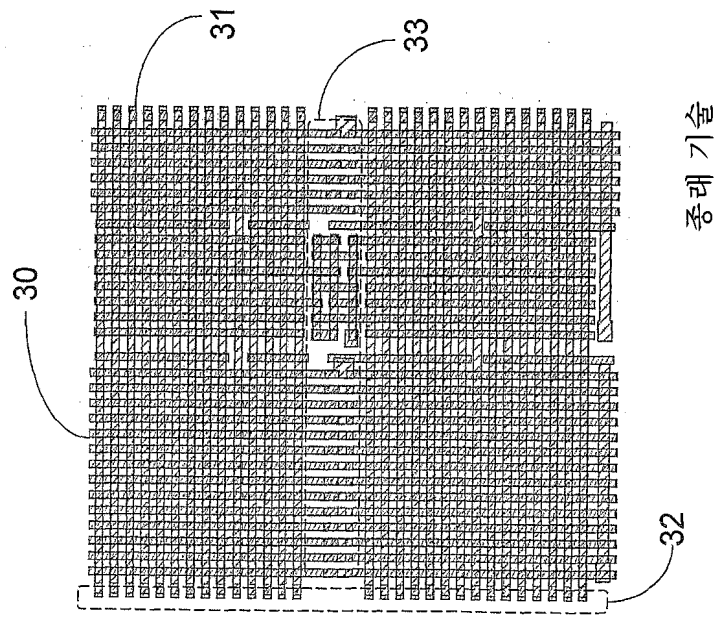


도면2

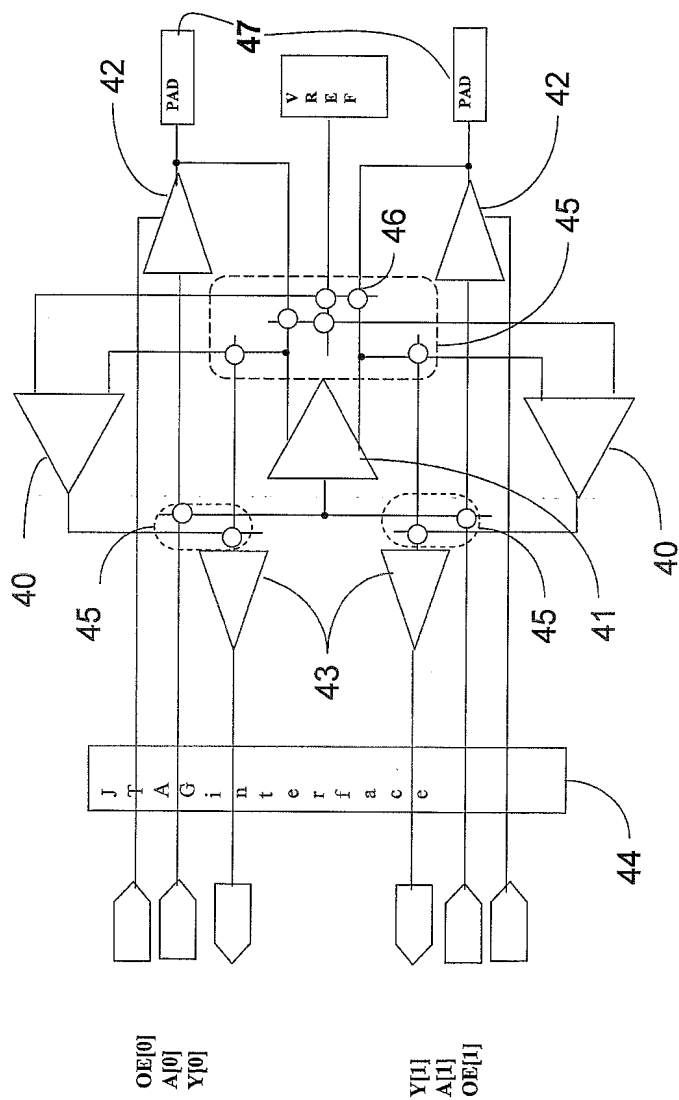


종래 기술

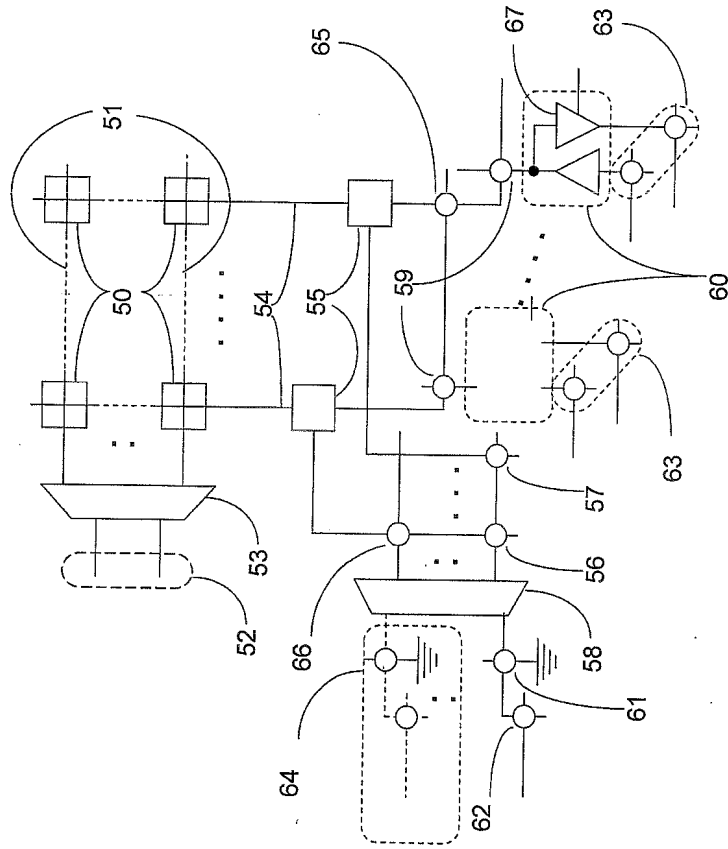
도면3



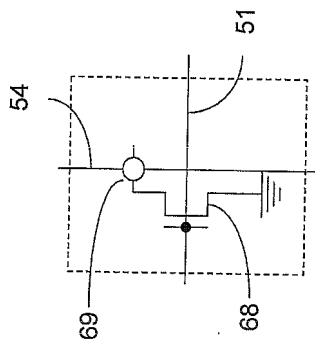
도면4



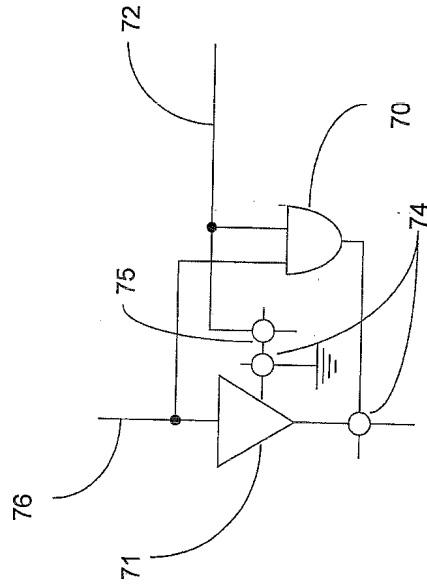
도면5



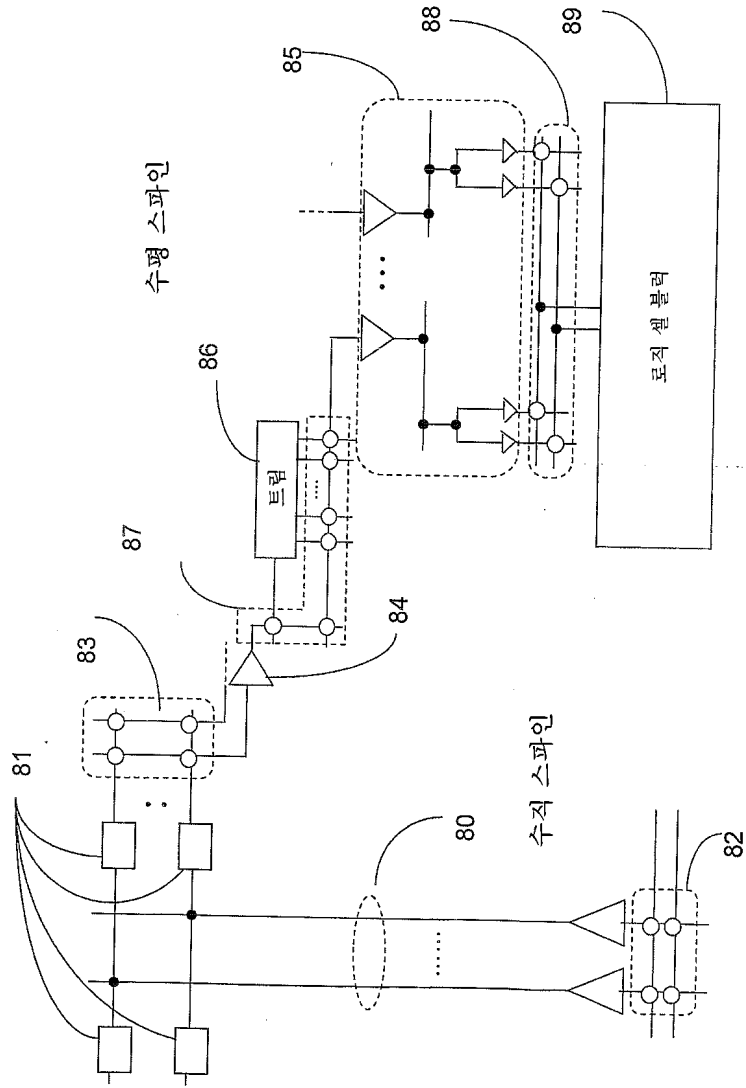
도면6



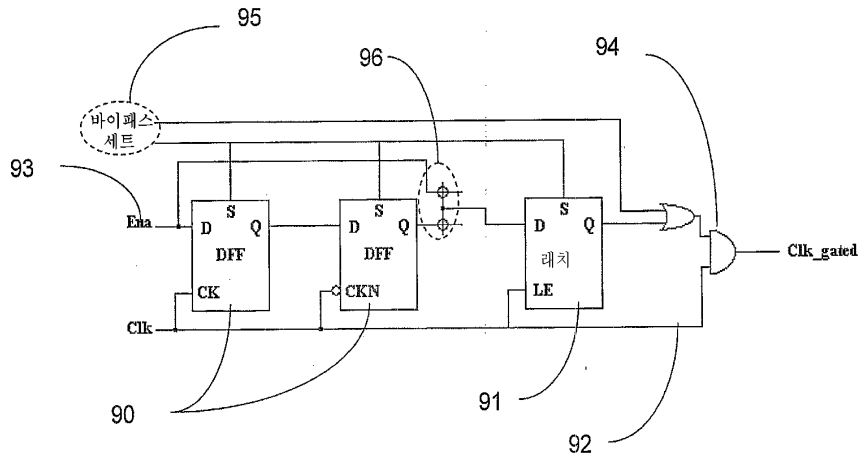
도면7



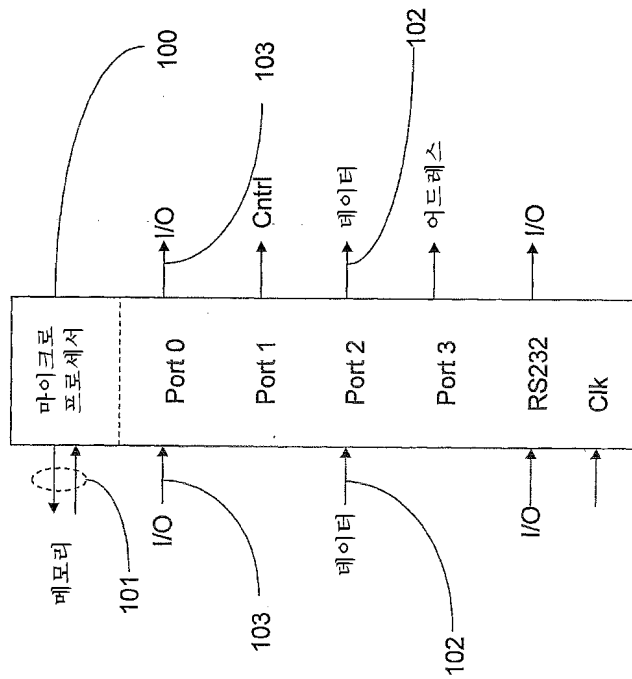
도면8



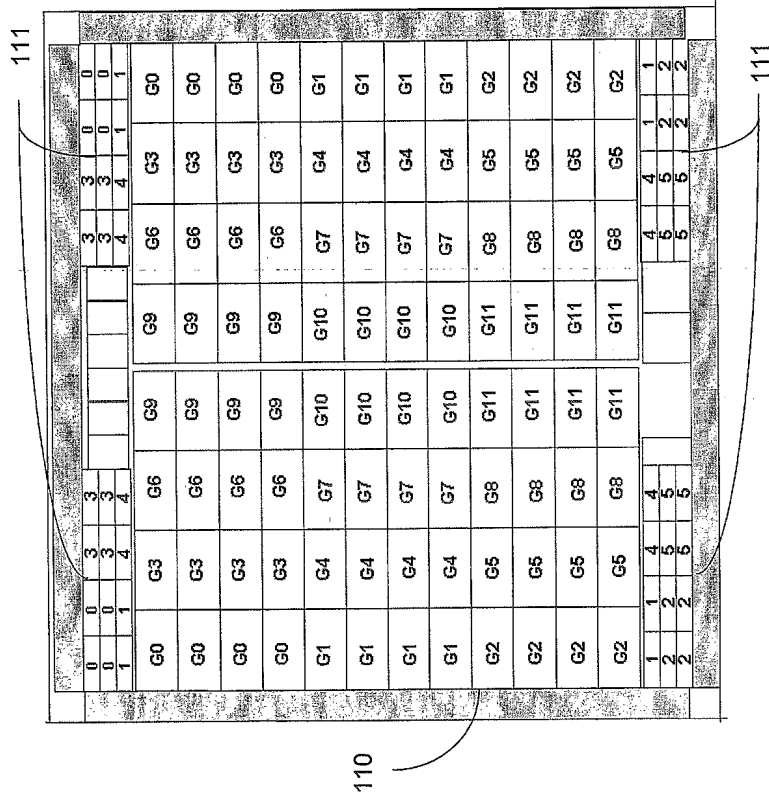
도면9



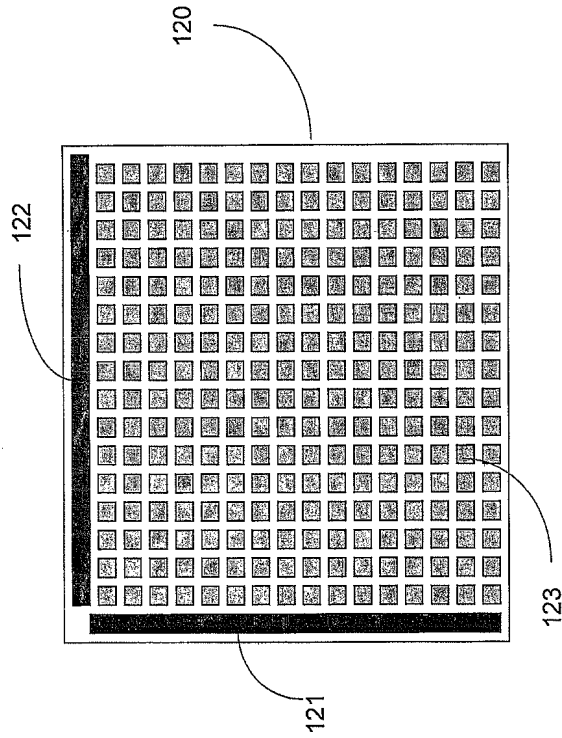
도면10



도면11

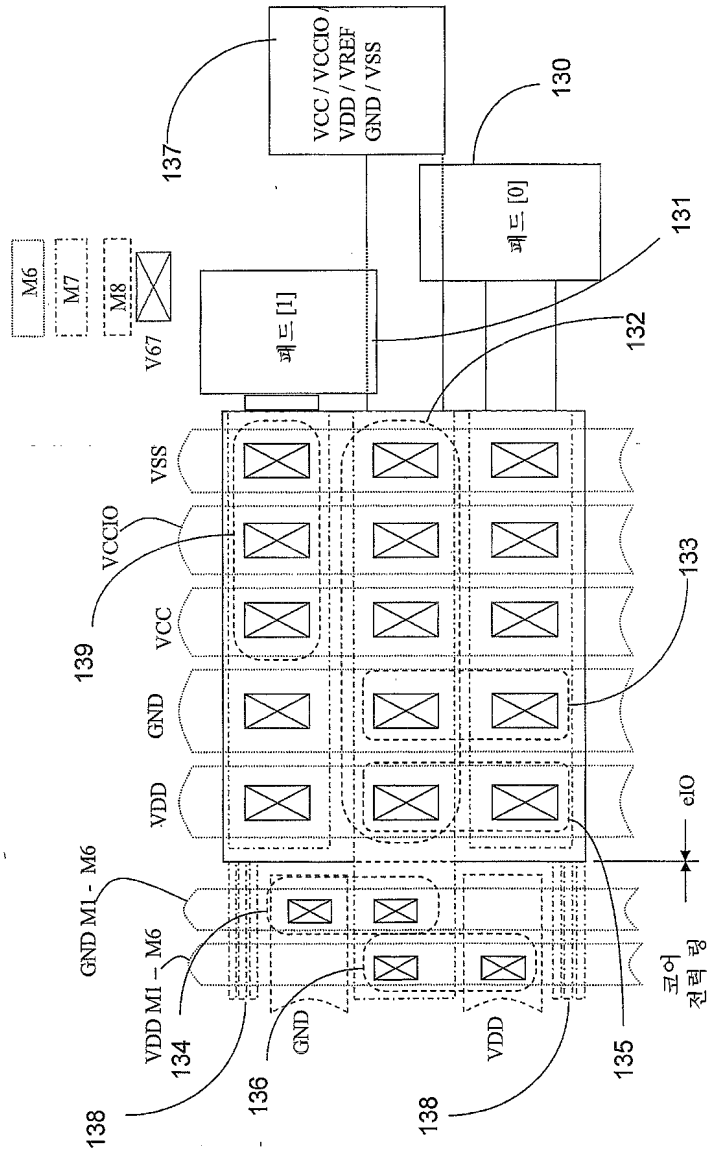


도면12

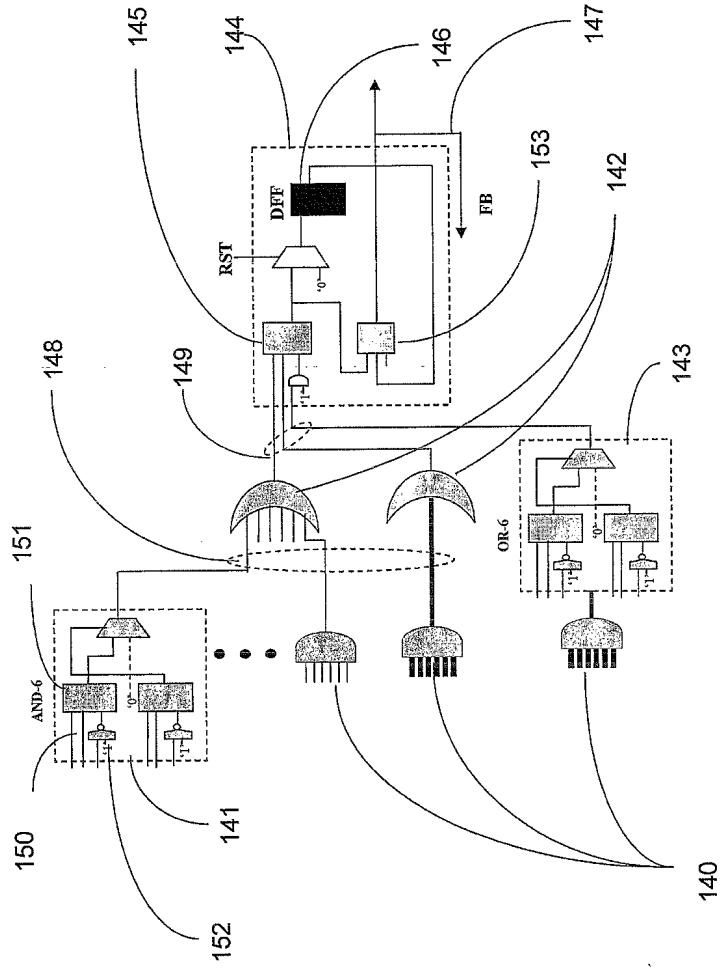




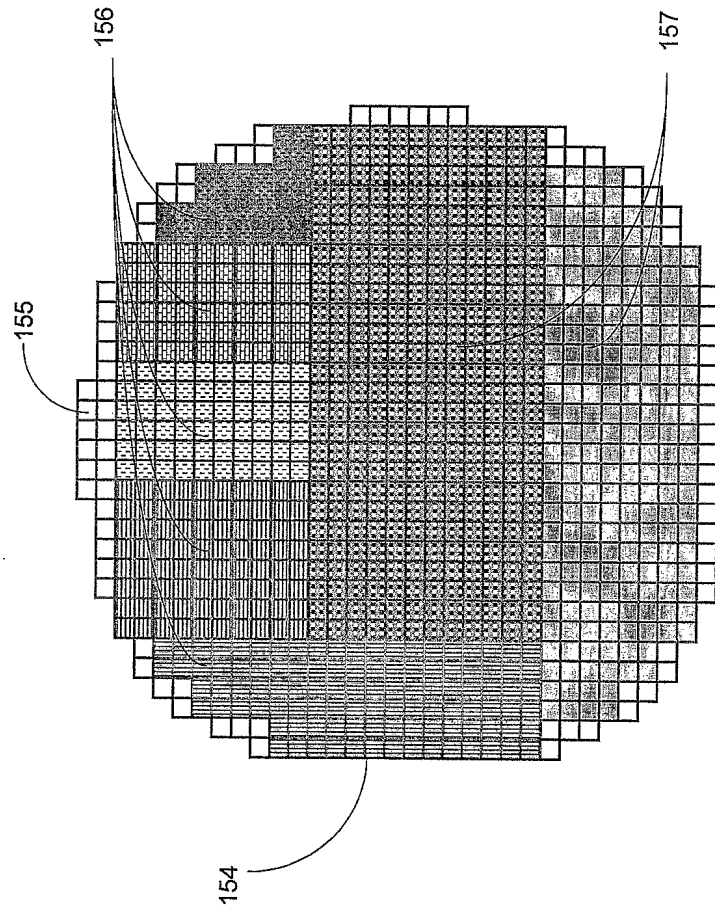
도면13



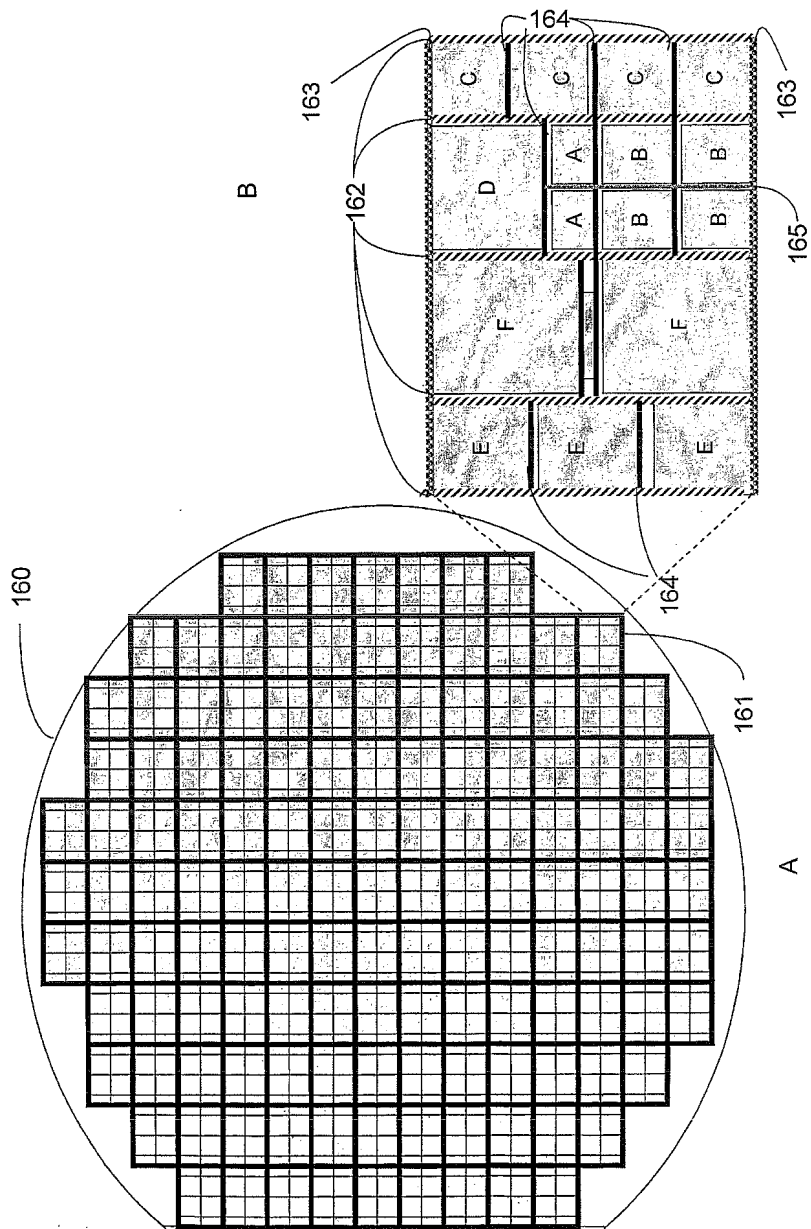
도면14



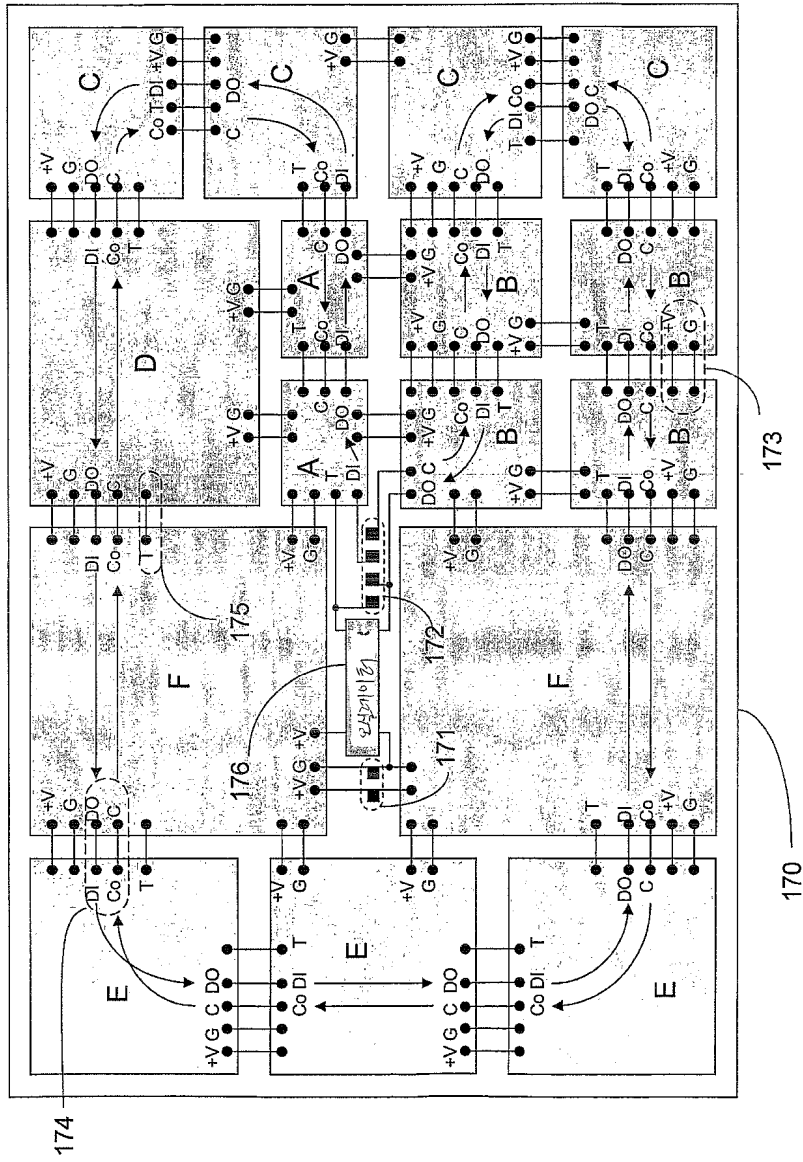
도면15



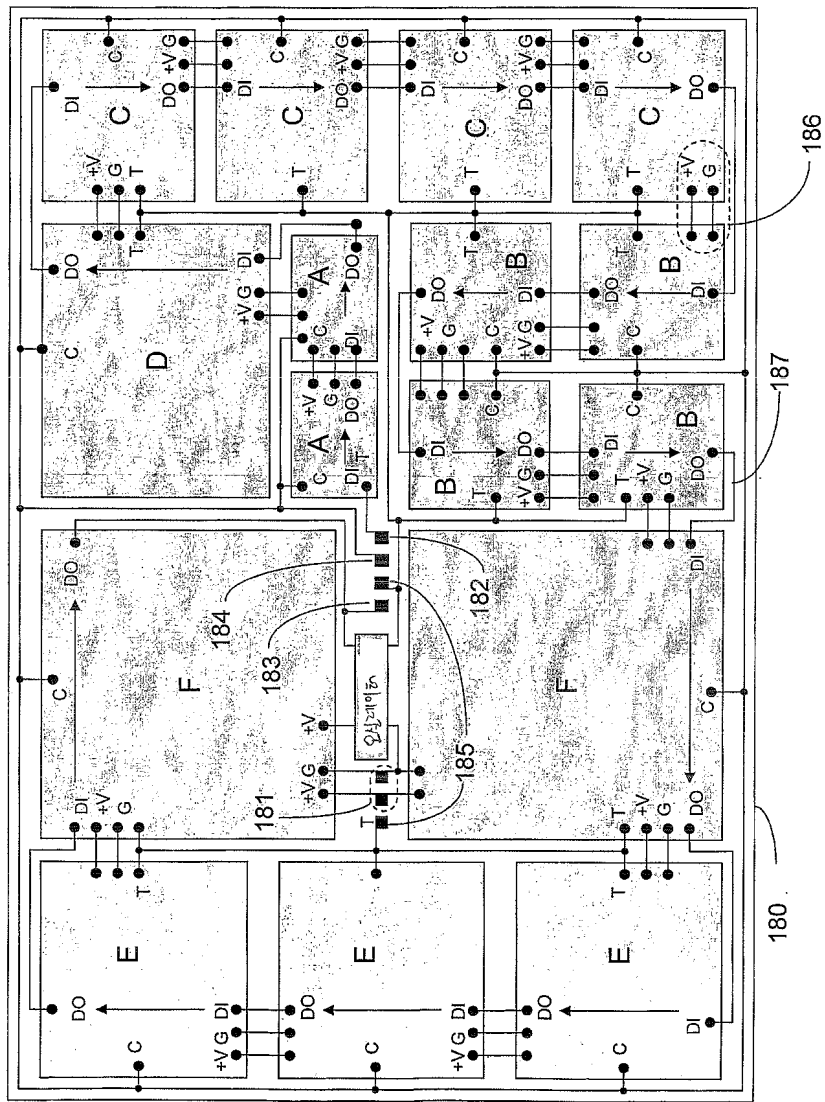
도면16



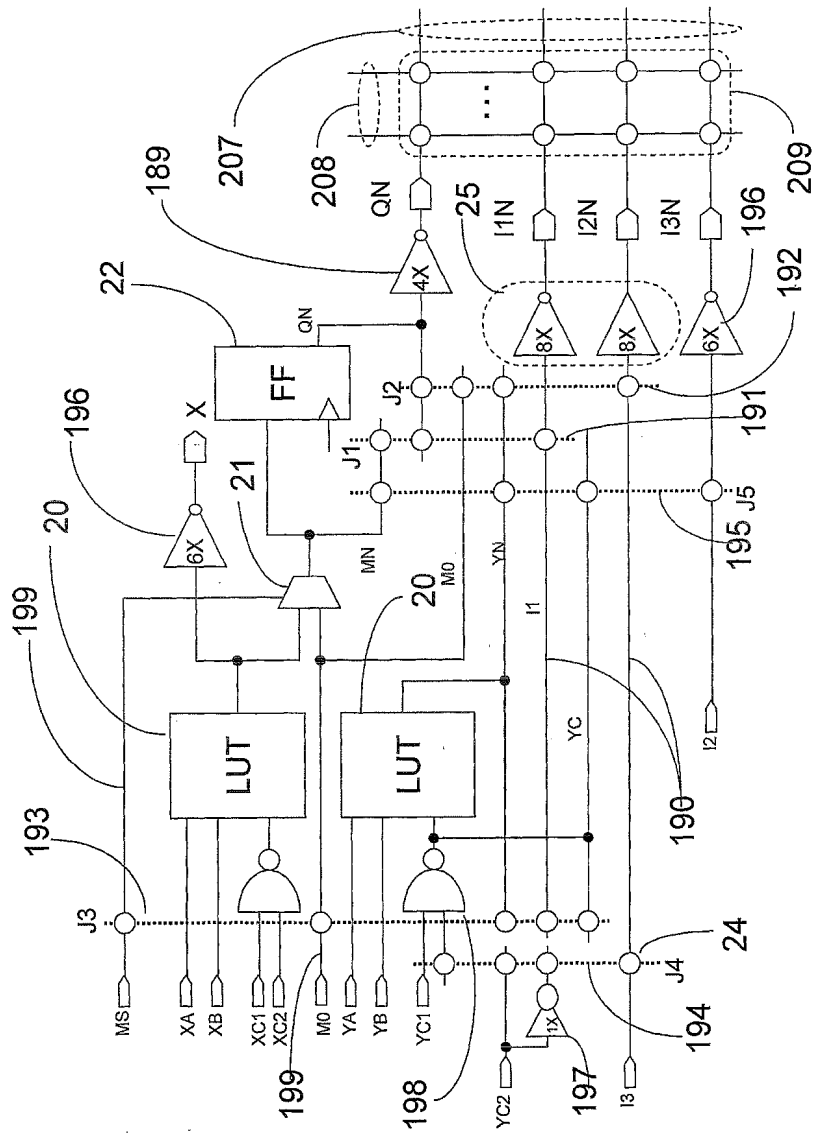
도면17



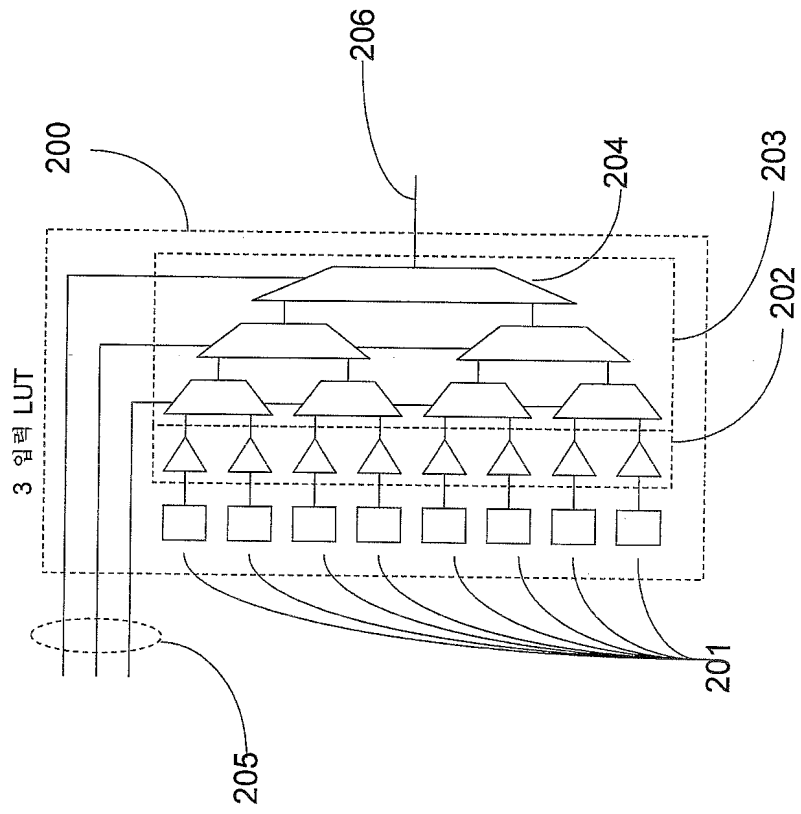
도면18



도면19

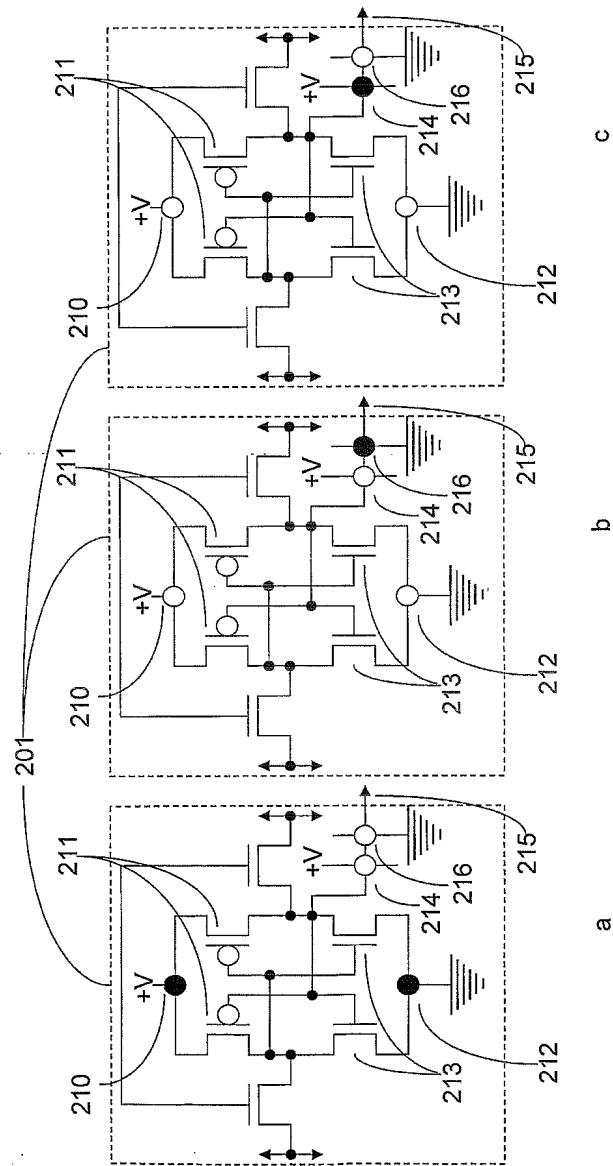


도면20

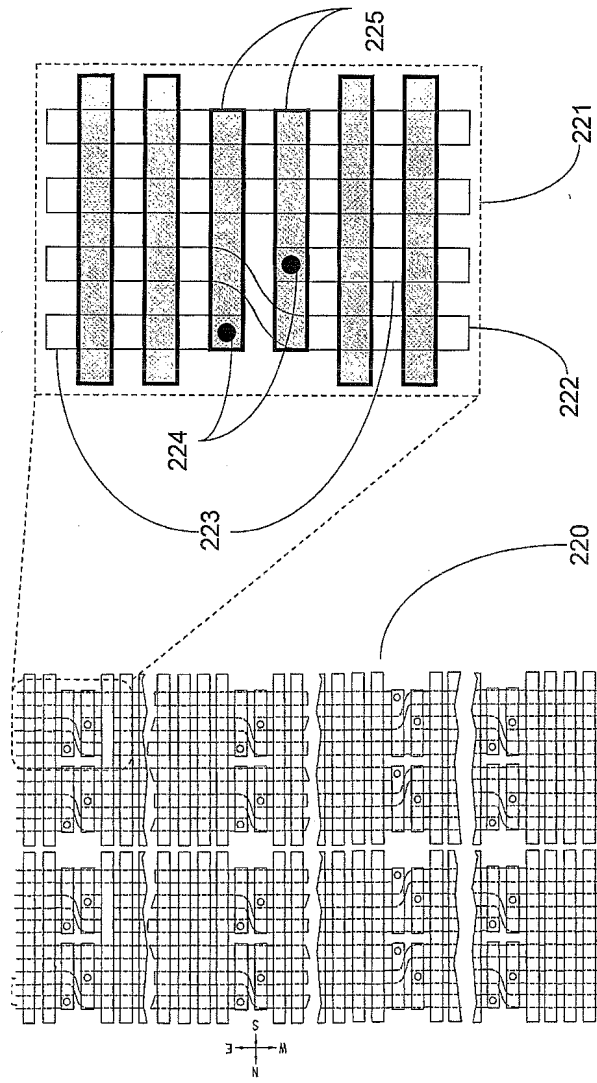




도면21

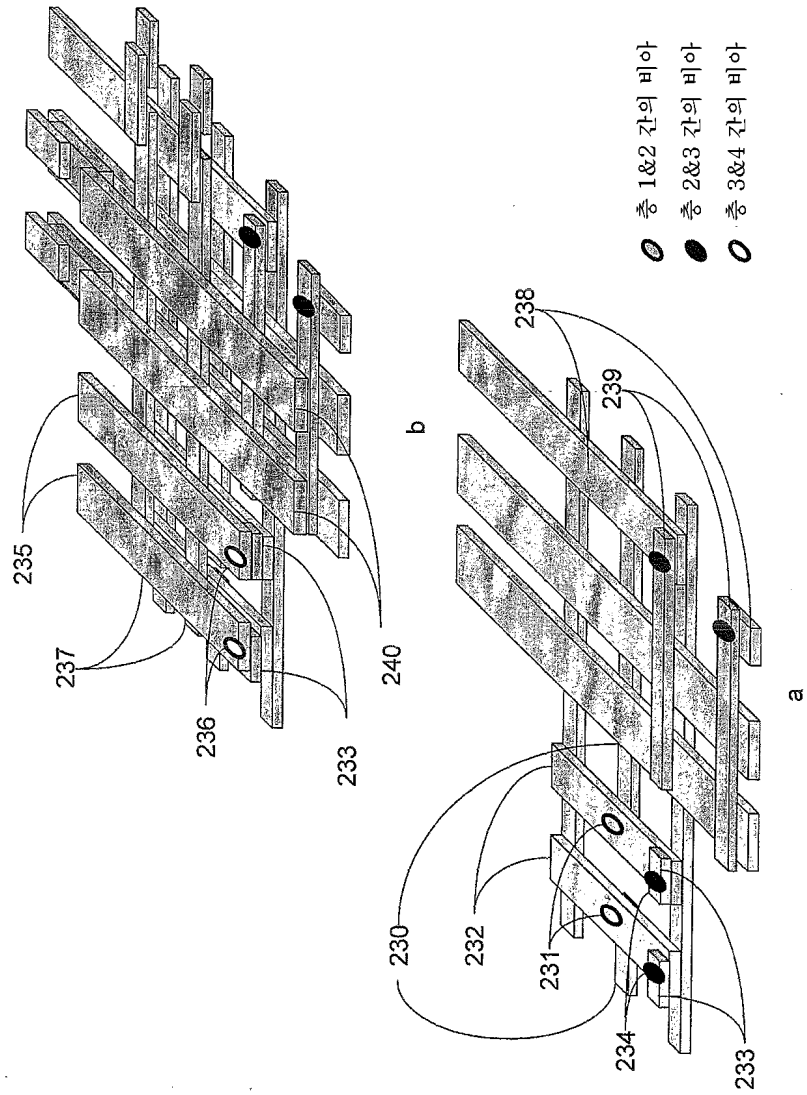


도면22

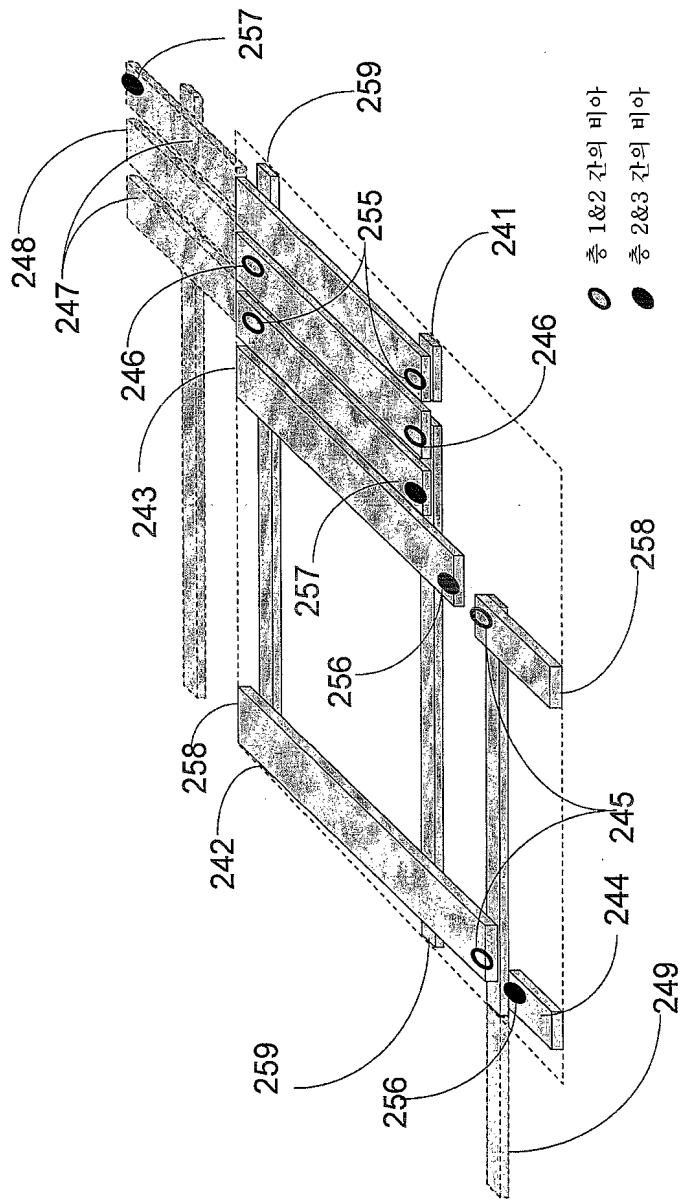


종래 기술

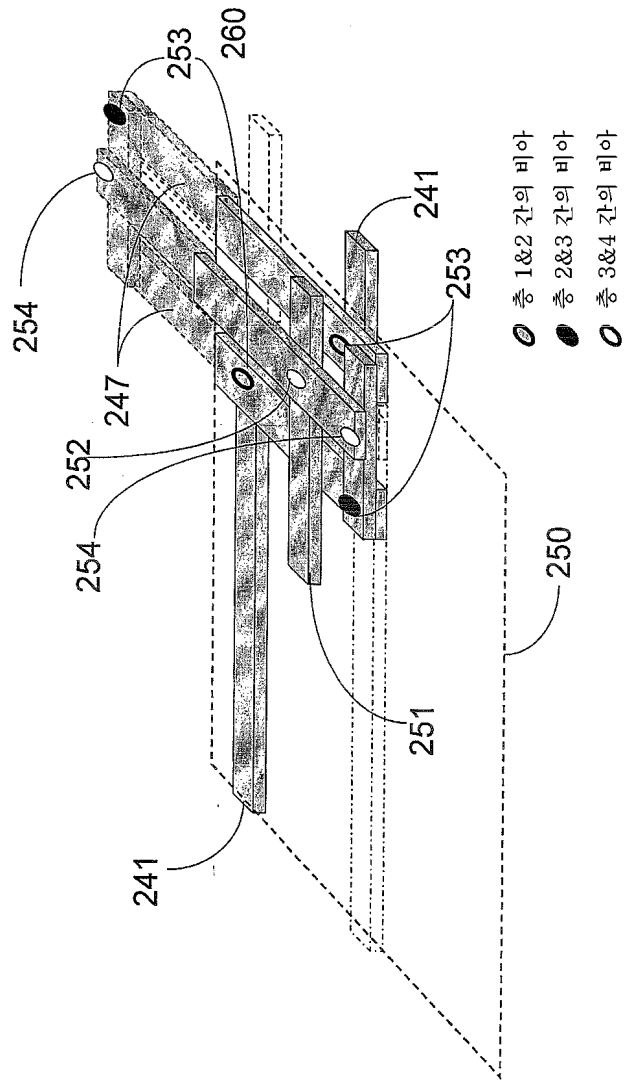
도면23



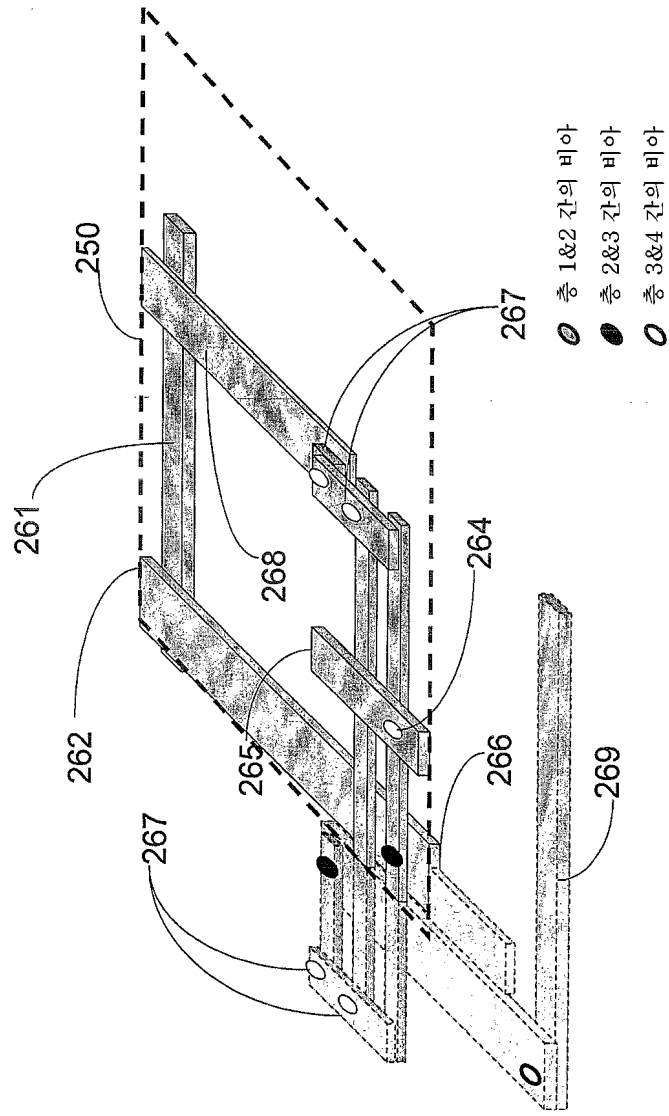
도면24



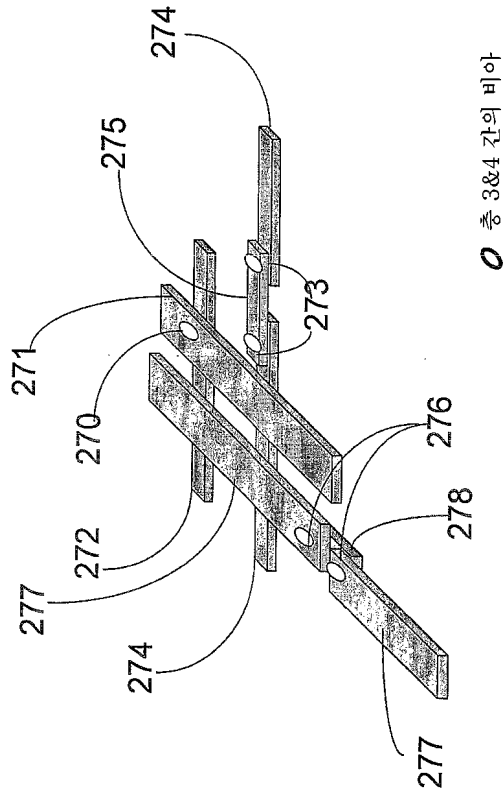
도면25



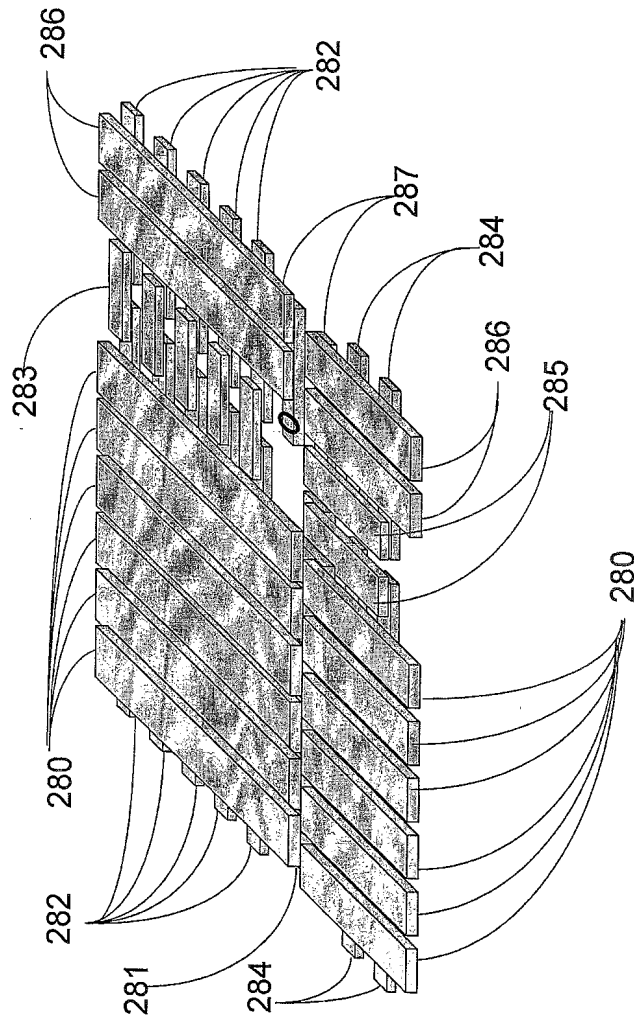
도면26



도면27

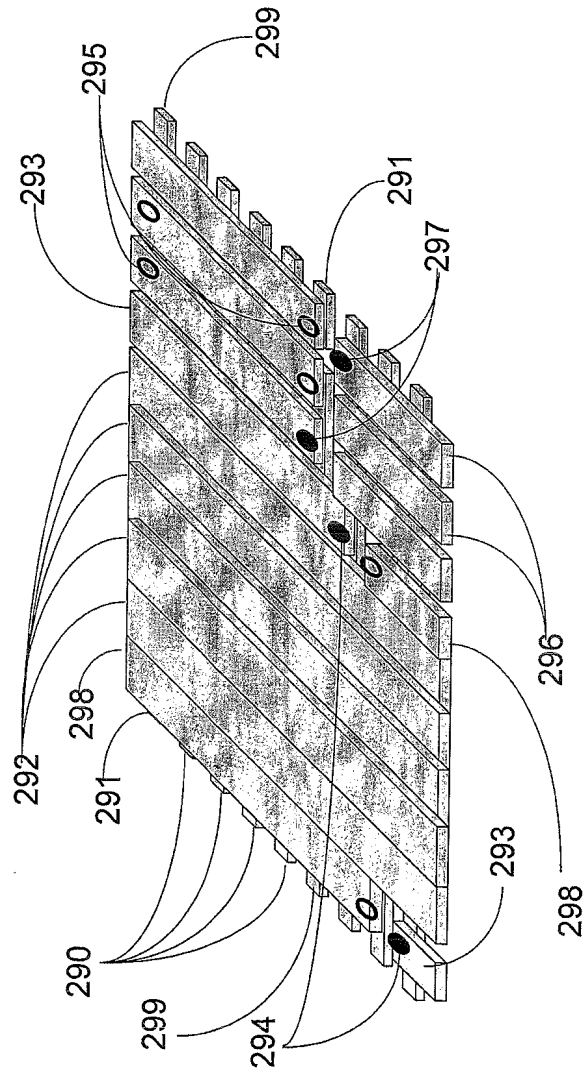


도면28

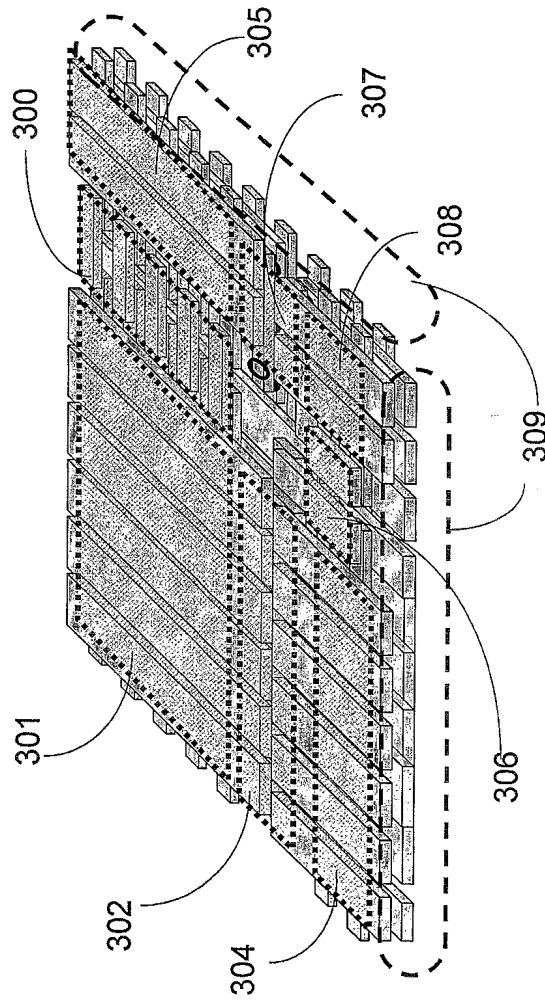




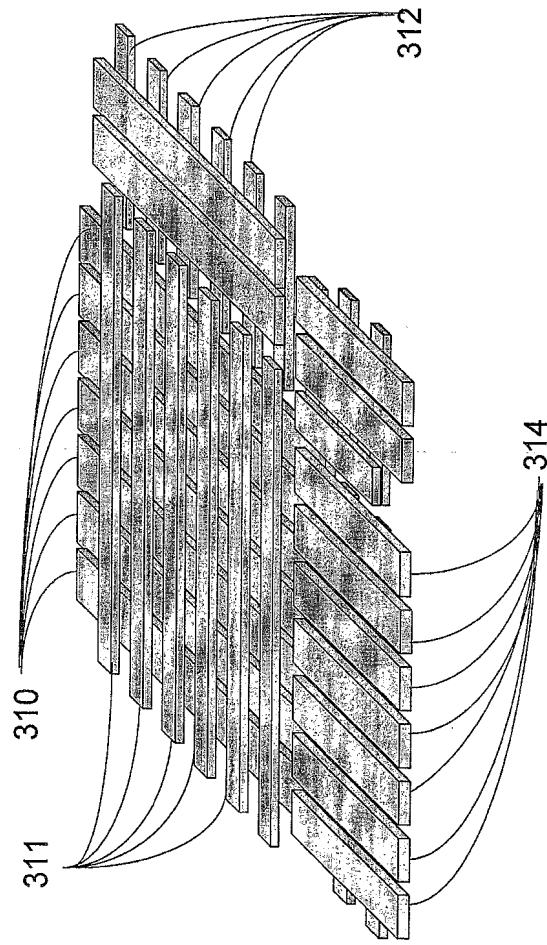
도면29



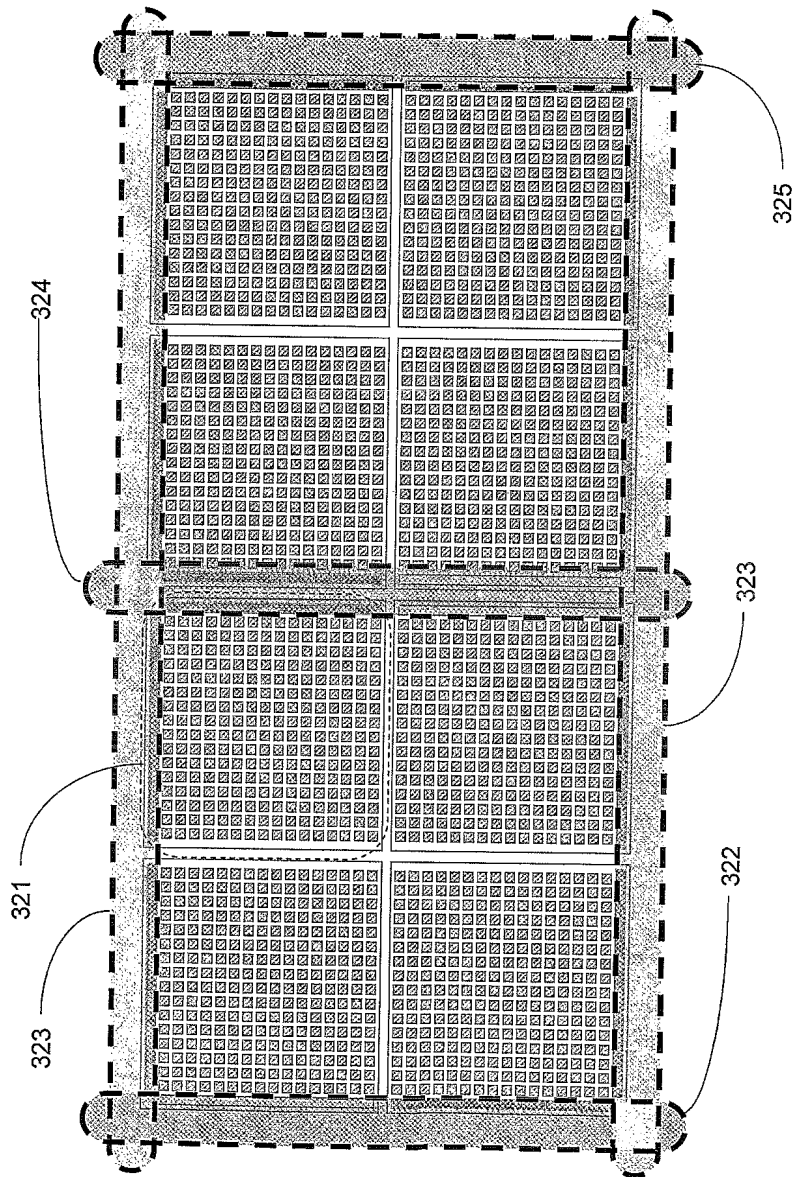
도면30



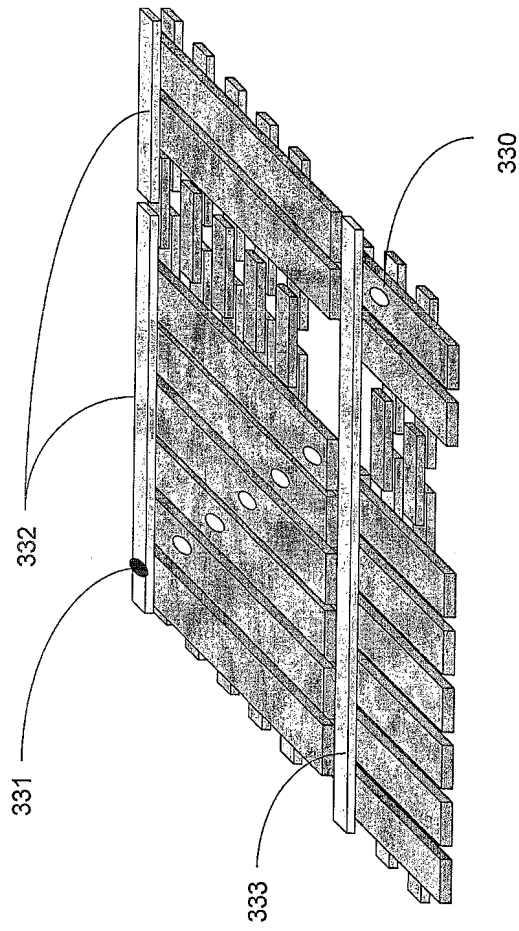
도면31



도면32



도면33



도면34

