



(12) 发明专利

(10) 授权公告号 CN 103625647 B

(45) 授权公告日 2015. 12. 09

(21) 申请号 201310630078. 7

US 2010/0057957 A1, 2010. 03. 04, 全文.

(22) 申请日 2013. 11. 29

黄劲松等. 基于 FPGA 的 AFDX 端系统的设计与实现. 《计算机测量与控制》. 2011, 第 19 卷 (第 10 期), 第 2553-2555 页.

(73) 专利权人 中国航空无线电电子研究所
地址 200233 上海市徐汇区桂平路 432 号

审查员 郑硕

(72) 发明人 王大伟 于乐 廖科 何洋

(74) 专利代理机构 上海和跃知识产权代理事务
所 (普通合伙) 31239

代理人 杜林雪

(51) Int. Cl.

G06F 13/40(2006. 01)

G06F 13/00(2006. 01)

(56) 对比文件

CN 103279082 A, 2013. 09. 04, 全文.

CN 103019993 A, 2013. 04. 03, 全文.

CN 102486738 A, 2012. 06. 06, 全文.

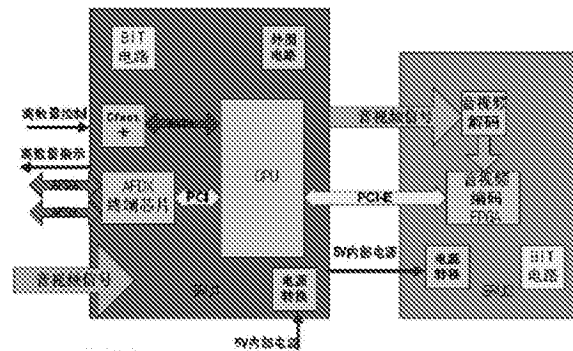
权利要求书2页 说明书4页 附图2页

(54) 发明名称

一种机载综合数据加载传输装置

(57) 摘要

本发明公开了一种机载综合数据加载传输装置,包含 SRU1,所述 SRU1 包含主处理器模块、AFDX 终端模块、固态存储卡;主处理器模块实现整个装置的数据管理、数据通信、接口管理、指令收发;AFDX 终端模块通过 AFDX 接口发送终端数据、接收终端数据,并通过 PCI 总线与 CPU 进行数据通信;固态存储卡为 SATA2.0 接口的可插拔 CFast 固态存储卡,通过 SATA 总线与 CPU 相连,用于执行数据加载与记录功能。AFDX 接口替代了原有数据传输装置的专用通信链路, SATA 接口替代了原有数据传输装置使用的 IDE 接口,以及 PCI-Express 等高速串行总线的使用,都大大降低了信号线布线复杂度,提高了航空电子系统的可靠性和可维护性。采用的 CFast 卡,使得存储卡的重量大大减轻,读写速度由原来的 12Mbps 提高到 130Mbps。



1. 一种机载综合数据加载传输装置,其特征在于包含 SRU1,所述 SRU1 用于数据的加卸载,包含主处理器模块、AFDX 终端模块、固态存储卡;

所述主处理器模块实现整个装置的数据管理、数据通信、接口管理、指令收发,支持 SATA、PCI、PCI-Express、IIC 总线协议;

所述 AFDX 终端模块采用 FPGA 芯片作为内置处理器,用于终端数据发送、终端数据接收及与主机接口逻辑,并通过 PCI 总线与主处理器模块进行数据通信,通过 AFDX 总线同外围设备进行数据通信;

所述固态存储卡为 SATA2.0 接口的可插拔 CFast 固态存储卡,通过 SATA 总线与主处理器模块相连,用于执行数据加载与记录功能;

还包含 SRU2,所述 SUR2 用于音视频数据处理,包含音频解码电路、视频转换解码电路、音视频编码 FPGA 电路;

所述视频转换解码电路采集通过 SRU1 与 SRU2 互联的 XMC 连接器进入 SRU2 的音视频信号中的多路视频信号,转换为并行数字信号后输出到音视频编码 FPGA 电路;

所述音频解码电路用于采集通过 SRU1 与 SRU2 互联的 XMC 连接器进入 SRU2 的音视频信号中的音频信号,转换为串行数字信号后输出到音视频编码 FPGA 电路;

所述音视频编码 FPGA 电路包含压缩编码模块,对音频数字信号、视频数字信号进行压缩编码,将压缩后的码流数据通过 PCI-Express x1 接口传输到 SRU1。

2. 根据权利要求 1 所述一种机载综合数据加载传输装置,其特征在于所述 SRU2 中还包含 DDR2 存储器、电源转换电路、调试接口模块;

所述 DDR2 存储器用于在音视频编码过程中高速海量音视频和编码后数据的缓存;

所述电源转换电路为各功能电路的正常工作提供匹配的电压电流输出的电源转换电路;

所述调试接口模块用于音视频编码 FPGA 电路的更新和音视频编码 FPGA 电路内部嵌入式处理器的运行监控。

3. 根据权利要求 1 所述一种机载综合数据加载传输装置,其特征在于所述 SRU1 中包含电源模块,所述电源模块将外部电源通过稳压、滤波、DC-DC 电路转换成 5V 内部电源输出给 SRU1 与 SRU2。

4. 根据权利要求 1 所述一种机载综合数据加载传输装置,其特征在于所述主处理器模块还用于检测故障,主处理器模块将采集到的各功能模块的数值与内置在主处理器模块中的故障模型数据库中的数值比较,以判断各功能模块是否工作正常。

5. 根据权利要求 4 所述一种机载综合数据加载传输装置,其特征在于所述检测故障具体为:在 IIC 总线上安装电压测量芯片,采集二次电源电压,主处理器模块通过 IIC 总线可以实时检测到机载综合数据加载传输装置的多种电压的数值,并与故障模型数据库中的电压阈值进行比较,测试各功能电路的电源是否正常。

6. 根据权利要求 4 所述一种机载综合数据加载传输装置,其特征在于所述检测故障具体为:在 SRU2 上的音视频编码 FPGA 电路中的设置音视频输入信号判断逻辑模块,用于检测是否有音视频输入信号,通过分别对视频转换解码电路的行场同步信号和音频解码芯片的 I2S 信号进行检测判断,并实时上报主处理器以检测是否有音视频输入信号。

7. 根据权利要求 4 所述一种机载综合数据加载传输装置,其特征在于所述检测故障具

体为：主处理器模块读取 AFDX 终端芯片中 FPGA 芯片中的内置处理器的寄存器状态和物理层网络芯片的寄存器状态，并与故障模型数据库中的寄存器值进行比较，测试 AFDX 终端接口是否正常。

8. 根据权利要求 4 所述一种机载综合数据加载传输装置，其特征在于所述检测故障具体为：在主处理器模块内置的 DDR2 内存、FLASH 和固态存储器中指定位置写入固定长度的数据，并读取后与原数据进行比较，测试内存状态、FLASH 状态、固态存储器状态是否正常。

9. 根据权利要求 4 所述一种机载综合数据加载传输装置，其特征在于所述检测故障具体为：通过 AFDX 终端的 FPGA 芯片与音视频编码 FPGA 电路自带的温度传感器实时向结点温度寄存器输出结点温度数值，AFDX 终端的 FPGA 芯片与音视频编码 FPGA 电路的温度检测逻辑会实时读取结点温度寄存器中的温度值并上报主处理器，并与故障模型数据库中的温度阈值进行比较，测试 AFDX 终端的 FPGA 芯片与音视频编码 FPGA 电路的温度是否超出系统的承受范围。

一种机载综合数据加载传输装置

技术领域

[0001] 本发明涉及航空电子网络技术,特别是一种机载数据加载传输装置。

背景技术

[0002] 数据加载传输装置 (DTD) 是航空电子系统中重要部件,主要用于飞行任务数据的加卸载、数字地图数据的存储、以及其他飞行相关数据的存储。图 1 给出了原有的机载数据加载传输装置示意图,原有的 DTD 装置一般由数据传输卡 (DTC) 和 DTD 机箱组成,DTC 卡为一个独立的盒式结构,安装在 DTD 机箱内,采用点对点的以太网进行地图数据的加载,采用符合 EIA RS422 标准的串行接口进行任务计划数据的加载,采用 IDE 接口与地面站进行数据传输。这种点对点的专用通信接口定义,降低了软件的可重用性和系统的稳定性,增加了系统开发成本和维护成本。且 IDE 固态存储设备的读写速度只有 12Mbps 左右,已经越来越难以满足系统对数据加载和记录的速度要求。原有的数据传输装置,由于设计思想和技术条件所限,装置功能单一,对故障检测和故障隔离的测试性设计考虑较少或根本没有考虑,使得用户无法获知功能电路级的状态,不方便用户对系统运行情况和系统故障进行监测。

[0003] 随着系统综合化水平的提高,为了确保航空电子系统技术性能,提高系统可用性、降低系统生命周期费用,要求系统设计必须采用开放式的航空电子系统结构、鼓励采用 COTS 技术、统一航空电子网络等。

发明内容

[0004] 为解决现有技术存在的缺陷,本发明的发明目的在于提供一种机载综合数据加载传输装置,能够减少专用通信链路种类、减少分立线缆重量、提高信息通道带宽,降低信号线布线复杂度,减少印刷电路板的布线面积,增加存储卡的存储容量,提高集成度、减少航电系统总线的压力,解决现有装置功能单一的问题。

[0005] 本发明的发明目的通过以下技术方案来实现:

[0006] 一种机载综合数据加载传输装置,包含 SRU(车间可更换单元)1,其特征在于所述 SRU1 用于数据的加卸载,包含主处理器模块、AFDX 终端模块、固态存储卡;

[0007] 所述主处理器模块实现整个装置的数据管理、数据通信、接口管理、指令收发,支持 SATA、PCI、PCI-Express、IIC 总线协议;

[0008] 所述 AFDX 终端模块采用 FPGA 芯片作为内置处理器,用于终端数据发送、终端数据接收及与主机接口逻辑,并通过 PCI 总线与主处理器模块进行数据通信,通过 AFDX 总线同外围设备进行数据通信;

[0009] 所述固态存储卡为 SATA2.0 接口的可插拔 CFast 固态存储卡,通过 SATA 总线与主处理器模块相连,用于执行数据加载与记录功能。

[0010] 进一步,还包含 SRU2,所述 SUR2 用于音视频数据处理,包含音频解码电路、视频转换解码电路、音视频编码 FPGA 电路;

[0011] 所述视频转换解码电路采集通过 SRU1 与 SRU2 互联的 XMC 连接器进入 SRU2 的音

视频信号中的多路视频信号,转换为并行数字信号后输出到音视频编码 FPGA 电路;

[0012] 所述音频解码电路用于采集通过 SRU1 与 SRU2 互联的 XMC 连接器进入 SRU2 的音视频信号中的音频信号,转换为串行数字信号后输出到音视频编码 FPGA 电路;

[0013] 所述音视频编码 FPGA 电路包含压缩编码模块,对音频数字信号、视频数字信号进行压缩编码,将压缩后的码流数据通过 PCI-Express x1 接口传输到 SRU1。

[0014] 进一步,所述 SRU2 中还包含 DDR2 存储器、电源转换电路、调试接口模块;

[0015] 所述 DDR2 存储器用于在音视频编码过程中高速海量音视频和编码后数据的缓存;

[0016] 所述电源转换电路为各功能电路的正常工作提供匹配的电压电流输出的电源转换电路;

[0017] 所述调试接口模块用于音视频编码 FPGA 电路的更新和音视频编码 FPGA 电路内部嵌入式处理器的运行监控。

[0018] 进一步,所述 SRU1 中包含电源模块,所述电源模块将外部电源通过稳压、滤波、DC-DC 电路转换成 5V 内部电源输出给 SRU1 与 SRU2。

[0019] 进一步,所述主处理器模块还用于检测故障,主处理器模块将采集到的各功能模块的数值与内置在主处理器模块中的故障模型数据库中的数值比较,以判断各功能模块是否工作正常。

[0020] 进一步,所述检测故障具体为:在 IIC 总线上安装电压测量芯片,采集二次电源电压,主处理器模块通过 IIC 总线可以实时检测到机载综合数据加载传输装置的多种电压的数值,并与故障模型数据库中的电压阈值进行比较,测试各功能电路的电源是否正常。

[0021] 进一步,所述检测故障具体为:在 SRU2 上的音视频编码 FPGA 电路中的设置音视频输入信号判断逻辑模块,用于检测是否有音视频输入信号,通过分别对视频转换解码电路的行场同步信号和音频解码芯片的 I2S 信号进行检测判断,并实时上报主处理器以检测是否有音视频输入信号。

[0022] 进一步,所述检测故障具体为:主处理器模块读取 AFDX 终端芯片中 FPGA 芯片中的内置处理器的寄存器状态和物理层网络芯片的寄存器状态,并与故障模型数据库中的寄存器值进行比较,测试 AFDX 终端接口是否正常。

[0023] 进一步,所述检测故障具体为:在主处理器模块内置的 DDR2 内存、FLASH 和固态存储器中指定位置写入固定长度的数据,并读取后与原数据进行比较,测试内存状态、FLASH 状态、固态存储器状态是否正常。

[0024] 进一步,所述检测故障具体为:通过 AFDX 终端的 FPGA 芯片与音视频编码 FPGA 电路自带的温度传感器实时向结点温度寄存器输出结点温度数值,AFDX 终端的 FPGA 芯片与音视频编码 FPGA 电路的温度检测逻辑会实时读取结点温度寄存器中的温度值并上报主处理器,并与故障模型数据库中的温度阈值进行比较,测试 AFDX 终端的 FPGA 芯片与音视频编码 FPGA 电路的温度是否超出系统的承受范围。

[0025] 与现有技术相比,本发明的有益效果在于 AFDX 接口替代了原有数据传输装置的专用通信链路,SATA 接口替代了原有数据传输装置使用的 IDE 接口,以及 PCI-Express 等高速串行总线的使用,都大大降低了信号线布线复杂度,提高了航空电子系统的可靠性和可维护性。在设计中采用的 CFast 卡,使得存储卡的重量大大减轻,读写速度由原来的 12Mbps

提高到 130Mbps。它在原有功能基础上综合了音视频压缩、记录功能,完成对多功能显示器(MFD)和综合控制管理设备的音视频信号的编码记录。为了提高测试性,在装置内部利用部分元器件的多余硬件和软件资源,或在不增加布板面积的前提下,设计了用于自测试的电路,以检测故障、监测自身运行状况。对各个二次电源电压值、音视频输入信号、AFDX 端口状态、CPU 内存状态、FLASH 存储数据校验、CFast 存储数据校验、FPGA 结点温度等关键测试项进行机内测试(BIT)。并根据功能特点和常见故障模式,分别采用上电 BIT、周期 BIT 和维护 BIT,实现了故障检测和故障隔离功能。本装置不需要做原理架构上的修改,就可以移植到其他采用 AFDX 总线架构的飞机航电系统中,适用范围广,具有显著的市场前景和经济效益。

附图说明

[0026] 图 1 是原有的机载数据加载传输装置示意图

[0027] 图 2 是本发明一种机载综合数据加载传输装置逻辑结构示意图

[0028] 图 3 是本发明一种机载综合数据加载传输装置的功能模块动态关系图

具体实施方式

[0029] 下面结合附图 2 对本发明作进一步的详细描述。

[0030] 从图 2 可以看出,本发明设计了全新的机载数据加载传输装置的架构,包含 SRU1 和 SRU2,SRU1 中的主处理器(CPU)模块通过 AFDX 总线同其他航空电子设备进行数据通信,CPU 直接通过 SATA 接口访问固态存储器,CPU 直接通过 PCI-Express 接口访问音视频编码 FPGA,CPU 通过多余的硬件和软件资源实现机内测试,提高了飞行任务数据的加载速度,扩展了数据加载传输装置的视频与音频数据的压缩、记录和存储功能,增强了装置的测试性能。SRU1 和 SRU2 之间采用 PCI-Express 高速串行总线连接,SRU1 和可插拔 CFast 卡之间采用 SATA 高速串行总线连接,整个装置通过千兆 AFDX 总线与航空电子系统的其他设备互相连。

[0031] 下面描述该设计的工作原理和实现过程。

[0032] 本装置自带电源模块(PSM)供电,可将外部电源通过稳压、滤波、DC-DC 电路转换成 5V 内部电源输出给 SRU1 与 SRU2。上电后 SRU1 和 SRU2 会分别完成初始化。

[0033] SRU1 的主处理器为 Freescale 的高集成度、高性能、低功耗的嵌入式 CPU,集成了 e300c4s 内核,具有 DDR2SDRAM 控制器,两路三速率以太网接口,32-bit 局部总线,32-bit PCI 总线,USB2.0 控制器,2 路 IIC 接口,4 通道 DMA 控制器,两路 PCIe x1 总线接口,两路 SATA 总线接口,内核主频高达 800MHz,在应用中芯片功耗小于 3 瓦。与以往的数据加载装置中的主处理器相比,这款 CPU 的接口类型丰富,处理能力强大,低功耗。CPU 实现整个装置的数据管理、数据通信、接口管理、指令收发,其操作系统为 VxWorks,CPU 启动程序和应用程序分别驻留在 Bootrom 和 FLASH 中。CPU 通过离散量通信命令执行音视频记录及工作状态指示功能,SRU1 上的 AFDX 终端模块通过 PCI 总线与 CPU 进行数据通信,AFDX 终端模块由 FPGA 电路实现,包括终端数据发送、终端数据接收及与主机接口逻辑等功能模块,为提高装置的机上通信可靠性,AFDX 采用了双余度备份技术,两路 AFDX 网络相互独立、互为备份。

[0034] SRU1 自带一块 SATA2.0 接口的可插拔 CFast 固态存储卡,在进行数据存储访问时,

CFast 卡的读写速率不小于 130Mbps(max),可快速执行数据加载与记录功能、音视频压缩数据实时存储功能。CFast 固态存储卡便于操作人员插拔、携带以及与地面站进行数据传输。

[0035] SRU2 电路由音频解码电路、视频转换解码电路、音视频编码 FPGA 电路、DDR2 存储器、电源转换电路、调试接口等功能电路组成。多路音视频信号首先通过机箱连接器进入综合数据加载传输装置,然后经过 SRU1 的对外接口进入 SRU1 之上的防雷击保护电路,之后通过 SRU1 与 SRU2 互联的 XMC 连接器进入 SRU2 的多路音视频转换解码电路;多路视频信号经过视频转换解码电路转换为 24bit RGB 格式的并行数字信号后,输入音视频编码 FPGA 电路;音频信号经过音频解码电路转换为 I2S 串行数字信号后,输入音视频编码 FPGA 电路;音视频编码 FPGA 电路对音视频信号进行压缩编码,将压缩后的码流数据通过 PCI-Express x1 接口传输到 SRU1。

[0036] 为了提高测试性,在装置内部利用部分元器件的多余硬件和软件资源,或在不增加布板面积的前提下,设计了用于自测试的电路,以检测故障、监测自身运行状况。对各个二次电源电压值、音视频输入信号、AFDX 端口状态、CPU 内存状态、FLASH 存储数据校验、CFast 存储数据校验、FPGA 结点温度等关键测试项进行机内测试 (BIT)。并根据功能特点和常见故障模式,分别采用上电 BIT、周期 BIT 和维护 BIT,实现了故障检测和故障隔离功能,具体为:

[0037] 为了检测二次电源电压值,采用了基于 IIC 接口的电压测量芯片,CPU 通过 IIC 总线可是同时实时检测综合数据加载传输装置的多种电压的数值,并在 CPU 内部与期望的电压阈值进行比较,测试各功能电路的电源是否正常。

[0038] 为了检测是否有音视频输入信号,SRU2 上的 FPGA 上设计了音视频输入信号判断逻辑,分别对视频转换解码芯片的行场同步信号和音频解码芯片的 I2S 信号进行检测判断,并实时上报 CPU。

[0039] 为了检测 AFDX 端口状态,中央处理器需要读取 AFDX 终端 FPGA 中的内置处理器的寄存器状态和物理层网络芯片的寄存器状态,并与期望的寄存器值进行比较,测试 AFDX 终端接口是否正常。

[0040] 为了检测 CPU 内存状态、FLASH 状态、Cfast 固态存储器状态,中央处理器需要向 DDR2 内存、FLASH 和固态存储器中指定位置写入固定长度的数据,并读取后与原数据进行比较,测试 CPU 内存状态、FLASH 状态、固态存储器状态是否正常。

[0041] 为了检测 FPGA 结点温度,我们设计了 FPGA 温度检测逻辑,FPGA 自带的温度传感器会实时向结点温度寄存器输出结点温度数值,FPGA 温度检测逻辑会实时读取结点温度寄存器中的温度值并上报中央处理器,并在 CPU 内部与期望的温度阈值进行比较,测试 FPGA 的温度是否超出系统的承受范围。

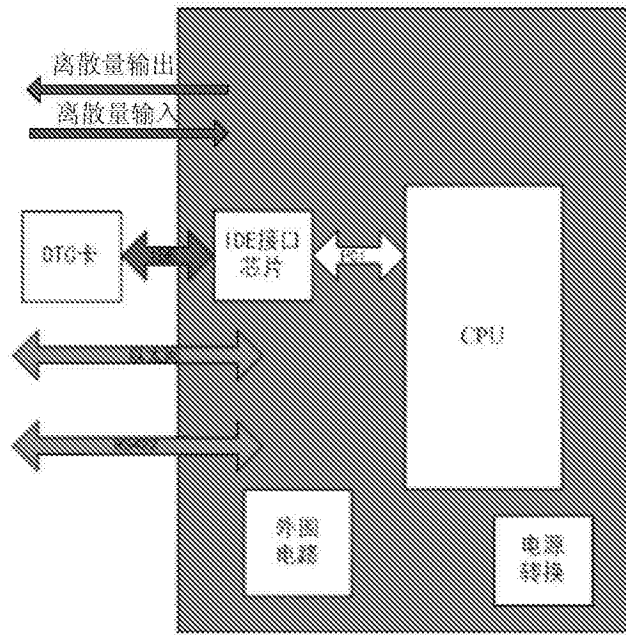


图 1

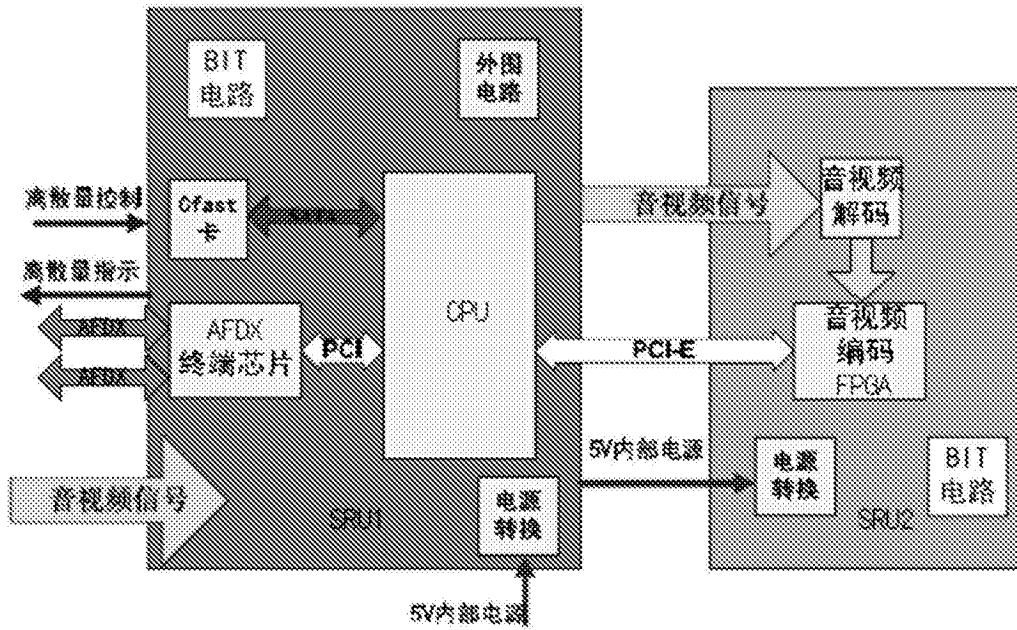


图 2

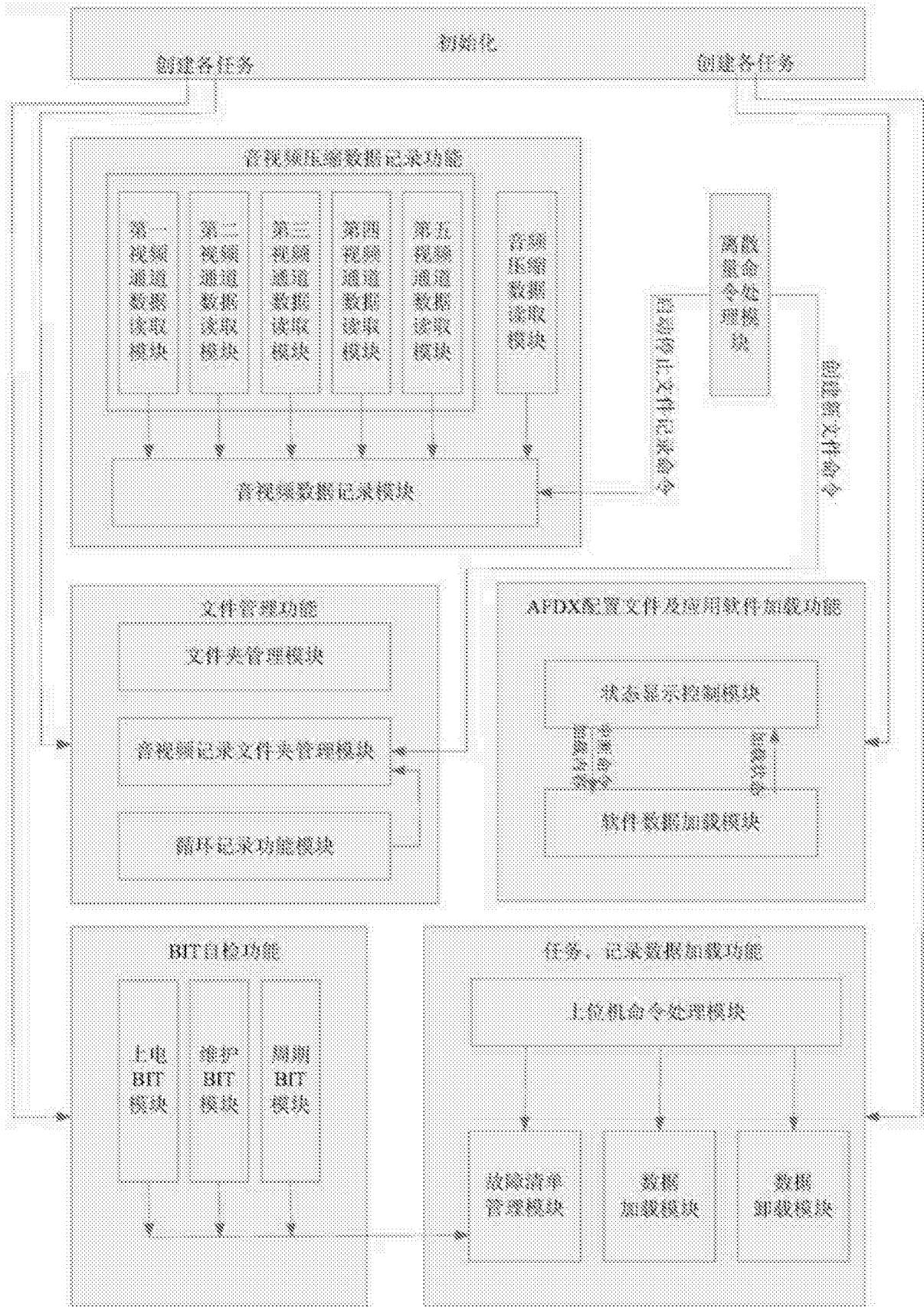


图 3