

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成31年1月31日(2019.1.31)

【公開番号】特開2017-107947(P2017-107947A)

【公開日】平成29年6月15日(2017.6.15)

【年通号数】公開・登録公報2017-022

【出願番号】特願2015-239619(P2015-239619)

【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/28 (2006.01)

H 0 1 L 29/47 (2006.01)

H 0 1 L 29/872 (2006.01)

H 0 1 L 29/417 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 21/8234 (2006.01)

H 0 1 L 27/088 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 27/06 (2006.01)

【 F I 】

H 0 1 L 29/78 6 1 6 V

H 0 1 L 21/28 3 0 1 R

H 0 1 L 29/48 M

H 0 1 L 29/50 M

H 0 1 L 29/78 6 1 8 B

H 0 1 L 29/78 6 1 8 A

H 0 1 L 29/78 6 2 7 G

H 0 1 L 29/78 6 1 6 K

H 0 1 L 29/78 6 2 7 E

H 0 1 L 29/78 6 1 3 A

H 0 1 L 27/08 1 0 2 D

H 0 1 L 27/08 3 3 1 E

H 0 1 L 27/08 3 2 1 F

H 0 1 L 27/06 1 0 2 A

【手続補正書】

【提出日】平成30年12月7日(2018.12.7)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

基材と、

前記基材上に形成され、自然酸化膜が除去された真性半導体のシリコン層と、

前記シリコン層上に離間して形成された一対の金 (Au) 層または白金 (Pt) 層と、

前記一対の金 (Au) 層または白金 (Pt) 層の間の前記シリコン層上に、ゲート絶縁

膜を介して形成されたゲート電極と、を備え、

前記シリコン層と前記金 (Au) 層または白金 (Pt) 層との間はショットキー接合であり、

前記金 (Au) 層または白金 (Pt) 層の仕事関数が 4.5 [eV] 以上である、
ことを特徴とする半導体装置。

【請求項 2】

基材と、

前記基材上に形成され、自然酸化膜が除去された真性半導体のシリコン層と、

前記シリコン層上に離間して形成された一对の金 (Au) 層または白金 (Pt) 層と、

前記一对の金 (Au) 層または白金 (Pt) 層の間の前記シリコン層上に、ゲート絶縁膜を介して形成されたゲート電極と、を備え、

ネオン (Ne) スパッタリングで形成されたアモルファスシリコンをレーザーアニールで結晶化した、結晶粒径が数十 nm ~ 数百 nm のポリシリコンで形成された前記シリコン層と、前記金 (Au) 層または白金 (Pt) 層と、の間はショットキー接合であり、

前記金 (Au) 層または白金 (Pt) 層の仕事関数が 4.5 [eV] 以上である、
ことを特徴とする半導体装置。

【請求項 3】

金 (Au) 層または白金 (Pt) 層は、自然酸化膜が除去されたシリコン層の表面上に設けられた真空蒸着層である、

ことを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

金 (Au) 層または白金 (Pt) 層の仕事関数と、シリコン層の電子親和力に当該シリコン層の導電帯と価電子帯の間のバンドギャップと、の差が、略 0.3 [eV] より小さい、

ことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

基材と、

前記基材上に形成された真性半導体のシリコン層と、

前記シリコン層上に離間して形成された一对の金 (Au) 層または白金 (Pt) 層と、

前記一对の金 (Au) 層または白金 (Pt) 層の間の前記シリコン層上に、ゲート絶縁膜を介して形成されたゲート電極と、を備え、

前記シリコン層と前記金 (Au) 層または白金 (Pt) 層との間はショットキー接合であり、

前記金 (Au) 層または白金 (Pt) 層の仕事関数が 4.5 [eV] 以上であり、

前記金 (Au) 層または白金 (Pt) 層をソース/ドレインとし、前記シリコン層、前記金 (Au) 層または白金 (Pt) 層及び前記ゲート電極により薄膜トランジスタが構成された半導体装置を備え、

前記薄膜トランジスタによって駆動される、

ことを特徴とする電子機器。

【請求項 6】

基材と、

前記基材上の第一領域に形成された真性半導体の第一シリコン層と、 前記第一シリコン層上に離間して形成された一对の第一金 (Au) 層または白金 (Pt) 層と、前記一对の第一金 (Au) 層または白金 (Pt) 層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第一ゲート電極と、

前記基材上の第二領域に形成された真性半導体の第二シリコン層と、

前記第二シリコン層上に離間して形成された一对の第二金 (Au) 層または白金 (Pt) 層と、前記一对の第二金 (Au) 層または白金 (Pt) 層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第二ゲート電極と、
を備え、

前記第一シリコン層と前記第一金 (Au) 層または白金 (Pt) 層とがショットキー接合されており、

前記第一金 (Au) 層または白金 (Pt) 層の仕事関数が 4.5 [eV] 以上であり、

前記第二シリコン層と前記第二金 (Au) 層または白金 (Pt) 層とがショットキー接合されており、

前記第二金 (Au) 層または白金 (Pt) 層の仕事関数が 4.5 [eV] 未満である、ことを特徴とする半導体装置。

【請求項 7】

基材と、

前記基材上の第一領域に形成された真性半導体の第一シリコン層と、

前記第一シリコン層上に離間して形成された一对の第一金 (Au) 層または白金 (Pt) 層と、

前記一对の第一金 (Au) 層または白金 (Pt) 層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第一ゲート電極と、

前記基材上の第二領域に形成された真性半導体の第二シリコン層と、

前記第二シリコン層上に離間して形成された一对の第二金 (Au) 層または白金 (Pt) 層と、

前記一对の第二金 (Au) 層または白金 (Pt) 層の間の前記シリコン層上に、ゲート絶縁膜を介して形成された第二ゲート電極と、

前記基材上の第三領域に形成された真性半導体の第三シリコン層と、

前記第三シリコン層上に離間して形成された第三金 (Au) 層または白金 (Pt) 層及び第四金 (Au) 層または白金 (Pt) 層と、

を備え、

前記第一シリコン層と前記第一金 (Au) 層または白金 (Pt) 層とがショットキー接合されており、

前記第一金 (Au) 層または白金 (Pt) 層の仕事関数が 4.5 [eV] 以上であり、

前記第二シリコン層と前記第二金 (Au) 層または白金 (Pt) 層とがショットキー接合されており、

前記第二金 (Au) 層または白金 (Pt) 層の仕事関数が 4.5 [eV] 未満であり、

前記第三シリコン層と前記第三金 (Au) 層または白金 (Pt) 層とがショットキー接合されており、

前記第三金 (Au) 層または白金 (Pt) 層の仕事関数が 4.5 [eV] 以上であり、

前記第三シリコン層と前記第四金 (Au) 層または白金 (Pt) 層とがショットキー接合されており、

前記第四金 (Au) 層または白金 (Pt) 層の仕事関数が 4.5 [eV] 未満である、ことを特徴とする半導体装置。

【請求項 8】

基材上にアモルファスシリコンのシリコン層を積層する工程と、

青色半導体レーザーアニールで前記シリコン層をポリシリコンに結晶化する工程と、

金属の真空蒸着により、前記シリコン層の上に一对の金 (Au) 層または白金 (Pt) 層を離間形成する工程と、

前記一对の金 (Au) 層または白金 (Pt) 層の間の前記シリコン層上に、ゲート絶縁膜を介してゲート電極を形成する工程と、を含み、

前記シリコン層と前記金 (Au) 層または白金 (Pt) 層との間はショットキー接合であり、

前記金 (Au) 層または白金 (Pt) 層の仕事関数が 4.5 [eV] 以上である、ことを特徴とする半導体装置の製造方法。

【請求項 9】

シリコン層は、真性シリコン ($i\text{-Si}$) のネオン (Ne) スパッタリングによりアモルファスシリコンとして基材上に積層される、

ことを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項 10】

金（Au）層または白金（Pt）層の形成前に、ポリシリコンに結晶化されたシリコン層の表面の自然酸化膜を除去する工程を更に含む、

ことを特徴とする請求項8又は請求項9に記載の半導体装置の製造方法。

【請求項 11】

金（Au）層または白金（Pt）層の形成後に、シリコン層を水素化する工程を更に含む、

ことを特徴とする請求項8乃至請求項10の何れか一項に記載の半導体装置の製造方法。