



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0131502
(43) 공개일자 2018년12월10일

(51) 국제특허분류(Int. Cl.)

H01L 27/146 (2006.01)

(52) CPC특허분류

H01L 27/14692 (2013.01)

H01L 27/1461 (2013.01)

(21) 출원번호 10-2018-0062824

(22) 출원일자 2018년05월31일

심사청구일자 2018년05월31일

(30) 우선권주장

1020170067752 2017년05월31일 대한민국(KR)

(71) 출원인

세종대학교산학협력단

서울특별시 광진구 능동로 209 (군자동, 세종대학교)

(72) 발명자

정종완

서울특별시 동작구 서달로 91, 113동 1503호(흑석동, 흑석한강센터빌2차)

(74) 대리인

특허법인엠에이피에스

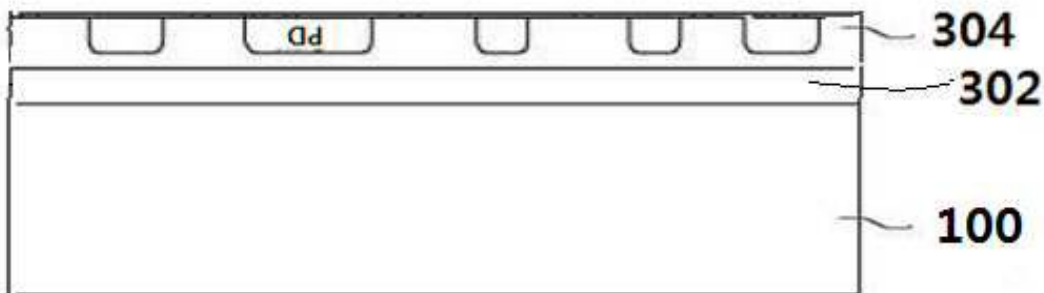
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 식각 식각 저지층을 이용한 후면 조사 이미지 센서의 제조 공정

(57) 요약

식각 저지층으로서 SiGe 층, p-타입 도핑된 SiGe 층, n-타입 도핑된 SiGe 층, 또는 SiC 에피 층을 이용하는 것을 포함하는, 후면 조사 이미지 센서의 제조 공정에 관한 것이다.

대표도 - 도1a



이 발명을 지원한 국가연구개발사업

과제고유번호 1711041148

부처명 미래창조과학부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발

연구과제명 SixGe1-x 및 III-V 선택에피성장장비 기반기술 연구

기 여 율 1/1

주관기관 세종대학교 산학협력단

연구기간 2015.06.01 ~ 2020.05.31

명세서

청구범위

청구항 1

반도체 기판의 일측에 식각 저지층을 형성하고;
 상기 식각 저지층 상에, 포토다이오드를 포함하는 후면 에피층을 형성하고;
 상기 후면 에피층에 금속 배선층을 형성하고;
 상기 금속 배선층 상에 지지 기판을 부착하고;
 상기 반도체 기판의 타측을 후면 그라인딩하여 상기 식각 저지층까지 상기 반도체 기판을 제거하고;
 상기 식각 저지층을 식각하여 제거하는 것
 을 포함하는, 후면 조사 이미지 센서의 제조 방법으로서,
 상기 식각 저지층은 SiGe 층, p-타입 도핑된 SiGe 층, n-타입 도핑된 SiGe 층, 또는 SiC 에피 층을 포함하는 것
 인,
 후면 조사 이미지 센서의 제조 방법.

청구항 2

제 1 항에 있어서,
 상기 식각 저지층으로서 SiGe 층, p-타입 도핑된 SiGe 층, n-타입 도핑된 SiGe 층, 또는 SiC 에피 층은 화학기
 상증착법(CVD) 또는 분자선 에피택시 (molecular beam epitaxy, MBE)에 의하여 에피택시 증착하여 형성되는 것
 인, 후면 조사 이미지 센서의 제조 방법.

청구항 3

제 1 항에 있어서,
 상기 식각 저지층의 두께는 10 nm 내지 1 μm인, 후면 조사 이미지 센서의 제조 방법.

청구항 4

제 1 항에 있어서,
 상기 상기 식각 저지층을 식각하여 제거한 후,
 상기 식각 저지층 상에 후면 패시베이션 층을 형성하고;
 상기 후면 에피층 상에 반사 방지층을 형성하고;
 상기 반사 방지층 상에 이미지 센서 층을 형성하는 것
 을 추가 포함하는,
 후면 조사 이미지 센서의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 식각 저지층으로서 SiGe 층, p-타입 도핑된 SiGe 층, 또는 n-타입 도핑된 SiGe 층에 포함되는 Ge의 양은 0% 초과 내지 50%인, 후면 조사 이미지 센서의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 반도체 기판이 p-타입인 경우 상기 식각 저지층은 p-타입 도핑된 SiGe 층 또는 SiC 에피 층을 포함하는 것이고,

상기 반도체 기판이 n-타입인 경우 상기 식각 저지층은 n-타입 도핑된 SiGe 층을 포함하는 것인,

후면 조사 이미지 센서의 제조 방법.

발명의 설명

기술 분야

[0001] 본원은, 식각 저지층으로서 SiGe 층, p-타입 도핑된 SiGe 층, n-타입 도핑된 SiGe 층, 또는 SiC 에피 층을 이용하는 것을 포함하는, 후면 조사 이미지 센서의 제조 공정에 관한 것이다.

배경 기술

[0002] 광(light)과 같은 방사(radiation)를 감지하는 데에 반도체 이미지 센서들이 이용된다. 상보형 금속산화반도체(complementary metal-oxide-semiconductor; CMOS) 이미지 센서(CMOS image sensor; CIS)들 및 전하결합 장치(charge-coupled device; CCD) 센서들은 디지털 스틸 카메라 또는 휴대폰 카메라 애플리케이션들과 같은 여러 애플리케이션들에서 광범위하게 이용된다. 이 장치들은 기판을 향하여 투사되는 방사를 흡수(즉, 감지)하고 감지된 방사를 전기 신호들로 변환하기 위해, 기판의 픽셀들(포토 다이오드들 및 트랜지스터들을 포함할 수 있음)의 어레이(array)를 이용한다.

[0003] 후면 조사(back side illuminated; BSI) 이미지 센서는 이미지 센서 장치의 한 유형이다. 상기 후면 조사 이미지 센서들은 후면으로부터의 광을 검출하도록 동작 가능하다. 후면 조사 이미지 센서의 공정 중에 후면 그라인딩(backside grinding) 공정이 있는데, 이 공정은 웨이퍼 본딩 후 후면을 그라인딩해서 갈아내는 공정이다. 이 공정에서 중요한 점은 뒷면 식각이 매우 균일하게 진행되어야 한다는 점이다. 불균일하게 식각이 되면, 후면 조사 이미지 센서에 조사되는 빛(후면에서 조사)의 흡수가 달라져서 픽셀간의 신호의 차이가 발생하게 된다. 일반적인 종래기술은 SOI 웨이퍼를 사용하거나, p+/p 에피 웨이퍼(epi wafer)를 사용하는 것이다. SOI 웨이퍼는 후면 식각 시 SiO₂에서 식각이 저지되는 것이나, SOI wafer의 가격이 비싸다는 단점이 있다. p+/p 에피 사용은 p+가 식각 저지층으로 작용하는데, 식각 저지 효과가 높지 않다는 단점이 있다.

[0004] 이와 관련하여, 대한민국 등록특허 제10-1738248호에는, 에피택셜층, 복수의 플러그 구조물들, 및 상호 접속 구조물을 포함하는 이미지를 캡처하기 위해 개선된 이미지 센서 및 이의 제조 방법에 관하여 개시하고 있다.

발명의 내용

해결하려는 과제

[0005] 본원은, 식각 저지층으로서 SiGe 층, p-타입 도핑된 SiGe 층, n-타입 도핑된 SiGe 층, 또는 SiC 에피 층을 포함하는 후면 조사 이미지 센서, 및 상기 후면 조사 이미지 센서 제조 공정을 제공하고자 한다.

[0006] 그러나, 본원이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0007] 본원의 일 측면은, 하기를 포함하는, 후면 조사 이미지 센서 제조 방법을 제공한다:
- [0008] 반도체 기관의 일측에 식각 저지층을 형성하고;
- [0009] 상기 식각 저지층 상에, 포토다이오드를 포함하는 후면 에피층을 형성하고;
- [0010] 상기 후면 에피층에 금속 배선층을 형성하고;
- [0011] 상기 금속 배선층 상에 지지 기관을 부착하고;
- [0012] 상기 반도체 기관의 타측을 후면 그라인딩하여 상기 식각 저지층까지 상기 반도체 기관을 제거하고;
- [0013] 상기 식각 저지층을 식각하여 제거함;
- [0014] 여기에서, 상기 식각 저지층은 SiGe 층, p-타입 도핑된 SiGe 층, n-타입 도핑된 SiGe 층, 또는 SiC 에피 층을 포함하는 것임.

발명의 효과

- [0015] 본원의 구현예들에 있어서, 후면 조사 이미지 센서의 후면 그라인딩(grinding) 공정에 있어서, 식각 저지층이 되도록 이미지 센서용 에피층을 성장할 때 SiGe를 성장시키고, 상기 SiGe 에피층 상에 후면 에피층으로서 p-타입 또는 n-타입 Si를 성장시킴으로써, 상기 후면 그라인딩 공정 시 상기 SiGe 에피층에서 식각이 저지되는 공정을 제공한다.
- [0016] 본원의 구현예들에 있어서, 상기 후면 그라인딩 공정 시, 식각 저지층으로서 종래의 p+/p 대신에 SiGe(p+도핑할 수 있음)/Si층을 에피택시 성장시킴으로써, 상기 SiGe(p+로 성장 시 도핑 가능함)는 Si와 습식용액으로 식각 시 식각율 차이가 매우 크기 때문에 종래의 p+/p 보다 훨씬 균일한 식각이 가능하다. 또한, SiGe(p+)/Si층의 SiGe 층에서 식각 저지가 되어 정밀하게 두께를 조절할 수 있다.
- [0017] 본원의 구현예들에 있어서, 상기 후면 조사 이미지 센서에 사용되는 반도체 기관의 타입에 따라, 상기 식각 저지층은 SiGe 층, p-타입 도핑된 SiGe 층, n-타입 도핑된 SiGe 층, 또는 SiC epi 층을 포함하도록 조절하여, 상기 반도체 기관의 후면 그라인딩 공정 시 균일한 식각이 가능하고, 정밀하게 두께를 조절할 수 있다.

도면의 간단한 설명

- [0019] 도 1a 내지 도 1f는, 본원의 일 구현예에 있어서, 후면 조사 이미지 센서의 제조 공정을 나타낸 모식도이다.
- 도 2a 및 도 2 b는, 본원의 일 구현예에 있어서, SiGe/Si 에피층 및 후면 조사 이미지 센서의 제조 공정을 나타낸 모식도이다.
- 도 3은, TMAH 용액 상에서 Si의 식각율을 나타낸 것이다.
- 도 4는, TMAH 용액 상에서 SiGe(20-50%)의 식각율을 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

- [0020] 아래에서는 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 실시예를 상세히 설명한다. 그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [0021] 본원 명세서 전체에서, 어떤 부분이 다른 부분과 “연결”되어 있다고 할 때, 이는 “직접적으로 연결”되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 “전기적으로 연결”되어 있는 경우도 포함한다.
- [0022] 본원 명세서 전체에서, 어떤 부재가 다른 부재 “상에” 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다.
- [0023] 본원 명세서 전체에서, 어떤 부분이 어떤 구성 요소를 “포함”한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성 요소를 더 포함할 수 있는 것을 의미한다. 본원 명세서 전체에서 사용되는 정도의 용어 “약”, “실질적으로” 등은 언급된 의미에 고유한 제조 및 물질 허용오차

가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다. 본원 명세서 전체에서 사용되는 정도의 용어 “~(하는) 단계” 또는 “~의 단계”는 “~를 위한 단계”를 의미하지 않는다.

- [0024] 본원 명세서 전체에서, 마쿠시 형식의 표현에 포함된 “이들의 조합(들)”의 용어는 마쿠시 형식의 표현에 기재된 구성 요소들로 이루어진 군에서 선택되는 하나 이상의 혼합 또는 조합을 의미하는 것으로서, 상기 구성 요소들로 이루어진 군에서 선택되는 하나 이상을 포함하는 것을 의미한다.
- [0025] 본원 명세서 전체에서, “A 및/또는 B”의 기재는 “A 또는 B, 또는 A 및 B”를 의미한다.
- [0026] 본원 명세서 전체에서, “후면 조사 이미지 센서(backside illuminated image sensor)”는 이미지 센서 장치의 한 유형으로서, 후면으로부터 입사되는(감지되는) 광을 검출하는 이미지 센서를 의미한다.
- [0028] 이하, 첨부된 도면을 참조하여 본원의 구현예 및 실시예를 상세히 설명한다. 그러나, 본원이 이러한 구현예 및 실시예와 도면에 제한되지 않을 수 있다.
- [0030] 본원의 일 측면은, 하기를 포함하는, 후면 조사 이미지 센서 제조 방법을 제공한다:
- [0031] 반도체 기판의 일측에 식각 저지층을 형성하고;
- [0032] 상기 식각 저지층 상에, 포토다이오드를 포함하는 후면 에피층을 형성하고;
- [0033] 상기 후면 에피층에 금속 배선층을 형성하고;
- [0034] 상기 금속 배선층 상에 지지 기판을 부착하고;
- [0035] 상기 반도체 기판의 타측을 후면 그라인딩하여 상기 식각 저지층까지 상기 반도체 기판을 제거하고;
- [0036] 상기 식각 저지층을 식각하여 제거함;
- [0037] 여기에서, 상기 식각 저지층은 SiGe 층, p-타입 도핑된 SiGe 층, n-타입
- [0038] 도핑된 SiGe 층, 또는 SiC 에피 층을 포함하는 것임.
- [0039] 본원의 일 구현예에 있어서, 상기 후면 조사 이미지 센서의 제조 과정 중 상기 후면 그라인딩(grinding) 공정에 있어서, 식각 저지층이 되도록 이미지센서용 에피층을 성장할 때 SiGe를 성장시키고, 상기 SiGe 에피층 상에 활성(active)층으로서 p- 타입 또는 n- 타입 Si를 성장시킴으로써, 상기 후면 그라인딩 공정 시 상기 SiGe 에피층에서 식각이 저지되도록 할 수 있으나, 이에 제한되는 것은 아니다.
- [0040] 도 1a 내지 도 1f는, 본원의 일 구현예에 있어서, 후면 조사 이미지 센서의 제조 방법의 공정을 나타낸 모식도이다.
- [0041] 도 2a 및 도 2b는, 본원의 일 구현예에 있어서, SiGe/Si 에피층 및 후면 조사 이미지 센서의 제조 공정을 나타낸 모식도이다.
- [0042] 도 1을 참고하면, 본원의 일 구현예에 따른 후면 조사 이미지 센서의 제조 방법에 있어서, 우선, 반도체 기판(100)의 일측에 식각 저지층(302)을 형성하고; 상기 식각 저지층(302) 상에, 포토다이오드를 포함하는 후면 에피층(304)을 형성한다(도 1a).
- [0043] 이어서, 상기 후면 에피층(304)에 금속 배선층(306)을 형성하고(도 1b), 상기 금속 배선층(306) 상에 지지 기판(310)을 부착하고(도 1c), 상기 소자를 뒤집어 상기 반도체 기판(100)의 타측을 후면 그라인딩하여(도 1d) 상기 식각 저지층(302)까지 상기 반도체 기판(100)을 제거한다(도 1e).
- [0044] 이후, 상기 식각 저지층(302)을 식각하여 제거한 후 노출된 후면 에피층(304) 상에 후면 패시베이션 층(308)을 형성하고, 상기 후면 패시베이션 층 상에 반사 방지층(미도시)을 형성하고, 상기 반사 방지층 상에 이미지 센서 층(312)을 형성함으로써, 후면 조사 이미지 센서를 형성한다. 상기 이미지 센서 층(312)은 컬러 필터(314) 및 마이크로렌즈(316) 등을 포함할 수 있다.
- [0045] 본원의 일 구현예에 있어서, 상기 식각 저지층은 SiGe 층, p-타입 도핑된 SiGe 층, n-타입 도핑된 SiGe 층, 또

는 SiC 에피 층을 포함하는 것이다.

- [0046] 본원의 일 구현예에 있어서, 상기 반도체 기판이 p-타입인 경우 상기 식각 저지층은 p-타입 도핑된 SiGe 층 또는 SiC 에피 층을 포함하는 것이고, 상기 반도체 기판이 n-타입인 경우 상기 식각 저지층은 n-타입 도핑된 SiGe 층을 포함하는 것일 수 있다.
- [0047] 본원의 일 구현예에 있어서, 상기 후면 에피층은 p-타입 SiGe 층 또는 n-타입 도핑된 Si 층을 포함하는 것일 수 있다.
- [0048] 도 1 및 도 2에 나타난 바와 같이, 본원의 일 구현예에 있어서, 후면 조사 이미지 센서의 제조 공정 중, 에피 성장 및 어닐링(epi growth & annealing) 공정에서, 웨이퍼 상에 SiGe 에피층을 성장시키고, 상기 SiGe 에피층 상에 Si 에피층을 성장시켜 식각 저지층을 형성한다.
- [0049] 본원의 일 구현예에 있어서, 도 2를 참조하면, 상기 후면 그라인딩 공정 시, 식각 저지층으로서 종래의 p+/p 대신에 SiGe(p+도핑할 수 있음)/Si 층을 에피택시(epitaxy) 성장시킴으로써, 상기 SiGe(p+로 성장 시 도핑 가능함)는 Si와 습식용액으로 식각 시 식각율 차이가 매우 크기 때문에 종래의 p+/p 보다 훨씬 균일한 식각이 가능하다. 또한, SiGe(p+)/Si 층의 SiGe층에서 식각 저지가 되어 정밀하게 두께를 조절할 수 있다.
- [0050] 본원의 일 구현예에 있어서, 도 2를 참조하면, 상기 후면 조사 이미지 센서는 이미지 센서용 에피 웨이퍼(epi wafer) 성장 시 SiGe 합금 반도체층을 성장시키고, 상기 SiGe층 상에 포토다이오드(photodiode)가 형성되는 p-타입 또는 n-타입 에피층을 성장시키는 것일 수 있다.
- [0051] 본원의 일 구현예에 있어서, 상기 식각 저지층으로서 SiGe 층, p-타입 도핑된 SiGe 층, 또는 n-타입 도핑된 SiGe 층에 포함되는 Ge의 양(농도)은 0% 초과 내지 50%이다. 상기 Ge의 농도가 증가할수록 SiGe/Si의 식각률의 차이가 증가한다. 예를 들어, 상기 식각 저지층으로서 SiGe 층, p-타입 도핑된 SiGe 층, 또는 n-타입 도핑된 SiGe 층에 포함되는 Ge의 양(농도)은 0% 초과 내지 50%, 0% 초과 내지 40%, 0% 초과 내지 30%, 0% 초과 내지 20%, 또는 0% 초과 내지 10%이다.
- [0052] 본원의 일 구현예에 있어서, 상기 여러 타입의 SiGe 합금 반도체층에서 Ge의 양은 0% 초과에서 20%까지 변화시킬 수 있으며, 상기 Ge의 양이 많아질수록 변형(strain) 크기는 커지고 이러한 변형이 이완(relaxation)되는 최대 임계두께가 작아지므로 가능한 상기 Ge의 양을 상기 범위에서 적게 조절하는 것이 바람직하다.
- [0053] 본원의 일 구현예에 있어서, 상기 여러 타입의 SiGe 층의 두께는 임계두께(이완이 안되는 최대 두께) 이하로 성장시키는 것일 수 있다.
- [0054] 본원의 일 구현예에 있어서, 상기 식각 저지층의 두께는 약 10 nm 내지 약 1 μm 인 것일 수 있다. 예를 들어, 상기 여러 타입의 SiGe 층의 두께는 약 10 nm 내지 약 1 μm , 약 10 nm 내지 약 800 nm, 약 10 nm 내지 약 600 nm, 약 10 nm 내지 약 400 nm, 약 10 nm 내지 약 200 nm, 약 10 nm 내지 약 100 nm, 약 10 nm 내지 약 50 nm, 약 10 nm 내지 약 30 nm, 약 30 nm 내지 약 1 μm , 약 50 nm 내지 약 1 μm , 약 100 nm 내지 약 1 μm , 약 200 nm 내지 약 1 μm , 약 400 nm 내지 약 1 μm , 약 600 nm 내지 약 1 μm , 또는 약 800 nm 내지 약 1 μm 인 것일 수 있으나, 이에 제한되지 않을 수 있다.
- [0055] 본원의 일 구현예에 있어서, 상기 여러 타입의 SiGe 층의 두께는 상기 SiGe의 Ge 농도에 의한 Si 상에 결정결함 없이 성장할 수 있는 임계두께에 따라 결정되는 것일 수 있고, 따라서 상기 SiGe의 성장 가능한 두께는 상기 Ge의 농도에 따라 결정될 수 있다. 예를 들어, 상기 Ge가 약 10%일 경우 상기 임계두께는 약 800 nm일 수 있다.
- [0056] 본원의 일 구현예에 있어서, 상기 여러 타입의 SiGe 층을 성장시킬 시, n-타입 또는 p-타입의 불순물을 추가하여 도핑을 하거나, 도핑하지 않을 수 있다.
- [0057] 본원의 일 구현예에 있어서, 상기 식각 공정은 습식 용액을 사용하여 수행되는 것일 수 있다. 예를 들어, 상기 습식 용액은 수산화칼륨(KOH), 테트라메틸암모늄 히드록시드(tetramethylammonium hydroxide, TMAH), 및 이들의 조합들로 이루어진 군으로부터 선택되는 알칼리 용액을 포함하는 것일 수 있고, 바람직하게는 식각율이 느린 테트라메틸암모늄 히드록시드를 사용하여 수행되는 것일 수 있으나, 이에 제한되지 않을 수 있다.
- [0058] 본원의 일 구현예에 있어서, 상기 습식 용액을 이용하여 식각 공정을 수행할 경우, 상기 습식 용액이 상기 Si 에피층만을 식각하고, 상기 SiGe층의 Ge에 의해 식각이 저지되어 균일한 식각을 할 수 있다.
- [0059] 본원의 일 구현예에 있어서, 상기 습식 용액으로서 상기 TMAH를 사용할 경우, 상기 TMAH는 상기 SiGe층의 상기 Ge이 100%인 경우는 식각이 전혀 수행되지 않으므로 상기 SiGe층의 Si 내에 Ge의 양이 증가할수록 식각율이 낮

아질 수 있다. 다만, 상기 Ge의 농도가 높아지면 이완이 일어나는 두께가 얇아지므로 이것을 고려하여 상기 SiGe층의 상기 Ge농도와 SiGe층의 두께를 결정해야 한다.

[0060] 도 3은 TMAH 용액 상에서 Si의 식각율을 나타낸 것이고, 도 4는 TMAH 용액 상에서 SiGe(20-50%)의 식각율을 나타낸 것이다.

[0061] 도 3을 참조하면, 상기 25% TMAH 용액에서 스프레이(spray) 식의 경우, 60℃의 온도에서 식각하면 약 2,000 Å/min의 Si가 식각되는 것을 알 수 있었고, 도 4를 참조하면, SiGe(20%)의 경우 60℃에서 식각하면 80 Å/min의 식각율 나타내고, 30%의 SiGe의 경우 40 Å/min의 식각율을 나타낸다.

[0062] 본원의 일 구현예에 있어서, 상기 도 3 및 도 4에 나타낸 바와 같이, SiGe/Si의 식각율 차이는 Ge농도가 커지면 커질수록 커지는데, 20% Ge농도에서 SiGe은 ~80 Å/min (60℃, TMAH), Si은 약 2000 Å/min으로 약 25 배 정도이다 (p+ 식각 저지층과 같은 효과를 가짐). 또한 추가로 SiGe에 p+ 도핑을 한다면 즉 p+SiGe의 경우 식각율이 더 적어지므로 식각 저지(etch stop) 효과가 더욱 증가하여 식각율 차이가 더 커질 것이다. 즉, p+SiGe 식각 저지를 사용하면 식각 저지 효과가 더욱 커진다. 즉, 상기 SiGe와 Si의 식각율 차이가 크기 때문에 본원의 일 구현예에 따른 SiGe 에피층이 식각 저지층으로서 사용하는 것이 가능하다. 또한, 상기 SiGe가 도핑된 p 타입-SiGe 또는 n 타입-SiGe를 사용할 경우, 식각율은 더 차이날 수 있다.

[0063] 전술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

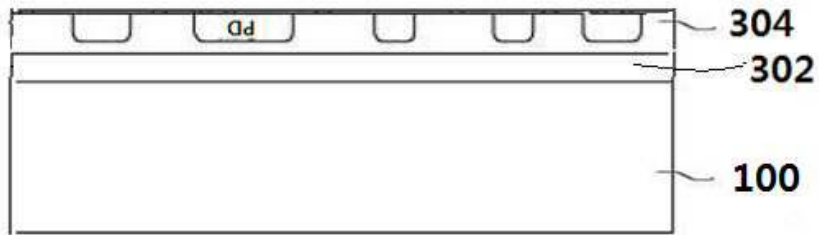
[0064] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

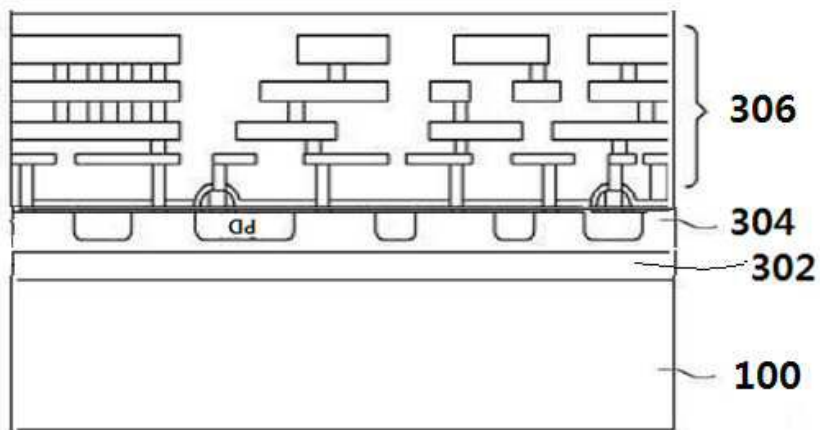
[0066] 100: 반도체 기판
302: 식각 저지 층
304: 포토다이오드를 포함하는 후면 에피 층
306: 금속 배선 층
308: 후면 패시베이션 층
310: 지지 기판
312: 이미지 센서 층
314: 컬러 필터
316: 마이크로렌즈

도면

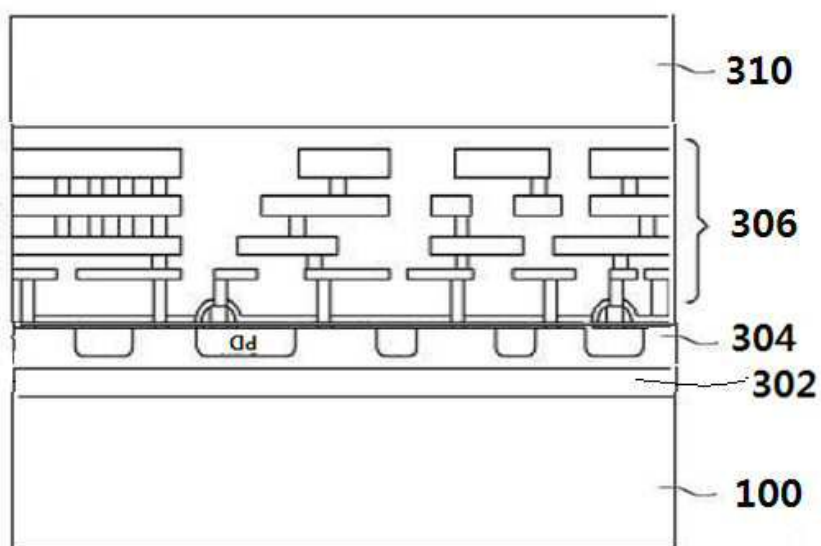
도면1a



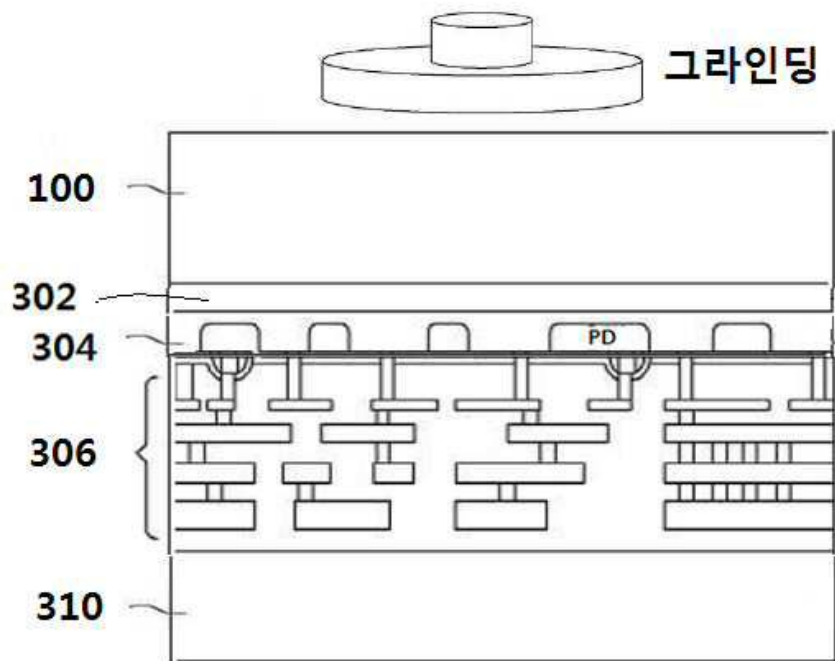
도면1b



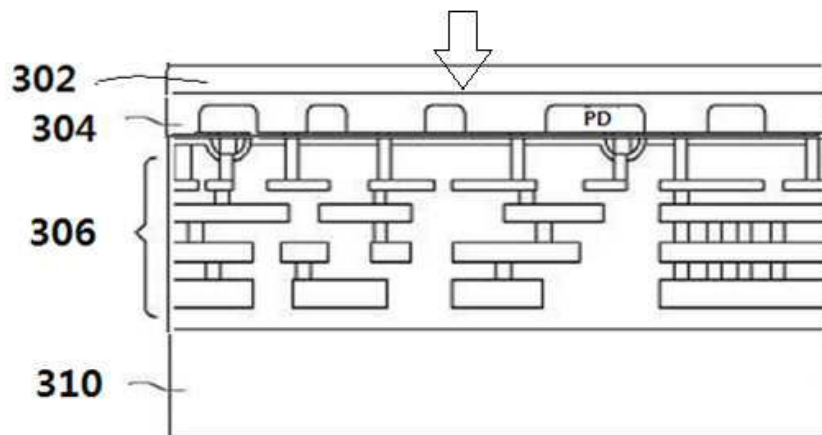
도면1c



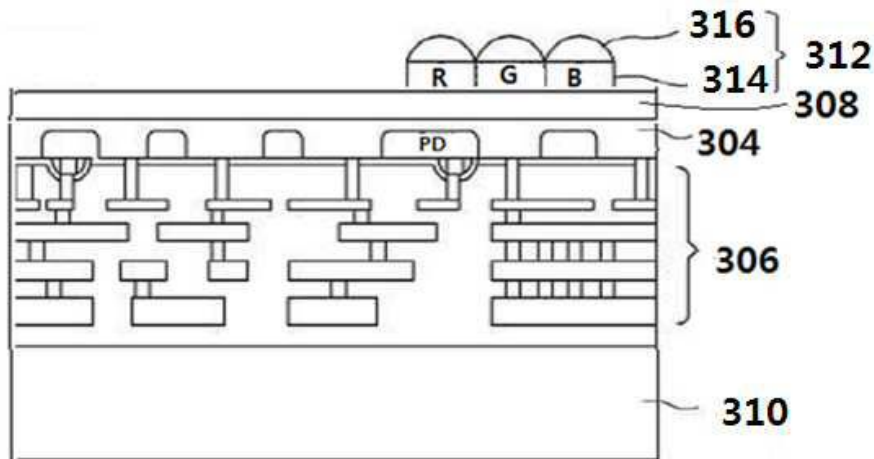
도면1d



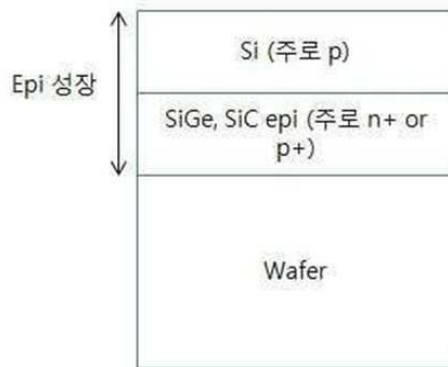
도면1e



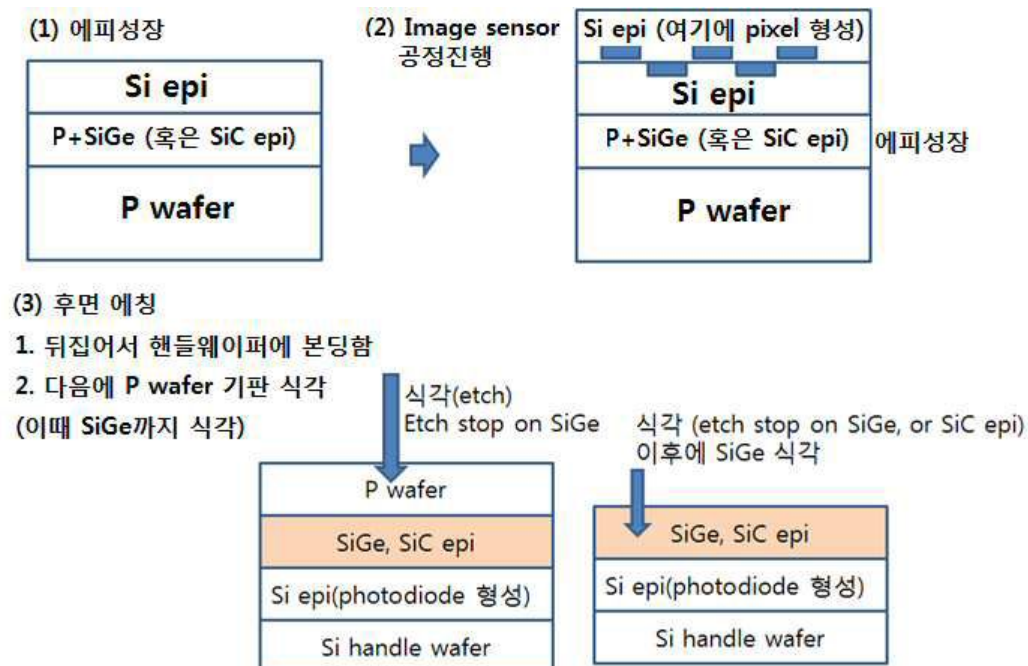
도면1f



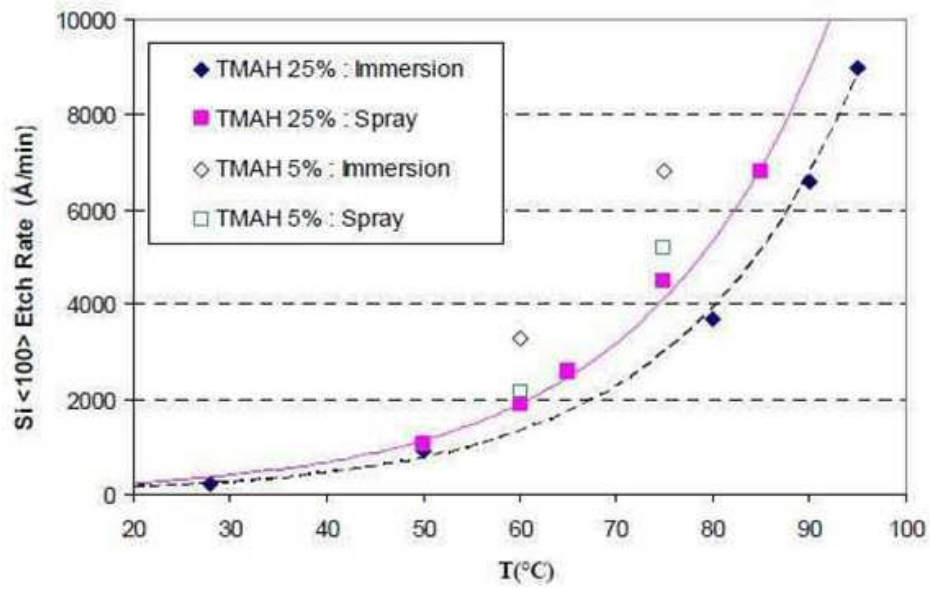
도면2a



도면2b



도면3



도면4

