

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

129494

Patent dodatkowy
do patentu nr _____

Zgłoszono: 80 06 20 (P. 225 135)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 81 12 24

Opis patentowy opublikowano: 1986 02 15

CZYTELNIĄ

Urzędu Patentowego
Polskiej Rzeczypospolitej Ludowej

Int. Cl.³
E05B 45/06

Twórcy wynalazku: Jacek Hemmerling, Bolesław Mikołajczak

Uprawniony z patentu: Politechnika Poznańska, Poznań (Polska)

Układ elektroniczny zamka ze zwłoką czasową

1

Przedmiotem wynalazku jest układ elektroniczny zamka ze zwłoką czasową, stosowany do zabezpieczania drzwi wejściowych pomieszczeń, takich jak mieszkania, sklepy i magazyny, zwłaszcza w obiektach wolnostojących.

W znanym z polskiego opisu patentowego nr 64 470 układzie elektronicznym zastosowano elementy ferrytotranzystorowe.

W innym rozwiązaniu układu elektronicznego, przedstawionym w polskim opisie patentowym nr 86 049, wykorzystano zasadę działania układu porównywującego.

Jeszcze inny układ elektroniczny, znany z polskiego opisu patentowego nr 83 254, skonstruowano z zastosowaniem licznika impulsów.

Znane układy elektroniczne systemów zabezpieczających są technicznie skomplikowane i odznaczają się niskim stopniem niezawodności działania.

Układ według wynalazku steruje współdziałaniem zamka bębnekowego z sygnalizatorem włamaniovym, przy czym współdziałanie to jest realizowane według funkcji logicznej. Zamek bębnekowy, poprzez fotokomórkę, zainstalowaną we wkładce bębnekowej, jest połączony z układem elektronicznym zwłocznym, który składa się z kombinacji połączeń następujących elementów logicznych: tranzystora wyprowadzającego, przerzutnika statycznego RS, tranzystora pośredniczącego, układu czasowego RC, układu Darlingtona, dzielnika napięcia oraz bramki jednowejsiowej, która

2

jest połączona z jednym z dwóch, połączonych szeregowo tranzystorów wyjściowych, sterujących sygnalizatorem włamaniovym.

Równocześnie wyjście bramki jednowejsiowej jest pośrednio połączone, poprzez generator pojedynczego impulsu, z drugim wejściem przerzutnika statycznego RS, w układzie pętli sprzężenia zwrotnego. Drugie wyjście przerzutnika statycznego RS jest połączone z bramką dwuwejściową, do której jest także przyłączony wyłącznik drzwiowy. Bramka dwuwejściowa steruje drugim tranzystorem wyjściowym.

Rozwiązanie według wynalazku cechuje się prostotą zastosowanych środków technicznych, niezawodnością działania oraz niskim kosztem realizacji.

Wynalazek zostanie bliżej objaśniony na przykładzie wykonania przedstawionym na rysunku, który jest schematem ideowym układu elektronicznego zamka.

Zamek bębnekowy ma fotokomórkę, zainstalowaną we wkładce bębnekowej, prostopadle do jego osi, składającą się z fotodiody **FD** i fototranzystora **FT**, który pośrednio, poprzez tranzystor wyprowadzający **T1**, jest połączony z wejściem **R** przerzutnika statycznego **Rs**. Wyjścia **Q** i $\bar{Q}$ przerzutnika statycznego **RS** są tak pośrednio połączone z układem dwóch, połączonych szeregowo, tranzystorów wyjściowych **T4** i **T5**, sterujących sygnalizatorem włamaniovym, że pomiędzy wyjście **Q** a

bazę pierwszego tranzystora wyjściowego **T4** jest włączony tranzystor pośredniczący **T2**, układ czasowy **R1C1**, dwa tranzystory połączone w układ Darlingtona **T3**, dzielnik napięcia **R2, R3, R4** i bramka jednoweściowa **EO2**, której wyjście jest równocześnie pośrednio połączone, poprzez generator pojedynczego impulsu **GPJ**, z wejściem **S** przerzutnika statycznego **RS**, oraz jednocześnie pomiędzy wejście **Q** a bazę drugiego tranzystora wyjściowego **T5** jest włączona bramka dwuwejściowa **EO1**. Drugie wejście tej bramki jest połączone wyłącznikiem drzwiowym **W1**. Współdziałanie zamka bębnekowego z sygnalizatorem włamaniovym jest realizowane według funkcji logicznej **NAND**. Po załączeniu napięcia zasilania **U_{CI}**, przerzutnik statyczny **RS** zostaje wyzerowany za pomocą generatora pojedynczego impulsu **GPJ**. Na wyjściu bramki dwuwejściowej **EO1** oraz bramki jednoweściowej **EO2** pojawia się sygnał logiczny „1”, wywołujący stan nasycenia w tranzystorach wyjściowych **T4** i **T5**. Wprowadzając klucz do wkładki bębnekowej odcina się tranzystor wyprowadzający **T1**, co powoduje pojawienie się sygnału logicznego „1” na wyjściu **Q** przerzutnika statycznego **RS**, a to z kolei powoduje podanie napięcia zasilania **U_{CI}** do układu czasowego **R1C1**, który zaczyna odmierzać zwłokę czasową niezbędną dla spokojnego otwierania drzwi. Jeśli w trakcie odmierzania zwłoki czasowej nastąpi otwarcie drzwi i wyłączenie napięcia zasilania **U_{CI}**, to układ elektroniczny zamka powraca do stanu początkowego. Zadziałanie sygnalizatora włamaniovego nastąpi w przypadku otwarcia drzwi (wyłączenie wyłącznika drzwiowego **W1** bez wyłączenia napięcia zasilania **U_{CI}** lub w przypadku przekroczenia zwłoki czasowej wyznaczanej przez układ czasowy **R1C1**. W pierwszym przypadku na wyjściu bramki dwuwejściowej **EO1** pojawi się sygnał logiczny „0”, powodujący zatkanie tranzystora wyjściowego **T5**, natomiast w drugim przypadku na wyjściu bramki

jednoweściowej **EO2** pojawi się sygnał logiczny „0”, po uprzednim wzmacnieniu w układzie Darlingtona **T3**, powodujący zatkanie tranzystora wyjściowego **T4**. Równocześnie sygnał logiczny „0” na wyjściu bramki jednoweściowej **EO2** powoduje, za pomocą generatora pojedynczego impulsu **GPJ**, wyzerowanie przerzutnika statycznego **RS** i przygotowanie układu elektronicznego zamka do kolejnego cyklu pracy.

Zastrzeżenie patentowe

Układ elektroniczny zamka ze zwłoką czasową, w którym współdziałanie zamka bębnekowego i sygnalizatora włamaniovego jest realizowane według funkcji logicznej, **znamienny tym**, że zamek bębnekowy ma fotokomórkę, zainstalowaną we wkładce bębnekowej, składającą się z fotodiody (**FD**) i fototranzystora (**FT**), który pośrednio, poprzez tranzystor wyprowadzający (**T1**), jest połączony z wejściem (**R**) przerzutnika statycznego **RS**, natomiast wyjścia (**Q** i **Q̄**) przerzutnika statycznego **RS** są tak pośrednio połączone z układem dwóch, połączonych szeregowo, tranzystorów wyjściowych (**T4** i **T5**), sterujących sygnalizatorem włamaniovym, że pomiędzy wyjście (**Q**) a bazę pierwszego tranzystora wyjściowego (**T4**) jest włączony tranzystor pośredniczący (**T2**), układ czasowy (**R1C1**), dwa tranzystory połączone w układ Darlingtona (**T3**), dzielnik napięcia (**R2, R3, R4**) i bramka jednoweściowa (**EO2**), której wyjście jest równocześnie pośrednio połączone, poprzez generator pojedynczego impulsu (**GPJ**), z wejściem (**S**) przerzutnika statycznego **RS**, oraz jednocześnie pomiędzy wyjście (**Q̄**) a bazę drugiego tranzystora wyjściowego (**T5**) jest włączona bramka dwuwejściowa (**EO1**), której drugie wejście jest połączone z wyłącznikiem drzwiowym (**W1**).

