

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号  
特許第5139958号  
(P5139958)

(45) 発行日 平成25年2月6日(2013.2.6)

(24) 登録日 平成24年11月22日(2012.11.22)

(51) Int.Cl.  
H03L 7/095 (2006.01)

F I  
H03L 7/08 B

請求項の数 6 (全 17 頁)

(21) 出願番号	特願2008-294349 (P2008-294349)	(73) 特許権者	501285133
(22) 出願日	平成20年11月18日 (2008.11.18)		川崎マイクロエレクトロニクス株式会社
(65) 公開番号	特開2010-124102 (P2010-124102A)		千葉県千葉市美浜区中瀬一丁目3番地
(43) 公開日	平成22年6月3日 (2010.6.3)	(74) 代理人	100080159
審査請求日	平成23年11月4日 (2011.11.4)		弁理士 渡辺 望穂
		(74) 代理人	100090217
			弁理士 三和 晴子
		(72) 発明者	吉田 慎也
			千葉県千葉市美浜区中瀬一丁目三番地 川崎マイクロエレクトロニクス株式会社 幕張本社内
		審査官	畑中 博幸

最終頁に続く

(54) 【発明の名称】 デッドロック検出回路およびデッドロック復帰回路

(57) 【特許請求の範囲】

【請求項 1】

P L L回路のデッドロック状態を検出するデッドロック検出回路であって、  
前記 P L L 回路の電圧制御発振器の出力信号を分周して、第 1 の分周クロックを出力する、前記電圧制御発振器の最高動作周波数まで正常に動作する P L L 内蔵分周器と、  
前記電圧制御発振器の出力信号を分周して、前記 P L L 回路の位相比較器へのフィードバッククロックとなる第 2 の分周クロックを出力するフィードバック分周器と、  
前記第 1 の分周クロックの周期によって決定される所定の期間に含まれる、前記第 2 の分周クロックのクロック数に基づいて、前記フィードバック分周器が正常動作できなくなったデッドロック状態であるか否かを表す判定信号を出力する誤ロック検出回路とを備えたことを特徴とするデッドロック検出回路。

【請求項 2】

前記誤ロック検出回路は、前記第 1 の分周クロックを 2 m ( m は正の整数 ) 分周して、第 3 の分周クロックを出力する第 3 の分周器と、

前記第 3 の分周クロックのパルスが一方のレベルの期間、リセット状態となり、他方のレベルの期間、前記第 2 の分周クロックのクロック数をカウントして、該カウントしたカウント数を出力するカウンタと、

前記カウント数が、前記 P L L 内蔵分周器の分周数 × 前記第 3 の分周器の分周数の 1 / 2 ÷ 前記フィードバック分周器の分周数により決定される値の小数点以下の値を切り捨てて得られる整数値ないし該整数値の ± 1 の範囲の値ではない時にデッドロック状態である

10

20

ことを表す前記判定信号を出力する判定回路とを備え、

前記整数値は、2以上の値であることを特徴とする請求項1に記載のデッドロック検出回路。

【請求項3】

PLL回路のデッドロック状態を検出し、前記PLL回路を正常ロック状態に復帰させるデッドロック復帰回路であって、

請求項1または2に記載のデッドロック検出回路と、

前記PLL回路に入力されるリファレンスクロックに基づいて、該リファレンスクロックよりも高い周波数成分を含むダミーパルス生成回路と、

前記判定信号に基づいて、前記第2の分周クロックと前記ダミーパルスとを切り替えて、前記位相比較器に入力するマルチプレクサとを備えていることを特徴とするデッドロック復帰回路。

10

【請求項4】

前記ダミーパルス生成回路は、前記リファレンスクロックからダブルクロックを生成するダブルクロック生成回路と、該ダブルクロック生成回路から出力されるダブルクロックのパルス数を $n$ 回( $n$ は3以上の整数)に1回間引くパルス間引き回路とを備えていることを特徴とする請求項3に記載のデッドロック復帰回路。

【請求項5】

PLL回路のデッドロック状態を検出し、前記PLL回路を正常ロック状態に復帰させるデッドロック復帰回路であって、

20

請求項1または2に記載のデッドロック検出回路と、

前記PLL回路に入力されるリファレンスクロックに基づいて、該リファレンスクロックよりも低い周波数成分を含むダミーパルス生成回路と、

前記判定信号に基づいて、前記リファレンスクロックと前記ダミーパルスとを切り替えて、前記位相比較器に入力する第1のマルチプレクサと、

前記判定信号に基づいて、前記第2の分周クロックと前記リファレンスクロックとを切り替えて、前記位相比較器に入力する第2のマルチプレクサとを備えていることを特徴とするデッドロック復帰回路。

【請求項6】

前記ダミーパルス生成回路は、前記リファレンスクロックのパルス数を $n$ 回( $n$ は2以上の整数)に1回間引くパルス間引き回路であることを特徴とする請求項5に記載のデッドロック復帰回路。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、PLL回路(位相同期回路)のデッドロック状態を検出するデッドロック検出回路、および、デッドロック状態を検出してPLL回路を正常ロック状態に復帰させるデッドロック復帰回路に関するものである。

【背景技術】

【0002】

40

PLL回路は、リファレンスクロックに位相同期した出力クロックを生成するものであり、一般的に、位相比較回路(PFD)、チャージポンプ回路(CP)、ループフィルタ(LF)、電圧制御発振器(VCO)等によって構成される。

【0003】

PLL回路の1つの特徴である逡倍機能を実現するために、PFDへのフィードバッククロックを生成するために、フィードバック経路(FB経路)にフィードバック分周器(FB分周器)が設けられる。このFB分周器は、PLL回路内のVCOの発振周波数の全ての範囲で動作できることが望ましいが、多くの場合はロジック回路で構成されるため、その動作速度には限界がある。

【0004】

50

そのため、F B分周器は、正常ロック状態の時に問題なく動作しても、例えば、リファレンスクロックに一時的に想定よりも高い周波数成分を持つパルスが入力された場合にV C Oの発振周波数が高くなり、正常動作できない場合がある。通常、F B分周器は、動作上限を超える周波数が入力されると、まず正常時よりも長い周期の分周状態となる。具体的には、例えば、2分周器が見かけ上4分周器のような動作となる。

【0005】

F B分周器への入力周波数がさらに高くなると、F B分周器から出力されるフィードバッククロックはハイレベル(H)あるいはローレベル(L)でスタックする。ただし、F B分周器の構成によっては、正常時よりも長い周期の分周状態は発生せず、いきなり出力がスタック状態となる場合もある。フィードバッククロックが正常時よりも長い周期の分周となったりスタックしたりすると、P L L回路はフィードバッククロックがリファレンスクロックよりも遅い、つまりV C Oの発振周波数が低いと判断し、その発振周波数をさらに高くするような動作となり、ついにはV C Oの発振周波数の上限に到達する。

【0006】

こうなると、その後、リファレンスクロックが正常に戻ってもその状態から抜け出せず、P L L回路はデッドロック状態となる。

【0007】

デッドロック状態からの自動復帰方法は、これまでも様々な提案がある。

【0008】

例えば、特許文献1は、デッドロック状態からの復帰方法として、図9(B)に示すように、V C Oの制御電圧を初期状態に戻すことによって、V C Oの周波数をデッドロック状態の周波数(最高動作周波数)から初期状態の0に戻している。しかし、この方法では、P L L回路が正常ロック状態に復帰する(V C Oの周波数が正常ロック状態の周波数に復帰する)までに長い時間を必要とする。P L L回路が組み込まれるシステムの用途によってはなるべく素早い復帰を要求される。

【0009】

特許文献2は、復帰時間にも着目した提案である。しかし、この方法では、大規模なアナログ回路が必要な上、動作条件やプロセス条件によるアナログ的な電圧変動幅を考えた時、実回路上での最適なアナログ電圧値を見つけ出す設計は容易ではなく、適用可能な周波数範囲も限定される虞がある。

【0010】

特許文献3, 4もデッドロックからの復帰あるいは防止に着目しているが、いずれもアナログ電圧検出を必要としている。

【0011】

上記のように、デッドロックから自動復帰でき、しかも可能な限り早い再ロック時間(復帰時間)となるような方法はこれまでも提案されているが、アナログ回路を用いた検出方法は、動作条件やプロセス条件により変動を受けやすく、面積も大きくなる。一方、デジタル回路のみで構成された例では、再ロックまでの時間短縮が最適値になっているとは言えない。

【0012】

また、多くの提案は、電源投入後、あるいは正常リセット状態から初期ロックまでの動作中をデッドロック状態であると間違えて検出してしまふ、デッドロックの誤検出については詳しく言及されていない。

【0013】

【特許文献1】特開平11-122102号公報

【特許文献2】特開2003-18004号公報

【特許文献3】特開2006-174358号公報

【特許文献4】特開2007-104585号公報

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

## 【 0 0 1 4 】

本発明の第 1 の目的は、誤検出することなく、デッドロック状態を正確に検出することができるデッドロック検出回路を提供することにある。

また、本発明の第 2 の目的は、デッドロック状態を検出してから、可能な限り短時間で正常ロック状態に復帰させることができるデッドロック復帰回路を提供することにある。

## 【課題を解決するための手段】

## 【 0 0 1 5 】

上記目的を達成するために、本発明は、PLL 回路のデッドロック状態を検出するデッドロック検出回路であって、

前記 PLL 回路の電圧制御発振器の出力信号を分周して、第 1 の分周クロックを出力する、前記電圧制御発振器の最高動作周波数まで正常に動作する PLL 内蔵分周器と、

前記電圧制御発振器の出力信号を分周して、前記 PLL 回路の位相比較器へのフィードバッククロックとなる第 2 の分周クロックを出力するフィードバック分周器と、

前記第 1 の分周クロックの周期によって決定される所定の期間に含まれる、前記第 2 の分周クロックのクロック数に基づいて、前記フィードバック分周器が正常動作できなくなったデッドロック状態であるか否かを表す判定信号を出力する誤ロック検出回路とを備えたことを特徴とするデッドロック検出回路を提供するものである。

## 【 0 0 1 6 】

ここで、前記誤ロック検出回路は、前記第 1 の分周クロックを  $2m$  ( $m$  は正の整数) 分周して、第 3 の分周クロックを出力する第 3 の分周器と、

前記第 3 の分周クロックのパルスが一方のレベルの期間、リセット状態となり、他方のレベルの期間、前記第 2 の分周クロックのクロック数をカウントして、該カウントしたカウント数を出力するカウンタと、

前記カウント数が、前記 PLL 内蔵分周器の分周数  $\times$  前記第 3 の分周器の分周数の  $1/2 \div$  前記フィードバック分周器の分周数により決定される値の小数点以下の値を切り捨てて得られる整数値ないし該整数値の  $\pm 1$  の範囲の値ではない時にデッドロック状態であることを表す前記判定信号を出力する判定回路とを備え、

前記整数値は、2 以上の値であることが好ましい。

## 【 0 0 1 7 】

また、本発明は、PLL 回路のデッドロック状態を検出し、前記 PLL 回路を正常ロック状態に復帰させるデッドロック復帰回路であって、

上記のいずれかに記載のデッドロック検出回路と、

前記 PLL 回路に入力されるリファレンスクロックに基づいて、該リファレンスクロックよりも高い周波数成分を含むダミーパルス生成するダミーパルス生成回路と、

前記判定信号に基づいて、前記第 2 の分周クロックと前記ダミーパルスとを切り替えて、前記位相比較器に入力するマルチプレクサとを備えていることを特徴とするデッドロック復帰回路を提供する。

## 【 0 0 1 8 】

ここで、前記ダミーパルス生成回路は、前記リファレンスクロックからダブルクロックを生成するダブルクロック生成回路と、該ダブルクロック生成回路から出力されるダブルクロックのパルス数を  $n$  回 ( $n$  は 3 以上の整数) に 1 回間引くパルス間引き回路とを備えていることが好ましい。

## 【 0 0 1 9 】

また、本発明は、PLL 回路のデッドロック状態を検出し、前記 PLL 回路を正常ロック状態に復帰させるデッドロック復帰回路であって、

上記のいずれかに記載のデッドロック検出回路と、

前記 PLL 回路に入力されるリファレンスクロックに基づいて、該リファレンスクロックよりも低い周波数成分を含むダミーパルス生成するダミーパルス生成回路と、

前記判定信号に基づいて、前記リファレンスクロックと前記ダミーパルスとを切り替えて、前記位相比較器に入力する第 1 のマルチプレクサと、

前記判定信号に基づいて、前記第2の分周クロックと前記リファレンスクロックとを切り替えて、前記位相比較器に入力する第2のマルチプレクサとを備えていることを特徴とするデッドロック復帰回路を提供する。

【0020】

ここで、前記ダミーパルス生成回路は、前記リファレンスクロックのパルス数をn回（nは2以上の整数）に1回間引くパルス間引き回路であることが好ましい。

【発明の効果】

【0021】

本発明では、電圧制御発振器の出力自身を異常動作状態の検出の基準として使う。そのため、本発明によれば、電源投入後等の初期ロック動作中に誤検出するリスクはほとんどなく、デッドロック状態を正確に検出できる。

【0022】

また、本発明では、PLL回路の異常動作状態を検出すると、フィードバッククロックをリファレンスクロックよりも高い周波数のダミーパルスに切り替えて、または、フィードバッククロックをリファレンスクロックに切り替えるとともに、リファレンスクロックを、該リファレンスクロックよりも低い周波数のダミーパルスに切り替えて電圧制御発振器の周波数を徐々に下げることにより、電圧制御発振器の周波数の下がり過ぎを防止するとともに、フィードバック分周器が正常動作状態に復帰したら、フィードバッククロックをフィードバック分周器の分周クロックに戻す。これにより、本発明によれば、再ロックまでの時間を短縮できる。

【発明を実施するための最良の形態】

【0023】

以下に、添付の図面に示す好適実施形態に基づいて、本発明のデッドロック検出回路およびデッドロック復帰回路を詳細に説明する。

【0024】

図1は、本発明を適用する半導体集積回路の構成を表す一実施形態のブロック図である。同図に示す半導体集積回路10は、PLL回路のデッドロック状態を検出し、自動的に正常ロック状態に復帰させるデッドロック復帰回路を有するものであり、PLL回路12と、フィードバック分周器(FBDIV)14と、誤ロック検出回路16と、ダミーパルス生成回路18と、マルチプレクサ(MUX)20とによって構成されている。

【0025】

PLL回路12には、通常の構成要素であるPFD22、CP24、LF26、VCO28に加え、さらに、VCO28の出力クロックを分周するPLL内蔵分周器(ADIV)30が内蔵されており、これらの構成要素は、この順序で直列に接続されている。PFD22には、リファレンスクロックREFCLKと、MUX20から出力されるフィードバッククロックFCLKが入力され、VCO28からは出力クロックOUTCLKが出力されている。

【0026】

ADIV30は、PLL回路12の設計時に、VCO28の最高動作周波数まで正常に動作するように設計(保証)されている。通常、VCO28が高周波数まで安定した発振をするためには、ロジックHレベルを示す電源電圧VDDと、Lレベルを示すグランド電圧GNDの間をフル振幅する回路ではなく、それよりも小さい振幅で動作するアナログタイプの発振器が使われることが多い。ADIV30は、このアナログタイプの発振器の小振幅出力を直接受け取り、ADIV30自身もアナログ回路で構成されることにより、ロジック回路で設計された分周器よりもはるかに高い周波数での分周動作が可能となる。ADIV30がアナログ分周器に限定される必要はないが、以上のような工夫で、VCO28の最高動作周波数まで動作が保証される高速分周器を、PLL回路12内部に作り込むことは可能である。このADIV30は、VCO28が最高動作周波数で動作(発振)した時でも、誤ロック検出回路16を含む外部ロジック(PLL回路12外部のデジタル回路)が十分に余裕を持って正常に動作できるように、その分周数が設定されている。AD

I V 3 0からは、分周クロックV D C L Kが出力される。

【 0 0 2 7 】

例えば、V C O 2 8の最高動作周波数が2 G H zであり、外部ロジックが2 G H zでは動作できない場合であっても、これを8分周すれば2 5 0 M H zとなり、近年の半導体プロセスであれば十分に動作可能な周波数になる。

【 0 0 2 8 】

なお、出力クロックO U T C L Kに関しては、V C O 2 8の出力信号をそのまま出力(分周なし)してもよいし、P L L回路1 2内部でV C O 2 8の出力信号を分周して出力(分周あり)してもよく、特に限定されない。

【 0 0 2 9 】

続いて、F B D I V 1 4は、出力クロックO U T C L Kを分周して、P F D 2 2へのフィードバッククロックF B C L Kとなる分周クロックO U T D I Vを出力する。ここで、汎用的なP L L回路では、一般に出力クロックO U T C L Kに対するフィードバッククロックF B C L Kの分周数(つまり、F B D I V 1 4の分周数)をある範囲内で任意に選択できる。そのため、F B D I V 1 4の分周数は、A D I V 3 0の分周数とは異なる分周数になる場合もあるし、偶然に同じ分数数になる場合もある。本実施形態においても同じである。

【 0 0 3 0 】

続いて、誤ロック検出回路1 6は、分周クロックV D C L Kの周期によって決定される所定の期間に含まれる、分周クロックO U T D I Vのクロック数に基づいて、デッドロック状態であるか否かを表す判定信号E R J D Gを出力する。詳細は後述する。

【 0 0 3 1 】

ダミーパルス生成回路1 8は、リファレンスクロックR E F C L Kに基づいて、リファレンスクロックR E F C L Kよりも僅かに高い周波数成分を含む(リファレンスクロックR E F C L Kよりも僅かにパルス頻度が高い)ダミーパルスD U M P L Sを生成する。ここで、ダミーパルスD U M P L SがリファレンスクロックR E F C L Kよりも僅かに高い周波数成分を含むとは、P F D 2 2からパルス状のダウン信号D Nが出力されるが、出力され続ける状態にはならない状態をいう。詳細は後述する。

【 0 0 3 2 】

M U X 2 0の入力端子A 0には分周クロックO U T D I Vが入力され、A 1にはダミーパルスD U M P L Sが入力され、選択入力端子には判定信号E R J D Gが入力される。従って、M U X 2 0の経路選択は判定信号E R J D Gに基づいて制御され、分周クロックO U T D I VとダミーパルスD U M P L Sとの切り替えが行われる。つまり、M U X 2 0からは、フィードバッククロックF B C L Kとして、判定信号E R J D GがLの時には分周クロックO U T D I Vが出力され、一方、判定信号E R J D GがHの時にはダミーパルスD U M P L Sが出力され、P F D 2 2に入力される。

【 0 0 3 3 】

ここで、P L L回路1 2に内蔵されるA D I V 3 0と、F B D I V 1 4と、誤ロック検出回路1 6は、本発明のデッドロック検出回路を構成する。なお、F B D I V 1 4は、P L L回路1 2の通倍機能を実現するために実装されるものである。また、本発明のデッドロック検出回路と、ダミーパルス生成回路1 8と、M U X 2 0は、本発明のデッドロック復帰回路を構成する。

【 0 0 3 4 】

続いて、誤ロック検出回路1 6について説明する。

【 0 0 3 5 】

図2は、図1に示す誤ロック検出回路の構成を表すブロック図である。同図に示す誤ロック検出回路1 6は、分周器V D D I V 3 2と、カウンタ3 4と、判定回路3 6とによって構成されている。

【 0 0 3 6 】

ここで、誤ロック状態とは、デッドロック状態を含む異常動作状態であることを表す。

10

20

30

40

50

つまり、正常ロック状態を含む正常動作状態ではない状態である。

【 0 0 3 7 】

V D D I V 3 2 は、分周クロック V D C L K を  $2m$  ( $m$  は正の整数) 分周し、H 期間と L 期間が 5 0 : 5 0 である分周クロック E R C H K を出力する。分周クロック E R C H K は、カウンタ 3 4 のカウント及びリセットを制御するための信号となる。

【 0 0 3 8 】

カウンタ 3 4 は、分周クロック E R C H K のパルスが一方のレベルの期間、例えば L の期間、リセット状態となり、他方のレベルの期間、例えば H の期間、分周クロック O U T D I V のクロック数をカウントして、カウントしたカウント数 (カウント値) を出力する。

10

【 0 0 3 9 】

例えば、V D D I V 3 2 の分周数が F B D I V の分周数の 2 倍であり、カウンタ 3 4 は、分周クロック E R C H K が H の期間、カウントする場合を考える。この場合、正常ロック状態の時のカウント数は、A D I V 3 0 の分周数と同じになるはずである。また、この関係は V C O 2 8 の発振周波数がどのような状態にあっても成り立つ。つまり、システムの電源投入後などに、P L L 回路 1 2 が正常ロック状態に向かう途中であっても成り立つ。

【 0 0 4 0 】

判定回路 3 6 は、カウンタ 3 4 のカウント数が、A D I V 3 0 の分周数  $\times$  V D D I V 3 2 の分周数の  $1 / 2 \div$  F B D I V 1 4 の分周数により決定される値の小数点以下の値を切り捨てて得られる整数値ないしこの整数値の  $\pm 1$  の範囲の値ではない時に、デッドロック状態であることを表す判定信号 E R J D G を出力する。ここで、前述の整数値は、2 以上 (つまり、カウント数が 1 以上) の値である。

20

【 0 0 4 1 】

なお、A D I V 3 0、V D D I V 3 2、F B D I V 1 4 の分周数は、上記の通り、前述の整数値が 2 以上の値となる条件を満足している必要がある。

【 0 0 4 2 】

本実施形態の場合、判定信号 E R J D G は、正常動作状態の時に L が出力され、M U X 2 0 は、A 0 の経路が選択される。一方、異常動作状態の時には判定信号 E R J D G として H が出力され、M U X 2 0 は、A 1 の経路が選択される。

30

【 0 0 4 3 】

ここで、分周クロック E R C H K と分周クロック O U T D I V は、これらの信号が発生されるまでの経路が異なっている。また、P L L 回路 1 2 の F B 経路には、半導体チップ内の C T S (クロックツリーシンセシス) による遅延をキャンセルするために大きな遅延 (図 1 では省略) が挿入される場合もある。そのため、分周クロック E R C H K と分周クロック O U T D I V のタイミング (位相関係) は、一定の関係にない (非同期である) ことがほとんどと言ってもよい。

【 0 0 4 4 】

また、分周クロック E R C H K と分周クロック O U T D I V が非同期であるため、カウンタ 3 4 によるカウント数は必ずしも一定しないかもしれないので、上記のように、 $\pm 1$  の範囲であっても正常動作と見なす構成にすることが望ましい。F B D I V 1 4 が異常動作状態となる場合は、分周クロック O U T D I V のパルス数が僅かに少なくなるような動作にはならず、パルス数は大幅に減少するからである。

40

【 0 0 4 5 】

また、誤ロック検出回路 1 6 のカウンタ 3 4 のリセットやカウント数の読み取りには、グレーコードカウンタ (デコーダ) を使ったり、メタステーブル対策のクロック載せ替えを行う回路 (2 段構成のシフトレジスタ) を設けたりするような非同期信号対策を施すことが望ましい。この非同期信号対策回路そのものは各種構成のものが公知であり、本発明においても一般的なものでよく、その構成に限定はない。

【 0 0 4 6 】

50

続いて、ダミーパルス生成回路 18 について説明する。

【0047】

図 3 は、図 1 に示すダミーパルス生成回路の構成を表すブロック図である。同図に示すダミーパルス生成回路 18 は、ダブルクロック生成回路 38 と、パルス間引き回路 40 とによって構成されている。

【0048】

ダブルクロック生成回路 38 は、リファレンスクロック REFCLK からダブルクロック（リファレンスクロック REFCLK の 2 倍のパルス数を持つクロック）REFX2 を生成する。ダブルクロック生成回路 38 は、遅延回路 38a と、EOR ゲート 38b とによって構成されている。EOR ゲート 38b には、リファレンスクロック REFCLK と、遅延回路 38a によって遅延されたリファレンスクロック REFCLK が入力される。EOR ゲート 38b からは、リファレンスクロック REFCLK の立上りと立下りから遅延回路 38a の遅延時間に相当するパルス幅を持つダブルクロック REX2 が出力される。

10

【0049】

上記のダブルクロック生成回路 38 の構成は一般的なものである。ダミーパルス DUMPLS は、リファレンスクロック REFCLK よりも高い周波数成分、好ましくは僅かに高い周波数成分を持っていることが理想的であり、例えば、2 倍の周波数でよい場合もある（パルス間引き回路 40 なし）。

【0050】

20

パルス間引き回路 40 は、ダブルクロック REX2 のパルス数を  $n$  回（ $n$  は 3 以上の整数）に 1 回、後に示す本実施形態の具体例の場合、4 回に 1 回間引いて、異常動作状態の時に、フィードバッククロック FBCLK として分周クロック OUTDIV の代わりに使用されるダミーパルス DUMPLS を生成する。

【0051】

ダブルクロック REX2 のパルス頻度を下げるために、ダブルクロック REX2 のパルス数を 4 回に 1 回間引くことにより、リファレンスクロック REFCLK に対して 1.5 倍のパルス数のダミーパルス DUMPLS を作ることができる。こうして生成された 1.5 倍のダミーパルス DUMPLS は、平均周期がリファレンスクロック REFCLK の  $1/1.5$  であるが、定期的なクロック形状（クロック波形）にはなっていない。しかし、本発明の目的達成のためにはその形状で十分である。

30

【0052】

リファレンスクロック REFCLK に対するダミーパルス DUMPLS のパルス頻度を上げることによって、異常動作状態の時に、VCO28 の発振周波数を下げることができる。しかし、ダミーパルス DUMPLS のパルス頻度を上げ過ぎるとダウン信号 DN が出続け、VCO28 の発振周波数が急激に下がるために下がり過ぎ、正常ロック状態となるまでに長時間を必要とすることになる。そのため、ダミーパルス DUMPLS のパルス頻度は、リファレンスクロック REFCLK の 1 倍以上、2 倍以下程度とすることが望ましい。

【0053】

40

次に、図 1 に示す半導体集積回路 10 の動作を説明する。

【0054】

誤ロック検出回路 16 において、正常動作状態の時、判定信号 ERJDG は L であり、MUX20 の経路は A0 側が選択される。

【0055】

正常動作状態の時、PLL 回路 12 では、PFD22 によって、リファレンスクロック REFCLK とフィードバッククロック FBCLK との位相差が検出され、その検出結果となるアップ信号 UP またはダウン信号 DN が出力される。例えば、PFD22 は、リファレンスクロック REFCLK とフィードバッククロック FBCLK の立上りの位相を比較し、リファレンスクロック REFCLK の位相の方がフィードバッククロック FBCLK

50



Kの位相よりも早い場合にはアップ信号UPを出力し、その逆の場合にはダウン信号DNを出力する。

【0056】

続いて、CP24により、アップ信号UPまたはダウン信号DNに応じて、その出力信号のパルス幅が変更され、さらにLP26によって、CP24の出力信号のパルス幅に応じた制御電圧（アナログ電圧）に変換される。VCO28では、制御電圧に応じて出力クロックOUTCLKの発振周波数が変更され、PLL回路12の出力クロックとして出力されるとともに、FBDIV14に入力される。

【0057】

FBDIV14では、設定された通倍数に応じて、出力クロックOUTCLKが分周される。分周クロックOUTDIVは、判定信号ERJDGがLの場合（正常動作状態の時）、MUX20を介してPFD22にフィードバッククロックFCLKとして入力される。以後同様に、リファレンスクロックREFCLKとフィードバッククロックFCLKとの位相差を検出し、出力クロックOUTCLKの発振周波数を変更することを繰り返すことによって、リファレンスクロックREFCLKとフィードバッククロックFCLKの位相が同期（ロック）される。

【0058】

また、誤ロック検出回路16では、分周クロックVCLKがVDDIV32によって分周され、分周クロックERCHKが出力される。カウンタ34は、分周クロックERCHKがHの期間、分周クロックOUTDIVのクロック数をカウントし、カウントしたカウンタ数は判定回路36によって判定される。正常動作状態の時には、カウンタ数が、前述の整数値±1の範囲となって判定信号ERJDGはLとなり、前述の通り、MUX20の経路としてA0が選択される。

【0059】

一方、例えば、VCO28の周波数が高くなり、FBDIV14が正常動作できなくなると、誤ロック検出回路16は、異常動作状態、すなわち誤ロック状態と見なして判定信号ERJDGがHとなり、MUX20の経路はA1に切り替えられる。

【0060】

この場合、フィードバッククロックFCLKとしてダミーパルスDUMPLSが出力され、フィードバッククロックFCLKの周波数がリファレンスクロックREFCLKよりも高くなるので、PLL回路12は、VCO28の発振周波数が高いと見なして周波数を下げるためにダウン信号DNを出力する。出力クロックOUTCLKの周波数が下がってFBDIV14が正常動作状態に戻ると、それを誤ロック検出回路16が検出して判定信号ERJDGがLとなり、MUXの経路がA0側に戻る。これ以後は通常のPLL動作で正常ロック状態に向かう。

【0061】

以下、具体例を挙げて説明する。

【0062】

図4は、図1に示す半導体集積回路の具体例を表すブロック図である。同図に示す半導体集積回路50は、基本的に、図1に示す半導体集積回路10において、図2に示す構成の誤ロック検出回路16と図3に示す構成のダミーパルス生成回路18を組み込んだ構成となっている。半導体集積回路50では、PLL回路12のADIV30の分周数を8分周とし、FBDIV14の分周数を5分周としている。

【0063】

誤ロック検出回路16において、VDDIV32は、2つの分周器32a、32bを備えている。なお、ここでは、理解を容易にするために、2つの分周器に分けているが、1つの分周器でも実現できることは言うまでもない。

【0064】

図5のタイミングチャートに示すように、分周クロックVCLKは、分周器32aによって5分周され、分周クロックVCLK5として出力される。この例では、分周クロ

10

20

30

40

50

ックV D C L K 5 は、分周クロックV D C L K の3クロック分の期間がHとなり、2クロック分の期間がLとなる（H：L = 3：2）。なお、分周クロックV D C L K 5 のHとLの配分は何ら限定されず、例えば、2：3でもよいし、1：4でも4：1でもよいし、分周クロックV D C L K の立下りを利用して2．5：2．5としてもよい。

#### 【0065】

また、分周クロックV D C L K 5 は、分周器32bによって2分周され、分周クロックE R C H Kとして出力される。分周器32bで分周クロックV D C L K 5 を2分周することによって、分周クロックE R C H KのHとLの配分が5：5となる。

#### 【0066】

カウンタ34は、表1に示すように、分周クロックE R C H KのパルスがLの期間、分周クロックO U T D I Vの状態に関わらず（分周クロックO U T D I V = X）、リセット状態（カウンタ出力 = 0）となって待機する。一方、分周クロックE R C H KがHの期間、分周クロックO U T D I Vの立上りエッジ（ ）のタイミングで0からカウントアップし、カウントしたカウント数（カウンタ出力）を出力する。表1の例では、カウンタ34は、カウント数が10に到達するとカウントアップをやめ、その後分周クロックO U T D I Vの立上りエッジが来ても10を保持する。

#### 【0067】

（表1）

ERCHK	OUTDIV	前回のカウンタ出力	カウンタ出力
L	X	X	0
H	↑	0	1
H	↑	1	2
H	↑	2	3
H	↑	3	4
H	↑	4	5
H	↑	5	6
H	↑	6	7
H	↑	7	8
H	↑	8	9
H	↑	9	10
H	↑	10	10

#### 【0068】

なお、カウンタ34のカウント数が10でカウントアップを停止している理由は、カウント数が10以上となったら、これ以後は、カウント数がどれだけ増えても正常動作状態ではないと判定回路36が判定できるからである。なお、これに限定されず、カウント数を10で停止させずにカウントアップを続行させてもよい。

#### 【0069】

前述のように、A D I V 30の分周数（= 8）× V D D I V 32の分周数（= 5 × 2 = 10）× 1 / 2 ÷ F B D I V 14の分周数（= 5）= 8であるから、正常動作状態の時、カウンタ34のカウント数は常に8 ± 1（7 ~ 9）の範囲となる。

#### 【0070】

判定回路36は、表2に示すように、カウンタ34のカウント数が8 ± 1の範囲が否かを判定し、判定信号E R J D Gを出力する。判定信号E R J D Gは、カウント数（カウンタ出力）が8 ± 1の範囲の時にLとなり、8 ± 1の範囲ではない時にHとなる。

#### 【0071】

(表 2)

カウンタ出力	ERJDG
0	H
1	H
2	H
3	H
4	H
5	H
6	H
7	L
8	L
9	L
10	H

10

## 【 0 0 7 2 】

続いて、ダミーパルス生成回路 1 8 において、ダブルクロック生成回路 3 8 の構成は図 2 に示すものと同じである。

## 【 0 0 7 3 】

パルス間引き回路 4 0 は、表 3 に示すように、ダブルクロック生成回路 3 8 で生成されたダブルクロック R E F X 2 の H パルスを 4 回に 1 回間引き、ダミーパルス D U M P L S

20

## 【 0 0 7 4 】

(表 3)

REFX2	前回のカウンタ出力 (内部信号)	カウンタ出力 (内部信号)	DUMPLS
↓	1	0	REFX2
↓	2	1	REFX2
↓	3	2	L
↓	0	3	REFX2

30

## 【 0 0 7 5 】

この例では、パルス間引き回路 4 0 は、内部に 0 ~ 3 まで繰り返しカウントするカウンタを備えている。図 6 のタイミングチャートに示すように、この内部カウンタは、ダブルクロック R E F X 2 の立下りエッジ ( ) のタイミングでカウントアップする。パルス間引き回路 4 0 では、内部カウンタのカウント値が 0 , 1 , 3 の時はダブルクロック R E F X 2 をそのままダミーパルス D U M P L S として出力するが、カウント値が 2 の時はダブルクロック R E F X 2 の H パルスをマスクして L を出力する。これにより、ダブルクロック R E F X 2 の 4 回に 1 回だけパルスの間引きを行うことができる。

## 【 0 0 7 6 】

なお、内部カウンタをダブルクロック R E F X 2 の立下りエッジのタイミングでカウントアップさせるのは、この例ではダブルクロック R E F X 2 の H パルス ( H 区間 ) をマスクする仕様としたため、図 6 のタイミングチャートに示すように、マスクするタイミング設計が容易になるからである。ただし、マスクするタイミングを適宜調整することによって内部カウンタをダブルクロック R E F X 2 の立上りエッジでカウントアップさせることもできるし、さらには、ダブルクロック R E F X 2 の L パルス ( L 区間 ) をマスクして H を出力する構成としてもよい。

40

## 【 0 0 7 7 】

なお、上記カウンタ 3 4 、判定回路 3 6 、パルス間引き回路 4 0 の具体的な回路構成は何ら限定されない。これらの回路は、例えば、表 1 ~ 3 ( 真理値表 ) に基づいて回路記述言語で記述し、論理合成することで容易に実現できる。

50

## 【 0 0 7 8 】

また、ここで示した回路及び仕様（分周数や間引き等の設定）は一例であり、例えば、分周クロック E R C H K の生成方法、カウンタ 3 4、判定回路 3 6、パルス間引き回路 4 0 の具体的な仕様を限定するものではない。さらには、ステートマシンの無限ループ突入を回避する工夫などは、デジタル回路設計では一般的に考慮されるものであり、本発明の骨子には関係がないため、この例では具体的な仕様は示していない。

## 【 0 0 7 9 】

半導体集積回路 5 0 の動作は、具体的に、カウンタ 3 4 のカウント数が  $8 \pm 1$  の範囲の値であるか否かによって、フィードバッククロック F B C L K として、分周クロック O U T D I V もしくはダミーパルス D U M P L S を出力する点を除いて半導体集積回路 1 0 と同様である。つまり、カウント数が  $8 \pm 1$  の範囲の場合は正常動作状態となり、カウント数がそれ以外の数値である場合には異常動作状態となる。また、異常動作状態であることが検出されると（判定信号 E R J D G = H）、フィードバッククロック F B C L K として、ダブルクロック R E F X 2 の H パルスが 4 回に 1 回マスクされたダミーパルス D U M P L S が出力される。

## 【 0 0 8 0 】

ここで、P F D 2 2 として、広く採用されている P F D 方式を想定する。この P F D 2 2 は、図 7 のタイミングチャートに示すように、リセット状態（リファレンスクロック R E F C L K とフィードバッククロック F B C L K が L の状態）からフィードバッククロック F B C L K（ダミーパルス D U M P L S）よりもリファレンスクロック R E F C L K の立上りが先に来るとアップ信号 U P を H とし、次のフィードバッククロック F B C L K の立上りで L に戻す。アップ信号 U P が H の期間中は C P 2 4 で V C O 2 8 の制御電圧がチャージアップされ、V C O 2 8 の周波数が上がる。

## 【 0 0 8 1 】

逆に、P F D 2 2 は、リセット状態からリファレンスクロック R E F C L K よりもフィードバッククロック F B C L K（ダミーパルス D U M P L S）の立上りが先に来るとダウン信号 D N を H とし、次のリファレンスクロック R E F C L K の立上りで L に戻す。ダウン信号 D N が H の期間中は C P 2 4 で制御電圧がディスチャージされ、V C O 2 8 の周波数が下がる。

## 【 0 0 8 2 】

図 7 のタイミングチャートに示すように、半導体集積回路 5 0 ではダウン信号 D N が断続的に発せられるため、V C O 2 8 の周波数を徐々に下げることが可能となる。図示していないが、半導体集積回路 5 0 の場合、ダミーパルス D U M P L S を間引かずダブルパルスのままで使用すると、ダウン信号 D N がほぼ H の状態を保持し、V C O 2 8 の周波数が急激に下がって下がり過ぎる場合がある。従って、パルスの間引きは、P L L 回路 1 2 の特性に応じて適切なものを選ぶことが望ましい。

## 【 0 0 8 3 】

続いて、誤ロック検出回路 1 6 のさらなる工夫について言及する。特に、F B D I V 1 4 が正常動作状態に復帰したことを検出するタイミングは、正常動作状態に復帰後できるだけ早い方が望ましい。図 4 の例では、出力クロック O U T C L K の 8 0 クロック分の時間の後に検出される。しかし、これでは遅い場合は、正常動作状態の時のカウンタ 3 4 のカウント数を考慮しつつ、分周クロック V D C L K の誤ロック検出回路 1 6 内での分周数を適宜減らしてもよい。

## 【 0 0 8 4 】

例えば、V D D I V 3 2 の分周数が 6 の場合を考える。誤ロック検出回路 1 6 による検出は、出力クロック O U T C L K で  $8 \times 6 = 48$  クロック毎の頻度で行われる。このタイミングでのカウント数は、 $48 \times 1 / 2 \div 5 = 4.8$  であるが、カウント数は小数点以下の値を切り捨てた整数値になるので 4 となる。あるいはタイミングの関係では 3 または 5 となる場合もあるが、 $4 \pm 1$ （3 ~ 5）の範囲のいずれを正常動作と捉えても、検出精度としては問題ない。

## 【 0 0 8 5 】

さらに、誤ロック検出回路 1 6 のもう 1 つ別の特徴を説明する。これまでのデジタル的な誤ロック検出回路は、リファレンスクロック R E F C L K を誤動作検出の基準として用いることが多かった。これであまくいく場合もあるが、そもそも誤ロック状態に陥る原因の多くは、リファレンスクロック R E F C L K の一時的な乱れである。乱れの動作は一般的には定義できない不明なものなので、その間、誤ロック検出回路がどういう状態になっているのか予測できない。

## 【 0 0 8 6 】

もう 1 つの問題は、電源投入後などの初期ロックに向かう時の誤検出である。P L L 回路 1 2 がロックするまでの間は V C O 2 8 の発振周波数が低く、リファレンスクロック R E F C L K に比べてフィードバッククロック F B C L K パルス数が少ないのは当然である。しかし、これは、F B D I V 1 4 が正常動作できなくなって所定のパルス数が戻ってこない場合と外観は同じであり、両者をどう区別するかも工夫が必要である。

## 【 0 0 8 7 】

本発明では、誤動作状態の検出のための基準として V C O 2 8 の出力クロックそのものを使用している。そのため、本発明に関わるデッドロック検出回路とデッドロック復帰回路では、上記の問題を全て解消している。

## 【 0 0 8 8 】

なお、デッドロック検出回路は、P L L 回路 1 2 のデッドロック状態を検出して判定信号 E R J D G を出力するものであって、この判定信号 E R J D G を用いて P L L 回路 1 2 を正常ロック状態に復帰させるための回路（例えば、図 1 に示すダミーパルス生成回路 1 8 と、M U X 2 0 ）は各種構成のものを利用することができる。

## 【 0 0 8 9 】

図 8 は、図 1 に示すダミーパルス生成回路の別の構成を表すブロック図である。同図に示すダミーパルス生成回路 1 8 は、P L L 回路 1 2 に入力されるリファレンスクロック R E F C L K に基づいて、リファレンスクロック R E F C L K よりも低い周波数成分を含むダミーパルスを発生するものである。同図に示すダミーパルス生成回路 1 8 は、パルス間引き回路 4 2 と、M U X 4 4 とによって構成されている。

## 【 0 0 9 0 】

パルス間引き回路 4 2 は、リファレンスクロック R E F C L K の H パルスを 4 回に 1 回間引いて間引きクロックとして出力する。

## 【 0 0 9 1 】

M U X 4 4 の入力端子 A 0 にはリファレンスクロック R E F C L K が入力され、A 1 にはパルス間引き回路 4 2 から出力される間引きクロックが入力され、選択入力端子には判定信号 E R J D G が入力される。M U X 4 4 の経路選択は判定信号 E R J D G に基づいて制御され、M U X 4 4 からは、判定信号 E R J D G が L の時にリファレンスクロック R E F C L K が出力され、一方、判定信号 E R J D G が H の時には間引きクロックが出力され、P F D 2 2 の本来のリファレンスクロック R E F C L K の入力端子に P L L 回路 1 2 のリファレンスクロックとして入力される。

## 【 0 0 9 2 】

また、M U X 2 0 の入力端子 A 1 にはリファレンスクロック R E F C L K が入力される。

## 【 0 0 9 3 】

同図に示すダミーパルス生成回路 1 8 では、異常動作状態の時（判定信号 E R J D G = H ）に、リファレンスクロックとして間引きクロックを入力し、フィードバッククロックとしてリファレンスクロックそのものを入力する。従って、リファレンスクロック（＝間引きクロック）は、フィードバッククロック（＝R E F C L K ）よりも僅かに低い周波数成分を持っているので、図 8 に示すダミーパルス生成回路 1 8 は、図 4 に示すものと同様の効果を得ることができる。

## 【 0 0 9 4 】

ところで、本発明の目的の１つに、なるべく早い再ロックがある。誤ロック検出回路１６の検出頻度を高くしたいのは、ＦＢＤＩＶ１４が正常動作状態に復帰しているにも関わらず、さらにＤＮ命令が出て周波数を下げ過ぎてしまうことを防ぐためである。ダミーパルス生成回路１８により僅かにダウン信号ＤＮが出力される期間を多くして徐々にＶＣＯ周波数を下げるのも、やはり、ＶＣＯ２８の周波数を一気に下げ過ぎるのを防ぐためである。

【００９５】

なお、もしもＶＣＯ２８が動作周波数レンジ内の非常に周波数が低いところで安定するＰＬＬ条件であった場合、上記のようにＶＣＯ２８の周波数を徐々に下げるよりも、一気に初期状態（＝０）まで下げて再ロックさせる方が結果的に早い場合もあり得る。このように、ＰＬＬ条件があらかじめ分かっている（決定されている）場合には、そのＰＬＬ条件に応じた構成にすることが望ましい。

10

【００９６】

異常動作状態となったＰＬＬ回路１２を正常動作状態に復帰させて再び正常ロック状態とするためには、最終的には正常なＦＢ経路によって自然に収束させる必要がある。そのため、本発明は、可能な限り早くその状態に切り替える（分周クロックＯＵＴＤＩＶとダミーパルスＤＵＭＰＬＳを切り替える）ことを目指している。従って、本発明は、限定されるわけではないが、ロックする周波数が比較的高い場合に有効である。

【００９７】

図９（Ａ）および（Ｂ）は、それぞれ、本発明に関わるデッドロック復帰回路および従来のデッドロック復帰回路の再ロックまでの遷移状態を表すタイミングチャートである。同図（Ａ）に示すように、本発明に関わるデッドロック復帰回路では、ＶＣＯの周波数は、デッドロック状態のＶＣＯの周波数（最高動作周波数）から正常ロック状態のＶＣＯの周波数まで徐々に下がり、同図（Ｂ）に示す従来のデッドロック復帰回路と比べてＶＣＯの周波数が下がり過ぎることなく、短時間で正常ロック状態に復帰できる。

20

【００９８】

上記のように、本発明では、ＰＬＬ回路の異常動作状態を検出すると、フィードバッククロックＦＢＣＬＫをダミーパルスＤＵＭＰＬＳに切り替え、ＶＣＯの周波数を一気に下げ過ぎず、徐々に下げることにより、ＶＣＯの周波数の下がり過ぎを防止するとともに、ＦＢＤＩＶが正常動作状態に復帰したら、フィードバッククロックＦＢＣＬＫを分周クロックＯＵＴＤＩＶに素早く戻す。これにより、再ロックまでの時間を短縮できる。また、誤ロック検出手法としては、ＶＣＯの出力自身を基準として使っているため、電源投入後等の初期ロック動作中に誤検出するリスクもほとんどない。

30

【００９９】

本発明は、基本的に以上のようなものである。

以上、本発明について詳細に説明したが、本発明は上記実施形態に限定されず、本発明の主旨を逸脱しない範囲において、種々の改良や変更をしてもよいのはもちろんである。

【図面の簡単な説明】

【０１００】

【図１】本発明を適用する半導体集積回路の構成を表す一実施形態のブロック図である。

40

【図２】図１に示す誤ロック検出回路の構成を表すブロック図である。

【図３】図１に示すダミーパルス生成回路の構成を表すブロック図である。

【図４】図１に示す半導体集積回路の具体例を表すブロック図である。

【図５】分周クロックＶＤＣＬＫ、分周クロックＶＤＣＬＫ５、分周クロックＥＲＣＨＫの関係を表すタイミングチャートである。

【図６】間引き回路４０の内部状態を表すタイミングチャートである。

【図７】リファレンスクロックＲＥＦＣＬＫ、ダブルクロックＲＥＦＸ２、ダミーパルスＤＵＭＰＬＳ、アップ信号ＵＰ、ダウン信号ＤＮの関係を表すタイミングチャートである。

【図８】図１に示すダミーパルス生成回路の別の構成を表すブロック図である。

50

【図 9】(A) および (B) は、それぞれ、本発明に関わるデッドロック復帰回路および従来のデッドロック復帰回路の再ロックまでの遷移状態を表すタイミングチャートである。

【符号の説明】

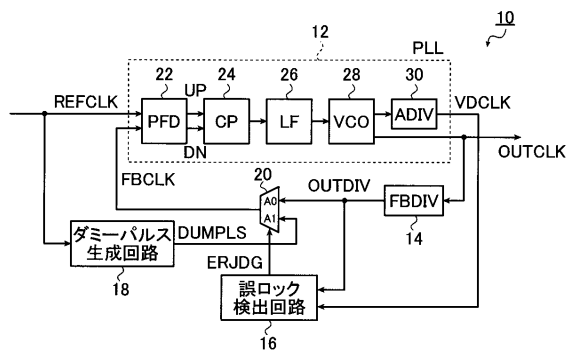
【 0 1 0 1 】

- 1 0、5 0 半導体集積回路
- 1 2 PLL 回路
- 1 4 フィードバック分周器 ( F B D I V )
- 1 6 誤ロック検出回路
- 1 8 ダミーパルス生成回路
- 2 0、4 4 マルチプレクサ ( M U X )
- 2 2 位相比較回路 ( P F D )
- 2 4 チャージポンプ回路 ( C P )
- 2 6 ループフィルタ ( L F )
- 2 8 電圧制御発振器 ( V C O )
- 3 0 アナログ分周器 ( A D I V )
- 3 2、3 2 a、3 2 b 分周器
- 3 4 カウンタ
- 3 6 判定回路
- 3 8 ダブルクロック生成回路
- 3 8 a 遅延回路
- 3 8 b E O R ゲート
- 4 0、4 2 パルス間引き回路

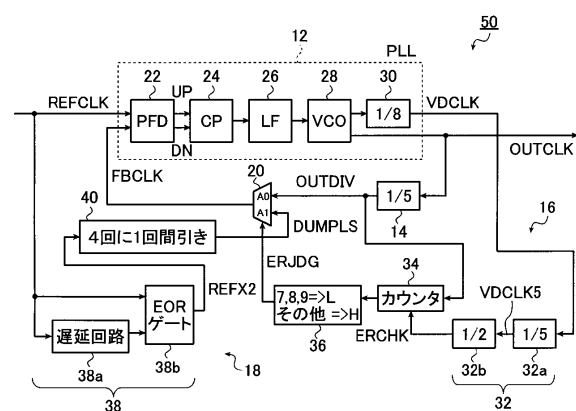
10

20

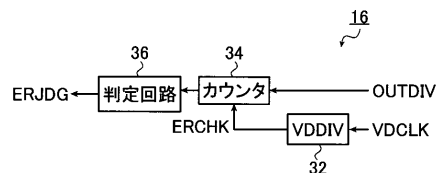
【図 1】



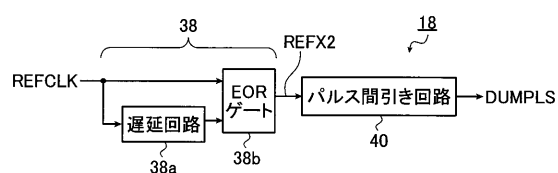
【図 4】



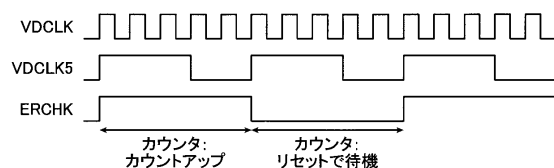
【図 2】



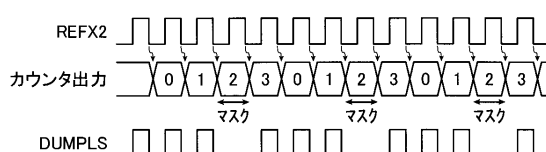
【図 3】



【図 5】



【図 6】







---

フロントページの続き

(56)参考文献 特開2008-306557(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03L1/00-9/00