

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6412498号  
(P6412498)

(45) 発行日 平成30年10月24日 (2018. 10. 24)

(24) 登録日 平成30年10月5日 (2018.10.5)

|                                 |                       |
|---------------------------------|-----------------------|
| (51) Int. Cl.                   | F I                   |
| <b>C 2 3 C 14/34 (2006.01)</b>  | C 2 3 C 14/34 U       |
| <b>H O 1 L 21/28 (2006.01)</b>  | H O 1 L 21/28 3 O 1 R |
| <b>H O 1 L 21/285 (2006.01)</b> | H O 1 L 21/285 S      |
| <b>H O 1 L 21/768 (2006.01)</b> | H O 1 L 21/90 P       |

請求項の数 14 (全 19 頁)

|               |                               |           |   |
|---------------|-------------------------------|-----------|---|
| (21) 出願番号     | 特願2015-526551 (P2015-526551)  | (73) 特許権者 | 390040660                                       |
| (86) (22) 出願日 | 平成25年7月18日 (2013. 7. 18)      |           | アプライド マテリアルズ インコーポレイテッド                         |
| (65) 公表番号     | 特表2015-533928 (P2015-533928A) |           | APPLIED MATERIALS, INCORPORATED                 |
| (43) 公表日      | 平成27年11月26日 (2015. 11. 26)    |           | アメリカ合衆国 カリフォルニア州 95054 サンタ クララ パウアーズ アベニュー 3050 |
| (86) 国際出願番号   | PCT/US2013/051017             | (74) 代理人  | 100094569                                       |
| (87) 国際公開番号   | W02014/025508                 |           | 弁理士 田中 伸一郎                                      |
| (87) 国際公開日    | 平成26年2月13日 (2014. 2. 13)      | (74) 代理人  | 100088694                                       |
| 審査請求日         | 平成28年7月15日 (2016. 7. 15)      |           | 弁理士 弟子丸 健                                       |
| (31) 優先権主張番号  | 13/570, 712                   | (74) 代理人  | 100067013                                       |
| (32) 優先日      | 平成24年8月9日 (2012. 8. 9)        |           | 弁理士 大塚 文昭                                       |
| (33) 優先権主張国   | 米国 (US)                       |           |   |
| 前置審査          |                               |           |   |

最終頁に続く

(54) 【発明の名称】 堆積プロセスの同期のための方法および装置

(57) 【特許請求の範囲】

【請求項 1】

プロセスチャンパ内で基板を処理する方法であって、

同期コントローラによって、第1のチャンパプロセスを実行するための1つまたは複数のデバイスに対するプロセス制御パラメータを、プロセスコントローラから受け取るステップと、

前記同期コントローラによって、前記プロセス制御パラメータのそれぞれを前記1つまたは複数のデバイスへ送る時間を決定するステップと、

前記1つまたは複数のデバイスのそれぞれに対して、前記同期コントローラによって、前記1つまたは複数のデバイスのそれぞれに関連する特有の信号プロセス遅延に基づいて前記プロセス制御パラメータのそれぞれを送るように、前記決定した時間を調整するステップとを含み、前記特有の信号プロセス遅延は、外部信号伝送遅延と、前記1つまたは複数のデバイスのそれぞれに関連する内部信号処理遅延とを含んでおり、更に、

前記同期コントローラによって、前記調整した時間に、前記第1のチャンパプロセスを実行するための前記プロセス制御パラメータを前記1つまたは複数のデバイスのそれぞれへ送るステップを含み、前記同期コントローラが、1つまたは複数の出力チャネルを含み、各チャネルが、前記1つまたは複数のデバイスの1つに直接結合される、方法。

【請求項 2】

前記1つまたは複数のデバイスの各デバイスが、前記同期コントローラによって、前記デバイスの制御ポートに直接結合された前記出力チャネル上で送られるプロセス制御パラ

メータを使用して制御される、請求項 1 に記載の方法。

【請求項 3】

前記プロセス制御パラメータが、前記プロセスコントローラからデジタル形式で受け取られ、前記同期コントローラが、各デバイスに対する前記デジタルプロセス制御パラメータをアナログ信号に変換し、前記アナログ信号が、前記 1 つまたは複数のデバイスのそれぞれへ送られて、前記 1 つまたは複数のデバイスのそれぞれを制御する、請求項 1 に記載の方法。

【請求項 4】

前記調整した時間に前記プロセス制御パラメータを前記 1 つまたは複数のデバイスへ送る前記動作が、前記 1 つまたは複数のデバイスの 1 つに直接結合された各チャンネルを介して、前記 1 つまたは複数のデバイスのそれぞれへ、前記プロセス制御パラメータに対応する前記アナログ信号を別個に送ることを含む、請求項 3 に記載の方法。

10

【請求項 5】

前記第 1 のチャンバプロセスが、前記基板上に形成された 1 つまたは複数の特徴の底部部分に第 1 の材料を蓄積させるために、第 1 のエネルギープロセス状態を使用して実行される堆積プロセスである、請求項 1 から 4 までのいずれか 1 項に記載の方法。

【請求項 6】

前記同期コントローラによって、第 2 のチャンバプロセスを実行するための第 2 の組の 1 つまたは複数のデバイスに対する第 2 の組のプロセス制御パラメータを、前記プロセスコントローラから受け取るステップと、

20

前記同期コントローラによって、前記第 2 の組のプロセス制御パラメータのそれぞれを前記第 2 の組の 1 つまたは複数のデバイスへ送る時間を決定するステップと、

前記第 2 の組の 1 つまたは複数のデバイスのそれぞれに対して、前記同期コントローラによって、前記第 2 の組の 1 つまたは複数のデバイスのそれぞれに関連する特有の信号プロセス遅延に基づいて前記第 2 の組のプロセス制御パラメータのそれぞれを送るように、前記決定した時間を調整するステップと、

前記同期コントローラによって、前記調整した時間に、前記第 2 のチャンバプロセスを実行するための前記第 2 の組のプロセス制御パラメータを前記第 2 の組の 1 つまたは複数のデバイスのそれぞれへ送るステップとをさらに含み、前記同期コントローラが、前記第 2 の組の 1 つまたは複数のデバイスのそれぞれに直接結合された出力チャンネルを含む、

30

請求項 5 に記載の方法。

【請求項 7】

前記第 2 のチャンバプロセスが、前記 1 つまたは複数の特徴の前記底部部分から前記 1 つまたは複数の特徴の側壁へ前記第 1 の材料を再分布させるために、第 2 のエネルギープロセス状態を使用して実行される再スパッタリングプロセスであり、前記第 2 のエネルギープロセス状態が、前記第 1 のエネルギープロセス状態より高い、請求項 6 に記載の方法。

【請求項 8】

前記第 1 のチャンバプロセスが実行された後、前記 1 つまたは複数の特徴の前記側壁に沿って配置された前記第 1 の材料が第 1 の厚さを有し、前記第 2 のチャンバプロセスが実行された後、前記 1 つまたは複数の特徴の前記側壁に沿って配置された前記第 1 の材料が第 2 の厚さを有し、前記第 2 の厚さが、前記第 1 の厚さより大きい、請求項 7 に記載の方法。

40

【請求項 9】

前記第 1 のチャンバプロセスが堆積プロセスであり、前記第 2 のチャンバプロセスが再スパッタリングプロセスである、請求項 7 に記載の方法。

【請求項 10】

前記第 1 のチャンバプロセスの前記第 1 のエネルギープロセス状態が、直流 + 150 ボルト～直流 - 90 ボルトであり、前記第 2 のチャンバプロセスの前記第 2 のエネルギープロセス状態が、直流 - 120 ボルト～直流 - 750 ボルトである、請求項 9 に記載の方法

50

## 【請求項 1 1】

前記 1 つまたは複数のデバイスの少なくとも 1 つが電力供給であり、前記同期コントローラによって受け取られる前記電力供給に対する前記プロセスパラメータが、(a) エネルギーレベルと、(b) 前記エネルギーレベルを印加するときの時間パラメータとを含む、請求項 1 から 4 までのいずれか 1 項に記載の方法。

## 【請求項 1 2】

プロセス制御パラメータが、前記調整した時間に、前記第 1 のチャンバプロセスを実行するために前記 1 つまたは複数のデバイスのそれぞれへ送られ、したがって、前記 1 つまたは複数のデバイスのそれぞれが、前記プロセス制御パラメータを実質上同時に受け取る、請求項 1 から 4 までのいずれか 1 項に記載の方法。

## 【請求項 1 3】

プロセスコントローラから 1 つまたは複数のデバイスのプロセス制御パラメータを受け取るための 1 つまたは複数の入力と、1 つまたは複数の出力チャンネルとを有する同期コントローラを備え、各出力チャンネルが、前記 1 つまたは複数のデバイスの 1 つに直接結合され、前記同期コントローラが、(a) 前記プロセス制御パラメータを受け取り、(b) 前記プロセス制御パラメータのそれぞれを前記 1 つまたは複数のデバイスへ送る時間を決定し、(c) 前記 1 つまたは複数のデバイスのそれぞれに対して、前記 1 つまたは複数のデバイスのそれぞれに関連する特有の信号プロセス遅延に基づいて前記プロセス制御パラメータのそれぞれを送るように、前記決定した時間を調整し、前記特有の信号プロセス遅延は、外部信号伝送遅延と、前記 1 つまたは複数のデバイスのそれぞれに関連する内部信号処理遅延とを含んでおり、(d) 前記調整した時間に、第 1 のチャンバプロセスを実行するための前記プロセス制御パラメータを前記 1 つまたは複数のデバイスのそれぞれへ送るように構成される、

基板処理システム。

## 【請求項 1 4】

前記 1 つまたは複数のデバイスの各デバイスが、前記同期コントローラによって、前記デバイスの制御ポートに直接結合された前記出力チャンネル上で送られるプロセス制御パラメータを使用して制御される、請求項 1 3 に記載の基板処理システム。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明の実施形態は、一般に、物理的気相堆積プロセス中の処理条件を制御することに関する。

## 【背景技術】

## 【0002】

集積回路は、単一のチップ上に数百万個の構成要素（たとえば、トランジスタ、キャパシタ、および抵抗器）を含むことができる複雑なデバイスに進化してきた。チップ設計の進化により、より速い回路およびより大きい回路密度が絶えず必要とされている。より大きい回路密度に対する要求に応えるには、集積回路の構成要素の寸法を低減する必要がある。寸法が減少するにつれて、集積チップ基板の処理はますます困難になる。

たとえば、従来の基板処理では、基板の特徴の内面に薄い材料層を施してから、特徴を導電性材料で充填する。理論上は、この薄い層は、特徴全体にわたって一貫しているはずであり、オーバーハング（特徴の開口部の表面上に過度の材料が残ること）を最小にし、それによって、特徴開口部のサイズを低減させることができ、または開口部を完全に閉じることができる（空隙もしくはボイドを特徴の中に閉じ込めたまま残すことは望ましくない）。集積回路の構成要素の寸法が減少するにつれて、特徴の高さと特徴の幅とのアスペクト比も増大し、薄い層を一貫して堆積させるという難題がさらに難しくなる。

そのような高アスペクト比の特徴を有する集積回路の製造に一般に使用される典型的なプロセスは、特徴の底部に材料を堆積させることと、材料を再スパッタリングして特徴の

10

20

30

40

50

底部から側壁への再分布を容易にすることを含む。これは、高エネルギーのイオンを基板の方へ誘導することによって行われる。しかし残念ながら、この方法は、特に特徴のコーナーまたは斜角および底部で、下層および基板自体に損傷を引き起こすことがある。この損傷の結果、著しく線抵抗が増大し、信頼性が低下する。加えて、典型的なプロセスの好ましくない結果には、特徴を塞ぐことがあるオーバーハングの蓄積が含まれ、その影響は、特徴の形状寸法がより小さい場合（たとえば、アスペクト比が高い場合）により顕著になる。

さらに、本発明者らは、DC電力、RF電力、および電磁石の電流の制御を通じてイオン密度およびエネルギーを変動させることによって前述の問題を解決しようとする試みの結果、電力供給に対する信号処理の遅延のため、ウエハ全体にわたって、またウエハごとに、膜の厚さが変動することを観察した。

10

【発明の概要】

【発明が解決しようとする課題】

【0003】

したがって、本発明者らは、高アスペクト比の特徴の内面へ薄い材料層を形成するための改善された方法を提供する。

【課題を解決するための手段】

【0004】

基板を処理する方法および装置が本明細書に提供される。いくつかの実施形態では、プロセスチャンバ内で基板を処理する方法、プロセスチャンバ内で基板を処理する方法および装置は、同期コントローラによって、第1のチャンバプロセスを実行するための1つまたは複数のデバイスに対するプロセス制御パラメータを、プロセスコントローラから受け取るステップと、同期コントローラによって、プロセス制御パラメータのそれぞれを1つまたは複数のデバイスへ送る時間を決定するステップと、1つまたは複数のデバイスのそれぞれに対して、同期コントローラによって、1つまたは複数のデバイスのそれぞれに関連する特有の信号プロセス遅延を使用してプロセス制御パラメータのそれぞれを送るように、決定した時間を調整するステップと、同期コントローラによって、調整した時間に、第1のチャンバプロセスを実行するためのプロセス制御パラメータを1つまたは複数のデバイスのそれぞれへ送るステップとを含み、同期コントローラは、1つまたは複数の出力チャンネルを含み、各チャンネルは、1つまたは複数のデバイスの1つに直接結合される。

20

30

【0005】

いくつかの実施形態では、基板処理システムは、プロセスコントローラから1つまたは複数のデバイスのプロセス制御パラメータを受け取る1つまたは複数の入力と、1つまたは複数の出力チャンネルとを有する同期コントローラを含み、各出力チャンネルは、1つまたは複数のデバイスの1つに直接結合され、同期コントローラは、(a)プロセス制御パラメータを受け取り、(b)プロセス制御パラメータを1つまたは複数のデバイスへ送るように構成され、したがって、1つまたは複数のデバイスはそれぞれ、第1のチャンバプロセスを実行するためのプロセス制御パラメータを実質上同時に受け取る。

【0006】

いくつかの実施形態では、1つまたは複数の特徴を有する基板上に層を形成する方法は、第1のエネルギープロセス状態を使用して第1の層上で第1の基板プロセスを実行し、1つまたは複数の特徴の底部部分に第1の材料を蓄積させるステップと、第2のエネルギープロセス状態を使用して第1の層上で第2の基板プロセスを実行し、1つまたは複数の特徴の底部部分から1つまたは複数の特徴の側壁へ第1の材料を再分布させるステップとを含み、第2のエネルギープロセス状態は、第1のエネルギープロセス状態より高い。

40

上記で簡単に要約し、以下でより詳細に論じる本発明の実施形態は、添付の図面に示す本発明の例示的な実施形態を参照することによって理解することができる。しかし、本発明は他の等しく有効な実施形態も許容しうるため、添付の図面は本発明の典型的な実施形態のみを示すものであり、したがって本発明の範囲を限定すると見なされるべきではないことに留意されたい。

50

## 【図面の簡単な説明】

## 【0007】

【図1】本発明のいくつかの実施形態による半導体基板を処理する方法を示す図である。

【図2A】本発明のいくつかの実施形態による処理シーケンスの異なる段階中の基板の例示的な横断面図である。

【図2B】本発明のいくつかの実施形態による処理シーケンスの異なる段階中の基板の例示的な横断面図である。

【図2C】本発明のいくつかの実施形態による処理シーケンスの異なる段階中の基板の例示的な横断面図である。

【図2D】本発明のいくつかの実施形態による処理シーケンスの異なる段階中の基板の例示的な横断面図である。

【図2E】本発明のいくつかの実施形態による処理シーケンスの異なる段階中の基板の例示的な横断面図である。

【図2F】本発明のいくつかの実施形態による処理シーケンスの異なる段階中の基板の例示的な横断面図である。

【図3】本発明のいくつかの実施形態による半導体基板を処理するのに適した装置を示す図である。

【図4A】基板処理の際に支持システムを制御する従来の制御システムの概略図である。

【図4B】基板処理の際に支持システムを制御する従来の制御システムに関連する例示的な信号遅延を示すグラフである。

【図5】本発明のいくつかの実施形態による別個の同期コントローラを含む例示的な制御システムの概略図である。

【図6】本発明のいくつかの実施形態による半導体基板の処理に関連する支持システムの制御を同期させる方法を示す図である。

## 【発明を実施するための形態】

## 【0008】

理解を容易にするために、可能な場合、複数の図に共通の同一の要素を指すのに同一の参照番号を使用した。これらの図は、原寸に比例して描かれたものではなく、見やすいように簡略化されていることがある。一実施形態の要素および特徴は、さらなる記述がなくても、他の実施形態に有益に組み込むことができることが企図される。

イオン化物理的気相堆積(PVD)銅プロセスでは、ターゲットソース材料から金属イオンを加速させ、基板上に形成されたビアおよびトレンチ構造(すなわち、特徴)内へ堆積させる。本発明者らは、イオン密度およびエネルギーを変動させることによって、イオン/中性金属の比、軌道、およびスパッタ収率を調整することにより、特徴のステップカバレッジ(たとえば、水平面上に堆積させた材料の厚さと垂直面上に堆積させた材料の厚さとを比較した値)を調節することができることを発見した。典型的には、PVD銅堆積プロセスは、イオンエネルギーを変動させて、金属イオン比の高い状態で行われる。入ってくるイオンのエネルギーを変動させることによって、別個のプロセス状態が実現される。中間のイオンエネルギープロセス状態では、高い底部堆積プロセスが観察され、基板上の再スパッタリングは最小になる。より高いエネルギープロセス状態では、イオンは基板を物理的にエッチングすることができる。本発明者らは、複数のステップからなるプロセスにおいて、中間のエネルギープロセスと高いエネルギープロセスとを組み合わせることで、基板または特徴の損傷を最小にし、または防止しながら、銅イオンのリフローまたは電気化学堆積もしくはめっき(ECP)による間隙充填に対して好ましいステップカバレッジを実現することができることを発見した。

## 【0009】

加えて、本発明者らはまた、プロセスパラメータ(たとえば、マグネトロンの位置、電磁石の電流、DC電力、およびRF電力)を送ることを同期させることによって、堆積性能(ステップカバレッジ、均一性)、プロセス結果の再現性、およびハードウェア構成要素の信頼性の改善を実現することができることを観察した。別個のプログラム可能な論理

10

20

30

40

50

コントローラを使用して、プロセスパラメータを送ることを同期させることによって、たとえば、電力供給を制御するための遅延時間を大幅に減少させることができる。具体的には、実施形態で、DC電力供給とRF電力供給の応答時間の同期は、たとえば300ミリ秒の遅延から30ミリ秒の遅延に改善された。本発明者らはまた、DC電力供給とRF電力供給の応答時間を同期させることによって、基板ウエハのエッジの均一性がたとえば7%から2.5%に改善されることを観察した。加えて、少なくともいくつかの実施形態では、ウエハごとの再現性もまた、同様の範囲だけ改善される。さらに、プロセスパラメータをプロセスデバイスへ送ることを同期させることによって、特定のデバイスをいつオンおよびオフにするかをより正確に制御することで、プロセスチャンパ内のアークの発生を防止することができる。

10

**【0010】**

図1は、本発明のいくつかの実施形態による基板を処理する方法100を示す。図2A~Fは、図1に示す方法の異なる段階中の基板の例示的な横断面図である。方法100は、図3に示す後述のプロセスチャンパ300など、DC電源と高周波(RF)電源の両方を有する任意の適した基板プロセスチャンパ内で実行することができる。

**【0011】**

方法100は102から始まり、102で、図2Aに示すように、開口部212などの特徴が形成された基板200が設けられる。基板200は、シリコン基板、第III~V族化合物の基板、シリコンゲルマニウム(SiGe)基板、エピ基板、絶縁体上シリコン(SOI)基板、液晶ディスプレイ(LCD)、プラズマディスプレイ、エレクトロルミネッセンス(EL)ランプディスプレイ、発光ダイオード(LED)基板などのディスプレイ基板、太陽電池アレイ、ソーラーパネルなど、任意の適した基板とすることができる。いくつかの実施形態では、基板200は、半導体ウエハ(たとえば、200mm、300mm、450mmなどのシリコンウエハ)とすることができる。

20

**【0012】**

いくつかの実施形態では、基板200は、図2Aに示すように、たとえば誘電体層202の上に形成されたバルク誘電体層206など、1つまたは複数の層を備えることができる。誘電体層202の上部領域内に、導電性の特徴204を形成することができ、したがって、バルク誘電体層206内に形成された開口部212によって、導電性の特徴204の上面を露出させることができる。たとえば、ビア/トレンチのエッチングプロセスを実行して、バルク誘電体層206内に開口部212を画定し、それによって導電性の特徴204の上面を露出させることができる。導電性の特徴204は、任意の適した導電性材料から製造することができる。たとえば、銅の相互接続の場合、導電性の特徴204は、誘電体層202内に埋め込まれた銅層とすることができる。いくつかの実施形態では、導電性の特徴204は、銅、アルミニウム、タングステンなど、これらの合金、またはこれらの組合せなどの金属から製造することができる。

30

**【0013】**

バルク誘電体層206および誘電体層202は、同じまたは異なる誘電体材料から製造することができる。いくつかの実施形態では、誘電体材料は、酸化ケイ素(SiO<sub>2</sub>)、窒化ケイ素(SiN)、低誘電率材料などを含むことができる。低誘電率材料は、炭素がドーブされた誘電体材料(炭素がドーブされた酸化ケイ素(SiOC)、カリフォルニア州サンタクララのApplied Materials, Inc.から入手可能なブラックダイヤモンド(登録商標)という誘電体材料など)、有機ポリマー(ポリイミド、バリレンなど)、有機物がドーブされたシリコンガラス(OSG)、フッ素がドーブされたシリコンガラス(FSG)などとすることができる。本明細書では、低誘電率材料とは、約3.9である酸化ケイ素の誘電率より低い誘電率を有する材料である。

40

**【0014】**

開口部212は、概して、1つまたは複数の側壁214、底面216、および上部コーナー(斜角)218によって画定される。開口部212は、たとえばビア、トレンチ、デュアルダマシンの特徴など、基板の製造に適した任意の特徴とすることができ、エッチン

50

グなど、任意の適した1つまたは複数のプロセスによって形成することができる。1つの開口部212のみを示すが、本明細書に開示する教示によれば、複数の特徴を同時に処理することができる。開口部212は、概して、任意の寸法を有することができる。たとえば、いくつかの実施形態では、開口部212の特徴の高さと特徴の幅との比は、少なくとも約2:1とすることができる。いくつかの実施形態では、開口部212は、高アスペクト比の特徴とすることができる。そのような実施形態では、開口部212の特徴の高さと特徴の幅との比は、少なくとも約4:1とすることができる。いくつかの実施形態では、開口部212の幅は、約5~約50nmとすることができる。

誘電体層202の上に形成されたバルク誘電体層206を有する基板200を示すが、基板200はまた、異なる材料層および/または追加の材料層を含むこともできる。加えて、異なる材料層および/または追加の材料層内に、トレンチ、ビアなどの他の特徴を形成することができる。

#### 【0015】

次に、104で、基板200の上にバリア層208を任意選択で堆積させることができる。バリア層208が存在する場合は、基板と後に開口部内に堆積させるべき層との間の電気的および/もしくは物理的バリアとして働くことができ、かつ/または以下で論じる堆積プロセス中の取付けにとって、基板の本来の表面より良好な表面として機能することができる。バリア層208は、上記で論じた機能を実行するのに適した任意の材料を含むことができる。たとえば、いくつかの実施形態では、バリア層208は、チタン(Ti)、タンタル(Ta)、これらの酸化物または窒化物などの1つまたは複数を含むことができる。バリア層208は、任意の適した厚さ、たとえば約0.5~約10nmまで堆積させることができる。

#### 【0016】

バリア層208は、たとえば化学気相堆積(CVD)、物理的気相堆積(PVD)などの任意の適した方法によって堆積させることができる。たとえば、いくつかの実施形態では、バリア層208は、図3に関して後述するプロセスチャンバ300などの適したプロセスチャンバ内で、PVDプロセスを介して堆積させることができる。そのような実施形態では、基板200の上に堆積させるべきソース材料を含むターゲット(たとえば、ターゲット342)を、プロセスチャンバ内に配置することができる。たとえば、バリア層が窒化タンタル(Ta<sub>N<sub>x</sub></sub>)を含む実施形態では、ターゲットはタンタル(Ta)を含むこ

とができる。いくつかの実施形態では、バリア層208を堆積させることは、プロセスチャンバにプロセスガスを提供することと、プロセスガスからプラズマを形成してターゲットからのソース材料と反応させることとを含むことができる。この反応により、ターゲットはターゲット材料の原子を放出し、次いでこれらの原子は基板200の方へ誘導される。いくつかの実施形態では、プロセスガスは、アルゴン(Ar)、ヘリウム(He)、クリプトン(Kr)、ネオン(Ne)、キセノン(Xe)などの不活性ガスを含むことができる。プロセスガスは、約2~約200sccmの流量で提供することができる。いくつかの実施形態では、約5~約40kWのDC電力をターゲットに印加してプロセスガスを着火し、プラズマを維持することができる。

#### 【0017】

いくつかの実施形態では、放出された原子をターゲットから基板200の方へ誘導することを容易にするために、基板200を支持する基板支持ペDESTAL(たとえば、上記で論じた基板支持ペDESTAL352)に、RF電力の形でバイアス電力を印加することができる。そのような実施形態では、約50~約2000WのRF電力を、2~約60MHzまたは約13.56MHzの周波数で供給することができる。

上記に加えて、追加のプロセスパラメータを利用して、バリア層208の堆積を容易にすることができる。たとえば、いくつかの実施形態では、プロセスチャンバは、約0.2~約50ミリの圧力で維持することができる。加えて、いくつかの実施形態では、プロセスチャンバは、摂氏約-20度~摂氏約+400度の温度で維持することができる。

10

20

30

40

50

## 【0018】

次に、106で、図2Cに示すように、開口部212内に最初のシード層210（すなわち、第1の材料層）を堆積させることができる。シード層210は、取付けにとってより良好な表面を提供し、たとえば以下で論じる導電性材料など、後に堆積させる材料に対するテンプレートとして作用することができる。シード層210は、前述の機能を提供するのに適した任意の材料を含むことができる。たとえば、いくつかの実施形態では、シード層は、銅（Cu）、ルテニウム（Ru）、コバルト（Co）など、および銅-アルミニウム（Cu-Al）、銅-マンガン（Cu-Mn）、銅-マグネシウム（Cu-Mg）などのこれらの合金の1つを含むことができる。

## 【0019】

最初のシード層210（たとえば、第1の材料層）を形成するために、いくつかの実施形態では、複数のステップからなる堆積および/またはエッチングプロセスを使用することができる。まず、108で、基板200上で第1のチャンバプロセスを実行して、シード層210を形成することができる。いくつかの実施形態では、最初のシード層210は、低いエネルギープロセス状態から中間のエネルギープロセス状態を使用して、図2Cに示すように、開口部212内（および基板200上）に堆積させることができる。シード層210は、たとえばPVD、CVDなど、所望のプロファイルを有するシード層を形成するのに適した任意の堆積プロセスを介して堆積させることができる。たとえば、いくつかの実施形態では、シード層210は、図3に関して後述するプロセスチャンバ300などの適したプロセスチャンバ内で、PVDプロセスを介して堆積させることができる。そのような実施形態では、基板200の上に堆積させるべきソース材料を含むターゲット（たとえば、ターゲット342）を、プロセスチャンバ内に配置することができる。たとえば、シード層210が銅（Cu）を含む実施形態では、ターゲットは、銅（Cu）のソース材料を含むことができる。

## 【0020】

いくつかの実施形態では、シード層210を堆積させることは、プロセスチャンバにプロセスガスを提供して、ターゲットからのソース材料を物理的にスパッタリングすることを含むことができ、たとえばその結果、ターゲットはターゲット材料の原子を放出し、次いでこれらの原子は基板200の方へ誘導される。いくつかの実施形態では、プロセスガスは、アルゴン（Ar）、ヘリウム（He）、クリプトン（Kr）、ネオン（Ne）、キセノン（Xe）などの不活性ガスを含むことができる。プロセスガスは、約4～約300 sccm、またはいくつかの実施形態では約4 sccmの流量で提供することができる。いくつかの実施形態では、プロセスガスからプラズマを形成して、ターゲットからのソース材料のスパッタリングを容易にすることができる。そのような実施形態では、約5 kW～約60 kWのDC電力、またはいくつかの実施形態では約30 kWのDC電力をターゲットに印加してプロセスガスを着火し、プラズマを維持することができる。スパッタリングを引き起こすために、-300 v～-1400 vのターゲット電圧（すなわち、スパッタ電圧）をターゲットに印加することができる。いくつかの実施形態では、-750 vの例示的なターゲット電圧がターゲットに印加される。低い/中間のDCエネルギープロセス状態を使用してターゲット材料をスパッタリングするとともに、RFバイアスエネルギーを印加することによって、ターゲットソース材料のイオン（たとえば、Cuイオン）が、垂直に近い軌道で基板の特徴（たとえば、ビアおよび/またはトレンチ）に入る。ターゲットソース材料のイオンのエネルギーが低いため、特徴230の底部部分にはターゲットソース材料のイオンが蓄積され、これらのイオンは、基板の他の部分へ再スパッタリングされない。

## 【0021】

いくつかの実施形態では、放出された原子をターゲットから基板200の方へ誘導することを容易にするために、基板200を支持する基板支持ペDESTAL（たとえば、基板支持ペDESTAL 352）に、RF電力の形のバイアス電力を印加することができる。そのような実施形態では、約50 W～約2000 WのRF電力、またはいくつかの実施形態では

10

20

30

40

50

約120WのRF電力を、2MHz～約60MHzまたは約13.56MHzの周波数で供給することができる。加えて、いくつかの実施形態では、+150V～-750Vの基板ペDESTAL電圧を印加することができる。例示的な複数のステップからなる堆積/エッチングプロセスでは、-120Vから-240Vになり、次いで-50Vまで戻る基板ペDESTAL電圧を印加することができる。

#### 【0022】

上記に加えて、追加のプロセスパラメータを利用して、シード層210の堆積を容易にすることができる。たとえば、いくつかの実施形態では、プロセスチャンバは、約0.1～約50ミリの圧力で維持することができる。加えて、いくつかの実施形態では、プロセスチャンバは、摂氏約20～約200度の温度で維持することができる。

10

いくつかの実施形態では、本発明者らは、ステップ108に関して上述した低い/中間のエネルギー堆積プロセスを介してシード層210を堆積させて、底部基板特徴230を蓄積させるとき、シード層材料は、図2Cに示すように、開口部212の上部コーナー218付近に積もることがあることを観察した。従来処理では、シード層材料が積もること、開口部212を部分的または完全に塞いでボイドを生じさせることがある。

#### 【0023】

したがって、110で、第2のチャンバプロセスを基板200上で実行することができる。110で、図2Dに示すように、シード層210を高いエネルギープロセス状態でエッチング/再スパッタリングして、開口部212の上部コーナー218近傍に位置するシード層210の少なくとも一部分を除去する(たとえば、エッチングされたシード層を提  
供する)。シード層210の少なくとも一部分をエッチング/再スパッタリングすること  
によって、側壁214に沿って所望の箇所および開口部212の上部コーナー218近傍  
で、シード層210の厚さを制御して、図2Dに示すように、内方へ傾斜したシード層  
プロファイル(たとえば、シード層の平均の厚さは、開口部212の上部部分226、22  
8から開口部212の底部216の方へ増大する)を提供することができる。たとえば、  
いくつかの実施形態では、開口部212の底部216近傍で側壁232上に形成されるシ  
ード層210の厚さは、約2～約10nmとすることができ、開口部212の上部部分近  
傍で側壁232上に形成されるシード層210の厚さは、約1～約5nmとすることがで  
きる。いくつかの実施形態では、シード層210は、連続する層でなくてもよい。たと  
えば、いくつかの実施形態では、側壁214のうち、開口部212の上部部分226、22  
8近傍の部分上、または開口部212の上部コーナー218に、シード層210の材料を  
配置しなくてもよい。シード層の厚さは、特徴のサイズに応じて変化することがで  
きる。いくつかの実施形態では、側壁232の下部部分のシード層の厚さは、側壁232の上部  
部分のシード層の厚さの2倍より大きくすることができる。

20

30

#### 【0024】

プロセスガスは、たとえばアルゴン(Ar)、ヘリウム(He)、クリプトン(Kr)、ネオン(Ne)、キセノン(Xe)などの不活性ガスなど、シード層210をエッチングするためのプラズマを形成するのに適した任意のガスを含むことができる。プロセスガスは、約10～約300sccm、またはいくつかの実施形態では約100sccmの流量で提供することができる。プラズマを確立および維持するのに適した条件下でプロセス  
チャンバ内のプロセスガスにソース電力を結合することによって、プロセスガスからプラ  
ズマを形成することができる。たとえば、いくつかの実施形態では、約5kW～約60k  
WのDC電力、またはいくつかの実施形態では約20kWのDC電力を提供してプロセス  
ガスを着火し、プラズマを維持することができる。いくつかの実施形態では、基板にバイ  
アス電力を印加して、イオンをプラズマから基板の方へ誘導することを容易にし、それ  
によってエッチングプロセスを容易にすることができる。いくつかの実施形態では、高いエ  
ネルギープロセス状態で基板に印加されるバイアス電力は、-240V～-750Vとす  
ることができる。たとえば、いくつかの実施形態では、バイアス電力は、約2MHz～約  
60MHzまたは約13.56MHzの周波数で、約50W～約2000W、またはいく  
つかの実施形態では約600Wとすることができる。

40

50

## 【 0 0 2 5 】

上記に加えて、追加のプロセスパラメータを利用して、シード層 2 1 0 のエッチング / 再スパッタリングを容易にすることができる。たとえば、いくつかの実施形態では、プロセスチャンバは、約 1 ~ 約 5 0 ミリトルの圧力で維持することができる。加えて、いくつかの実施形態では、プロセスチャンバは、摂氏約 2 0 ~ 約 2 0 0 度の温度で維持することができる。

次に、1 1 2 で、図 2 E に示すように、シード層 2 1 0 の上に導電性材料 2 2 2 を堆積させて、開口部 2 1 2 を充填することができる。シード層 2 1 0 が連続する層を形成しない実施形態（上述）では、導電性材料 2 2 2 の一部分をバリア層 2 0 8 の上に直接堆積させることができる。導電性材料 2 2 2 は、電気化学堆積または電気化学めっき（ECP）などの任意の方法で堆積させることができる。導電性材料 2 2 2 は、アルミニウム（Al）、銅（Cu）などの任意の適した導電性材料とすることができる。

10

## 【 0 0 2 6 】

いくつかの実施形態では、本発明者らは、シード層 2 1 0 の厚さが増大するにつれて、堆積中の導電性材料 2 2 2 の成長速度も増大することができることを観察した。たとえば、いくつかの実施形態では、導電性材料 2 2 2 の成長速度は、シード層 2 1 0 のうち、より小さい厚さを有する部分（たとえば、シード層 2 1 0 のうち、開口部 2 1 2 の上部近傍で側壁上に配置された部分、およびシード層のうち、上部コーナー 2 1 8 上に堆積させた部分）の上に堆積させたときの導電性材料 2 2 2 の成長速度と比較すると、シード層 2 1 0 のうち、より大きい厚さを有する部分（たとえば、シード層 2 1 0 のうち、開口部 2 1 2 の底部 2 1 6 近傍で側壁上に配置された部分、およびシード層のうち、底部自体の上に堆積させた部分）の上に堆積させたときにより速くすることができる。したがって、有利には、傾斜したプロファイル（上記で論じた）を有するシード層 2 1 0 を提供することによって、導電性材料 2 2 2 の成長速度は、開口部 2 1 2 の底部 2 1 6 近傍でより大きくすることができる。それによって底部 2 1 6 から上部へ開口部 2 1 2 を充填することが可能になる。底部 2 1 6 から上部へ特徴を充填することで、余分の量の導電性材料 2 2 2 が特徴の上部コーナー 2 1 8 付近で形成されるのを防止することができ、それによって開口部 2 1 2 を導電性材料 2 2 2 で完全に充填する前に開口部 2 1 2 が塞がれるのを防止することができる。

20

## 【 0 0 2 7 】

開口部 2 1 2 を導電性材料 2 2 2 で充填した後、図 2 F に示すように、化学機械研磨（CMP）または他の適した技法を使用して、開口部 2 1 2（および他のビア、トレンチ、デュアルダマシン構造などの任意の他の特徴）の外側にある余分の導電性材料 2 2 2 を除去することができる。

30

導電性材料 2 2 2 を堆積させて開口部 2 1 2 を充填した後、この方法は、概して終了し、基板 2 0 0 は、堆積、エッチング、アニーリングなどのさらなる処理へ進むことができる。たとえば、いくつかの実施形態では、追加の層を堆積させることができ、たとえば、充填された開口部 2 1 2 の上に、追加の誘電体層および / または金属化構造を形成することができる。

## 【 0 0 2 8 】

本明細書に記載する本発明の方法は、後述するプロセスチャンバ内で実行することができる。図 3 は、本発明のいくつかの実施形態による基板を処理するのに適したプロセスチャンバを示す。適したプロセスチャンバの例には、どちらもカリフォルニア州サンタクララの Applied Materials, Inc. から市販されている、ENDURA（登録商標）EXTENSA TTN および ENDURA（登録商標）ENCORE という処理チャンバが含まれる。他の製造者のものを含む他の処理チャンバを利用して本発明を実行することもできることが企図される。

40

いくつかの実施形態では、処理チャンバ 3 0 0 は、基板 2 0 0 を受け取るための基板支持ペDESTAL 3 5 2 と、ターゲット 3 4 2 などのスパッタリングソースとを収容する。基板支持ペDESTAL 3 5 2 は、接地チャンバ壁 3 5 0 内に配置することができ、接地チャン

50

バ壁 350 は、チャンバ壁（図示せず）または接地シールド（図示せず）とすることができる。基板支持ペDESTAL 352 は、たとえば抵抗性加熱要素、放射空洞および光源など、基板 200 に熱を提供する任意の適した手段（図示せず）を含むことができる。

ターゲット 342 は、誘電体アイソレータ 346 を介して、接地された導電性のアルミニウムアダプタ 344 上に支持することができる。ターゲット 342 は、本発明の実施形態による窒化チタン膜を堆積させるときのチタンなど、スパッタリング中に基板 200 上に堆積させるべき材料を含む。

#### 【0029】

基板支持ペDESTAL 352 は、ターゲット 342 の主表面の方を向いている材料受取り表面を有し、ターゲット 342 の主表面に対向する平面の位置でスパッタコーティングすべき基板 200 を支持する。基板支持ペDESTAL 352 は、処理チャンバ 300 の中心領域 340 内で基板 200 を支持することができる。中心領域 340 は、処理中に基板支持ペDESTAL 352 の上（たとえば、処理位置にあるときにターゲット 342 と基板支持ペDESTAL 352 との間）に位置する領域として画定される。

基板支持ペDESTAL 352 は、底部チャンバ壁 360 に連結されたベローズ 358 を通って垂直方向に可動であり、それによって、処理チャンバ 300 の下部部分内に位置するロードロックバルブ（図示せず）を通して基板 200 を基板支持ペDESTAL 352 上へ移送し、その後、図 3 に示す堆積または処理位置へ持ち上げることが可能になる。ガス源 362 から質量流量コントローラ 364 を通ってチャンバ 300 の下部部分内へ、1 つまたは複数の処理ガスを供給することができる。処理チャンバ 300 の内部を排気し、処理チャンバ 300 内で所望の圧力を維持するのを容易にするために、排気口 368 を設け、バルブ 366 を介してポンプ（図示せず）に結合することができる。

#### 【0030】

チャンバ 300 に制御可能な DC 電源 348 を結合して、負の電圧またはバイアスをターゲット 342 に印加することができる。基板支持ペDESTAL 352 に RF 電力供給 356 を結合して、負の DC バイアスを基板 200 にかけることができる。加えて、いくつかの実施形態では、処理中に負の DC 自己バイアスを基板 200 上に形成することができる。他の適用分野では、基板支持ペDESTAL 352 は、接地させることができ、または電気的に浮動したままとすることができる。

#### 【0031】

ターゲット 342 の裏面近傍に、回転可能なマグネトロン 370 を位置決めすることができる。マグネトロン 370 は、底板 374 によって支持された複数の磁石 372 を含む。底板 374 は、チャンバ 300 および基板 200 の中心軸に一致する回転シャフト 376 に連結される。磁石 372 は、チャンバ 300 内で、ターゲット 342 の表面に対して略平行に近接する磁場をもたらし、電子を閉じ込めて局所的なプラズマ密度を増大させ、それによってスパッタリング速度を増大させる。磁石 372 によってチャンバ 300 の上部の周りに電磁場をもたらし、磁石 372 を回転させてその電磁場を回転させ、プロセスのプラズマ密度に影響を与えて、ターゲット 342 をより均一にスパッタリングする。

チャンバ 300 は、アダプタ 344 の突起 384 に連結された底部接地シールド 380 をさらに含む。底部シールド 380 上に暗黒部シールド 386 が支持され、ねじまたは他の適した方法によってシールド 380 に締め付けられる。底部シールド 380 と暗黒部シールド 386 との間の金属ねじ連結により、2 つのシールド 380、386 をアダプタ 344 に接地させることが可能になる。アダプタ 344 は、アルミニウムのチャンバ壁 350 に密閉および接地される。シールド 380、386 はどちらも、典型的には、硬質の非磁性ステンレス鋼から形成される。

#### 【0032】

底部シールド 380 は、第 1 の直径の上部管状部分 394 および第 2 の直径の下部管状部分 396 内を下方へ延びる。底部シールド 380 は、アダプタ 344 の壁およびチャンバ壁 350 に沿って基板支持ペDESTAL 352 の頂面の下まで下方へ延び、上方へ戻った後、基板支持ペDESTAL 352 の頂面に到達する（たとえば、底部に u 字状部分 398 を

10

20

30

40

50

形成する)。基板支持ペDESTAL 352が下部のローディング位置にあるときは、底部シールド380の上方へ延びる内側部分の上部にカバーリング302が載置されるが、基板支持ペDESTAL 352が上部の堆積位置にあるときは、カバーリング302は基板支持ペDESTAL 352の外周部上に載置されて、基板支持ペDESTAL 352をスパッタ堆積から守る。追加の堆積リング(図示せず)を使用して、基板200の周辺部を堆積から保護することもできる。

#### 【0033】

基板200の周辺部のすぐ外側で、ターゲット342と基板支持ペDESTAL 352との間の空間の下部2分の1または3分の1の部分に、RFコイル304を配置することができる。底部シールド380内の複数の絶縁支持体(図示せず)が、RFコイル304を支持し、またRF電力および接地をRFコイル304に供給する。コイル304は、銅から構成された単巻きのほぼ管状のコイルとすることができ、このコイルは、電力および接地のための密接に隔置された電気リード間に小さい間隙を有する。RF電力供給308を設けて、RFコイル304にRF電力を供給し、ターゲット342から取り外された領域内にアルゴンプラズマを生成することができる。ターゲット342には、スパッタ堆積のためにDC電力を供給することができ、基板200のスパッタエッチングには、RFコイル304を利用することができる。しかし、いくつかの実施形態では、DC電力とRF電力の任意の組合せで、2つのステップからなるDCEプロセスに電力供給することができる。

10

#### 【0034】

チャンバ300はまた、より指向性の高い材料のスパッタリングを基板上へ提供するように適合することができる。いくつかの実施形態では、指向性のスパッタリングは、より均一性および対称性の高い堆積材料の流束を基板200に提供するように、ターゲット342と基板支持ペDESTAL 352との間に任意選択のコリメータ310を位置決めすることによって実現することができる。

20

コリメータ310が存在するときは、底部シールド380の突起部分上に載置することができる。それによってコリメータ310を接地することができる。コリメータ310は、金属のリングとすることができ、外側の管状区間と、少なくとも1つの内側の同心円状の管状区間、たとえばクロスストラット320、318によってつながれた3つの同心円状の管状区間312、314、316とを含むことができる。外側の管状区間316は、底部シールド380の突起部分306上に載置される。底部シールド380を使用してコリメータ310を支持することで、チャンバ300の設計および保守が簡略化される。少なくとも2つの内側の管状区間312、314は、スパッタリングされた粒子を部分的にコリメートする高アスペクト比の開孔を画定するのに十分な高さである。さらに、コリメータ310の上面は、バイアスされたターゲット342に対向する接地面として作用し、それによってプラズマ電子を基板200から離れて保つことを容易にする。

30

#### 【0035】

いくつかの実施形態では、基板支持ペDESTAL 352とターゲット342との間に磁場を選択的に提供するように、チャンバ300の周りに磁石354を配置することができる。たとえば、図3に示すように、磁石354は、処理位置にあるときの基板支持ペDESTAL 352の真上の領域内でチャンバ壁350の外側の周りに配置することができる。磁石354は、電磁石とすることができ、電磁石によって生成される磁場の大きさを制御するように電源(図示せず)に結合することができる。

40

#### 【0036】

プロセスチャンバ300の様々な構成要素に、プロセスチャンバ300の動作を制御するためのプロセスコントローラ330が結合され、プロセスコントローラ330は、中央処理装置(CPU)332と、メモリ334と、CPU332に対する支持回路336とを備える。プロセスコントローラ330は、基板処理装置を直接制御することができ、または特定のプロセスチャンバおよび/もしくは支持システムの構成要素に付随するコンピュータ(もしくはコントローラ)を介して制御することができる。プロセスコントローラ

50

330は、様々なチャンバおよびサブプロセッサを制御するために産業用の設定で利用することができる任意の形態の汎用コンピュータプロセッサの1つとすることができる。CPU332のメモリまたはコンピュータ可読媒体334は、ランダムアクセスメモリ(RAM)、読取り専用メモリ(ROM)、フロッピーディスク、ハードディスク、フラッシュ、または任意の他の形態のローカルもしくは遠隔のデジタルストレージなど、容易に利用可能なメモリの1つまたは複数とすることができる。支持回路336は、プロセッサを従来の方法で支持するようにCPU332に結合される。これらの回路には、キャッシュ、電力供給、クロック回路、入出力回路、およびサブシステムなどが含まれる。本明細書に記載する本発明の方法は、ソフトウェアルーチンとしてメモリ334内に記憶することができ、このソフトウェアルーチンを実行または起動して、本明細書に記載する方法でプロセスチャンバ300の動作を制御することができる。ソフトウェアルーチンはまた、CPU332によって制御されているハードウェアから遠隔に位置する第2のCPU(図示せず)によって記憶および/または実行することもできる。

10

#### 【0037】

プロセスチャンバ300の様々な構成要素に、プロセスチャンバ300の動作を制御するための同期コントローラ322(図5に関してより詳細に後述する)が結合され、同期コントローラ322は、中央処理装置(CPU)324と、メモリ326と、CPU324に対する支持回路328とを備える。同期コントローラ322は、基板処理支持システムのサブセットに対するプロセスパラメータを、プロセスコントローラ330から受け取ることができる。たとえば、同期コントローラ322は、RF電力供給308および356、DC電源348、ならびに任意選択でマグネトロン370に対するプロセスパラメータを、プロセスコントローラ330から受け取ることができる。同期コントローラ322は、これらのシステムを直接制御することができ、または支持システムの構成要素に付随するコンピュータ(もしくはコントローラ)を介して制御することができる。同期コントローラ322は、様々な支持システムおよびサブプロセッサを制御するために産業用の設定で利用することができる任意の形態の汎用コンピュータプロセッサの1つとすることができる。CPU324のメモリまたはコンピュータ可読媒体326は、ランダムアクセスメモリ(RAM)、読取り専用メモリ(ROM)、フロッピーディスク、ハードディスク、フラッシュ、または任意の他の形態のローカルもしくは遠隔のデジタルストレージなど、容易に利用可能なメモリの1つまたは複数とすることができる。支持回路328は、プロセッサを従来の方法で支持するようにCPU324に結合される。これらの回路には、キャッシュ、電力供給、クロック回路、入出力回路、およびサブシステムなどが含まれる。本明細書に記載する本発明の方法は、ソフトウェアルーチンとしてメモリ326内に記憶することができ、このソフトウェアルーチンを実行または起動して、たとえば方法100および600に関して上述した方法など、本明細書に記載する方法で、プロセスチャンバ300に付随する選択された支持デバイス(たとえば、電力供給)の動作を制御することができる。ソフトウェアルーチンはまた、CPU324によって制御されているハードウェアから遠隔に位置する第2のCPU(図示せず)によって記憶および/または実行することもできる。

20

30

#### 【0038】

上記で論じたように、本発明者らは、プロセスパラメータ(たとえば、マグネトロンの位置、電磁石の電流、DC電力、およびRF電力)を送ることを同期させて制御信号伝送遅延を低減させることによって、堆積性能(ステップカバレッジ、均一性)、プロセス結果の再現性、およびハードウェア構成要素の信頼性の改善を実現することができることを観察した。具体的には、本発明者らは、プロセスコントローラを介してDC電力およびRF電力ならびに電磁石の電流を制御する現在の方法では著しい信号遅延が生じ、それによって堆積性能およびプロセス結果の再現性に大きな影響が及ぼされることを観察した。基板処理ツールは、デバイスおよび電力供給との通信のために多数のプロセスチャンバおよびネットワークノードを有することがある。典型的には、図4Aに示すように、中央の「実時間」プロセスコントローラ402を使用して、共用ネットワーク接続410を介して

40

50

デバイス 406<sub>a-n</sub>のすべてに信号を整合させる。図 4 A に示すシステムでは、本発明者らは、プロセスコントローラ 402 が実際には「実時間」ではなく、制御されているプロセス構成要素 406<sub>a-n</sub>間の信号処理において最大 100 ミリ秒の遅延を有することを観察した。

#### 【0039】

本発明者らは、ネットワーク遅延および通信符号化/復号化時間もまた、ネットワーク 410 上の任意の所与のデバイスの総応答時間がより遅くなることに寄与することを実証した。具体的には、プロセスコントローラ 402 は、チャンバ 408 内で特有の堆積プロセスを実行するのに必要なデバイス 406<sub>a-n</sub>に対するすべてのプロセスパラメータを、たとえばデバイスラック 404 内のデバイス 406<sub>a-n</sub>へ、共用ネットワーク 410 を介して送ることがある。しかし、共用ネットワーク上のネットワーク輻輳のため、特有の堆積プロセスを実行するための動作命令を受け取る際に、デバイスが遅延することがある。さらに、これらの遅延には、各デバイスに関連する固有の遅延（たとえば、電力供給の内部信号処理および電力サイクル時間）が加算される。場合によっては、これらの遅延の和が 300 ミリ秒を上回ることが示されている。たとえば、図 4 B は、 $t = 15$  秒で始めて  $t = 17$  秒ですべての電力を除去する堆積プロセスを実行するように電力を印加する理想化された設定点を示す。しかし、信号の遅延は、実際の電力が、異なる時間に印加および除去されたことを示す。これらの遅延はまた、プロセスコントローラにどれだけ多くのシステムを取り付けることができるかに応じて変動する。したがって、薄い基板膜の場合、上述した個々のプロセス方策は、2 ~ 5 秒の持続時間とすることができる。遅延時間がある場合、タイミングが正確ではないため、ウエハ全体にわたって、またウエハごとに、膜の厚さの変動によって実証される実際の結果は、大幅に変動する可能性がある。

#### 【0040】

本発明者らは、プロセスパラメータ（たとえば、マグネトロンの位置、電磁石の電流、DC 電力および RF 電力、温度、圧力など）を送ることを同期させることによって、デバイスのそれぞれへの直接通信線を使用し、各デバイスに関連する固有の遅延を考慮することで、堆積性能（ステップカバレッジ、均一性）、プロセス結果の再現性、およびハードウェア構成要素の信頼性の改善を実現することができることを観察した。図 5 の制御システム 500 内に示すように別個のプログラム可能な同期コントローラ 504 を使用して、プロセスパラメータを送ることを同期させることによって、たとえば、電力供給を制御するための遅延時間を大幅に減少させることができる。ここに記載する同期コントローラ 504 は、図 3 に関して上述した同期コントローラ 322 として使用することができる。図 6 は、図 5 の同期コントローラ 504 および図 3 に関して上述した同期コントローラ 322 によって実行することができる例示的な方法 600 を示す。方法 600 は 602 から始まり、602 で、同期コントローラ 504 は、たとえば第 1 の堆積チャンバプロセスをチャンバ 508 内で実行するための 1 つまたは複数のデバイス 506<sub>1-n</sub>に対するプロセス制御パラメータを、リンク 510 を介してプロセスコントローラ 502 から受け取る。

#### 【0041】

同期コントローラ 504 が第 1 の堆積チャンバプロセスを実行するためのプロセスパラメータを受け取った後、ステップ 604 で、同期コントローラ 504 は、プロセス制御パラメータ内に含まれる情報を使用して、プロセス制御パラメータのそれぞれを 1 つまたは複数のデバイス 506<sub>1-n</sub>へ送る時間を決定する。ステップ 606 で、1 つまたは複数のデバイス 506<sub>1-n</sub>のそれぞれに対して、同期コントローラ 504 は、1 つまたは複数のデバイス 506<sub>1-n</sub>のそれぞれに関連する特有の信号プロセス遅延（たとえば、固有の遅延）を使用してプロセス制御パラメータのそれぞれを送るように、決定した時間を調整する。ステップ 608 で、同期コントローラは、調整した時間に、第 1 のチャンバプロセスを実行するためのプロセス制御パラメータを 1 つまたは複数のデバイス 506<sub>1-n</sub>のそれぞれへ送る。いくつかの実施形態では、ステップ 610 で、1 つまたは複数のデバイス 506<sub>1-n</sub>の各デバイスは、同期コントローラ 504 によって、デバイスのアナログ制御ポートに直接結合された出力チャンネル上で送られるプロセス制御パラメータを使用して制御

される。いくつかの実施形態では、プロセス制御パラメータは、プロセスコントローラからデジタル形式で受け取られ、同期コントローラ504は、各デバイスに対するデジタルプロセス制御パラメータをアナログ信号に変換し、このアナログ信号は、1つまたは複数のデバイス506<sub>1..n</sub>のそれぞれへ送られて、1つまたは複数のデバイス506<sub>1..n</sub>のそれぞれを制御する。いくつかの実施形態では、調整した時間にプロセス制御パラメータを1つまたは複数のデバイスへ送る動作は、1つまたは複数のデバイスの1つに直接結合された各チャンネルを介して、1つまたは複数のデバイスのそれぞれへ、プロセス制御パラメータに対応するアナログ信号を別個に送ることを含む。

#### 【0042】

いくつかの実施形態では、同期コントローラ504は、すべてのプロセス制御パラメータを受け取るまで待機し、プロセス制御パラメータを1つまたは複数のデバイス506<sub>1..n</sub>のそれぞれへ送ることを同期させる。プロセス制御パラメータを1つまたは複数のデバイス506<sub>1..n</sub>のそれぞれへ送ることを同期させることは、1つまたは複数の出力チャンネル512<sub>1..n</sub>を介して、1つまたは複数のデバイス506<sub>1..n</sub>のそれぞれへ制御信号を同時に（並列に）送ることを含むことができ、各チャンネルは、1つまたは複数のデバイス506<sub>1..n</sub>のそれぞれの上のアナログ制御ポートに直接結合された1つまたは複数のデバイスチャンネルの1つに直接結合される。他の実施形態では、出力チャンネル512<sub>1..n</sub>は、同じ基板プロセスチャンバプロセスで同時に使用されない2つ以上のデバイスに結合することができる。いくつかの実施形態では、1つまたは複数のデバイス506<sub>1..n</sub>のそれぞれに対する信号導体の長さは、同じ長さである必要はない。

#### 【0043】

いくつかの実施形態では、ステップ606で、1つまたは複数のデバイスはそれぞれ、同期コントローラ504によって、デバイスの制御ポートに直接結合された出力チャンネル512<sub>1..n</sub>上で送られるプロセス制御パラメータを使用して制御することができる。次いで、1つまたは複数のデバイス506<sub>1..n</sub>はそれぞれ、適宜指定の電力または基板支持プロセスをチャンバ508へ供給することができる。

#### 【0044】

図3の同期コントローラ322および図5の同期コントローラ504によって実行することができる方法600の一例について、以下に説明する。たとえば、いくつかの実施形態では、第1の堆積プロセスは、低いエネルギーのプロセス状態を使用して金属（たとえば、Cu）のイオンを基板上に堆積させて基板上に特徴の底部に蓄積させる第1のDCEプロセスとすることができる。同期コントローラ504は、第1のチャンバプロセスで使用される1つまたは複数のデバイス506<sub>1..n</sub>に必要なプロセスパラメータのすべてを、プロセスコントローラ502から受け取る。たとえば、第1のチャンバプロセスでは、 $t = 15$ 秒で2つのDC電力供給を起動して、2秒間にわたって $-120$ Vをチャンバ508に供給することと、 $t = 17$ で2つのRF電力供給を起動して、3秒間にわたって $-240$ をチャンバ508に供給することとが必要とされることがある。同期コントローラ504は、 $t = 15$ で、出力チャンネル512<sub>1</sub>および512<sub>2</sub>を介して、DC電力供給506<sub>1</sub>および506<sub>2</sub>上の制御ポートへ直接、必要なプロセスパラメータを同時に（並列に）送り、必要な電力を提供する。 $t = 17$ で、同期コントローラ504は、同時に（並列に）、出力チャンネル512<sub>1</sub>および512<sub>2</sub>を介してDC電力供給506<sub>1</sub>および506<sub>2</sub>上の制御ポートへ直接、必要なプロセスパラメータを送って遮断し、かつ出力チャンネル512<sub>3</sub>および512<sub>4</sub>を介してRF電力供給506<sub>3</sub>および506<sub>4</sub>上の制御ポートへ直接、必要なプロセスパラメータを送ってオンにする。本発明者らは、上記で論じた本発明の実施形態では、DC電力供給とRF電力供給の応答時間の同期が300ミリ秒の遅延から30ミリ秒の遅延に改善されたことを発見した。したがって、各デバイスは、本質的に、必要な処理パラメータを実質上同時に（すなわち、最小の遅延で）受け取り、必要な電力にとって理想的な設定点により密接に一致する。

#### 【0045】

いくつかの実施形態では、同期コントローラ504が受け取るプロセスパラメータは、

各デバイス 506<sub>1-n</sub>を制御するパケットデータの形態とすることができる。各デバイス 506<sub>1-n</sub>は、デバイスとのインターフェース接続のために、異なるデータ/信号形式を必要とすることがある。プロセスパラメータを変換して各デバイス 506<sub>1-n</sub>を制御することは、プロセスコントローラ 502または同期コントローラ 504によって実行することができる。

【0046】

いくつかの実施形態では、堆積プロセス以外のプロセスを制御システム 500によって実行することができる。加えて、同期コントローラ 504を使用して、圧力システム、温度システム、マグネトロンアセンブリ、または基板処理で使用するために制御することができる任意の他のデバイスを制御することができる。

10

【0047】

上記は本発明の実施形態を対象とするが、本発明の基本的な範囲から逸脱することなく、本発明の他のさらなる実施形態を考案することもでき、本発明の範囲は、以下の特許請求の範囲によって決定される。

【図1】

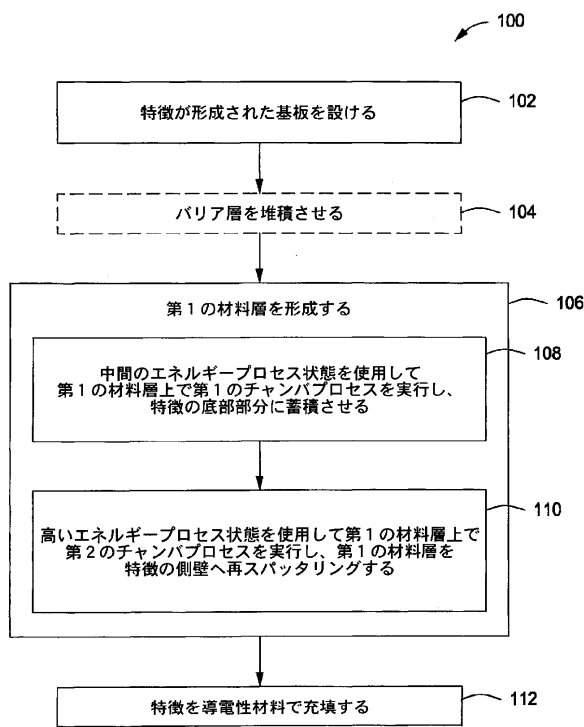


FIGURE 1

【図2A】

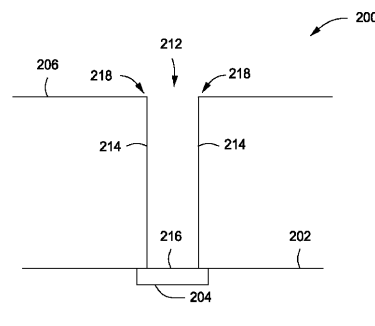


FIGURE 2A

【図2B】

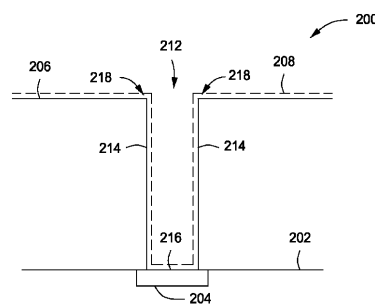


FIGURE 2B

【図 2 C】

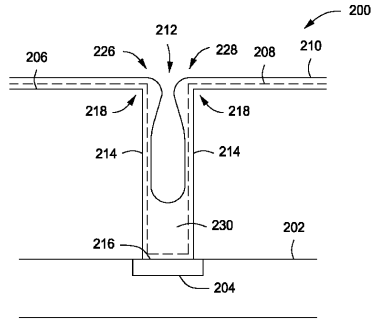


FIGURE 2C

【図 2 E】

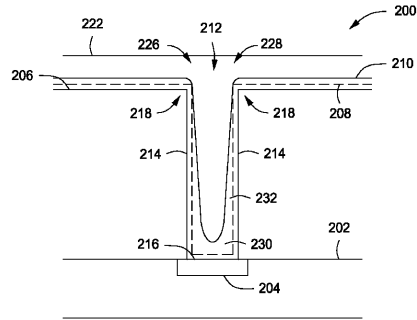


FIGURE 2E

【図 2 D】

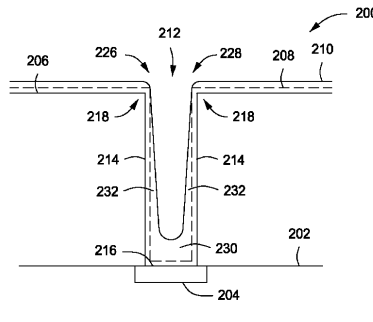


FIGURE 2D

【図 2 F】

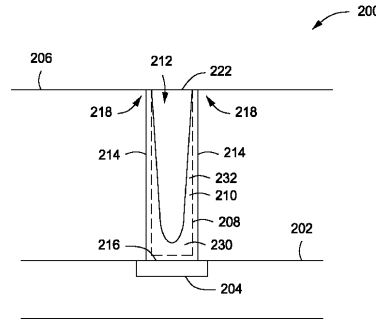


FIGURE 2F

【図 3】

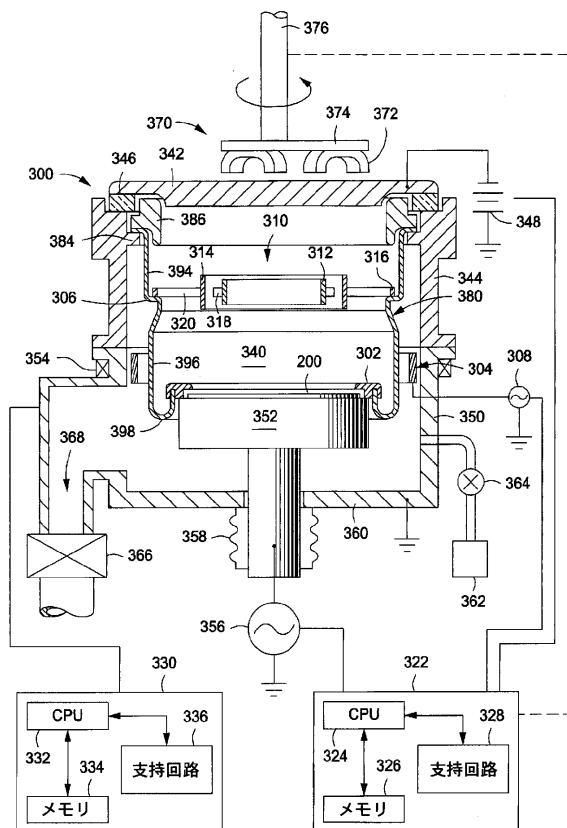


FIGURE 3

【図 4 A】

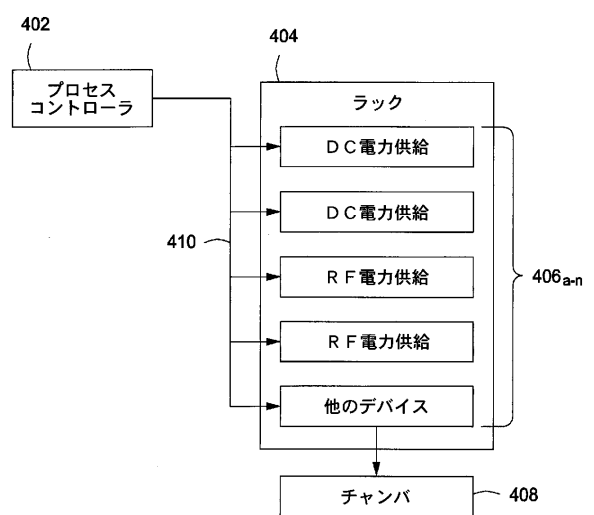


FIGURE 4A

(従来技術)

【 図 4 B 】

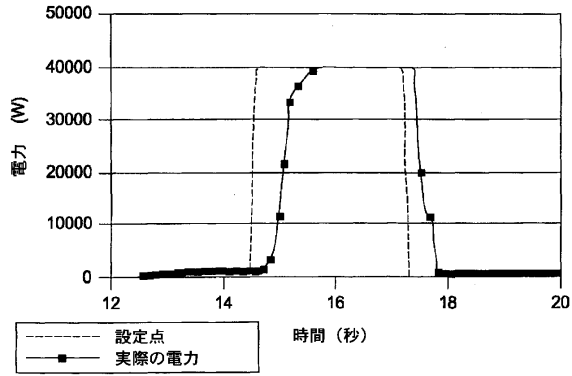


FIGURE 4B  
(従来技術)

【 図 5 】

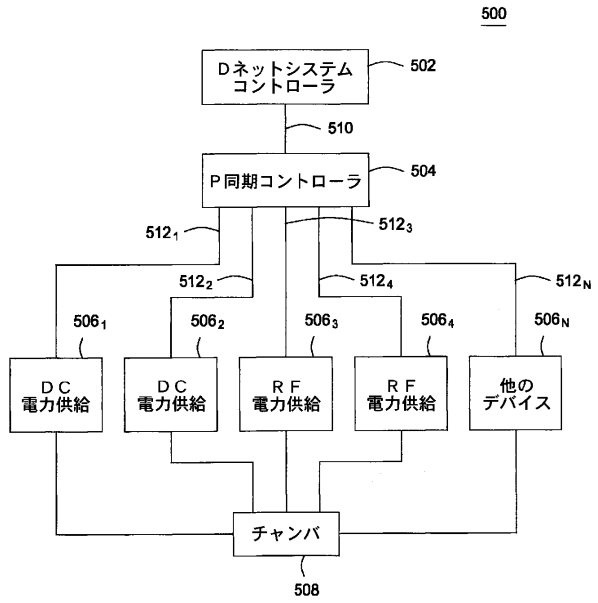


FIGURE 5

【 図 6 】

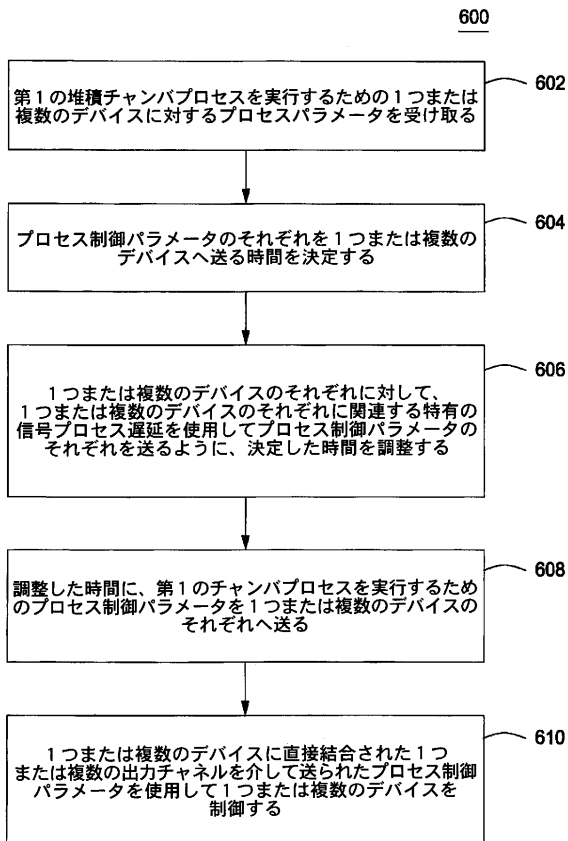


FIGURE 6

## フロントページの続き

- (74)代理人 100086771  
弁理士 西島 孝喜
- (74)代理人 100109070  
弁理士 須田 洋之
- (74)代理人 100109335  
弁理士 上杉 浩
- (74)代理人 100120525  
弁理士 近藤 直樹
- (74)代理人 100139712  
弁理士 那須 威夫
- (74)代理人 100141553  
弁理士 鈴木 信彦
- (72)発明者 ラム ウィンザー  
アメリカ合衆国 カリフォルニア州 9 4 1 1 6 サン フランシスコ シックスティーンズ ア  
ベニュー 2 0 7 5
- (72)発明者 ミラー キース エイ  
アメリカ合衆国 カリフォルニア州 9 4 0 4 1 マウンテン ビュー マリボサ アベニュー  
2 0 9
- (72)発明者 ジョンソン カール  
アメリカ合衆国 カリフォルニア州 9 5 3 0 4 トレーシー サウス ファジン ドライヴ 2  
7 9 6 2
- (72)発明者 ライカー マーティン リー  
アメリカ合衆国 カリフォルニア州 9 5 0 3 5 ミルピタス レイシー ドライヴ 2 1 7 4
- (72)発明者 シュー イェ  
アメリカ合衆国 カリフォルニア州 9 5 0 0 8 キャンベル シラッチ ドライヴ 1 7 5 9

審査官 神 崎 賢一

- (56)参考文献 米国特許出願公開第2012/0070982(US, A1)  
特開2011-214150(JP, A)  
特開2011-149093(JP, A)  
特開2004-047885(JP, A)  
特開2005-026390(JP, A)  
特開2002-249870(JP, A)  
米国特許出願公開第2004/0140196(US, A1)

## (58)調査した分野(Int.Cl., DB名)

C 2 3 C 1 4 / 3 4  
H 0 1 L 2 1 / 2 8  
H 0 1 L 2 1 / 2 8 5  
H 0 1 L 2 1 / 7 6 8