



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2023년08월02일  
(11) 등록번호 10-2562634  
(24) 등록일자 2023년07월28일

(51) 국제특허분류(Int. Cl.)  
H01L 21/3065 (2006.01) H01L 21/02 (2006.01)  
H01L 21/3213 (2006.01)  
(52) CPC특허분류  
H01L 21/3065 (2013.01)  
H01L 21/0228 (2013.01)  
(21) 출원번호 10-2018-0042942  
(22) 출원일자 2018년04월12일  
심사청구일자 2021년01월13일  
(65) 공개번호 10-2018-0116150  
(43) 공개일자 2018년10월24일  
(30) 우선권주장  
JP-P-2017-080798 2017년04월14일 일본(JP)  
(56) 선행기술조사문헌  
JP2011215371 A\*  
US20110059599 A1\*  
US20180286695 A1  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
도쿄엘렉트론가부시키키가이샤  
일본 도쿄도 미나토구 아카사카 5초메 3반 1고  
(72) 발명자  
쿠마쿠라 쇼  
일본, 미야기켄, 쿠로카와군, 타이와쵸, 테크노힐즈, 1, 도쿄 엘렉트론 미야기 가부시키키가이샤 내  
타바타 마사히로  
일본, 미야기켄, 쿠로카와군, 타이와쵸, 테크노힐즈, 1, 도쿄 엘렉트론 미야기 가부시키키가이샤 내  
(74) 대리인  
특허법인엠에이피에스

전체 청구항 수 : 총 16 항

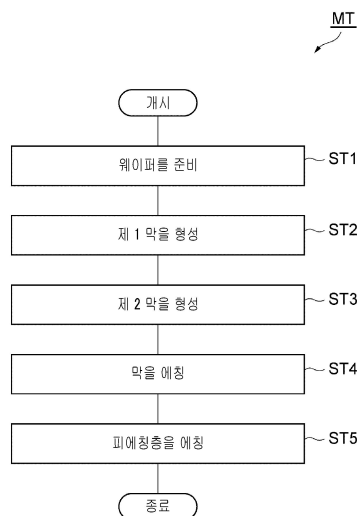
심사관 : 권철순

(54) 발명의 명칭 에칭 방법

(57) 요약

입체적 패턴의 형성이 양호하게 행해지는 이방성 에칭 기술을 제공한다. 일 실시 형태에 있어서 피처리체에 대한 에칭 방법이 제공된다. 피처리체는 지지 기체와 피처리층을 구비하고, 피처리층은 지지 기체의 주면에 마련되어 복수의 볼록 영역을 구비하며, 복수의 볼록 영역의 각각은 주면의 상방으로 연장되어 있고 복수의 볼록 영역의 각각의 단면은 주면 상에서 볼 때 노출되어 있다. 이 방법은, 복수의 볼록 영역의 각각의 단면에 막을 형성하는 제 1 공정과, 제 1 공정에 의해 형성된 막을 이방성 에칭하여, 하나 또는 복수의 단면을 선택적으로 노출시키는 제 2 공정과, 제 2 공정에 의해 노출된 단면을 원자층마다 이방성 에칭하는 제 3 공정을 구비하며, 피처리층은 실리콘 질화물을 포함하고, 막은 실리콘 산화물을 포함한다.

대표도 - 도1



(52) CPC특허분류

*H01L 21/31116* (2013.01)

*H01L 21/32136* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

피처리체에 대한 에칭 방법으로서, 상기 피처리체는 지지 기체와 피처리층을 구비하고, 상기 피처리층은 상기 지지 기체의 주면에 마련되어 복수의 볼록 영역을 구비하며, 상기 복수의 볼록 영역의 각각은 상기 주면의 상방으로 연장되어 있고, 상기 복수의 볼록 영역의 각각의 단면은 상기 주면 상에서 볼 때 노출되어 있으며, 상기 에칭 방법은,

상기 복수의 볼록 영역의 각각의 상기 단면에 막을 형성하는 제 1 공정과,

상기 제 1 공정에 의해 형성된 상기 막을 이방성 에칭하여, 하나 또는 복수의 상기 단면을 선택적으로 노출시키는 제 2 공정과,

상기 제 2 공정에 의해 노출된 상기 단면을 원자층마다 이방성 에칭하는 제 3 공정을 구비하고,

상기 피처리층은 실리콘 질화물을 포함하며,

상기 막은 실리콘 산화물을 포함하는 피처리체에 대한 에칭 방법.

#### 청구항 2

제 1 항에 있어서,

상기 막은 제 1 막 및 제 2 막을 포함하고,

상기 제 1 공정은,

상기 제 1 막을 컨포멀하게 형성하는 제 4 공정과,

상기 제 1 막 상에 제 2 막을 형성하는 제 5 공정을 구비하며,

상기 제 5 공정은,

상기 주면으로부터 멀어질수록 막 두께가 증가하도록, 상기 제 2 막을 형성하는 에칭 방법.

#### 청구항 3

제 2 항에 있어서,

상기 제 4 공정은,

상기 피처리체가 배치되는 공간에 제 1 가스를 공급하는 제 6 공정과,

상기 제 6 공정의 실행 후에 상기 피처리체가 배치되는 공간을 퍼지하는 제 7 공정과,

상기 제 7 공정의 실행 후에 상기 피처리체가 배치되는 공간에 제 2 가스의 플라즈마를 생성하는 제 8 공정과,

상기 제 8 공정의 실행 후에 상기 피처리체가 배치되는 공간을 퍼지하는 제 9 공정을 포함하는 제 1 시퀀스를 반복 실행하여 상기 제 1 막을 컨포멀하게 형성하고,

상기 제 1 가스는 유기 함유의 아미노실란계 가스를 포함하며,

상기 제 2 가스는 산소 원자를 포함하고,

상기 제 6 공정은 상기 제 1 가스의 플라즈마를 생성하지 않는 에칭 방법.

#### 청구항 4

제 3 항에 있어서,

상기 제 1 가스는 모노아미노실란을 포함하는 에칭 방법.

#### 청구항 5

제 3 항에 있어서,

상기 제 1 가스에 포함되는 아미노실란계 가스는 1 ~ 3 개의 규소 원자를 가지는 아미노실란을 포함하는 에칭 방법.

#### 청구항 6

제 3 항 또는 제 5 항에 있어서,

상기 제 1 가스에 포함되는 아미노실란계 가스는 1 ~ 3 개의 아미노기를 가지는 아미노실란을 포함하는 에칭 방법.

#### 청구항 7

제 2 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 5 공정은,

상기 피처리체가 배치되는 공간에 제 3 가스의 플라즈마를 생성하고,

상기 제 3 가스는 실리콘 원자를 포함하며, 또한, 염소 원자 또는 수소 원자를 포함하는 에칭 방법.

#### 청구항 8

제 7 항에 있어서,

상기 제 3 가스는  $\text{SiCl}_4$  가스 또는  $\text{SiH}_4$  가스를 포함하는 에칭 방법.

#### 청구항 9

제 2 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 5 공정은,

상기 피처리체가 배치되는 공간에 제 4 가스를 공급하는 제 10 공정과,

상기 제 10 공정의 실행 후에 상기 피처리체가 배치되는 공간을 퍼지하는 제 11 공정과,

상기 제 11 공정의 실행 후에 상기 피처리체가 배치되는 공간에 제 5 가스의 플라즈마를 생성하는 제 12 공정과,

상기 제 12 공정의 실행 후에 상기 피처리체가 배치되는 공간을 퍼지하는 제 13 공정을 포함하는 제 2 시퀀스를 반복 실행하여 상기 제 2 막을 형성하고,

상기 제 4 가스는 실리콘 원자 및 염소 원자를 포함하며,

상기 제 5 가스는 산소 원자를 포함하고,

상기 제 10 공정은 상기 제 4 가스의 플라즈마를 생성하지 않는 에칭 방법.

#### 청구항 10

제 9 항에 있어서,

상기 제 4 가스는  $\text{SiCl}_4$  가스 및 Ar 가스를 포함하는 혼합 가스를 포함하는 에칭 방법.

#### 청구항 11

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 2 공정은,

상기 피처리체가 배치되는 공간에 제 6 가스의 플라즈마를 생성하여, 상기 제 6 가스의 플라즈마에 바이어스 전

력을 인가하고,

상기 제 6 가스는 플루오로카본계 가스를 포함하는 에칭 방법.

#### 청구항 12

제 1 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 제 3 공정은,

상기 피처리체가 배치되는 공간에 제 7 가스의 플라즈마를 생성하여, 상기 제 7 가스의 플라즈마에 포함되는 이온을 포함하는 혼합층을 상기 제 2 공정에 의해 노출된 상기 단면의 원자층에 형성하는 제 14 공정과,

상기 제 14 공정의 실행 후에 상기 피처리체가 배치되는 공간을 퍼지하는 제 15 공정과,

상기 제 15 공정의 실행 후에 상기 피처리체가 배치되는 공간에 제 8 가스의 플라즈마를 생성하여, 상기 제 8 가스의 플라즈마에 포함되는 라디칼에 의해 상기 혼합층을 제거하는 제 16 공정과,

상기 제 16 공정의 실행 후에 상기 피처리체가 배치되는 공간을 퍼지하는 제 17의 공정을 포함하는 제 3 시퀀스를 반복 실행하여, 상기 제 2 공정에 의해 노출된 상기 단면을 원자층마다 제거함으로써 상기 단면에 대하여 선택적으로 이방성 에칭을 행하고,

상기 제 7 가스는 수소 원자 또는 산소 원자를 포함하며,

상기 제 8 가스는 불소 원자를 포함하는 에칭 방법.

#### 청구항 13

제 12 항에 있어서,

상기 제 14 공정에 있어서, 상기 제 7 가스의 플라즈마에 바이어스 전력을 인가하여, 상기 제 2 공정에 의해 노출된 상기 단면의 원자층에 상기 이온을 포함하는 상기 혼합층을 형성하는 에칭 방법.

#### 청구항 14

제 12 항에 있어서,

상기 제 8 가스는  $\text{NF}_3$  가스 및  $\text{O}_2$  가스를 포함하는 혼합 가스를 포함하는 에칭 방법.

#### 청구항 15

피처리체에 대한 에칭 방법으로서,

지지 기체와, 상기 지지 기체의 주면에 마련되어 복수의 블록 영역을 구비하며, 상기 복수의 블록 영역의 각각은 상기 주면의 상방으로 연장되고, 상기 주면으로부터 거리가 상이한 단면을 가지며, 상기 복수의 블록 영역의 각각의 단면은 노출되어 있는 피처리층을 구비하는 상기 피처리체를 준비하는 공정과,

상기 복수의 블록 영역의 각각의 상기 단면에 막을 형성하는 공정과,

상기 막을 이방성 에칭하여, 하나 또는 복수의 상기 단면을 선택적으로 노출시키는 공정과,

노출된 상기 단면을 원자층마다 이방성 에칭하는 공정

을 구비하는 것을 특징으로 하는 피처리체에 대한 에칭 방법.

#### 청구항 16

제 15 항에 있어서,

상기 피처리층은 실리콘 질화물을 포함하며,

상기 막은 실리콘 산화물을 포함하는 에칭 방법.

#### 발명의 설명

## 기술 분야

[0001] 본 발명의 실시 형태는, 피처리체에 대한 에칭 방법에 관한 것이다.

## 배경 기술

[0002] 반도체의 제조에 있어서, 고(高)상세한 배선 패턴의 형성이 반도체 소자의 미세화에 따라 요구되고 있다. 이러한 배선 패턴의 형성에 있어서는, 고선택비의 에칭 처리가 필요해진다. 특허 문헌 1에는 에칭 방법에 따른 기술이 개시되어 있다. 특허 문헌 1의 에칭 방법은, 실리콘 산화막을 덮는 실리콘 질화막을 에칭하는 에칭 가스로서  $\text{CH}_3\text{F}$  가스와  $\text{O}_2$  가스의 혼합 가스를 이용하고, 혼합 가스의  $\text{CH}_3\text{F}$  가스에 대한  $\text{O}_2$  가스의 혼합비( $\text{O}_2/\text{CH}_3\text{F}$ )를 4~9로 설정한다. 특허 문헌 2에는, 복수의 막을 가지는 스페이서를 형성하는 에칭 방법에 따른 기술이 개시되어 있다. 특허 문헌 2의 에칭 방법은, 실리콘 질화물에 대하여 높은 선택성을 가지는 low-k 재료에 대하여 이방적인 에칭(이방성 에칭)을 행하고, 그 후에 low-k 재료에 대하여 높은 선택성을 가지는 SiN의 등방성 에칭을 행하는 다단계 처리를 행한다. 특허 문헌 3에는 ALD(Atomic Layer Deposition) 및 CVD(Chemical Vapor Deposition)를 이용한 박막의 형성에 따른 기술이 개시되어 있다.

## 선행기술문헌

### 특허문헌

[0003] (특허문헌 0001) 일본 특허공개공보 2003-229418호  
(특허문헌 0002) 일본 특허공개공보 2015-159284호  
(특허문헌 0003) 미국 특허출원공개공보 제2016/0163556호  
(특허문헌 0004) 일본 특허공표공보 2012-505530호

## 발명의 내용

### 해결하려는 과제

[0004] 각각 높이가 상이한 복수의 단면(에칭 대상이 되는 면)을 가지는 복잡한 입체적 패턴의 형성에 있어서, 복수의 단면 중 특정의 단면만을 선택적으로 이방성 에칭 하는 경우, 비교적 높은 퇴적성을 가지는 에칭 가스가 이용되는 경우에는 에칭에 의해 형성되는 패턴의 홈 중 비교적 높은 애스펙트비의 영역에 퇴적물이 생성되고, 비교적 낮은 퇴적성을 가지는 에칭 가스가 이용되는 경우에는 비교적 낮은 선택비의 에칭이 행해져, 패턴의 소밀에 대응하여 패턴의 홈이 불균일한 폭을 가지도록 형성되는 등의 다양한 문제가 발생할 수 있으므로, 입체적 패턴의 형성이 곤란해질 수 있다. 따라서, 입체적 패턴의 형성이 양호하게 행해지는 이방성 에칭에 따른 기술이 요망되고 있다.

### 과제의 해결 수단

[0005] 일 양태에 있어서는, 피처리체에 대한 에칭 방법이 제공된다. 피처리체는 지지 기체(基體)와 피처리층을 구비하고, 피처리층은 지지 기체의 주면(主面)에 마련되어 복수의 볼록 영역을 구비하고, 복수의 볼록 영역의 각각은 주면의 상방으로 연장되어 있으며, 복수의 볼록 영역의 각각의 단면은 주면 상에서 볼 때 노출되어 있다. 이 방법은, 복수의 볼록 영역의 각각의 단면에 막을 형성하는 제 1 공정과, 제 1 공정에 의해 형성된 막을 이방성 에칭하여, 하나 또는 복수의 단면을 선택적으로 노출시키는 제 2 공정과, 제 2 공정에 의해 노출된 단면을 원자층마다 이방성 에칭하는 제 3 공정을 구비하고, 피처리층은 실리콘 질화물을 포함하며, 막은 실리콘 산화물을 포함한다.

[0006] 상기 방법에 있어서, 각각 단면을 가지는 복수의 볼록 영역에 대하여, 우선 제 1 공정에 의해 각 단면에 막이 형성되고, 제 2 공정에 의해 특정의 하나 또는 복수의 단면 상의 막만이 선택적으로 제거되며, 제 3 공정에 의해, 제 2 공정에 있어서 제거되어 노출된 단면만이 원자층마다 이방성 에칭된다. 따라서, 복수의 볼록 영역의 각 단면 중 특정의 하나 또는 복수의 단면에만 고상세한 이방성 에칭이 가능해진다.

[0007] 일 실시 형태에서는, 막은, 제 1 막 및 제 2 막을 포함하고, 제 1 공정은, 제 1 막을 컨포멀하게 형성하는 제 4

공정과, 제 1 막 상에 제 2 막을 형성하는 제 5 공정을 구비하며, 제 5 공정은, 주면으로부터 멀어질수록, 막 두께가 증가하도록, 제 2 막을 형성한다. 제 1 공정에 의해 형성되는 막의 막 두께는 지지 기체의 주면으로부터의 거리에 따라 상이하므로, 비교적 막 두께가 얇은 막이 마련된 단면이 제 2 공정에 의해 선택적으로 노출된다.

[0008] 일 실시 형태에서는, 제 4 공정은, 피처리체가 배치되는 공간에 제 1 가스를 공급하는 제 6 공정과, 제 6 공정의 실행 후에 피처리체가 배치되는 공간을 퍼지하는 제 7 공정과, 제 7 공정의 실행 후에 피처리체가 배치되는 공간에 제 2 가스의 플라즈마를 생성하는 제 8 공정과, 제 8 공정의 실행 후에 피처리체가 배치되는 공간을 퍼지하는 제 9 공정을 포함하는 제 1 시퀀스를 반복 실행하여 제 1 막을 컨포멀하게 형성하고, 제 1 가스는 유기 합유의 아미노실란계 가스를 포함하며, 제 2 가스는 산소 원자를 포함하고, 제 6 공정은, 제 1 가스의 플라즈마를 생성하지 않는다. 피처리층의 복수의 블록 영역의 각 단면에는, 모두, 균일한 막 두께의 실리콘 산화막이 컨포멀하게 형성된다.

[0009] 일 실시 형태에서는, 제 1 가스는, 모노아미노실란을 포함한다. 모노아미노실란을 포함하는 제 1 가스를 이용하여 실리콘의 반응 전구체의 형성이 제 6 공정에 있어서 행해진다.

[0010] 일 실시 형태에서는, 제 1 가스에 포함되는 아미노실란계 가스는, 1 ~ 3 개의 규소 원자를 가지는 아미노실란을 포함한다. 또한, 제 1 가스에 포함되는 아미노실란계 가스는, 1 ~ 3 개의 아미노기를 가지는 아미노실란을 포함할 수 있다. 제 1 가스에 포함되는 아미노실란계 가스에는, 1 ~ 3 개의 규소 원자를 가지는 아미노실란을 이용할 수 있다. 또한, 제 1 가스에 포함되는 아미노실란계 가스에는, 1 ~ 3 개의 아미노기를 가지는 아미노실란을 이용할 수 있다.

[0011] 일 실시 형태에서는, 제 5 공정은 피처리체가 배치되는 공간에 제 3 가스의 플라즈마를 생성하고, 제 3 가스는 실리콘 원자를 포함하며, 또한, 염소 원자 또는 수소 원자를 포함한다. 또한, 제 3 가스는  $\text{SiCl}_4$  가스 또는  $\text{SiH}_4$  가스를 포함한다. 실리콘 원자를 포함하고, 또한, 염소 원자 또는 수소 원자를 포함하는 제 3 가스, 예를 들면  $\text{SiCl}_4$  가스 또는  $\text{SiH}_4$  가스를 포함하는 제 3 가스의 플라즈마에 의해, 제 5 공정 전의 제 4 공정에 있어서 컨포멀하게 형성된 실리콘 산화막의 제 1 막 상에 대하여 추가로 실리콘 산화막의 제 2 막의 성막이 가능해진다.

[0012] 일 실시 형태에서는, 제 5 공정은, 피처리체가 배치되는 공간에 제 4 가스를 공급하는 제 10 공정과, 제 10 공정의 실행 후에 피처리체가 배치되는 공간을 퍼지하는 제 11 공정과, 제 11 공정의 실행 후에 피처리체가 배치되는 공간에 제 5 가스의 플라즈마를 생성하는 제 12 공정과, 제 12 공정의 실행 후에 피처리체가 배치되는 공간을 퍼지하는 제 13 공정을 포함하는 제 2 시퀀스를 반복 실행하여 제 2 막을 형성하고, 제 4 가스는 실리콘 원자 및 염소 원자를 포함하며, 제 5 가스는 산소 원자를 포함하고, 제 10 공정은, 제 4 가스의 플라즈마를 생성하지 않는다. 제 4 가스는,  $\text{SiCl}_4$  가스 및 Ar 가스를 포함하는 혼합 가스를 포함할 수 있다. 실리콘 원자 및 염소 원자를 포함하는 제 4 가스 예를 들면  $\text{SiCl}_4$  가스 및 Ar 가스를 포함하는 혼합 가스를 포함하는 제 4 가스를 이용한 제 10 공정과, 산소 원자를 포함하는 제 5 가스의 플라즈마를 이용한 제 12 공정을 포함하는 제 2 시퀀스가 반복 실행 됨으로써, 제 5 공정 전의 제 4 공정에 있어서 컨포멀하게 형성된 실리콘 산화막의 제 1 막 상에 대하여 추가로 실리콘 산화막의 제 2 막의 성막이 가능해진다.

[0013] 일 실시 형태에서는, 제 2 공정은, 피처리체가 배치되는 공간에 제 6 가스의 플라즈마를 생성하고, 제 6 가스의 플라즈마에 바이어스 전력을 인가하며, 제 6 가스는, 플루오로카본계 가스를 포함한다. 플루오로카본계 가스의 플라즈마를 이용한 이방성 에칭에 의해, 비교적 막 두께가 얇은 막이 마련된 단면이 선택적으로 노출된다.

[0014] 일 실시 형태에서는, 제 3 공정은, 피처리체가 배치되는 공간에 제 7 가스의 플라즈마를 생성하고, 제 7 가스의 플라즈마에 포함되는 이온을 포함하는 혼합층을, 제 2 공정에 의해 노출된 단면의 원자층에 형성하는 제 14 공정과, 제 14 공정의 실행 후에 피처리체가 배치되는 공간을 퍼지하는 제 15 공정과, 제 15 공정의 실행 후에 피처리체가 배치되는 공간에 제 8 가스의 플라즈마를 생성하고, 제 8 가스의 플라즈마에 포함되는 라디칼에 의해 혼합층을 제거하는 제 16 공정과, 제 16 공정의 실행 후에 피처리체가 배치되는 공간을 퍼지하는 제 17 공정을 포함하는 제 3 시퀀스를 반복 실행하며, 제 2 공정에 의해 노출된 단면을 원자층마다 제거함으로써, 단면에 대하여 선택적으로 이방성 에칭을 행하고, 제 7 가스는, 수소 원자 또는 산소 원자를 포함하며, 제 8 가스는, 불소 원자를 포함한다. 제 2 공정에 의해 노출된 단면이 제 14 공정에 있어서 원자층마다 개질되어 혼합층이 형성되고, 제 14 공정에 의해 개질된 영역(혼합층)이 제 16 공정에 있어서 제거될 수 있으므로, 제 14 공정 및 제 16 공정을 포함하는 제 3 시퀀스가 반복 실행됨으로써, 제 2 공정에 의해 노출된 단면이 원하는 정도로까지 선택적으로 에칭된다.

[0015] 일 실시 형태에서는, 제 14 공정에 있어서, 제 7 가스의 플라즈마에 바이어스 전력을 인가하여, 제 2 공정에 의해 노출된 단면의 원자층에 이온을 포함하는 혼합층을 형성한다. 제 14 공정에 있어서, 혼합층은, 제 7 가스에 바이어스 전력이 인가됨으로써, 제 2 공정에 의해 노출된 단면의 원자층에 선택적으로 형성된다.

[0016] 일 실시 형태에서는, 제 8 가스는,  $\text{NF}_3$  가스 및  $\text{O}_2$  가스를 포함하는 혼합 가스를 포함한다.  $\text{NF}_3$  가스 및  $\text{O}_2$  가스를 포함하는 혼합 가스를 포함하는 제 8 가스의 플라즈마를 이용하여, 제 14 공정에 의해 형성된 혼합층이 제거된다.

### 발명의 효과

[0017] 이상에서 설명한 바와 같이, 입체적 패턴의 형성이 양호하게 행해지는 이방성 에칭에 따른 기술이 제공된다.

### 도면의 간단한 설명

[0018] 도 1은 일 실시 형태에 따른 방법을 나타내는 흐름도이다.

도 2는 플라즈마 처리 장치의 일례를 나타내는 도이다.

도 3은 도 1에 나타내는 방법의 실행 전에 있어서의 웨이퍼의 표면의 주요한 부분의 상태를 모식적으로 나타내는 단면도이다.

도 4는 도 1에 나타내는 방법의 실행 중에 있어서의 웨이퍼의 표면의 주요한 부분의 상태를 모식적으로 나타내는 단면도이다.

도 5는 도 1에 나타내는 방법의 실행 중에 있어서의 웨이퍼의 표면의 주요한 부분의 상태를 모식적으로 나타내는 단면도이다.

도 6은 도 1에 나타내는 방법의 실행 중에 있어서의 웨이퍼의 표면의 주요한 부분의 상태를 모식적으로 나타내는 단면도이다.

도 7은 도 1에 나타내는 방법의 실행 중에 있어서의 웨이퍼의 표면의 주요한 부분의 상태를 모식적으로 나타내는 단면도이다.

도 8은 도 1에 나타내는 방법의 실행 후에 있어서의 웨이퍼의 표면의 주요한 부분의 상태를 모식적으로 나타내는 단면도이다.

도 9는 도 1에 나타내는 방법의 일부의 공정을 보다 상세하게 나타내는 흐름도이다.

도 10은 (a)부 및 (b)부를 포함하고, 도 10의 (a)부 및 도 10의 (b)부는, 모두 도 1에 나타내는 방법의 일부의 공정을 보다 상세하게 나타내는 흐름도이다.

도 11은 도 1에 나타내는 방법의 일부의 공정을 보다 상세하게 나타내는 흐름도이다.

도 12는 (a)부, (b)부 및 (c)부를 포함하고, 도 12의 (a)부, 도 12의 (b)부 및 도 12의 (c)부는, 도 1에 나타내는 방법에 있어서 행해지는 성막의 원리를 모식적으로 나타내는 도면이다.

도 13은 (a)부, (b)부 및 (c)부를 포함하고, 도 13의 (a)부, 도 13의 (b)부 및 도 13의 (c)부는, 도 1에 나타내는 방법에 있어서 행해지는 에칭의 원리를 모식적으로 나타내는 도면이다.

### 발명을 실시하기 위한 구체적인 내용

[0019] 이하, 도면을 참조하여 다양한 실시 형태에 대하여 상세하게 설명한다. 또한, 도면에 있어서 동일 또는 상당한 부분에 대해서는 동일한 부호를 부여하는 것으로 한다. 이하, 도 1을 참조하여, 플라즈마 처리 장치(10)를 이용하여 실시할 수 있는 에칭 방법(방법(MT))에 대하여 설명한다. 도 1은 일 실시 형태의 방법을 나타내는 흐름도이다. 도 1에 나타내는 일 실시 형태의 방법(MT)은, 피처리체(이하, '웨이퍼'라고 하는 경우가 있음)에 대한 에칭 방법의 일례이다.

[0020] 일 실시 형태의 방법(MT)에서는, 일련의 공정을 단일의 플라즈마 처리 장치를 이용하여 실행하는 것이 가능하다. 도 2는 플라즈마 처리 장치의 일례를 나타내는 도이다. 도 2에는, 피처리체를 처리하는 방법의 다양한 실시 형태에서 이용 가능한 플라즈마 처리 장치(10)의 단면 구조가 개략적으로 나타나 있다. 도 2에 나타내는 바와 같이, 플라즈마 처리 장치(10)는, 평행 평판의 전극을 구비하는 플라즈마 에칭 장치이며, 처리 용기(12)를 구비하



고 있다. 처리 용기(12)는, 대략 원통 형상을 가지고 있다. 처리 용기(12)는, 예를 들면 알루미늄으로 구성되어 있으며, 처리 용기(12)의 내벽면에는 양극 산화 처리가 실시되어 있다. 처리 용기(12)는 보안 접지되어 있다.

[0021] 처리 용기(12)의 바닥부 상에는, 대략 원통 형상의 지지부(14)가 마련되어 있다. 지지부(14)는, 예를 들면 절연 재료로 구성되어 있다. 지지부(14)를 구성하는 절연 재료는, 석영과 같이 산소를 포함할 수 있다. 지지부(14)는, 처리 용기(12) 내에 있어서, 처리 용기(12)의 바닥부로부터 연직 방향으로 연장되어 있다. 처리 용기(12) 내에는 배치대(PD)가 마련되어 있다. 배치대(PD)는 지지부(14)에 의해 지지되어 있다.

[0022] 배치대(PD)는, 배치대(PD)의 상면에 있어서 웨이퍼(W)를 유지한다. 배치대(PD)는, 하부 전극(LE) 및 정전 척(ESC)을 가지고 있다. 하부 전극(LE)은, 제 1 플레이트(18a) 및 제 2 플레이트(18b)를 포함하고 있다. 제 1 플레이트(18a) 및 제 2 플레이트(18b)는, 예를 들면 알루미늄 등의 금속으로 구성되어 있으며, 대략 원반 형상을 이루고 있다. 제 2 플레이트(18b)는, 제 1 플레이트(18a) 상에 마련되어 있으며, 제 1 플레이트(18a)에 전기적으로 접속되어 있다.

[0023] 제 2 플레이트(18b) 상에는, 정전 척(ESC)이 마련되어 있다. 정전 척(ESC)은, 도전막인 전극을, 한 쌍의 절연층의 사이 또는 한 쌍의 절연 시트의 사이에 배치한 구조를 가지고 있다. 정전 척(ESC)의 전극에는, 직류 전원(22)이 스위치(23)를 개재하여 전기적으로 접속되어 있다. 정전 척(ESC)은, 직류 전원(22)으로부터의 직류 전압에 의해 발생하는 쿨롱력 등의 정전력에 의해 웨이퍼(W)를 흡착한다. 이에 따라, 정전 척(ESC)은, 웨이퍼(W)를 유지할 수 있다.

[0024] 제 2 플레이트(18b)의 주연부 상에는, 웨이퍼(W)의 에지 및 정전 척(ESC)을 둘러싸도록 포커스 링(FR)이 배치되어 있다. 포커스 링(FR)은, 에칭의 균일성을 향상시키기 위하여 마련되어 있다. 포커스 링(FR)은, 에칭 대상의 막의 재료에 따라 적절히 선택되는 재료로 구성되어 있으며, 예를 들면 석영으로 구성될 수 있다.

[0025] 제 2 플레이트(18b)의 내부에는 냉매 유로(24)가 마련되어 있다. 냉매 유로(24)는, 온도 조절 기구를 구성하고 있다. 냉매 유로(24)에는, 처리 용기(12)의 외부에 마련된 칠러 유닛(도시 생략)으로부터 배관(26a)을 통하여 냉매가 공급된다. 냉매 유로(24)에 공급되는 냉매는, 배관(26b)을 통하여 칠러 유닛으로 복귀된다. 이와 같이, 냉매 유로(24)에는, 냉매가 순환하도록 공급된다. 이 냉매의 온도를 제어함으로써, 정전 척(ESC)에 의해 지지된 웨이퍼(W)의 온도가 제어된다.

[0026] 플라즈마 처리 장치(10)에는 가스 공급 라인(28)이 마련되어 있다. 가스 공급 라인(28)은, 전열 가스 공급 기구로부터의 전열 가스, 예를 들면 He 가스를, 정전 척(ESC)의 상면과 웨이퍼(W)의 이면의 사이에 공급한다.

[0027] 플라즈마 처리 장치(10)에는 가열 소자인 히터(HT)가 마련되어 있다. 히터(HT)는, 예를 들면 제 2 플레이트(18b) 내에 매립되어 있다. 히터(HT)에는 히터 전원(HP)이 접속되어 있다. 히터 전원(HP)으로부터 히터(HT)에 전력이 공급됨으로써, 배치대(PD)의 온도가 조정되어, 배치대(PD) 상에 배치되는 웨이퍼(W)의 온도가 조정되도록 되어 있다. 또한, 히터(HT)는 정전 척(ESC)에 내장되어 있어도 된다.

[0028] 플라즈마 처리 장치(10)는 상부 전극(30)을 구비하고 있다. 상부 전극(30)은, 배치대(PD)의 상방에 있어서, 배치대(PD)와 대향 배치되어 있다. 하부 전극(LE)과 상부 전극(30)은, 서로 대략 평행하게 마련되어 있다. 상부 전극(30)과 하부 전극(LE)의 사이에는, 웨이퍼(W)에 플라즈마 처리를 행하기 위한 처리 공간(S)이 제공되어 있다.

[0029] 상부 전극(30)은, 절연성 차폐 부재(32)를 개재하여, 처리 용기(12)의 상부에 지지되어 있다. 절연성 차폐 부재(32)는, 절연 재료로 구성되어 있으며, 예를 들면 석영과 같이 산소를 포함할 수 있다. 상부 전극(30)은, 전극판(34) 및 전극 지지체(36)를 포함할 수 있다. 전극판(34)은 처리 공간(S)에 면하고 있으며, 당해 전극판(34)에는 복수의 가스 토출 홀(34a)이 마련되어 있다. 전극판(34)은, 일 실시 형태에서는, 실리콘을 함유한다. 다른 실시 형태에서는, 전극판(34)은 산화 실리콘을 함유할 수 있다.

[0030] 전극 지지체(36)는, 전극판(34)을 착탈 가능하게 지지하는 것이며, 예를 들면 알루미늄과 같은 도전성 재료로 구성될 수 있다. 전극 지지체(36)는 수냉 구조를 가질 수 있다. 전극 지지체(36)의 내부에는 가스 확산실(36a)이 마련되어 있다. 가스 확산실(36a)로부터는, 가스 토출 홀(34a)에 연통하는 복수의 가스 통류 홀(36b)이 하방으로 연장되어 있다. 전극 지지체(36)에는, 가스 확산실(36a)에 가스를 유도하는 가스 도입구(36c)가 형성되어 있으며, 가스 도입구(36c)에는, 가스 공급관(38)이 접속되어 있다.

[0031] 가스 공급관(38)에는, 밸브군(42) 및 유량 제어기군(44)을 개재하여, 가스 소스군(40)이 접속되어 있다. 가스 소스군(40)은 복수의 가스 소스를 가지고 있다. 일 실시 형태에 따른 복수의 가스 소스를 이하에 일례를 나타내

지만, 당해 일례에 한정되지 않는다. 복수의 가스 소스는, 유기 함유된 아미노실란계 가스의 소스, 플루오로카본계 가스( $C_xF_y$  가스( $x, y$ 는 1 ~ 10의 정수))의 소스, 산소 원자를 가지는 가스(예를 들면 산소 가스 등)의 소스,  $NF_4$  가스의 소스, 수소 함유 가스(예를 들면 수소 가스,  $SiH_4$  가스 등)의 소스 및 희가스(예를 들면 Ar 가스 등)의 소스를 포함할 수 있다. 플루오로카본계 가스로서는,  $CF_4$  가스,  $C_4F_6$  가스,  $C_4F_8$  가스와 같은 임의의 플루오로카본계 가스가 이용될 수 있다. 아미노실란계 가스로서는, 아미노기의 수가 비교적 적은 분자구조의 것이 이용될 수 있고, 예를 들면, 모노아미노실란( $H_3-Si-R$ ( $R$ 은 유기기를 포함하고 있으며 치환되어 있어도 되는 아미노기))이 이용될 수 있다. 또한, 상기의 아미노실란계 가스(후술의 제 1 가스( $G1$ )에 포함되는 가스)는, 1 ~ 3 개의 규소 원자를 가질 수 있는 아미노실란을 포함할 수 있으며, 또는, 1 ~ 3 개의 아미노기를 가지는 아미노실란을 포함할 수 있다. 1 ~ 3 개의 규소 원자를 가지는 아미노실란은, 1 ~ 3 개의 아미노기를 가지는 모노실란(모노아미노실란), 1 ~ 3 개의 아미노기를 가지는 디실란, 또는, 1 ~ 3 개의 아미노기를 가지는 트리실란일 수 있다. 또한, 상기의 아미노실란은, 치환되어 있어도 되는 아미노기를 가질 수 있다. 또한, 상기의 아미노기는, 메틸기, 에틸기, 프로필기 및 부틸기 중 어느 하나에 의해 치환될 수 있다. 또한, 상기의 메틸기, 에틸기, 프로필기, 또는, 부틸기는, 할로젠에 의해 치환될 수 있다. 희가스로서는, Ar 가스, He 가스와 같은 임의의 희가스가 이용될 수 있다.

[0032] 밸브군(42)은 복수의 밸브를 포함하고 있으며, 유량 제어기군(44)은 매스 플로우 컨트롤러와 같은 복수의 유량 제어기를 포함하고 있다. 가스 소스군(40)의 복수의 가스 소스의 각각은, 밸브군(42)의 대응의 밸브 및 유량 제어기군(44)의 대응의 유량 제어기를 개재하여, 가스 공급관(38)에 접속되어 있다. 따라서, 플라즈마 처리 장치(10)는, 가스 소스군(40)의 복수의 가스 소스 중 선택된 1 이상의 가스 소스로부터의 가스를, 개별적으로 조정된 유량으로, 처리 용기(12) 내에 공급하는 것이 가능하다.

[0033] 플라즈마 처리 장치(10)에서는, 처리 용기(12)의 내벽을 따라 퇴적 실드(46)가 착탈 가능하게 마련되어 있다. 퇴적 실드(46)는, 지지부(14)의 외주에도 마련되어 있다. 퇴적 실드(46)는, 처리 용기(12)에 에칭 부생물(퇴적물)이 부착되는 것을 방지하는 것이며, 알루미늄계에  $Y_2O_3$  등의 세라믹을 피복함으로써 구성될 수 있다. 퇴적 실드는,  $Y_2O_3$  외에, 예를 들면 석영과 같이 산소를 포함하는 재료로 구성될 수 있다.

[0034] 처리 용기(12)의 바닥부측, 또한, 지지부(14)와 처리 용기(12)의 측벽의 사이에는 배기 플레이트(48)가 마련되어 있다. 배기 플레이트(48)는, 예를 들면, 알루미늄계에  $Y_2O_3$  등의 세라믹을 피복함으로써 구성될 수 있다. 배기 플레이트(48)의 하방, 또한, 처리 용기(12)에는, 배기구(12e)가 마련되어 있다. 배기구(12e)에는, 배기관(52)을 개재하여 배기 장치(50)가 접속되어 있다. 배기 장치(50)는, 터보 분자 펌프 등의 진공 펌프를 가지고 있으며, 처리 용기(12)의 처리 공간(S)을 원하는 진공도까지 감압할 수 있다. 처리 용기(12)의 측벽에는 웨이퍼(W)의 반입반출구(12g)가 마련되어 있으며, 반입반출구(12g)는 게이트 밸브(54)에 의해 개폐 가능하게 되어 있다.

[0035] 플라즈마 처리 장치(10)는, 제 1 고주파 전원(62) 및 제 2 고주파 전원(64)을 더 구비하고 있다. 제 1 고주파 전원(62)은, 플라즈마 생성용의 제 1 고주파 전력을 발생시키는 전원이며, 27 ~ 100[MHz]의 주파수, 일례에 있어서는 60[MHz]의 고주파 전력을 발생시킨다. 제 1 고주파 전원(62)은, 정합기(66)를 개재하여 상부 전극(30)에 접속되어 있다. 정합기(66)는, 제 1 고주파 전원(62)의 출력 임피던스와 부하측(하부 전극(LE)측)의 입력 임피던스를 정합시키기 위한 회로이다. 또한, 제 1 고주파 전원(62)은, 정합기(66)를 개재하여 하부 전극(LE)에 접속되어 있어도 된다.

[0036] 제 2 고주파 전원(64)은, 웨이퍼(W)에 이온을 인입하기 위한 제 2 고주파 전력, 즉 고주파 바이어스 전력을 발생시키는 전원이며, 400[kHz] ~ 40.68[MHz]의 범위 내의 주파수, 일례에 있어서는 13.56[MHz]의 주파수의 고주파 바이어스 전력을 발생시킨다. 제 2 고주파 전원(64)은, 정합기(68)를 개재하여 하부 전극(LE)에 접속되어 있다. 정합기(68)는, 제 2 고주파 전원(64)의 출력 임피던스와 부하측(하부 전극(LE)측)의 입력 임피던스를 정합시키기 위한 회로이다.

[0037] 플라즈마 처리 장치(10)는 전원(70)을 더 구비하고 있다. 전원(70)은 상부 전극(30)에 접속되어 있다. 전원(70)은, 처리 공간(S)에 존재하는 양이온을 전극판(34)에 인입하기 위한 전압을, 상부 전극(30)에 인가한다. 일례에 있어서는, 전원(70)은, 음의 직류 전압을 발생시키는 직류 전원이다. 이러한 전압이 전원(70)으로부터 상부 전극(30)에 인가되면, 처리 공간(S)에 존재하는 양이온이, 전극판(34)에 충돌한다. 이에 따라, 전극판(34)으로부터 2차 전자 및 실리콘 중 적어도 하나가 방출된다.

- [0038] 일 실시 형태에 있어서는, 플라즈마 처리 장치(10)는, 제어부(Cnt)를 더 구비할 수 있다. 제어부(Cnt)는, 프로세서, 기억부, 입력 장치, 표시 장치 등을 구비하는 컴퓨터이며, 플라즈마 처리 장치(10)의 각부(各部)를 제어한다. 구체적으로, 제어부(Cnt)는, 밸브군(42), 유량 제어기군(44), 배기 장치(50), 제 1 고주파 전원(62), 정합기(66), 제 2 고주파 전원(64), 정합기(68), 전원(70), 히터 전원(HP) 및 칠러 유닛에 접속되어 있다.
- [0039] 제어부(Cnt)는, 입력된 레시피에 기초하는 프로그램에 따라 동작하여, 제어 신호를 송출한다. 제어부(Cnt)로부터의 제어 신호에 의해, 가스 소스군(40)으로부터 공급되는 가스의 선택 및 유량, 배기 장치(50)의 배기, 제 1 고주파 전원(62) 및 제 2 고주파 전원(64)으로부터의 전력 공급, 전원(70)으로부터의 전압 인가, 히터 전원(HP)의 전력 공급, 칠러 유닛으로부터의 냉매 유량 및 냉매 온도를 제어하는 것이 가능하다. 또한, 본 명세서에 있어서 개시되는 피처리체를 처리하는 방법(MT)의 각 공정은, 제어부(Cnt)에 의한 제어에 의해 플라즈마 처리 장치(10)의 각부를 동작시킴으로써, 실행될 수 있다.
- [0040] 도 1로 되돌아가, 방법(MT)에 대한 설명을 계속한다. 이하의 설명에서는, 도 1과 함께, 도 2 ~ 도 13을 참조한다. 우선, 도 1에 나타내는 방법(MT)의 공정(ST1)에 있어서 준비되는 웨이퍼(W)의 주요한 구성을 도 3을 참조하여 설명한다. 공정(ST1)에 있어서 준비되는 웨이퍼(W)는, 도 3에 나타내는 웨이퍼(W)이다. 도 3에 나타내는 웨이퍼(W)는, 지지 기체(BE)와 피처리층(EL)을 구비한다. 피처리층(EL)은, 지지 기체(BE)의 주면(BE1)에 마련되어 있다. 주면(BE1)은, 면직 방향(DR)에 수직으로 연장되어 있다. 면직 방향(DR)은, 도 2에 나타내는 바와 같이 웨이퍼(W)가 정전 척(ESC) 상에 배치되어 있는 상태에서, 면직 방향에 대응한다.
- [0041] 피처리층(EL)은, 복수의 블록 영역(예를 들면 블록 영역(PJ1), 블록 영역(PJ2) 등)을 구비한다. 피처리층(EL)의 복수의 블록 영역의 각각은, 주면(BE1)의 상방으로 연장되어 있다. 피처리층(EL)의 복수의 블록 영역의 각각은, 단면을 구비한다. 블록 영역(PJ1)은 단면(TE1)을 구비한다. 블록 영역(PJ2)은 단면(TE2)을 구비한다. 피처리층(EL)의 복수의 블록 영역의 각각의 단면은, 주면(BE1) 상에서 볼 때 노출되어 있다. 블록 영역(PJ1)의 단면(TE1) 및 블록 영역(PJ2)의 단면(TE2)은, 모두, 주면(BE1) 상에서 볼 때 노출되어 있다.
- [0042] 블록 영역의 높이는, 주면(BE1)으로부터 당해 블록 영역의 단면까지의 거리이다. 블록 영역(PJ1)의 높이(TT1)는 주면(BE1)으로부터 단면(TE1)까지의 거리이다. 블록 영역(PJ2)의 높이(TT2)는, 주면(BE1)으로부터 단면(TE2)까지의 거리이다. 피처리층(EL)의 복수의 블록 영역의 각각의 높이는, 블록 영역마다 상이할 수 있다. 블록 영역(PJ1)은 블록 영역(PJ2)보다 낮다(블록 영역(PJ1)의 높이(TT1)의 값은, 블록 영역(PJ2)의 높이(TT2)의 값보다 작다).
- [0043] 지지 기체(BE)의 재료는, 예를 들면 Si(실리콘) 등을 함유하는 재료이다. 피처리층(EL)의 재료는, 예를 들면 실리콘 질화물(예를 들면 SiN) 등을 함유하는 재료이며, 일 실시 형태에 있어서는 SiN이다. 피처리층(EL)의 재료는, 실리콘 질화물과 상이한 다른 재료일 수도 있다. 웨이퍼(W)는, 구체적으로는, 예를 들면 FinFET(핀 전계 효과 트랜지스터)의 형성에 이용되는 기판 생산물일 수 있다. 이 경우, 웨이퍼(W)의 블록 영역(PJ1)은 FinFET의 핀 영역에 대응하고, 웨이퍼(W)의 블록 영역(PJ2)은 FinFET의 게이트 전극에 대응한다. 핀 영역은, 드레인 전극 및 소스 전극을 포함하고, 게이트 전극에 교차하여 연장된다. 핀 영역의 하나의 단부에는 드레인 전극이 마련되고, 핀 영역의 다른 하나의 단부에는 소스 전극이 마련된다.
- [0044] 피처리층(EL)의 복수의 블록 영역(블록 영역(PJ1), 블록 영역(PJ2) 등)의 단부(단면(TE1), 단면(TE2) 등의 단면을 포함하는 영역)는, 끝이 가늘어지는 형상(테이퍼 형상)이어도 된다. 이 경우, 각 블록 영역에 있어서, 단면(단면(TE1), 단면(TE2) 등)의 폭은, 기단측(지지 기체(BE)에 가까운 측)의 폭보다 좁다. 피처리층(EL)의 각 블록 영역이 이러한 끝이 가늘어지는 형상을 가지는 경우에는, 각 블록 영역의 단부에 의해 구획 결정되는 개구의 폭이 비교적 넓어지므로, 각 블록 영역의 단부에 있어서의 퇴적물의 형성이 충분히 억제될 수 있다.
- [0045] 공정(ST1)에 이어, 도 2에 나타내는 바와 같이 웨이퍼(W)가 정전 척(ESC) 상에 배치되어 있는 상태에서, 피처리층(EL)의 복수의 블록 영역(블록 영역(PJ1) 및 블록 영역(PJ2)을 포함함)의 각각의 단면에 막을 형성하는 공정(제 1 공정)을 실행한다. 당해 공정은, 도 1에 나타내는 공정(ST2)(제 1 공정 및 제 4 공정) 및 공정(ST3)(제 1 공정 및 제 5 공정)을 구비하고, 당해 막은, 후술하는 제 1 막(SF1) 및 제 2 막(SF2)을 포함한다. 당해 막은, 일례로서 실리콘 산화물(예를 들면 SiO<sub>2</sub>막)을 포함해도 되고, 또는, 실리콘 산화물과 상이한 다른 재료(예를 들면 SiN, 금속 등)를 포함해도 된다.
- [0046] 공정(ST1)에 이어지는 공정(ST2)은, 도 2에 나타내는 바와 같이 웨이퍼(W)가 정전 척(ESC) 상에 배치되어 있는 상태에서, 피처리층(EL)의 표면(EL1)(특히 피처리층(EL)의 복수의 블록 영역의 각각의 단면)에 제 1 막(SF1)을 권포밀하게 형성한다. 공정(ST2)의 상세한 것은, 도 9에 나타난다. 도 9에 나타내는 바와 같이, 공정(ST2)은,

공정(ST2a(제 6 공정)), 공정(ST2b(제 7 공정)), 공정(ST2c(제 8 공정)), 공정(ST2d(제 9 공정)), 공정(ST2e)을 구비한다. 공정(ST2a) ~ 공정(ST2d)은, 시퀀스(SQ1(제 1 시퀀스))를 구성한다. 공정(ST2)에 있어서, 시퀀스(SQ1)는 일회 이상 실행된다. 시퀀스(SQ1) 및 공정(ST2e)은, ALD(Atomic Layer Deposition)법과 동일한 방법에 의해, 도 4에 나타내는 바와 같이 피처리층(EL)의 표면(EL1)에 실리콘 산화막(예를 들면  $\text{SiO}_2$ 막)의 제 1 막(SF1)을 컨포멀하게 형성하는 공정이다. 시퀀스(SQ1) 및 공정(ST2e)의 일련의 공정이 실행됨으로써, 웨이퍼(W)의 표면(구체적으로는, 피처리층(EL)의 표면(EL1))에 대하여, 양호한 정밀도로 제어된 컨포멀한 막 두께의 제 1 막(SF1)이 형성된다. 이하, 일 실시 형태로서, 제 1 막(SF1)이 실리콘 산화물(예를 들면  $\text{SiO}_2$ 막)을 포함하는 경우에 행해지는 공정(ST2)의 상세가 설명되지만, 제 1 막(SF1)이 실리콘 산화물을 포함하는 실리콘 산화막 이외의 막으로서 다른 재료를 포함하는 경우에는 이하에 나타내는 가스 종류뿐만 아니라 다른 가스 종류도 이용될 수 있다.

[0047] 공정(ST2a)은, 웨이퍼(W)가 배치되는 처리 용기(12)의 처리 공간(S)에 제 1 가스(G1)를 공급한다. 구체적으로는, 공정(ST2a)에 있어서, 도 12의 (a)부에 나타내는 바와 같이, 처리 용기(12)의 처리 공간(S)에 제 1 가스(G1)를 도입한다. 제 1 가스(G1)는, 유기 함유의 아미노실란계 가스를 포함한다. 가스 소스군(40)의 복수의 가스 소스 중 선택한 가스 소스로부터 유기 함유의 아미노실란계 가스의 제 1 가스(G1)를 처리 용기(12)의 처리 공간(S)에 공급한다. 제 1 가스(G1)는, 유기 함유의 아미노실란계 가스로서, 예를 들면 모노아미노실란( $\text{H}_3\text{-Si-R}$ (R은 유기 함유의 아미노기))이 이용된다. 공정(ST2a)에서는, 제 1 가스(G1)의 플라즈마를 생성하지 않는다.

[0048] 제 1 가스(G1)의 분자는, 도 12의 (b)부에 나타내는 바와 같이, 반응 전구체(층(Ly1))로서 웨이퍼(W)의 표면(피처리층(EL)의 표면(EL1)을 포함함)에 부착된다. 제 1 가스(G1)의 분자(모노아미노실란)는, 화학 결합에 기초하는 화학 흡착에 의해 피처리층(EL)의 표면(EL1)에 부착되는 것이며, 플라즈마는 이용되지 않는다. 화학 결합에 의해 피처리층(EL)의 표면(EL1)에 부착 가능하며 또한 실리콘을 함유하는 것이면, 모노아미노실란 이외의 가스의 이용도 가능하다. 제 1 가스(G1)에 포함되는 아미노실란계 가스는, 모노아미노실란 외에, 1 ~ 3 개의 규소 원자를 가지는 아미노실란을 포함하고 있어도 되고, 또한 제 1 가스(G1)에 포함되는 아미노실란계 가스는, 1 ~ 3 개의 아미노기를 가지는 아미노실란을 포함하고 있어도 된다.

[0049] 이상과 같이, 제 1 가스(G1)가 유기 함유의 아미노실란계 가스를 포함하므로, 공정(ST2a)에 의해, 실리콘의 반응 전구체(층(Ly1))가 웨이퍼(W)의 표면의 원자층을 따라 웨이퍼(W)의 표면에 형성된다.

[0050] 공정(ST2a)에 이어지는 공정(ST2b)은, 처리 용기(12)의 처리 공간(S)을 퍼지한다. 구체적으로는, 공정(ST2a)에 있어서 공급된 제 1 가스(G1)가 배기된다. 공정(ST2b)에 있어서, 퍼지 가스로서 질소 가스 또는 희가스(예를 들면 Ar 가스 등)와 같은 불활성 가스를 처리 용기(12)에 공급해도 된다. 즉, 공정(ST2b)의 퍼지는, 불활성 가스를 처리 용기(12)의 처리 공간(S)에 흘러 보내는 가스 퍼지, 또는, 진공 배기에 의한 퍼지 중 어느 것이어도 된다. 공정(ST2b)에 있어서, 웨이퍼(W) 상에 과잉으로 부착된 분자도 제거될 수 있다. 이상에 따라, 반응 전구체의 층(Ly1)은, 매우 얇은 단분자층이 된다.

[0051] 공정(ST2b)에 이어지는 공정(ST2c)에 있어서, 도 12의 (b)부에 나타내는 바와 같이, 처리 용기(12)의 처리 공간(S)에 있어서 제 2 가스의 플라즈마(P1)를 생성한다. 제 2 가스는, 산소 원자를 함유하는 가스를 포함하고, 예를 들면 산소 가스를 포함할 수 있다. 가스 소스군(40)의 복수의 가스 소스 중 선택한 가스 소스로부터 산소 원자를 함유하는 가스를 포함하는 제 2 가스를 처리 용기(12)의 처리 공간(S)에 공급한다. 그리고, 제 1 고주파 전원(62)으로부터 고주파 전력을 공급한다. 이 경우, 제 2 고주파 전원(64)의 바이어스 전력을 인가할 수도 있다. 또한, 제 1 고주파 전원(62)을 이용하지 않고 제 2 고주파 전원(64)만을 이용하여 플라즈마를 생성할 수도 있다. 배기 장치(50)를 동작시킴으로써 처리 용기(12)의 처리 공간(S)의 공간의 압력을 미리 설정된 압력으로 설정한다. 이와 같이 하여, 제 2 가스의 플라즈마(P1)가 처리 용기(12)의 처리 공간(S)에 있어서 생성된다. 도 12의 (b)부에 나타내는 바와 같이, 제 2 가스의 플라즈마(P1)가 생성되면, 산소의 활성화중, 예를 들면 산소 라디칼이 생성되어, 도 12의 (c)부에 나타내는 바와 같이, 실리콘 산화막인 층(Ly2)(제 1 막(SF1)에 대응하고 있음)이 단분자층으로서 형성된다.

[0052] 이상과 같이, 제 2 가스가 산소 원자를 포함하므로, 공정(ST2c)에 있어서, 당해 산소 원자가 반응 전구체(층(Ly1))와 결합함으로써, 실리콘 산화막의 층(Ly2)이 컨포멀하게 형성될 수 있다. 따라서, 시퀀스(SQ1)에 있어서는, ALD법과 마찬가지로, 1 회(단위 사이클)의 시퀀스(SQ1)의 실행에 의해, 실리콘 산화막의 층(Ly2)을, 웨이퍼(W)의 표면 상에 컨포멀하게 형성할 수 있다.



- [0053] 공정(ST2c)에 이어지는 공정(ST2d)에 있어서, 처리 용기(12)의 처리 공간(S)을 퍼지한다. 구체적으로는, 공정(ST2c)에 있어서 공급된 제 2 가스가 배기된다. 공정(ST2d)에서는, 퍼지 가스로서 질소 가스 또는 희가스(예를 들면 Ar 가스 등)와 같은 불활성 가스를 처리 용기(12)에 공급해도 된다. 즉, 공정(ST2d)의 퍼지는, 불활성 가스를 처리 용기(12)의 처리 공간(S)에 흘러 보내는 가스 퍼지, 또는, 진공 배기에 의한 퍼지 중 어느 것이어도 된다.
- [0054] 시퀀스(SQ1)에 이어지는 공정(ST2e)에 있어서, 시퀀스(SQ1)의 실행을 종료할지 여부를 판정한다. 구체적으로는, 공정(ST2e)에 있어서, 시퀀스(SQ1)의 실행 횟수가 미리 설정된 횟수에 도달하였는지 여부를 판정한다. 시퀀스(SQ1)의 실행 횟수의 결정에 따라, 도 4에 나타내는 피처리층(EL)의 표면(EL1) 상에 형성되는 제 1 막(SF1)의 막 두께가 결정된다. 즉, 1 회(단위 사이클)의 시퀀스(SQ1)의 실행에 의해 형성되는 실리콘 산화막의 막 두께와 시퀀스(SQ1)의 실행 횟수의 곱에 의해, 최종적으로 피처리층(EL)의 표면(EL1) 상에 형성되는 제 1 막(SF1)의 막 두께가 실질적으로 결정될 수 있다. 따라서 피처리층(EL)의 표면(EL1) 상에 형성되는 제 1 막(SF1)의 원하는 막 두께에 따라, 시퀀스(SQ1)의 실행 횟수가 설정될 수 있다. 이와 같이, 시퀀스(SQ1)가 반복 실행됨으로써, 피처리층(EL)의 표면(EL1)에 실리콘 산화막의 제 1 막(SF1)이 컨포멀하게 형성된다.
- [0055] 공정(ST2e)에 있어서 시퀀스(SQ1)의 실행 횟수가 미리 설정된 횟수에 도달하고 있지 않다고 판정되는 경우에는(공정(ST2e) : NO), 시퀀스(SQ1)의 실행이 다시 반복된다. 한편, 공정(ST2e)에 있어서 시퀀스(SQ1)의 실행 횟수가 미리 설정된 횟수에 도달하고 있다고 판정되는 경우에는(공정(ST2e) : YES), 시퀀스(SQ1)의 실행이 종료된다. 이에 의해, 도 4에 나타내는 바와 같이, 피처리층(EL)의 표면(EL1)에 실리콘 산화막인 제 1 막(SF1)이 형성된다. 즉, 시퀀스(SQ1)가 미리 설정된 횟수만큼 반복됨으로써, 미리 설정된 막 두께를 가지는 제 1 막(SF1)이 컨포멀하게 피처리층(EL)의 표면(EL1)에 형성된다. 제 1 막(SF1)의 막 두께는, 시퀀스(SQ1)를 반복 실행함으로써, 양호한 정밀도로 제어될 수 있다. 이상과 같이, 시퀀스(SQ1) 및 공정(ST2e)의 일련의 공정은, ALD 법과 동일한 방법에 의해, 피처리층(EL)의 표면(EL1) 상에 제 1 막(SF1)을 컨포멀하게 형성할 수 있다.
- [0056] 공정(ST2)에 이어지는 공정(ST3)은, 도 2에 나타내는 바와 같이 웨이퍼(W)가 정전 척(ESC) 상에 배치되어 있는 상태에서, 공정(ST2)에 의해 형성된 제 1 막(SF1) 상에 제 1 막(SF1)과 동일한 재료의 제 2 막(SF2)을 형성한다. 공정(ST3)은, 지지 기체(BE)의 주면(BE1)으로부터 멀어질수록 막 두께가 증가하도록, 제 2 막(SF2)을 형성한다. 보다 구체적으로, 공정(ST3)에 의해, 제 2 막(SF2)이, 도 5에 나타내는 바와 같이, 제 1 막(SF1) 중, 피처리층(EL)의 복수의 블록 영역의 각 단면(블록 영역(PJ1)의 단면(TE1), 블록 영역(PJ2)의 단면(TE2) 등)에 형성된다. 공정(ST3)의 성막 처리는, 도 10의 (a)부에 나타내는 공정(ST31(제 5 공정))에 의해 실행되거나, 또는, 도 10의 (b)부에 나타내는 공정(ST32(제 5 공정))에 의해 실행된다. 도 10의 (a)부에 나타내는 공정(ST31)은 공정(ST3)의 일례이며, 도 10의 (b)부에 나타내는 공정(ST32)은 공정(ST3)의 다른 일례이다.
- [0057] 제 2 막(SF2)의 재료는 제 1 막(SF1)과 동일하다. 도 5에 나타내는 바와 같이, 제 2 막(SF2) 중 블록 영역(PJ1)의 단면(TE1) 상에 형성되는 부분의 막 두께(TH1)는, 제 2 막(SF2) 중 블록 영역(PJ2)의 단면(TE2) 상에 형성되는 부분의 막 두께(TH2a)보다 얇다. 블록 영역(PJ1)의 단면(TE1)과 지지 기체(BE)의 주면(BE1)과의 사이의 거리(블록 영역(PJ1)의 높이(TT1))는, 블록 영역(PJ2)의 단면(TE2)과 지지 기체(BE)의 주면(BE1)과의 사이의 거리(블록 영역(PJ2)의 높이(TT2))보다 짧다. 이와 같이, 공정(ST3)에 의한 성막은, 지지 기체(BE)의 주면(BE1)으로부터의 거리(블록 영역의 높이)에 따라, 성막하는 막의 막 두께를 조절할 수 있다. 지지 기체(BE)의 주면(BE1)에 마련된 피처리층(EL)의 복수의 블록 영역(블록 영역(PJ1), 블록 영역(PJ2)을 포함함)에 있어서, 지지 기체(BE)의 주면(BE1)으로부터의 높이가 높을수록, 각 블록 영역의 단면(블록 영역(PJ1)의 단면(TE1), 블록 영역(PJ2)의 단면(TE2) 등) 상에 형성되는 제 2 막(SF2)의 막 두께는 두껍다.
- [0058] 공정(ST3)의 성막 처리가, 도 10의 (a)부에 나타내는 공정(ST31)에 의해 실행되는 경우에 대하여 설명한다. 일 실시 형태로서, 제 1 막(SF1), 제 2 막(SF2)이 실리콘 산화물(예를 들면  $\text{SiO}_2$  막)을 포함하는 경우에 행해지는 공정(ST31)의 상세가 설명되지만, 제 1 막(SF1), 제 2 막(SF2)이 실리콘 산화물을 포함하는 실리콘 산화막 이외의 막으로서 다른 재료를 포함하는 경우에는 이하에 나타내는 가스 종류뿐만 아니라 다른 가스 종류도 이용될 수 있다. 공정(ST31)은, 공정(ST31a), 공정(ST31b)을 구비한다. 공정(ST31a)에 있어서, 가스 소스군(40)의 복수의 가스 소스 중 선택한 가스 소스로부터 제 3 가스를 처리 용기(12)의 처리 공간(S)에 공급한다. 제 3 가스는, 실리콘 원자를 포함하고, 또한, 염소 원자 또는 수소 원자를 포함한다. 제 3 가스는,  $\text{SiCl}_4$  가스 또는  $\text{SiH}_4$  가스를 포함한다. 제 3 가스는, 예를 들면  $\text{SiCl}_4$  가스, Ar 가스, 산소 가스를 포함하는 혼합 가스이다. 제 3 가스에 있어서,  $\text{SiCl}_4$  가스를  $\text{SiH}_4$  가스로 교체하여 이용해도 된다. 그리고, 제 1 고주파 전원(62)으로부터 고주파

전력을 공급하고, 제 2 고주파 전원(64)으로부터 고주파 바이어스 전력을 공급하여, 배기 장치(50)를 동작시킴으로써 처리 용기(12)의 처리 공간(S)의 압력을 미리 설정된 압력으로 설정한다. 이와 같이 하여, 웨이퍼(W)가 배치되는 처리 용기(12)의 처리 공간(S)에 제 3 가스의 플라즈마가 생성된다.

[0059] 공정(ST3)의 성막 처리가, 도 10의 (b)부에 나타내는 공정(ST32)에 의해 실행되는 경우에 대하여 설명한다. 도 10의 (b)부에 나타내는 바와 같이, 공정(ST32)은, 공정(ST32a(제 10 공정)), 공정(ST32b(제 11 공정)), 공정(ST32c(제 12 공정)), 공정(ST32d(제 13 공정)), 공정(ST32e)을 구비한다. 공정(ST32a) ~ 공정(ST32d)은, 시퀀스(SQ2(제 2 시퀀스))를 구성한다. 공정(ST32)에 있어서, 시퀀스(SQ2)는 1 회 이상 실행된다. 시퀀스(SQ2) 및 공정(ST32e)은, 공정(ST2)과 유사한 방법에 의해, 제 1 막(SF1)에 대하여 제 2 막(SF2)을 형성하는 공정이다. 시퀀스(SQ2) 및 공정(ST32e)의 일련의 공정이 실행됨으로써, 제 1 막(SF1)(보다 구체적으로는, 피처리층(EL)의 복수의 블록 영역의 각 단면(블록 영역(PJ1)의 단면(TE1), 블록 영역(PJ2)의 단면(TE2) 등))에 대하여, 제 1 막(SF1)과 동일한 재료의 제 2 막(SF2)이 형성된다. 이하, 일 실시 형태로서, 제 1 막(SF1), 제 2 막(SF2)이 실리콘 산화물(예를 들면  $\text{SiO}_2$  막)을 포함하는 경우에 행해지는 공정(ST32)의 상세가 설명되지만, 제 1 막(SF1), 제 2 막(SF2)이 실리콘 산화물을 포함하는 실리콘 산화막 이외의 막으로서 다른 재료를 포함하는 경우에는 이하에 나타내는 가스 종류뿐만 아니라 다른 가스 종류도 이용될 수 있다.

[0060] 공정(ST32a)은, 처리 용기(12)의 처리 공간(S)에 제 4 가스(G4)를 공급한다. 구체적으로는, 공정(ST32a)에 있어서, 도 12의 (a)부에 나타내는 바와 같이, 처리 용기(12)의 처리 공간(S)에, 제 4 가스(G4)를 도입한다. 공정(ST32a)에 있어서, 가스 소스군(40)의 복수의 가스 소스 중 선택한 가스 소스로부터 제 4 가스(G4)를 처리 용기(12)의 처리 공간(S)에 공급한다. 제 4 가스(G4)는, 실리콘 원자 및 염소 원자를 포함한다. 제 4 가스(G4)는, 예를 들면  $\text{SiCl}_4$  가스 및 Ar 가스를 포함하는 혼합 가스일 수 있다. 공정(ST32a)에서는 제 4 가스(G4)의 플라즈마를 생성하지 않는다. 제 4 가스(G4)의 분자는, 도 12의 (b)부에 나타내는 바와 같이, 반응 전구체(층(Ly1))로서 웨이퍼(W)의 표면(피처리층(EL)의 표면(EL1)을 포함함)에 부착된다.

[0061] 공정(ST32a)에 이어지는 공정(ST32b)은, 처리 용기(12)의 처리 공간(S)을 퍼지한다. 구체적으로는, 공정(ST32a)에 있어서 공급된 제 4 가스(G4)가 배기된다. 공정(ST32b)에 있어서, 퍼지 가스로서 질소 가스 또는 희가스(예를 들면 Ar 가스 등)와 같은 불활성 가스를 처리 용기(12)에 공급해도 된다. 즉, 공정(ST32b)의 퍼지는, 불활성 가스를 처리 용기(12)의 처리 공간(S)에 흘러 보내는 가스 퍼지, 또는, 진공 배기에 의한 퍼지 중 어느 것이어도 된다. 공정(ST32b)에 있어서, 웨이퍼(W) 상에 파인으로 부착된 분자도 제거될 수 있다.

[0062] 공정(ST32b)에 이어지는 공정(ST32c)에 있어서, 도 12의 (b)부에 나타내는 바와 같이, 처리 용기(12)의 처리 공간(S)에 있어서 제 5 가스의 플라즈마(P2)를 생성한다. 가스 소스군(40)의 복수의 가스 소스 중 선택한 가스 소스로부터 제 5 가스를 처리 용기(12)의 처리 공간(S)에 공급한다. 제 5 가스는 산소 원자를 포함한다. 제 5 가스는, 예를 들면 산소 가스 및 Ar 가스를 포함하는 혼합 가스일 수 있다. 그리고, 제 1 고주파 전원(62)으로부터 고주파 전력을 공급한다. 이 경우, 제 2 고주파 전원(64)의 바이어스 전력을 인가할 수도 있다. 또한, 제 1 고주파 전원(62)을 이용하지 않고 제 2 고주파 전원(64)만을 이용하여 플라즈마를 생성할 수도 있다. 배기 장치(50)를 동작시킴으로써 처리 용기(12)의 처리 공간(S)의 압력을 미리 설정된 압력으로 설정한다. 이와 같이 하여, 제 5 가스의 플라즈마(P2)가 처리 용기(12)의 처리 공간(S)에 있어서 생성된다. 도 12의 (b)부에 나타내는 바와 같이, 제 5 가스의 플라즈마(P2)가 생성되면, 산소의 활성종, 예를 들면 산소 라디칼이 생성되어, 도 12의 (c)부에 나타내는 바와 같이, 실리콘 산화막인 층(Ly2)(제 2 막(SF2)에 대응하고 있음)이 형성된다. 따라서, 시퀀스(SQ2)에 있어서는, 공정(ST2)과 같이, 1 회(단위 사이클)의 시퀀스(SQ2)의 실행에 의해, 실리콘 산화막의 층(Ly2)을, 제 1 막(SF1) 상에 형성할 수 있다.

[0063] 공정(ST32c)에 이어지는 공정(ST32d)에 있어서, 처리 용기(12)의 처리 공간(S)을 퍼지한다. 구체적으로는, 공정(ST32c)에 있어서 공급된 제 5 가스가 배기된다. 공정(ST32d)에서는, 퍼지 가스로서 질소 가스 또는 희가스(예를 들면 Ar 가스 등)와 같은 불활성 가스를 처리 용기(12)에 공급해도 된다. 즉, 공정(ST32d)의 퍼지는, 불활성 가스를 처리 용기(12)의 처리 공간(S)으로 흘러 보내는 가스 퍼지, 또는, 진공 배기에 의한 퍼지 중 어느 것이어도 된다.

[0064] 시퀀스(SQ2)에 이어지는 공정(ST32e)에 있어서, 시퀀스(SQ2)의 실행을 종료할지 여부를 판정한다. 구체적으로는, 공정(ST32e)에 있어서, 시퀀스(SQ2)의 실행 횟수가 미리 설정된 횟수에 도달하였는지 여부를 판정한다. 시퀀스(SQ2)의 실행 횟수의 결정에 따라, 제 2 막(SF2)의 막 두께가 대략 결정될 수 있다. 즉, 1 회(단위 사이클)의 시퀀스(SQ2)의 실행에 의해 형성되는 실리콘 산화막의 막 두께와 시퀀스(SQ2)의 실행 횟수의 곱에 의해, 최종적으로 제 2 막(SF2)의 막 두께가 실질적으로 결정될 수 있다. 따라서 제 2 막(SF2)의 원하는 막 두

께에 따라, 시퀀스(SQ2)의 실행 횟수가 설정될 수 있다.

[0065] 공정(ST32e)에 있어서 시퀀스(SQ2)의 실행 횟수가 미리 설정된 횟수에 도달하고 있지 않다고 판정되는 경우에는(공정(ST32e) : NO), 시퀀스(SQ2)의 실행이 다시 반복된다. 한편, 공정(ST32e)에 있어서 시퀀스(SQ2)의 실행 횟수가 미리 설정된 횟수에 도달하고 있다고 판정되는 경우에는(공정(ST32e) : YES), 시퀀스(SQ2)의 실행이 종료된다. 이에 의해, 시퀀스(SQ2)가 미리 설정된 횟수만큼 반복됨으로써, 원하는 막 두께를 가지는 제 2 막(SF2)이 제 1 막(SF1)(특히, 제 1 막(SF1) 중, 피처리층(EL)의 복수의 블록 영역의 각 단면(블록 영역(PJ1)의 단면(TE1), 블록 영역(PJ2)의 단면(TE2) 등))에 형성될 수 있다.

[0066] 공정(ST3)에 이어지는 공정(ST4(제 2 공정))에 있어서, 도 2에 나타내는 바와 같이 웨이퍼(W)가 정전 척(ESC) 상에 배치되어 있는 상태에서, 공정(ST2) 및 공정(ST3)에 의해 형성된 막(제 1 막(SF1) 및 제 2 막(SF2))을 이방적으로 에칭함으로써, 부분적으로(보다 구체적으로는, 제 1 막(SF1) 및 제 2 막(SF2) 중, 피처리층(EL)의 복수의 블록 영역의 하나 또는 복수의 단면(예를 들면 도 5에 나타내는 블록 영역(PJ1)의 단면(TE1)) 상에 있는 부분을) 제거한다. 즉, 공정(ST4)은, 공정(ST2) 및 공정(ST3)에 의해 형성된 막(제 1 막(SF1) 및 제 2 막(SF2))을 이방성 에칭하여, 하나 또는 복수의 단면(예를 들면 도 6에 나타내는 블록 영역(PJ1)의 단면(TE1))을 선택적으로 노출시킨다.

[0067] 공정(ST2) 및 공정(ST3)에 의해 형성된 막은, 지지 기체(BE)의 주면(BE1)으로부터의 높이가 높을수록 막 두께가 두껍기 때문에, 지지 기체(BE)의 주면(BE1)으로부터의 높이가 낮을수록 공정(ST4)의 이방성 에칭에 의해 제거되는 부분이 많다. 따라서, 공정(ST4)의 이방성 에칭은, 공정(ST4)의 프로세스 조건을 조정함으로써, 예를 들면, 도 6에 나타내는 바와 같이, 피처리층(EL)의 복수의 블록 영역 중 지지 기체(BE)의 주면(BE1)으로부터의 높이가 가장 낮은 블록 영역의 단면(예를 들면, 블록 영역(PJ1)의 단면(TE1)) 상에 형성된 막(제 1 막(SF1) 및 제 2 막(SF2))만을 제거하는 것이 가능하다. 또한, 공정(ST4)의 이방성 에칭은, 공정(ST4)의 프로세스 조건을 더 조정함으로써, 피처리층(EL)의 복수의 블록 영역 중 지지 기체(BE)의 주면(BE1)으로부터의 높이가 가장 낮은 쪽(제 1 번째)에서부터 순서로 제 n 번째(n은 2 이상의 정수이며, 이하 동일)까지의 복수의 블록 영역의 각 단면(예를 들면, 블록 영역(PJ1)의 단면(TE1)에서부터 블록 영역(PJ2)의 단면(TE2)까지의 사이에 있는 복수의 단면의 각각) 상에 형성된 막(제 1 막(SF1) 및 제 2 막(SF2))만을 제거하는 것이 가능하다. 이와 같이, 공정(ST4)의 이방성 에칭에 의해, 피처리층(EL)의 복수의 블록 영역의 각 단면 중, 지지 기체(BE)의 주면(BE1)으로부터의 높이가 가장 낮은 블록 영역의 단면 상에 형성된 막(제 1 막(SF1) 및 제 2 막(SF2))만을, 또는, 지지 기체(BE)의 주면(BE1)으로부터의 높이가 가장 낮은 쪽(제 1 번째)에서부터 순서로 제 n 번째까지의 복수의 블록 영역의 각 단면 상에 형성된 막(제 1 막(SF1) 및 제 2 막(SF2))만을, 선택적으로 제거시킬 수 있다.

[0068] 공정(ST4)의 프로세스를 설명한다. 이하, 일 실시 형태로서, 제 1 막(SF1), 제 2 막(SF2)이 실리콘 산화물(예를 들면  $\text{SiO}_2$  막)을 포함하는 경우에 행해지는 공정(ST4)의 상세가 설명되지만, 제 1 막(SF1), 제 2 막(SF2)이 실리콘 산화물을 포함하는 실리콘 산화막 이외의 막으로서 다른 재료를 포함하는 경우에는 이하에 나타내는 가스 종류뿐만 아니라 다른 가스 종류도 이용될 수 있다. 가스 소스군(40)의 복수의 가스 소스 중 선택한 가스 소스로부터 제 6 가스를 처리 용기(12)의 처리 공간(S)에 공급한다. 제 6 가스는, 플루오로카본계 가스( $\text{C}_x\text{F}_y$ 는  $\text{CF}_4$ ,  $\text{C}_4\text{F}_8$ ,  $\text{CHF}_3$ )를 포함할 수 있다. 그리고, 제 1 고주파 전원(62)으로부터 고주파 전력을 공급하고, 제 2 고주파 전원(64)으로부터 고주파 바이어스 전력을 공급하여, 배기 장치(50)를 동작시킴으로써 처리 용기(12)의 처리 공간(S)의 압력을 미리 설정된 압력으로 설정한다. 이와 같이 하여, 제 6 가스의 플라즈마가 생성된다. 생성된 플라즈마 중의 불소를 포함하는 활성종은, 고주파 바이어스 전력에 의한 연직 방향(면직 방향(DR))으로의 인입에 의해, 공정(ST2) 및 공정(ST3)에 의해 형성된 막(제 1 막(SF1) 및 제 2 막(SF2)) 중, 피처리층(EL)의 복수의 블록 영역의 각 단면 상에 있는 부분을, 이방적으로(우선적으로) 에칭한다. 공정(ST4)의 이방성 에칭의 결과, 피처리층(EL)의 복수의 블록 영역 중 지지 기체(BE)의 주면(BE1)으로부터의 높이가 가장 낮은 단면(예를 들면 도 6에 나타내는 블록 영역(PJ1)의 단면(TE1))만이, 또는, 피처리층(EL)의 복수의 블록 영역 중 지지 기체(BE)의 주면(BE1)으로부터의 높이가 가장 낮은 쪽(제 1 번째)에서부터 순서로 제 n 번째까지의 복수의 블록 영역의 각 단면(예를 들면, 블록 영역(PJ1)의 단면(TE1)에서부터 블록 영역(PJ2)의 단면(TE2)까지의 사이에 있는 복수의 단면)만이, 선택적으로 노출될 수 있다. 공정(ST4)의 실행 전에 있어서의 블록 영역(PJ2)의 단면(TE2) 상에 형성된 제 2 막(SF2)의 막 두께(TH2a)는, 공정(ST4)의 에칭에 의해, 공정(ST4)의 실행 후에 있어서는, 막 두께(TH2a)보다 얇은 막 두께(TH2b)가 된다.

[0069] 공정(ST4)에 이어지는 공정(ST5(제 3 공정))에 있어서, 도 2에 나타내는 바와 같이 웨이퍼(W)가 정전 척(ESC) 상에 배치되어 있는 상태에서, 피처리층(EL)을 이방성 에칭한다. 공정(ST5)은, ALE(Atomic Layer Etching)법과



동일한 방법에 의해, 피처리층(EL)의 표면(EL1) 중, 공정(ST4)의 이방성 에칭에 의해 선택적으로 노출된 단면(예를 들면 도 6에 나타내는 단면(TE1))이며, 이하, 노출 단면이라고 하는 경우가 있음)을 원자층마다 면직 방향(DR)으로 이방성 에칭한다. 공정(ST5)의 상세는, 도 11에 나타난다. 도 11에 나타내는 바와 같이, 공정(ST5)은, 공정(ST5a(제 14 공정)), 공정(ST5b(제 15 공정)), 공정(ST5c(제 16 공정)), 공정(ST5d(제 17 공정)), 공정(ST5e)을 구비한다. 공정(ST5a) ~ 공정(ST5d)은, 시퀀스(SQ3(제 3 시퀀스))를 구성한다. 공정(ST5)에 있어서, 시퀀스(SQ3)는 1 회(단위 사이클) 이상 실행된다. 시퀀스(SQ3)를 반복 실행하여, 공정(ST4)에 의해 노출된 노출 단면을 원자층마다 제거함으로써, 당해 노출 단면에 대하여 선택적으로 이방성 에칭을 행한다. 이하, 일 실시 형태로서, 제 1 막(SF1), 제 2 막(SF2)이 실리콘 산화물(예를 들면  $\text{SiO}_2$  막)을 포함하는 경우에 행해지는 공정(ST5)의 상세가 설명되지만, 제 1 막(SF1), 제 2 막(SF2)이 실리콘 산화물을 포함하는 실리콘 산화막 이외의 막으로서 다른 재료를 포함하는 경우에는 이하에 나타내는 가스 종류뿐만 아니라 다른 가스 종류도 이용될 수 있다.

[0070] 공정(ST5a)은, 웨이퍼(W)가 배치되는 처리 공간(S)에 있어서 제 7 가스의 플라즈마를 생성하고, 도 7에 나타내는 바와 같이, 피처리층(EL)의 노출 단면의 원자층에, 제 7 가스의 플라즈마에 포함되는 이온을 포함하는 혼합층(MX)을 형성한다. 예를 들면, 공정(ST5a)에 있어서, 제 7 가스의 플라즈마에 제 2 고주파 전원(64)으로부터 고주파 바이어스 전력을 면직 방향(DR)으로 인가하여, 피처리층(EL)의 노출 단면의 원자층에 대하여, 제 7 가스의 플라즈마에 포함되는 이온을 포함하는 혼합층(MX)을 형성할 수 있다.

[0071] 공정(ST5a)에 있어서, 처리 용기(12)의 처리 공간(S)에 제 7 가스를 공급하여, 제 7 가스의 플라즈마를 생성한다. 제 7 가스는, 수소 원자 및 산소 원자를 포함하고, 구체적으로는  $\text{H}_2$  가스 및  $\text{O}_2$  가스의 혼합 가스를 포함할 수 있다. 구체적으로는, 가스 소스군(40)의 복수의 가스 소스 중 선택한 가스 소스로부터 제 7 가스를 처리 용기(12)의 처리 공간(S)에 공급한다. 그리고, 제 1 고주파 전원(62)으로부터 고주파 전력을 공급하고, 제 2 고주파 전원(64)으로부터 고주파 바이어스 전력을 공급하고, 배기 장치(50)를 동작시킴으로써 처리 용기(12)의 처리 공간(S)의 압력을 미리 설정된 압력으로 설정한다. 제 7 가스의 플라즈마가 처리 용기(12)의 처리 공간(S)에 있어서 생성되고, 제 7 가스의 플라즈마에 포함되는 이온(수소 원자의 이온)이 제 2 고주파 전원(64)으로부터 공급되는 고주파 바이어스 전력에 의한 면직 방향(면직 방향(DR))으로의 인입에 의해, 피처리층(EL)의 노출 단면에 접촉하여, 당해 노출 단면이 이방적으로 개질된다. 이와 같이 하여, 제 7 가스의 플라즈마에 제 2 고주파 전원(64)으로부터 바이어스 전력을 인가하여, 공정(ST4)에 의해 노출된 노출 단면의 원자층에 제 7 가스의 플라즈마에 포함되는 이온을 포함하는 혼합층(MX)을 형성한다. 공정(ST5a)에 있어서, 피처리층(EL)의 표면(EL1)(구체적으로는, 피처리층(EL)의 복수의 볼록 영역의 각 단면) 중 이방적으로 개질된 개소가, 혼합층(MX)이 된다.

[0072] 도 13은, (a)부, (b)부 및 (c)부를 구비하고, 도 11에 나타내는 방법(시퀀스(SQ3))에 있어서의 에칭의 원리를 나타내는 도면이다. 도 13에 있어서, 안이 비어 있는 원(백색 원)은, 피처리층(EL)을 구성하는 원자(예를 들면  $\text{SiN}$ 을 구성하는 원자)를 나타내고 있으며, 검은 칠의 원(흑색 원)은, 제 7 가스의 플라즈마에 포함되는 이온(수소 원자의 이온)을 나타내고 있고, 원으로 둘러싸인 'x'는, 후술의 제 8 가스의 플라즈마에 포함되는 라디칼을 나타내고 있다. 도 13의 (a)부에 나타내는 바와 같이, 공정(ST5a)에 의해, 제 7 가스의 플라즈마에 포함되는 수소 원자의 이온(검은 칠의 원(흑색 원))이, 피처리층(EL)의 노출 단면의 원자층에 대하여, 면직 방향(DR)으로부터, 이방적으로 공급된다. 이와 같이, 공정(ST5a)에 의해, 피처리층(EL)을 구성하는 원자와 제 7 가스의 수소 원자를 포함하는 혼합층(MX)이, 도 7에 나타내는 바와 같이, 피처리층(EL)의 노출 단면의 원자층에 형성된다.

[0073] 공정(ST5a)에 이어지는 공정(ST5b)에서는, 처리 용기(12)의 처리 공간(S)을 퍼지한다. 구체적으로는, 공정(ST5a)에 있어서 공급된 제 7 가스가 배기된다. 공정(ST5b)에서는 퍼지 가스로서 회가스(예를 들면  $\text{Ar}$  가스 등)와 같은 불활성 가스를 처리 용기(12)에 공급해도 된다. 즉, 공정(ST5b)의 퍼지는, 불활성 가스를 처리 용기(12)의 처리 공간(S)에 흘러 보내는 가스 퍼지, 또는 진공 배기에 의한 퍼지 중 어느 것이어도 된다.

[0074] 공정(ST5b)에 이어지는 공정(ST5c)에서는, 처리 용기(12)의 처리 공간(S)에 있어서 제 8 가스의 플라즈마를 생성하고, 이 플라즈마에 포함되는 라디칼에 의해(당해 라디칼을 이용한 케미컬 에칭에 의해) 혼합층(MX)을 제거한다. 공정(ST5c)에 있어서 생성되는 제 8 가스의 플라즈마는, 혼합층(MX)을 제거하는 라디칼을 포함한다. 도 13의 (b)부에 나타내는 원으로 둘러싸인 'x'는, 제 8 가스의 플라즈마에 포함되는 라디칼을 나타내고 있다. 제 8 가스는 불소 원자를 포함한다. 제 8 가스는, 예를 들면  $\text{NF}_3$  가스 및  $\text{O}_2$  가스를 포함하는 혼합 가스를 포함할 수 있다. 또한, 제 8 가스는,  $\text{NF}_3$  가스 및  $\text{H}_2$  가스를 포함하는 혼합 가스를 포함하고 있어도 된다. 구체적으로는, 가스 소스군(40)의 복수의 가스 소스 중 선택한 가스 소스로부터 제 8 가스가 처리 용기(12)의 처리 공간(S)에 공급된다. 그리고, 제 1 고주파 전원(62)으로부터 고주파 전력을 공급하고, 제 2 고주파 전원



(64)으로부터 고주파 바이어스 전력을 공급하고, 배기 장치(50)를 동작시킴으로써 처리 용기(12)의 처리 공간(S)의 압력을 미리 설정된 압력으로 설정한다. 이와 같이 하여, 제 8 가스의 플라즈마가 처리 용기(12)의 처리 공간(S)에 있어서 생성된다. 공정(ST5c)에 있어서 생성된 제 8 가스의 플라즈마 중 라디칼은, 혼합층(MX)에 접촉한다. 도 13의 (b)부에 나타내는 바와 같이, 공정(ST5c)에 의해, 혼합층(MX)에 제 8 가스의 원자의 라디칼이 공급됨으로써, 혼합층(MX)이 케미컬 에칭되어 피처리층(EL)으로부터 제거될 수 있다.

[0075] 이상과 같이, 도 8 및 도 13의 (c)부에 나타내는 바와 같이, 공정(ST5c)에 있어서, 공정(ST5a)에 의해 형성된 혼합층(MX)은, 제 8 가스의 플라즈마에 포함되는 라디칼에 의해, 피처리층(EL)의 노출 단면으로부터 제거될 수 있다.

[0076] 공정(ST5c)에 이어지는 공정(ST5d)에 있어서, 처리 용기(12)의 처리 공간(S)을 퍼지한다. 구체적으로는, 공정(ST5c)에 있어서 공급된 제 8 가스가 배기된다. 공정(ST5d)에서는 퍼지 가스로서 회가스(예를 들면 Ar 가스 등)와 같은 불활성 가스를 처리 용기(12)에 공급해도 된다. 즉, 공정(ST5d)의 퍼지는, 불활성 가스를 처리 용기(12)의 처리 공간(S)에 흘려 보내는 가스 퍼지, 또는 진공 배기에 의한 퍼지 중 어느 것이어도 된다.

[0077] 시퀀스(SQ3)에 이어지는 공정(ST5e)에 있어서, 시퀀스(SQ3)의 실행을 종료할지 여부를 판정한다. 구체적으로는, 공정(ST5e)에 있어서, 시퀀스(SQ3)의 실행 횟수가 미리 설정된 횟수에 도달하였는지 여부를 판정한다. 시퀀스(SQ3)의 실행 횟수의 결정에 따라, 피처리층(EL)의 노출 단면에 대한 에칭량(에칭에 의해 피처리층(EL)의 당해 노출 단면에 형성되는 홈의 깊이)이 결정된다. 시퀀스(SQ3)는, 피처리층(EL)의 노출 단면에 대한 에칭량이 미리 설정된 값에 도달할 때까지, 피처리층(EL)의 노출 단면이 에칭되도록, 반복 실행될 수 있다. 시퀀스(SQ3)의 실행 횟수의 증가에 따라, 피처리층(EL)의 노출 단면에 대한 에칭량도 증가(대략 선형적으로 증가)한다. 따라서, 1 회(단위 사이클)의 시퀀스(SQ3)의 실행에 의해 에칭되는 두께(1 회의 공정(ST5a)에서 형성되는 혼합층(MX)의 두께)와 시퀀스(SQ3)의 실행 횟수의 곱이 미리 설정된 값이 되도록, 시퀀스(SQ3)의 실행 횟수가 결정될 수 있다.

[0078] 공정(ST5e)에 있어서 시퀀스(SQ3)의 실행 횟수가 미리 설정된 횟수에 도달하고 있지 않다고 판정되는 경우에는(공정(ST5e) : NO), 시퀀스(SQ3)의 실행이 다시 반복된다. 한편, 공정(ST5e)에 있어서 시퀀스(SQ3)의 실행 횟수가 미리 설정된 횟수에 도달하고 있다고 판정되는 경우에는(공정(ST5e) : YES), 시퀀스(SQ3)의 실행이 종료된다.

[0079] 시퀀스(SQ3) 및 공정(ST5e)의 일련의 공정에 의해, 피처리층(EL) 중 공정(ST4)에 있어서 노출된 노출 단면에 대해서만, ALE법과 동일한 방법에 의해, 선택적인 이방성 에칭이 원자층마다 정밀하게 행해질 수 있다.

[0080] 일 실시 형태에 있어서, 공정(ST4) 후에 실행되는 에칭 처리로서, 공정(ST5)이 실행되지만, 다른 다양한 에칭 처리가 이용될 수 있다. 예를 들면, 공정(ST5)에 있어서 이용되는 가스 종류와 상이한 가스 종류를 이용하여 공정(ST5)과 동일한 처리 프로세스를 행하는 에칭 처리, CW(연속 방전)를 이용한 에칭 처리, 등방성 에칭에 의한 에칭 처리 등을 공정(ST4) 후에 행해도 된다.

[0081] 이상에서 설명한 일 실시 형태에 따른 방법(MT)에 의하면, 각각 단면을 가지는 피처리층(EL)의 복수의 볼록 영역(볼록 영역(PJ1), 볼록 영역(PJ2) 등)에 대하여, 우선 공정(ST2) 및 공정(ST3)에 의해 각 단면(단면(TE1), 단면(TE2) 등)에 막(제 1 막(SF1) 및 제 2 막(SF2))이 형성되고, 공정(ST4)에 의해 특정의 하나 또는 복수의 단면(예를 들면 볼록 영역(PJ1)의 단면(TE1)) 상의 막만이 선택적으로 제거되며, 공정(ST5)에 의해, 공정(ST4)에 의해 제거되어 노출된 단면만이 원자층마다 이방성 에칭된다. 따라서, 복수의 볼록 영역의 각 단면 중 특정의 하나 또는 복수의 단면에만 고상세한 이방성 에칭이 가능해진다.

[0082] 공정(ST2) 및 공정(ST3)에 의하면, 공정(ST2) 및 공정(ST3)에 의해 형성되는 막의 막 두께는 지지 기체(BE)의 주면(BE1)으로부터의 거리에 따라 상이하므로, 비교적 막 두께가 얇은 막이 마련된 단면이 공정(ST4)에 의해 선택적으로 노출된다.

[0083] 공정(ST2)에 의하면, 일 실시 형태에 있어서, 피처리층(EL)의 복수의 볼록 영역의 각 단면에는, 모두, 균일한 막 두께의 실리콘 산화막의 제 1 막(SF1)이 컨포멀하게 형성된다.

[0084] 공정(ST2a)에 의하면, 모노아미노실란을 포함하는 제 1 가스를 이용하여 실리콘의 반응 전구체의 형성이 일 실시 형태에 있어서 가능해진다.

[0085] 공정(ST2a)에 의하면, 제 1 가스에 포함되는 아미노실란계 가스에는, 1 ~ 3 개의 규소 원자를 가지는 아미노실란을 이용하는 것이 일 실시 형태에 있어서 가능해지고, 제 1 가스에 포함되는 아미노실란계 가스에는, 1 ~ 3

개의 아미노기를 가지는 아미노실란을 이용하는 것이 일 실시 형태에 있어서 가능해진다.

- [0086] 공정(ST31(공정(ST3)))에 의하면, 실리콘 원자를 포함하고, 또한, 염소 원자 또는 수소 원자를 포함하는 제 3 가스, 예를 들면  $\text{SiCl}_4$  가스 또는  $\text{SiH}_4$  가스를 포함하는 제 3 가스의 플라즈마에 의해, 공정(ST3) 전의 공정(ST2)에 있어서 컨포멀하게 형성된 실리콘 산화막의 제 1 막(SF1) 상에 대하여 추가로 실리콘 산화막의 제 2 막(SF2)의 성막이 일 실시 형태에 있어서 가능해진다.
- [0087] 공정(ST32(공정(ST3)))에 의하면, 실리콘 원자 및 염소 원자를 포함하는 제 4 가스, 예를 들면  $\text{SiCl}_4$  가스 및 Ar 가스를 포함하는 혼합 가스를 포함하는 제 4 가스를 이용한 공정(ST32a)과, 산소 원자를 포함하는 제 5 가스의 플라즈마를 이용한 공정(ST32c)을 포함하는 시퀀스(SQ2)가 반복 실행됨으로써, 공정(ST3) 전의 공정(ST2)에 있어서 컨포멀하게 형성된 실리콘 산화막의 제 1 막(SF1) 상에 대하여 추가로 실리콘 산화막의 제 2 막(SF2)의 성막이 일 실시 형태에 있어서 가능해진다.
- [0088] 공정(ST4)에 의하면, 일 실시 형태에 있어서, 플루오로카본계 가스의 플라즈마를 이용한 이방성 에칭에 의해, 비교적 막 두께가 얇은 막이 마련된 단면이 선택적으로 노출된다.
- [0089] 공정(ST5)에 의하면, 공정(ST4)에 의해 노출된 단면이 공정(ST5a)에 있어서 원자층마다 개질되어 혼합층이 형성되고, 공정(ST5a)에 의해 개질된 영역(혼합층(MX)에 대응하는 영역)이 공정(ST5c)에 있어서 제거될 수 있으므로, 공정(ST5a) 및 공정(ST5c)을 포함하는 시퀀스(SQ3)가 반복 실행됨으로써, 공정(ST4)에 의해 노출된 단면이 원하는 정도로까지 선택적으로 에칭된다.
- [0090] 공정(ST5a)에 의하면, 혼합층(MX)은, 제 7 가스에 바이어스 전력이 인가됨으로써, 공정(ST4)에 의해 노출된 단면의 원자층에 선택적으로 형성된다.
- [0091] 공정(ST5c)에 의하면, 일 실시 형태에 있어서,  $\text{NF}_3$  가스 및  $\text{O}_2$  가스를 포함하는 혼합 가스를 포함하는 제 8 가스의 플라즈마를 이용하여, 공정(ST5a)에 의해 형성된 혼합층이 제거된다.
- [0092] 이상, 바람직한 실시 형태에 있어서 본 발명의 원리를 도시하여 설명했지만, 본 발명은, 그러한 원리로부터 이탈하지 않고 배치 및 상세에 있어서 변경될 수 있는 것은, 당업자에 의해 인식된다. 본 발명은, 본 실시 형태에 개시된 특징의 구성에 한정되는 것은 아니다. 따라서, 특허 청구의 범위 및 그 정신의 범위에서 오는 모든 수정 및 변경에 권리를 청구한다.
- [0093] 예를 들면, 제 1 ~ 제 8 가스의 각각의 가스 종류는 상기한 일 실시 형태의 가스 종류에 한정되지 않고, 상기한 일 실시 형태의 효과가 나타날 수 있는 다른 가스 종류가 적용될 수 있다. 또한, 피처리층(EL)의 재료에 대해서도, 상기한 일 실시 형태의 효과가 나타날 수 있는 다른 재료가 적용될 수 있다.

## 부호의 설명

- [0094] 10 : 플라즈마 처리 장치
- 12 : 처리 용기
- 12e : 배기구
- 12g : 반입반출구
- 14 : 지지부
- 18a : 제 1 플레이트
- 18b : 제 2 플레이트
- 22 : 직류 전원
- 23 : 스위치
- 24 : 냉매 유로
- 26a : 배관
- 26b : 배관

28 : 가스 공급 라인  
 30 : 상부 전극  
 32 : 절연성 덮개 부재  
 34 : 전극관  
 34a : 가스 토출 홀  
 36 : 전극 지지체  
 36a : 가스 확산실  
 36b : 가스 통류 홀  
 36c : 가스 도입구  
 38 : 가스 공급관  
 40 : 가스 소스군  
 42 : 밸브군  
 44 : 유량 제어기군  
 46 : 퇴적 실드  
 48 : 배기 플레이트  
 50 : 배기 장치  
 52 : 배기관  
 54 : 게이트 밸브  
 62 : 제 1 고주파 전원  
 64 : 제 2 고주파 전원  
 66 : 정합기  
 68 : 정합기  
 70 : 전원  
 BE : 지지 기체  
 BE1 : 주면  
 Cnt : 제어부  
 DR : 먼직 방향  
 EL : 피처리층  
 EL1 : 표면  
 ESC : 정전 척  
 FR : 포커스 링  
 G1 : 제 1 가스  
 G4 : 제 4 가스  
 HP : 히터 전원  
 HT : 히터  
 LE : 하부 전극

Ly1 : 층

Ly2 : 층

MT : 방법

MX : 혼합층

P1 : 플라즈마

P2 : 플라즈마

PD : 배치대

PJ1 : 블록 영역

PJ2 : 블록 영역

S : 처리 공간

SF1 : 제 1 막

SF2 : 제 2 막

TE1 : 단면

TE2 : 단면

TH1 : 막 두께

TH2a : 막 두께

TH2b : 막 두께

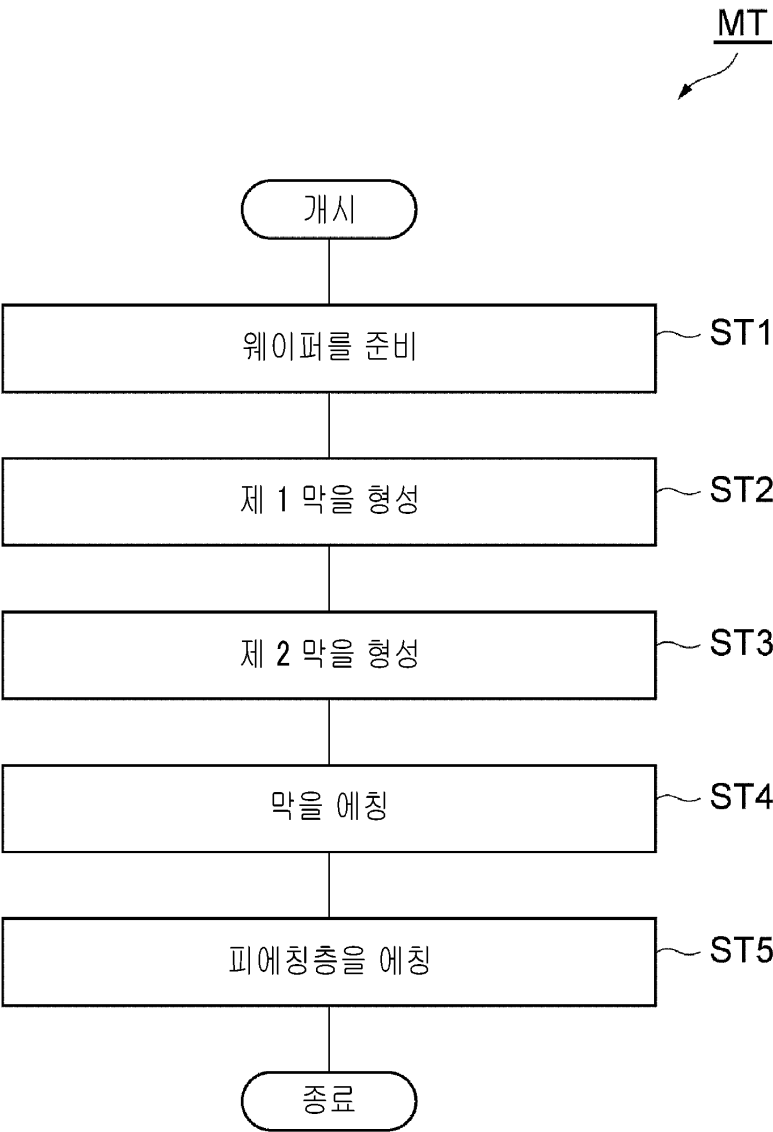
TT1 : 높이

TT2 : 높이

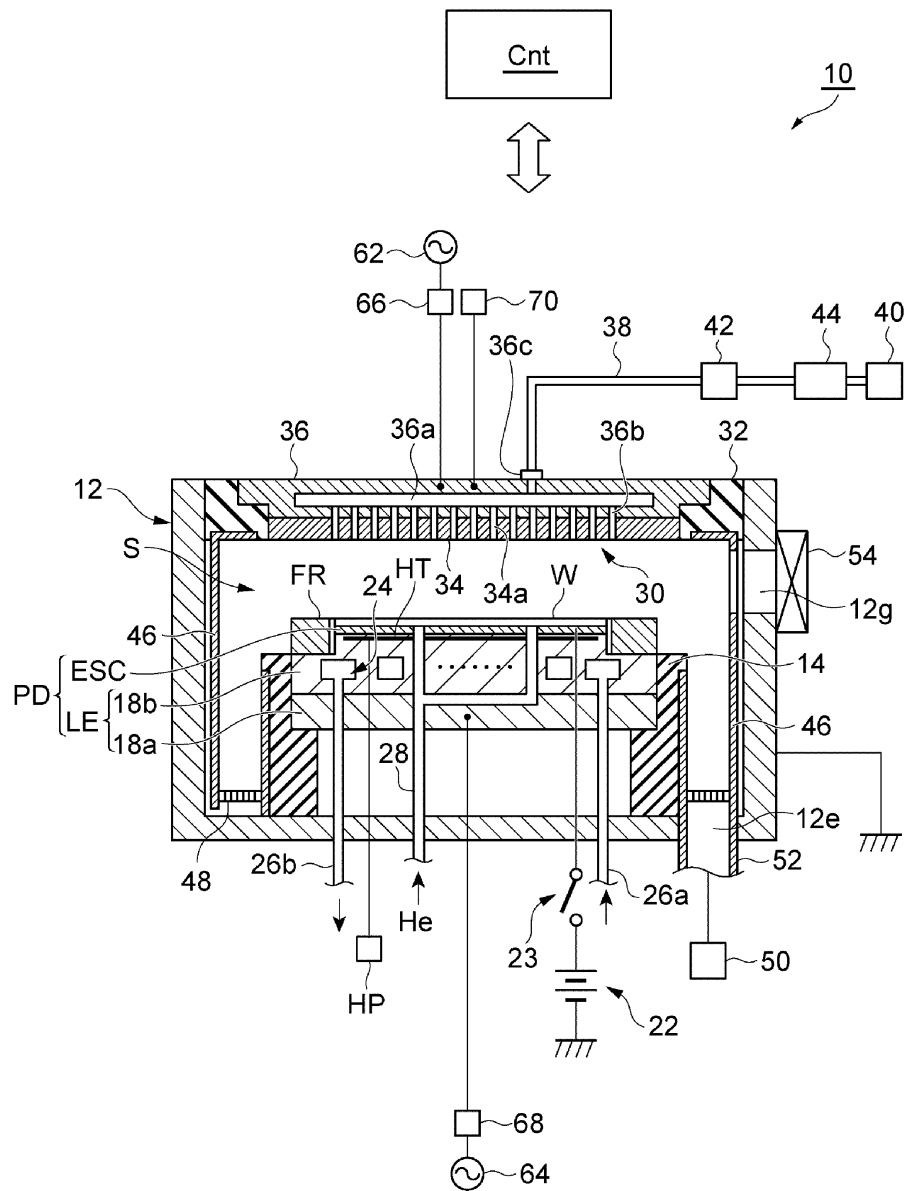
W : 웨이퍼

도면

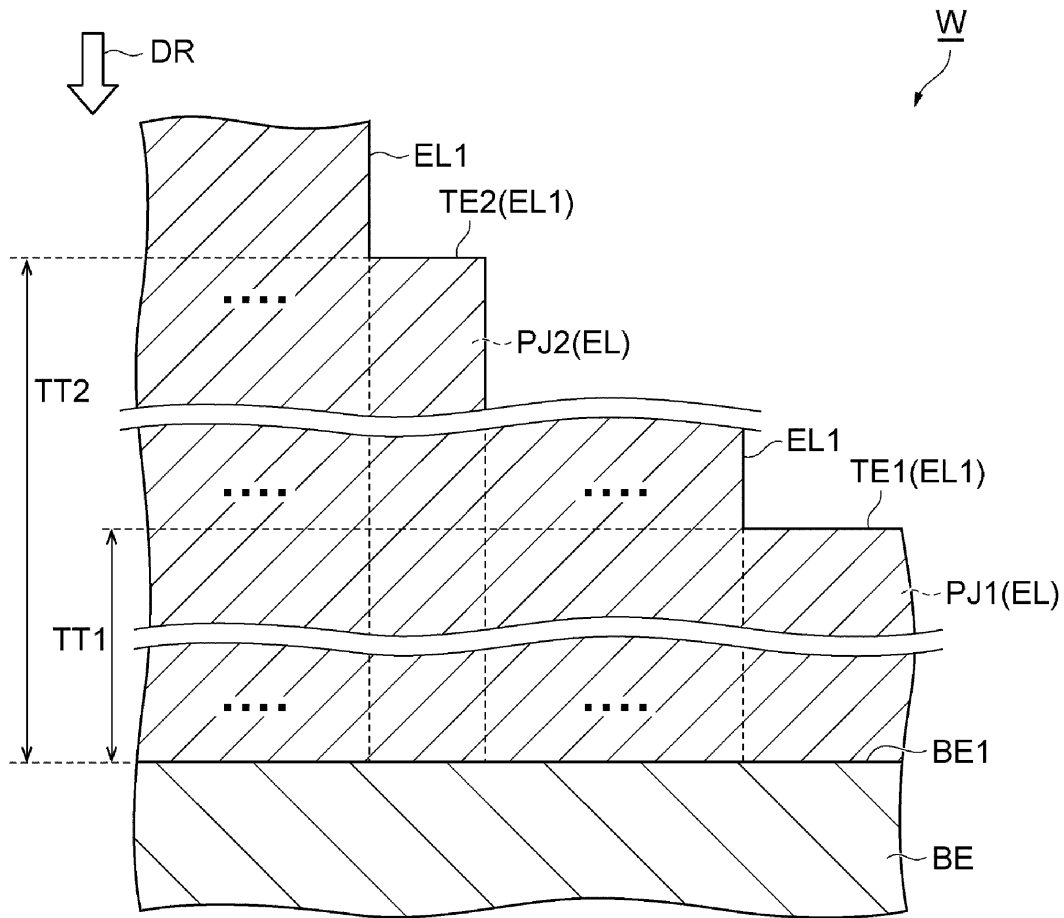
도면1



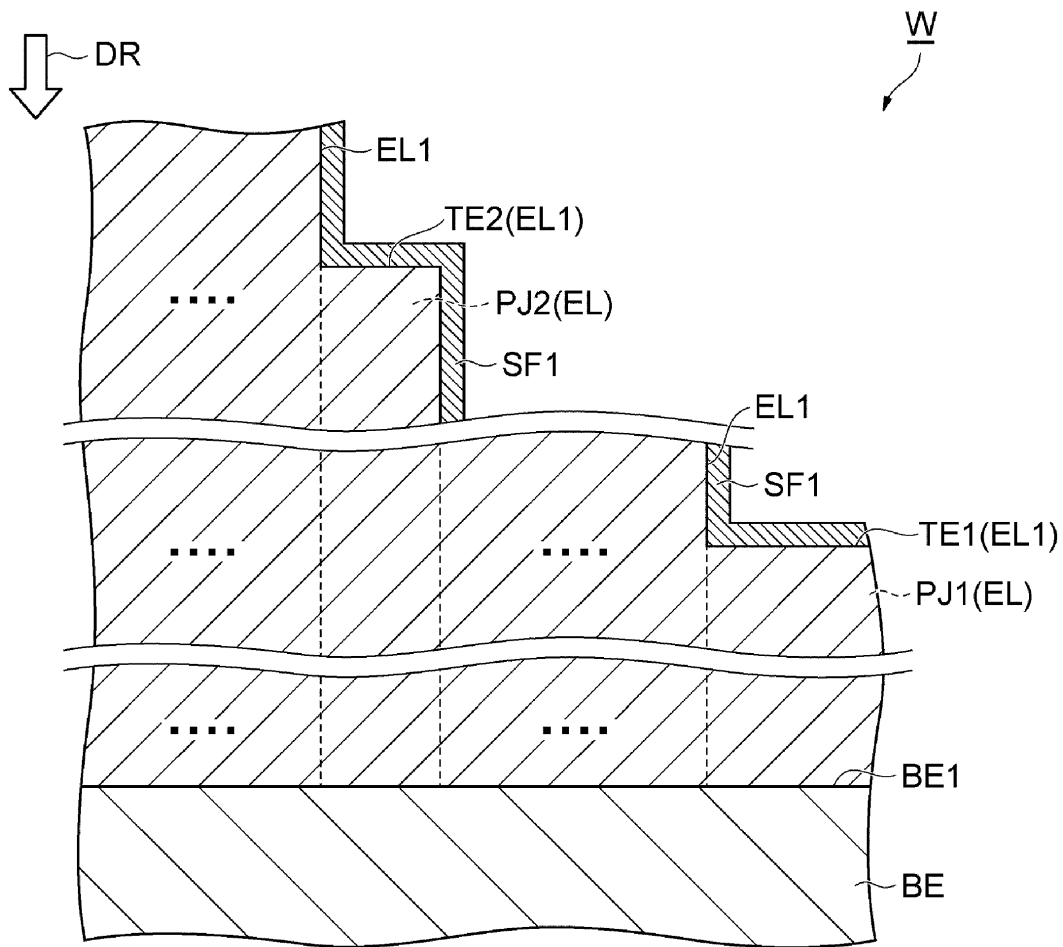
도면2



도면3

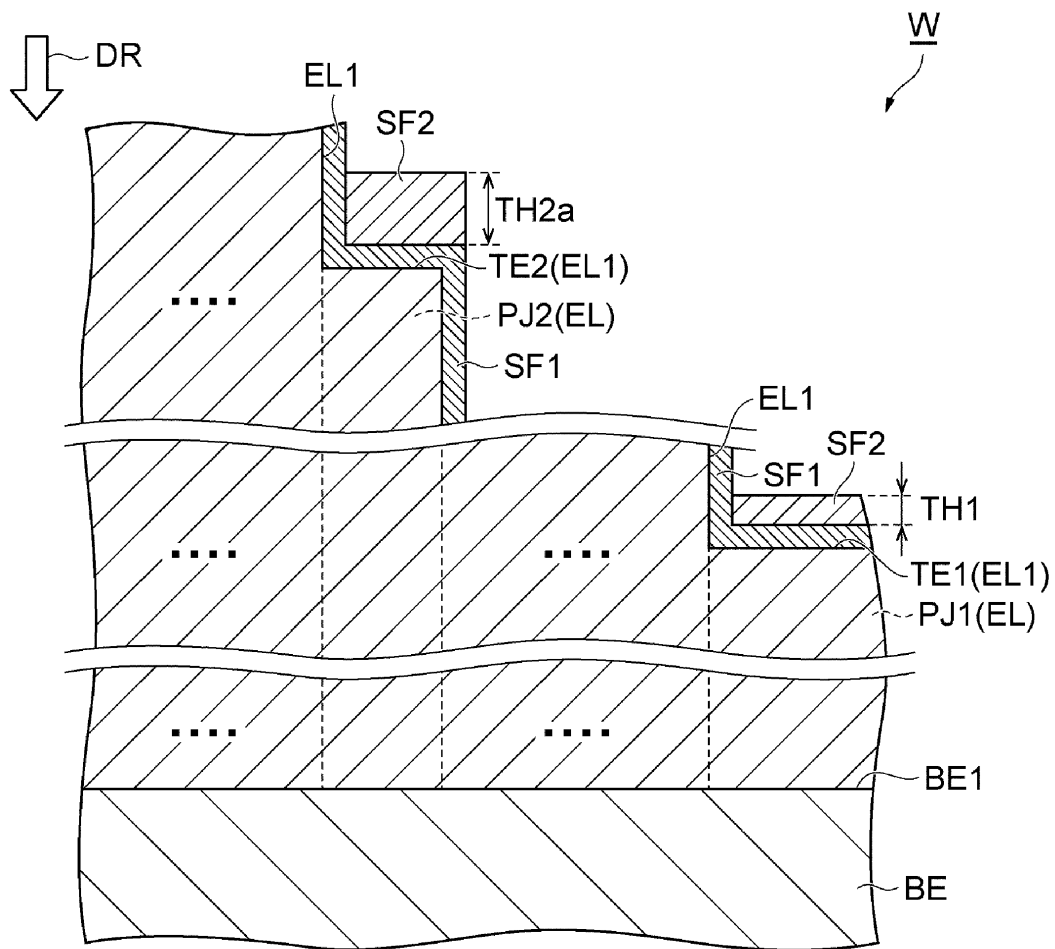


도면4

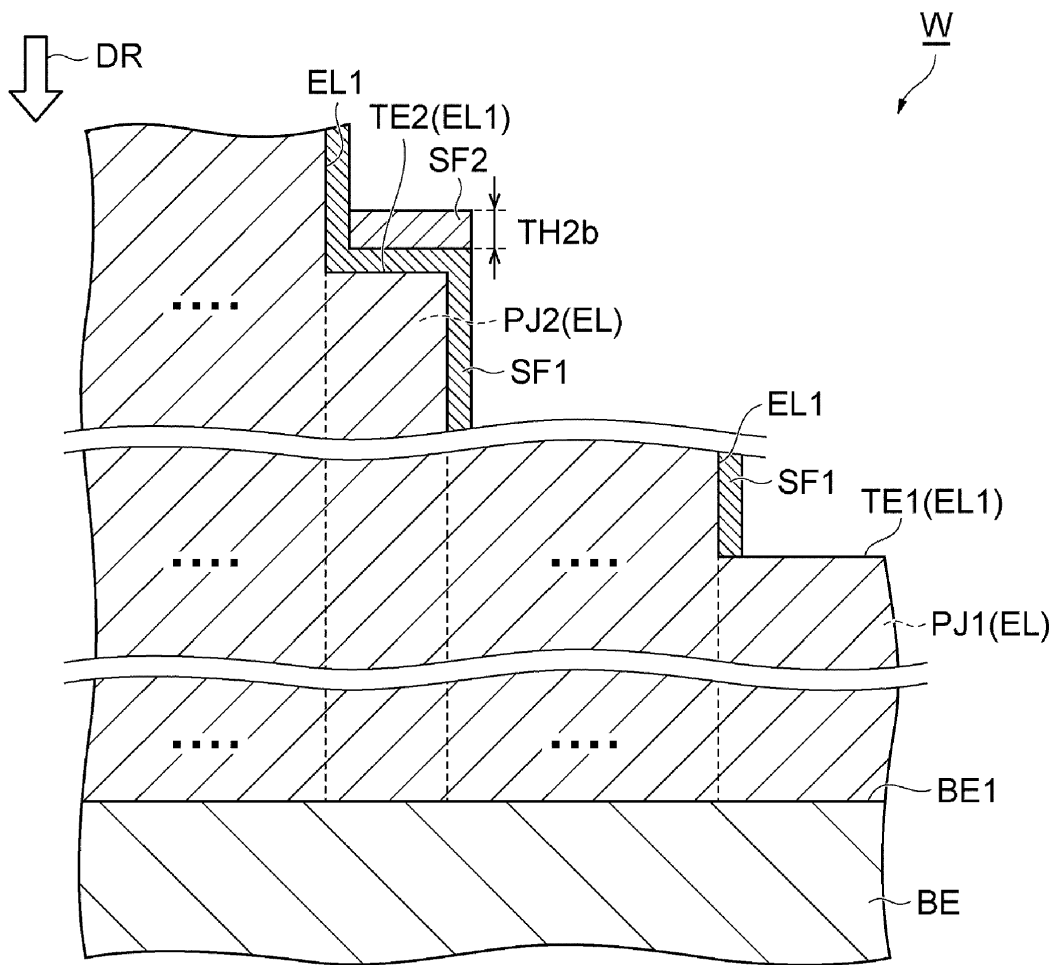




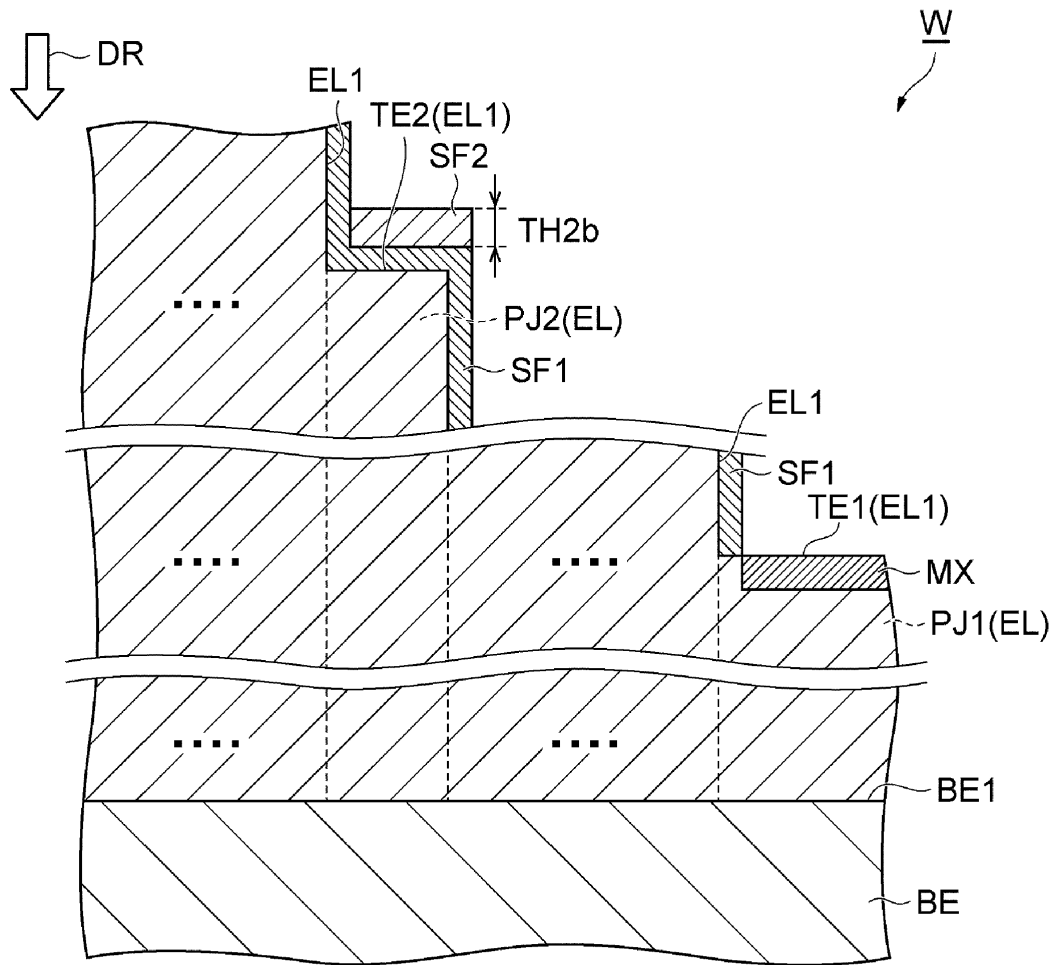
도면5



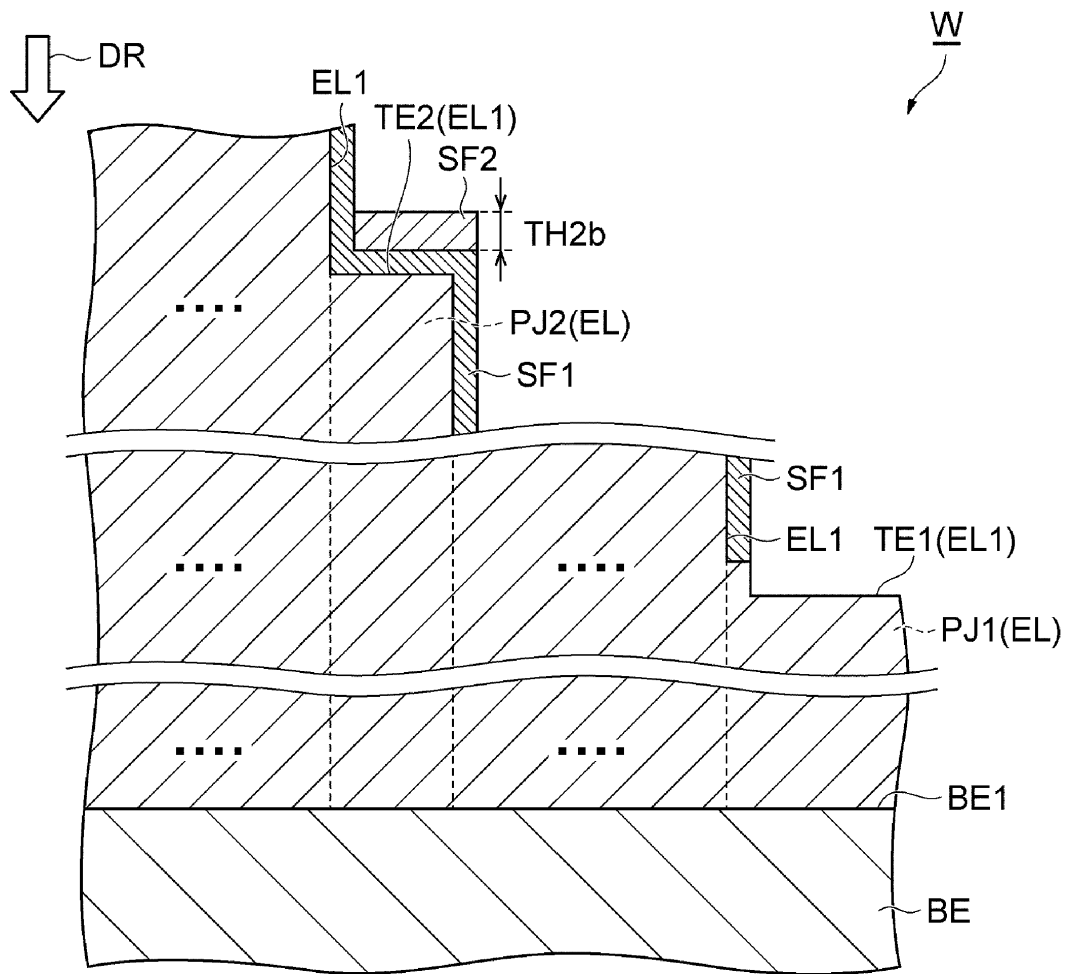
도면6



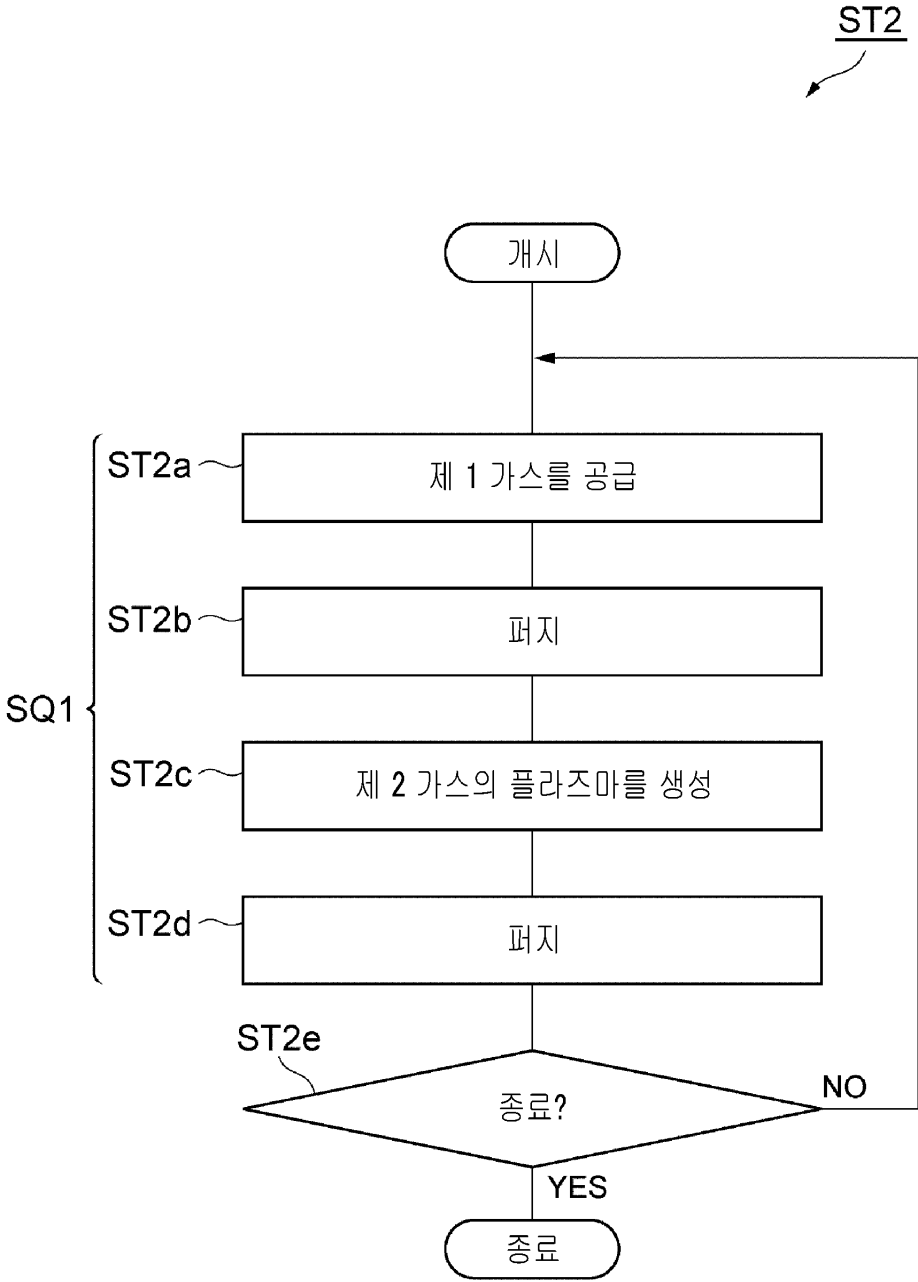
도면7



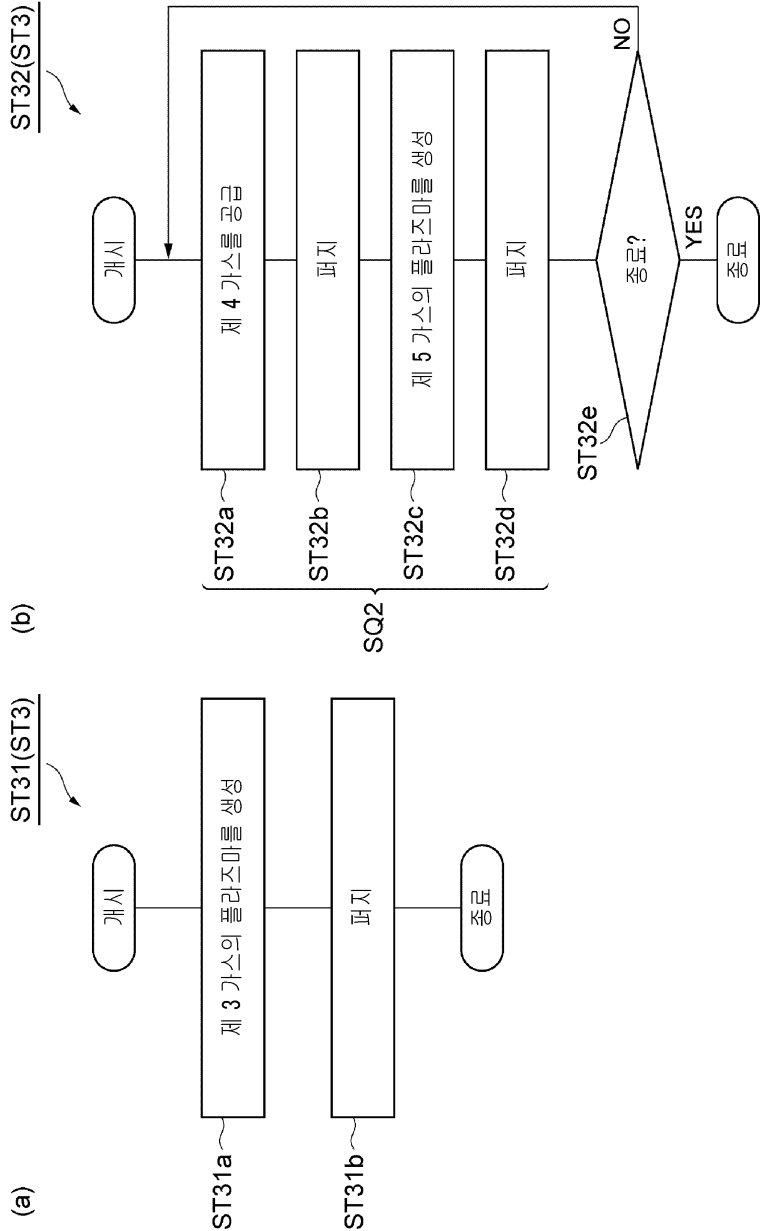
도면8



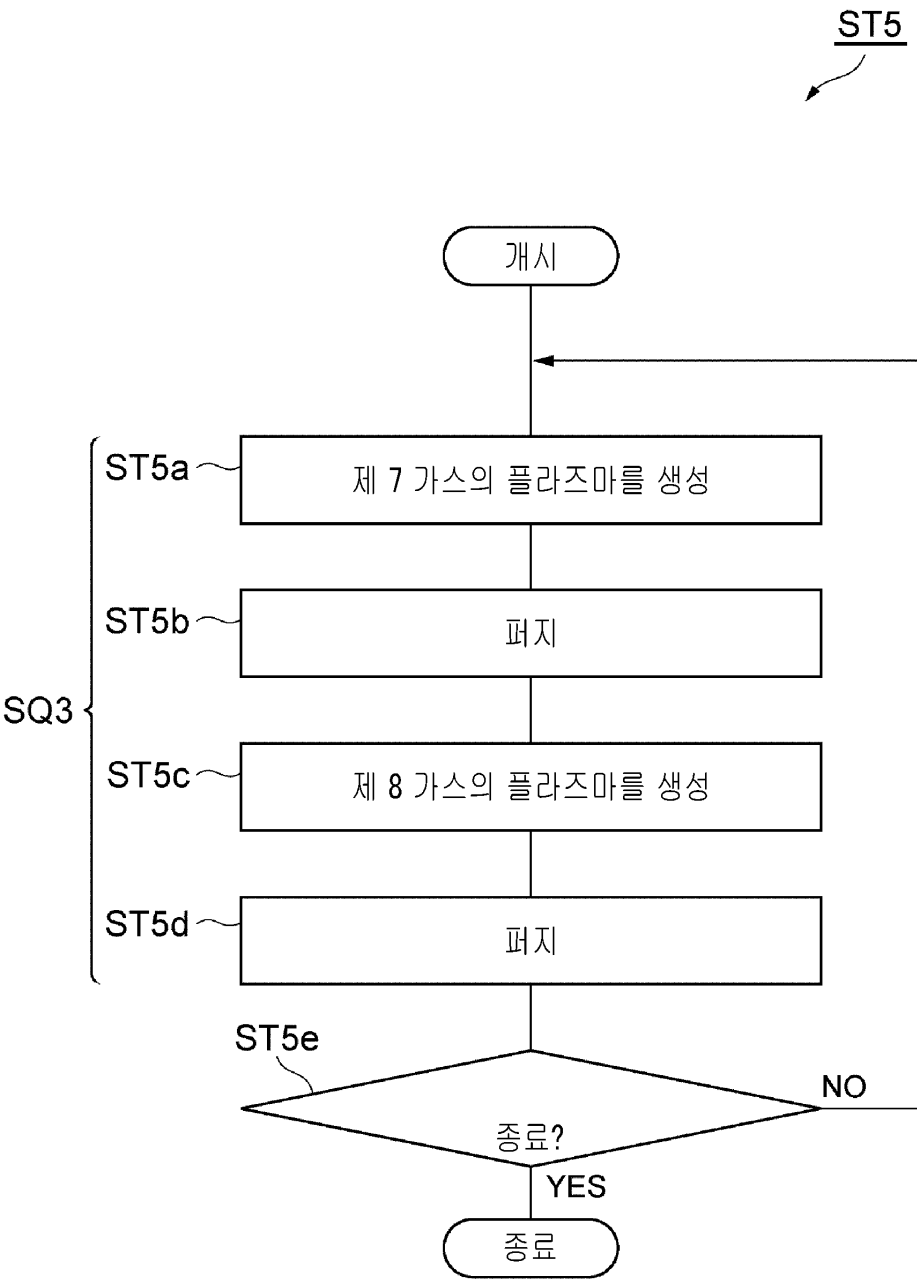
도면9



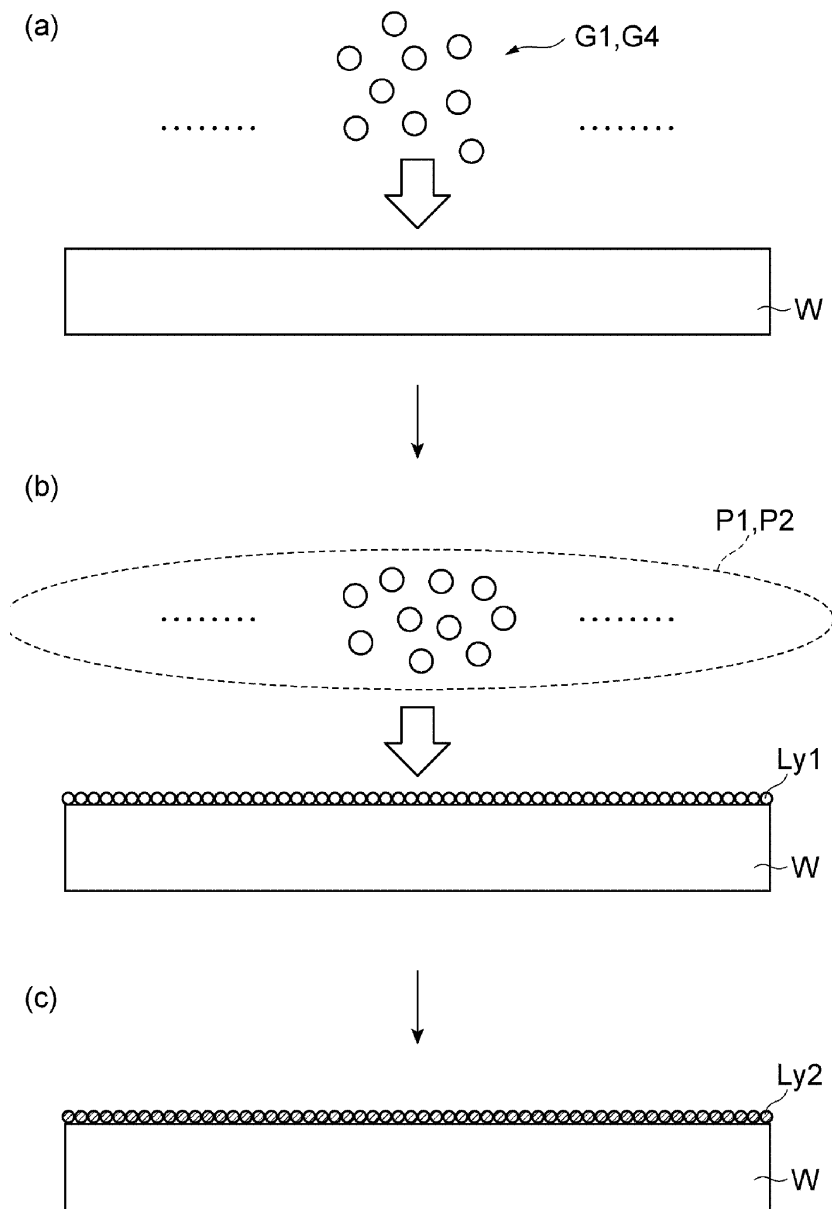
도면10



도면11



도면12





도면13

