

[발명의 상세한 설명]

본 발명은 데이터의 중간 저장을 위한 버퍼수단을 공급하고 데이터를 연속적으로 출력하는 데이터 소스 수단을 포함하고, 상기 버퍼 수단의 충전등급신호의 제어하에서 상기 데이터 소스 수단의 데이터 취급 비율을 능동적으로 제어 하기 위한 피이드백 수단을 포함하는 장치에 관한 것이다. 이러한 장치는 1960년 2월의 IBM 기술발표회로 제2권 제5호의 86~89페이지에 버퍼 시스템(Buffer System)으로 Skov 및 Newman으로부터 공지된다. 데이터 소스는 7개 채널의 자기테이프이고, 버퍼는 워드당 7비트에서 6워드 자기 코어를 저장하고, 상기 데이터의 목적지는 동기 유닛(a synchronous unit)이다. 피이드백 신호는 자기 테이프의 가속 및 감속을 제어할 수 있다. 이 방법으로 테이프 속도 변화와 고나려된 문제는 경감된다.

영국 특허 출원 번호 제 2088103A호는 소스가 실질적으로 독립적인 것과 유사한 상태에 근접한다. 해결책은 증가 판독비에서의 변화이므로 증가비가 감소될 때 출력회로에 전달하기 위해 같은 데이터 워드가 되풀이해서 판독되거나 증가비가 증가될 때 중간 데이터 워드가 스킵된다(1페이지, 50-54 라인). 따라서, 두 참조부분 모두는 데이터 스트림의 연속성을 유지하는 문제를 제기한다.

본 발명은 전자 회로에 대한 모뎀 설계 방법론이 단계를 이루고 있으며 여기에서 단일이고 자체만으로 움직이는 배터리-동작된 유닛내부의 많은 기능화의 소형화가 실행되어질 수 있다. 더구나, 셀프타이밍(a self-timed) 디지털 전자공학은 어떤 클럭 동기화도 필요로 하지 않도록 발전되어 왔다. 이는 회로 소자의 체인 내부에서 활성화의 시퀀스가 어떤시간 크기에서 정정 된다는 것을 의미한다.

따라서, 본 발명의 목적중 하나는 기재된 종류의 장치를 실현하기 위한 것으로, 여기에어 동적 파워 절약화는 본질적으로 정확한 기능화와 결합된다. 파워 절약화는 재충진 불가능 배터리에 대해 보다 긴 수명을 가져온다. 교대로, 보다 작은 배터리는 계속적인 서비스에 관해서 적당히 타협하여 사용될 것이다. 더구나, 보다 낮은 전류 드런(drawn)에서, 같은 배터리는 종종 암페어-시간에서 측정되는 바와같이 보다 높은 정격을 나타낸다. 재충진가능한 배터리에서, 전류 전하화는 보다 적은 재충진화 또는 다시 보다 작은 배터리 및 보다 적은 무게를 의미한다. 그리고 기술적으로 진보된 실현에 있어서, 보다 낮은 전류는 열 수송 능력상에 보다 낮은 요구를 이끄는 보다 적은 손실을 의미한다. 그리고, 이는 세라믹 DIL 모듈 대신에 플라스틱 DIL과 같은 보다 저렴한 패키징을 이끌 수 있다. 다른 상황에서, 냉각시키기 위한 값비싼 설비는 생략되어 진다. 주요부분에 동력이 공급된 장치의 경우에서조차도 파워 절약화는 좋은 특성일 것이다.

상기 양상중 하나에 따른 본 발명의 장치는 상기 데이터 소스 수단이 세르-타이밍된 소자를 근거로 집적된 디지털 데이터 처리 전자회로를 포함하고, 상기 피이드백 수단이 상기 회로의 실제 파워링 전압을 제어하며, 그 파워링 전압은 상기 전자회로의 동작 전압을 직접적으로 결정하는 것을 특징으로 하는 본 발명의 목적이 제공된다.

보다 낮은 레벨의 절약 파워로 전압을 유지시키기 위해 파워링 전압을 변화시킴으로써 파워소모가 또한 영향을 받게된다. 소모된 파워는 두개의 카테고리과 만난다. 저항을 통과한것 같은 정적 파워소모는 전압에 비례한다. 이 형태는 바이폴라 기술에서 일반적으로 발생한다. 동적 파워는 캐패시터의 부하를 통해 소모된다 ; 그 에너지는 $1/2CV^2$ 이고 따라서 전압의 제곱에 비례한다. 이 형태는 게이트의 스위칭이 예를 들어 CMOS 및 GAAS 기술에서와 같이 전압을 결정하는 기술에서 일반적으로 일어난다. 비록 스위칭 동작의 총수가 일정하다하더라도, 파워는 여전히 전압의 제곱으로 변화한다. 현재, 동작 속도는 결정된 경계사이에 있고, 여기서 고려될 필요가 없는 복잡한 물리법칙에 따라 동작하는 후자에 의해 제공된 파워링 전압에 따라 단조롭게 증가한다. 비자체 타이밍 회로에 있어서, 이는 또한 스위칭 동작의 수가 클럭의 경우에서와 같은 파워링 전압하에서 변화할 수 있다는 것을 의미한다. 그러나, 자체 타이밍 회로에 있어서, 부가적인 장점은 두 회로소자간의 인터페이스에 모든 동작이 그들 소자중 하나의 실제 스위칭 속도에 관계없이 본질적으로 적절히 조정되는 점이 발생한다.

현재, 전자 동기 회로에서 취급비율의 변화는 오프/온-원리상에서 일반적으로 실현될때까지이다. 그 자체에 의해, 자체 타이밍의 응용은 242-262 페이지; 1980년 Addison-Wesley의 Introduction to VLSI Systems의 Mead & Conway에서 다루어졌다. 특별에는 250-252 페이지상에 PLA 형 풀가산기이다. 특정실현은 지연-무감지 소자에 의해서되고, 현재 양수인에게 있는 미국 특허 제 5,005,136호 특허 그것의 제14,15도를 참조하라, 이 설계 방법론은 1991년 2월 네덜란드의 암스테르담의 European Design 및 Automation Conference(EDAC)에 제출한 VLSI Programming Language Tangram 및 its Translation into Handshake Circuits 의 Kees van Berkel 등등에서 보다 상세히 전개되어진다. 그 자체에 의해 동기회로의 기능화 또는 그 반대에서 파워링 전압 레벨의 영향은 1990년 2월 16일 금요일 ISSCC'90의 확보 페이지 238/239에 A Voltage reduction technique for digital systems의 P. Macken 등등에서 고려되어졌다. 여기에서, 여전히 정확하게 동작하는 동안 최소 파워링 전압에 도달하는 실행가능성 만이 전적으로 제기된다. 데이터처리 그자체에 관련된 유효동작상에서 일시적인 상태의 결과를 조정하게 되는 어떤 주의도 없다. 참조가 자체 타이밍 전기 회로 소자의 여러전압 레벨에서 동작하는 실행가능성을 조금도 제기하지 않으며 그것에 의해 장점을 적용하는 것은 보다 높은 구성 레벨상에서 제안된다. 본 발명에 따라서, 처리화는 데이터 처리능력비에 영향을 미치는 다양한 동작 조건 때문에 보다 빨라지거나 느려지게될 수도 있다;

- 미록 처리속도가 같다하더라도, 데이터 목적지는 요구된 데이터 항목의 수로써 한정된 바와같이 보다 크거나 적은 처리 능력비를 능동적으로 요구한다.

- 몇몇 특정 상황으로 인하여 처리화는 같은수의 데이터 항목을 생성하기 위해 보다 많은 동작 예를들어 부가적인 반복을 행한다. 특정에는 데이터 처리화가 에러 정정 디코딩에 관련된 것이다. 이는 다른 레벨의 처리화를 요구할 수도 있다; 에러가 없는 워드의 디코딩은 결정이 있는 것에 비교된 바와같이 보다적

은 동작이 행해진다.;

- 다양한 다른 동작 조건은 효과적인 전체 처리속도에 영향을 미치게 되고, 더우기 그것은 데이터 처리 디바이스의 동작에 의해 결정된다. 먼저, 대기온도는 동작속도에 영향을 미친다. 같은 파워링 전압 레벨에서의 동작은 상승된 온도에 따라 감소한다. 따라서, 보다 낮은 온도에서 동작 전압 레벨은 저하된다. 특히, 본 발명에 따른 전압 레벨은 대기온도 자체에 의해 제어되진 않지만 처리상의 대기온도의 영향에 의해 제어된다. 종종, 이는 단지 처리화 요구와 만나는 최소 파워링 전압에 대해 이끌것이다;

- 다른 변화는 제조화 처리 기술 확장에서의 변화에 기인한다. 20%의 동작 속도에서 확장은 보기 드문일이 아니다. 이는 특정회로의 '보다빠른' 복사가 이 관점에서 어떤 사전사용 테스트없이 보다 낮은 파워링 전압 레벨에서 구동될 수 있다는 것을 의미한다. 물론, 그러한 테스트는 그럼에도 불구하고 표준 등급인 것으로부터 떨어진 극히 낮은 소모 디바이스를 세트하기 위해 실행될 수 있다.

이 모든 결과는 상술한 버퍼의 충전상태에 영향을 미칠 수 있다. 더구나, 이들 조건의 결과는 부가적이고 그것은 큰 확장이 최상의 경우 및 최악의 경우 사이에 실제문제으로써 일어날 수 있다는 것을 의미한다. 따라서, 상기에 따른 파워절약은 또한 꽤 상당한 것이다. 본 발명을 실행하는 추가적인 장점은 다음에 있다. 최대 처리화 파워는 드물게 비례적으로 요구된다.

이는 회로 패키지로부터 열전도, 회로칩 내부의 열용량 등등에 영향을 미치는 다소 보다 낮은 평균 파워에 대한 회로의 설계를 허용한다.

버퍼의 입력에서 선택적으로 데이터 처리를 가지기위해 그것은 버퍼의 출력에 위치될 수 있다. 따라서, 본 발명의 다른 양상은 데이터의 수신 및 중간 저장 및 그것을 데이터 처리 수단에 연속적으로 출력하기 위한 버퍼 수단을 포함하고, 상기 버퍼 수단의 충전 등급신호의 제어하에서 상기 데이터 처리 수단의 데이터 취급 비율을 능동적으로 제어하는 위한 피이드백 수단을 포함하는 장치에 관한 것으로, 상기 데이터 처리 수단은 자체 타임된 소자에 근거한 전자 집적 회로를 포함하고, 상기 피이드백 수단은 상기 회로의 실제 파워링 저압을 제어하고, 그것의 파워링 전압은 상기 전자 회로의 동작 속도를 직접적으로 결정한다. 일반적으로, 비록 버퍼 및 데이터 처리사이 데이터 전송 방향이 현재 다른 방향을 돌고있더라도 상기와 같이 유사한 논거를 적용한다. 버퍼/데이터 처리 조합은 있을지도모르는 보다 많은 포괄적인 본질 부분을 형성할지도 모르지만 위에서 상술된 바와같이 파워 레벨 규정을 수반할 필요가 없다는 것이 명백하다. 이러한 본질의 다른 부분은 고정된 클럭에 의해 동기되고, 다른 기술학에서 또는 다른 집적 회로칩에서 있을 수 있다. 비록 다른 소자의 회로가 동일하다 하더라도,그것은 제조 공정의 확장에 기인한 다른 동작속도를 가질것이다.

명백하게 요구된 처리 파워에서 변화의 다른 예는 고속 더빙이 가능한 레코딩 장치이다; 그때 정보는 표준 판독 속도(또는 몇몇 다른 인자)의 두번에 걸쳐 복사되고, 그것은 정상적인 사용보다 꽤 많이 처리 소자에게 부담지우게 된다. 단지 이 경우에 조다 높은 파워링 레벨(레벨들)이 사용된다.

또다른 유리한 예는 (시각적, 음성적 또는 다른) 패턴인식에서이다. 종종, 입력신호는 후보 위치에 대해 먼저 스캔하고, 그후 후보 설정은 완전하게 면밀히 검사된다. 그후, 연속적인 처리 회로의 저압 레벨은 감소될 수 있다.

비록 모든 양상이 본 발명의 장점을 달성하기 위해서도 불구하고 존재할 필요가 없다할지라도 본 발명의 여러가지 다른 양상은 종속항에서 상술된다. 예를들어, 본 발명은 원거리-태양전지에 전력이 공급된 디바이스에서 편리하게 사용될 수도 있다. 이하 본 발명의 상기 및 다른 양상 및 장점은 여러가지 양호한 실시예를 나타낸 첨부된 도면을 참조하여 설명되어 질것이다.

본 발명은 무엇보다도 랩탑(lap-tops), CD-, DCC- 플레이어 및 비동기식 전자 회로를 합친 이동 통신 장비와 같은 휴대용 장비에서 배터리 사용기간의 연장을 목적으로 한다. 이 연장은 비동기식 회로의 파워 소모를 감소시킴에 의해 실현된다. 본 발명은 이 목적을 위해 제어 메카니즘을 제시한다. 이전에 아날로그 신호 처리를 사용하는 전자 산업으로부터의 많은 생산품은 디지털 신호처리로 전송된다. 예를들어, 축음기 레코드 플레이어는 디지털 컴팩트 카세트 시스템(Digital Compact Cassette System)에 의해 대체되어진 컴팩트 디스크 및 카세트 레코더에 의해 계승되었다. 디지털 오디오 방송 및 디지털 통신에서 몇 가지 응용이 바로 수반되어진다. 컴퓨터를 포함하는 모든 이러한 생산품은 크기를 가질 수 있으므로 그것이 휴대 가능한것으로 사용될 수 있다. 그러나, 이 생산품에서 수행된 데이터 처리량은 파워 손실이 배터리 공급에 대해 매우 크다는 사실에 대해서 상업적으로 수용가능한 배터리의 사용기간 대 장치의 전체 무게가 문제로 고려된다.

IC 들은 어떤 주어진 최악의 경우 조건하에서 적당하게 동작하도록 설계된다. 이러한 조건은 동작온도, IC 처리 변환 등등이다. 그것은 또한 어떤 최대 표준시간에서 특정된 수행을 갖도록 설계된다. 이들 상태는 소모된 파워에서 중요한 충격을 갖는다. 통상적인 동작 상태 및 통상적인 표준시간에 대해 회로는 요구된 것보다 상당히 빠르고, 그러므로 필요한 것보다 더 많이 소모한다.

동기시스템에서 그것은 상기에 Macken 참조문헌과 비교하여 그러한 감소된 파워소모를 얻기 어렵다. 비록 그것이 공급전압을 감소시킬 수 있다하더라도, 전압에서 초과감소는 기능부전회로를 산출할 것이다. 출력 주파수의 감소는 만약 모두 가능하다면 매우 얻기 어렵다. 비동기식 회로에서, 초과 파워의 제공결과는 그회로가 특정된 수행이상으로 행해진다는 것이다. 통상적으로, 요구된 수행은 외부 회로와 함께 동기에 의해 달성될 수 있다. 본 발명의 범위는 출력 또는 입력에서 비동기 회로 및 외부 회로 사이에 버퍼회로를 삽입하기 위한 것이다. 통상적으로, 출력 버퍼의 경우에 이러한 버퍼는 초과처리하는 파워가 있을때 채워진다. 제안된 구성에서, 제어는 공급 전압을 규정하게 된다. 출력 버퍼에 대해 이것이 행해지므로 그 버퍼는 비워지게 되지 않고 채워지지 않는 경향이 있다. 그 자체에 의해 풀버퍼는 해롭지 않으므로 동기에 따라 외부 회로는 그후 만약 어떤버퍼도 제공되지 않는 것처럼 단지 일어난다; 그러나 오버플로워 뿐만아니라 언더 플로워는 결코 수용할 수 없다. 이는 일정한 상황에서 본 발명에 따른 전압 규정이 데이터의 전송 방향과 같은 방향으로 또는 반대 방향으로 스탱-고 제어 신호화와 결합하고, 상기 버퍼의 제2, 다른 충전 등급 신호에 근거한다는 것을 의미한다. 그 자체에 의해 스탱고 제어는 잘 알려

저 있고, 간단하게 하기 위해 부가적으로 논의되지 않는다. 따라서, 도면에 있어서 추가적 리드는 생략되어진다. 전압 규정 및 스탑고 외견상의 비상상태의 특징은 데이터 손실을 피하고, 또한 낮은 파워 소모를 실현한다.

상기와 유사하게, 입력 버퍼에 대해서 메카니즘은 그 버퍼로하여금 꽉채워지지않게 되도록 하고, 또한 비어 있게 되지 않도록 하는 경향을 제공한다. 이 방법에서 공급전압은 전류 동작 파라미터에 대한 요구된 수행에서 수행하기 위해 비동기 회로에 대해 단지 충분하게 얻어진다.

제1도는 피이드백을 가진 구성을 도시한다. 버퍼(20)는 처리 기능의 출력측 (22)상에 있다. 데이터 입력 I 및 데이터 출력 O가 도시된다. 버퍼(20)의 충전 등급은 라인(라인들)(24)상의 피이드백 제어신호를 전압 레귤레이터(26)에 제공한다. 이 방법으로 전압 공급 V_i 는 전압 레귤레이터(26)에 의해 실제 파워링 전압 V_o 로 적절히 규정된다. 그 자체에 의해, 일정한 전압 소오스로부터 시작하는 바와 같은 전압레벨의 정규화는 변화하는 전압 소오스의 출력을 표준 출력 전압에서 정규화하는 점에서 숙련된 기술자에게 공지된다. 그 자체에 의해, 또한 공급 전압은 전자회로에 인가된 전압보다 높은 필요는 없다. 그것은 전자회로요소에 적응하기 위해 배터리 또는 다른 공급 전압을 보다 높은 전압 또는 보다 낮은 전압으로 변환시키기 위해 통상적으로 실행된다. 짧은 시간동안 어떤 그러한 변환은 전자회로의 레벨에서 상술되지 않는다. 예를들어, 5볼트의 표준 전압은 4 볼트 및 5 볼트 사이 어느것이나 또는 5볼트보다 다소 높은 볼트로조차 제어된다.

게다가, 제2도는 데이터 흐름에 따라 양방향인 피이드백 제어신호에 따른 실시예를 도시한다; 제1도 및 제2도는 동일한 구성의 블록 및 블록(20 및 22)의 교환으로부터 떨어진 신호 라인을 갖는다. 제1도에서 플러버퍼가 처리속도를 감소시키기 때문에 라인(24,28)상의 제어신호의 특성은 다르고, 여기서 제2도에 플러버퍼는 처리속도를 증가시킨다는 것을 주의하라, 상기 Skov 및 Newman에서와 같이, 제어 시스템은 대략 절반정도의 버퍼의 충전등급을 선호한다. 그러나, 다른 양호한 충전등급은 마찬가지로 실행할 수 있다.

본 발명의 주목할만한 이익을 제공할 수 있는 몇몇 예시상황 :

에러 정정 : 에러정정기로 제공된 대부분의 입력은 에러에서 벗어난다. 이 상태는 단지 에러 검출 및 어떤 에러 정정도 필요치 않다. 결과로 나타나는 감소된 데이터 처리는 저속 및 감소된 공급 전압에서 행해진다. 실제 필요에 따라, 버퍼는 처리회로의 입력에 또는 출력측에 있다. 에러 정정하는 코드에 의한 에러 방어의 다른 특정 양상은 인코딩 뿐만아니라 디코딩하기 위한 같은 회로를 사용하는 경향에 의해 이는 전송 매체에 적합하다(자기 기억장치, 투-웨이 IR 또는 무선판 통신 디지털 전화, CD 기록가능한것 기타등등). 분명하게도 처리 요구는 두 방향으로 달라지게 된다.

고속 더빙.단지 고속 더빙의 상태에서 공급 전압은 요구된 추가적인 실행을 위해 증가되어야 할 필요가 있다. 정상적으로 플레이어하는 상태동안 전압은 감소될 것이다.

제3도는 제어 메카니즘의 전형적인 실시예를 도시한다. 처리기능(30)은 데이터 D_i 를 수신하고 D_o 를 생성한다. 라인(36)상에 출력하기 전에 버퍼(32)에서 일시적으로 저장되어 있다. 교대로, 라인(36)은 도시되지 않은 핸드셰이킹 프로토콜과 데이터 목적으로 운반한다. 여기에서 시작은 버퍼자체 또는 데이터 목적지 디바이스와 함께 할 수 있다. 버퍼(32)는 각각 도시된 바와 같이 1/4, 1/2, 3/4 및 1/1 충전 등급에서 논리 1로 되는 도시된 바와같은 4개의 충전등급 신호를 출력한다. AND 게이트(40..46)는 그것과 도시된 바와 같은 여러가지 듀티 사이클의 주기적인 신호와 결합한다.

AND 기능은 소자(34)를 제어하기 위해 OR 게이트(48)를 통해 전달된다. 이는 1/4 또는 그 이하의 충전 등급에서 50% 듀티 사이클 신호를 변화시키는 버퍼(32)의 완전한 충전에서 계속적인 하이 전압을 출력한다. 제어하는 소자(34)는 배터리 전압 V_i 를 수신하고 요구된 바와 같이 제어된 실제 파워링 전압 V_o 를 출력한다. 그 결과 제어는 효과적으로 두층을 이루게 된다 : 첫번째로, 버퍼의 충전등급은 듀티 사이클을 제어한다. 두번째로, 듀티 사이클은 효과적인 파워링 전압을 제어한다.

제4도는 예를들어 콤팩트 디스크 디지털 오디오에 대해 사용된 것과 같은 에러 정정 디바이스의 블록도이다. 블록(50)은 크로스 인터리브된 리드 솔로몬 코드의 데이터 심볼 및 패리티 심볼을 구성하는 8비트 심볼의 스트림을 출력하는 콤팩트 디스크 인터페이스이다. 심볼 기초상에 확실한 식별 및 디코딩을 위해 사용되었지만 부가적으로 논의되지 않는 부가적인 신호화를 또한 출력한다. 블록(52)은 블록(50) 및 중앙 디코더/라우터(54)간에 인터페이스하는 제1레벨 버퍼를 나타낸다. 버퍼(52)에서부터 수신된 정보는 중앙 요소(54)에 의해 여러가지카테고리 :

[디코딩전의 심볼]

여전히 디코드되고 있는 워드의 심볼

아직 출력하기 위해 호출되어지지 않은 완전히 디코드된 워드의 심볼

의 중간 정보를 포함하는 RAM 기억장치(60)로 전송된다.

이 실행을 위해, 블록(60)은 블록(54)으로부터 어드레스를 수신하고 블록(54)과 양방향으로 데이터를 통신한다. 블록(52)의 전체 충전 등급이 대략 일정하다는 것을 의미하는 블록(50,52)사이 데이터 흐름 균일화는 일치한다. 어떤 이탈은 라인(66)상에서 콤팩트 디스크 인터페이스로 신호화 되고, 그것의 턴테이블(turtable)의 속도를 제어한다. 이러한 변화의 원인은 턴테이블의 회전하는 관성의 관점에서 상대적으로 긴 시간 크기 때문이다.

블록(58)은 FIFO 방향으로 동작하는 유지 출력 버퍼를 나타낸다. 그것과 대비해서, 블록(60)은 CD의 복잡한 인터리빙 및 스캔블링 기술의 관점에서 랜덤 접근에 따라 동작한다. 블록(68)은 디지털/아날로그 변화으로써 이러한 소자를 포함하는 동기 유지-조정된 인터페이스이다.

블럭(54)은 채널 심볼과 함께 연관된 신뢰성 플래그를 회전시키고 처리하는 적당한 디코더를 포함한다. 그 자체에 의해 처리하는 종래의 방법을 따른다. 처리 결과는 정정 심볼 또는 비신뢰성 심볼과 연관된 플래그를 갖는다. 비신뢰성 심볼의 경우 부가적인 측정은 변조되어지거나 유티팅되어진다. 이는 디코더(54)내부에서 또는 유저 인터페이스(68)내에서 행해진다. 멀티-심볼 워드가 완전하게 디코딩 되자마자, 그것의 심볼은 시스템(54)의 내부 클럭에 의한 동기하에서 RAM(60)으로부터 출력 버퍼(58)로 출력되어진다. 한 워드씩을 근거로하는 디코딩의 다른 복잡화로 인하여 이는 차라리 불규칙적으로 RAM(60)으로부터 데이터 출력비를 생성한다. 그후 이 불규칙성은 블럭(68)의 출력 버퍼에 의해 균일하게 된다.

블럭(58)은 재생산 피치상수를 유지하기 위해 동기 클럭에 의해 판독된다. 이 클럭은 짧은 순간동안 나타나지 않는다. 충전 등급 신호는 라인(62)상에 출력되고, 상기에 도시된 바와 같이 그것의 동작 속도에 영향을 미치기 위해 블럭(54)의 파워링 전압을 제어한다. 예에 있어서, RAM(60)의 동작 주파수는 블럭(54)으로부터 접근 요구에 대항하기에 충분하다는 것이 이해된다. 반대의 경우에, RAM(60)의 파워링 전압은 마찬가지로 제어된다. 블럭(58)에서 출력 버퍼로부터 충전 등급 신호에 의한 제어는 상대적으로 짧은 시간 크기상에서 동작한다는 것이 주목된다. 라인(66)을 경유한 턴테이블의 제어는 많은 보다 긴 시간 크기에서 동작한다. 그 비율은 10 또는 그 이상의 인수일 수 있다. 관련된 파라미터중 하나는 다양한 버퍼의 크기이다 : 블럭(58)에서 보다 큰 기억장치, 파워링 전압의 보다 느리고 작은 변화, 파워 소모는 파워링 전압의 제곱으로 제곱으로 변화하는 CMOS 회로에 대해 발견된다. 이는 파워링 전압 레벨에서 보다 큰 변화가 파워 소모를 증가시킬것이라는 것을 의미한다. 따라서, 일정한 등급에서 본 발명에 따른 장치의 파워 소모는 보다 큰 버퍼 크기에 대해 감소된다. 이 장치에서, 어떤 설비는 도시된 바와 같이 제어 및 데이터 경로를 유지시키는 동안 단일 기억 장치 시스템의 부분으로써 기억장치(52,58,60)의 둘 또는 모두를 갖는다. 상기로부터, 온/오프 체제에 따른 파워링 전압 레벨의 제어하는 많은 관심을 끌지 못한다는 것이 또한 분명해진다. 먼저, 그것은 상기 설명된 바와같은 보다 높은 전체의 파워 소모를 이끌것이다. 두번째 그것은 처리의 시작 및 종료 각각에 관련된 기능적인 문제를 일으킬 수 있다. 세번째, 입력 시스템(50)은 일시적으로 제어되지 않으므로 그것의 계속적인 데이터 입력은 어떻게든지 제공되어진다. 모든 이들 논거는 보다 나은 점차적인 제어 정책에 유리하다. 실질적으로 과립형의 제어 메카니즘은 최적의 동작대 필요한 투자사이에 교환이다.

제5도는 제4도의 장치에 대한 에너지 소모도이다. 수직선은 연속적인 동작 시리얼의 각각에 대한 에너지 모소와 관계된다. 제5a도는 워드에 관계된다(각각 8비트 28 심볼); 제5a도, 제5b도에 대한 파워링 전압은 일치한다. (70)에서 초기화 및 리세팅된다. 라인(72)의 각각은 패리티 검색 행렬을 갖는 한 심볼의 곱셈에 관계된다. (74)에서 신드롬이 검색되고-제로-에러가 검출된다. (76)에서 디코딩이 준비되고, 다음 코드어의 디코딩이 개시될때까지 소모는 실질적으로 제로이다. 특히, 기간 70, 72, 74동안의 동작 및 소모된 파워와 그것의 관계는 다소 많이 위엄하게 되지만 파워 소모의 전체 경향은 도시된 바와 같이 본 발명의 장점을 단지 증명하기 위한 것인 반면에 적당한 디코딩은 무수한 경우에서 다른 곳에서 기술되어진다.

제5b도에 패턴은 부분 70, 72에서 그곳에 대응한다. (78)에서 틀린것이 검출되고, 해결은 Chien검색을 초래하기 위해 만들어진다. (80)에서 각 심볼 위치에 대해 Chien 검색 전파 탐지가 검토된다. (82)에서 위치된 대해 Chien 검색 전파 탐지가 검토된다. (82)에서 위치된 에러는 정정되고 워드는 출력된다. (84)에서 파워 소모는 실질적으로 제로이다. 다시, 다른 에러 정정 알고리즘은 특히 처리 사이클의 수가 상당히 크고 각각의 이러한 처리 사이클은 일반적으로 균일한 양의 에너지 소모를 선택하는 유사한 패턴을 생성한다. 도시된 바와 같이, 제5b도에 처리하는 많은 시간으로써 두번 선택된다. 따라서, 제5a도에 파워링 전압이 감소되므로 두 동작은 동일한 시간을 필요로 한다. 물론, 이는 단일 워드 또는 프레임을 근거로 하지만 버퍼의 충전 등급상에서 행해질 수 없다. 일반적으로, CMOS에서 파워는 전압의 제곱에 따른다.

여러가지 다른 인수는 또한 컴팩트 디스크 워드를 디코딩하는 처리 단계의 수에 영향을 미친다.

- 수반되어지는 방법; 일정한 워드는 쉽게, 어렵게, 절망적으로 각각에서 처럼 사전에 신호로 된다;
- 일정한 워드는 적당한 에러가 위치되어진 곳에 대한 표시를 전달한다.

이 모든것은 방법에 영향을 미친다. 더구나, 그것은 인코딩하기 위해 디코더 하드웨어를 사용하도록 의도된다. 이는 사전에 공지된 에러 위치로써 패리티 심볼의 위치를 간주함으로써 행해질 수 있다. 지금, CD 코드어는 알려지지 않은 위치에서의 두 에러 또는 그 위치가 알려진 그것의 4개의 삭제 정정하기 위해 4개의 패리티 심볼을 갖는다. 이는 이러한 인코딩 동안 가짜 삭제의 수가 정상 에러 인코딩 동안 높은것 처럼 두배나 된다. 이는 보다 복잡하게 된 인코딩을 만든 경향이 있고 정상 디코딩보다 많은 시간을 소모할 것이다.

요약하면, 본 발명은 휴대용 장치, 배터리 장치, 소비자 전자 장치, 변환 키에 근거한 전화 장치, 표현 세트의 테이블 (테이블에 의해 그러한 복조 또는 공동키 또는 패리티 검색 행렬에 의한 디코딩), 더빙을 근거로한 장치, 방송 수신, 적외선 수신장치, 오디오/비디오 장치를 포함하는 사용의 많은 분야에 적용되고, 이 회로는 ECL, CMOS, 바이폴라 또는 여러가지 다른것 같은 다양한 기술에서 존재하게 된다.

(57) 청구의 범위

청구항 1

데이터의 중간 저장을 위해 버퍼 수단을 제공하고 그것을 연속적으로 출력하는 데이터 소스 수단, 및 상기 버퍼 수단의 충전 등급 신호의 제어하에서 상기 데이터 소스 수단의 데이터 처리 속도를 역학적으로 제어하는 피이드백 수단을 포함하는 장치에 있어서, 상기 데이터 소스 수단은 자체 타임 소자를 포함하는 집적 디지털 데이터 처리 전자 회로를 포함하고, 상기 피이드백 수단은 상기 회로의 실제 전력 전압을 제어하고, 이 전력 전압은 상기 전자 회로의 동작 속도를 직접 제어하는 것을 특징으로 하는 장

치.

청구항 2

데이터를 수신하여 중간 저장하며 그것을 데이터 처리 수단에 연속적으로 출력하기 위한 버퍼 수단, 및 상기 버퍼 수단의 충전 등급 신호의 제어하에서 상기 수단의 데이터 처리 속도를 역학적으로 제어하기 위한 피드백에 수단을 포함하고, 상기 데이터 처리 수단은 자체 타임 소자를 구비하는 전자 집적 회로를 포함하며 상기 피드백 수단은 상기 회로의 실제 전력 전압을 제어하고 이 전력 전압은 상기 전자 회로의 동작 속도를 직접 제어하는 것을 특징으로 하는 장치.

청구항 3

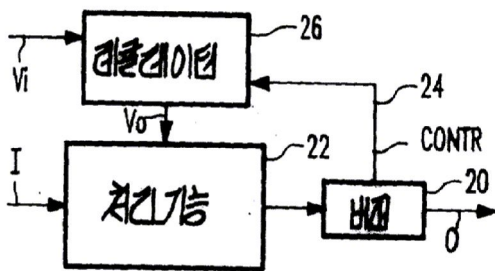
제1항에 있어서, 상기 자체 타임 소자는 지연 무감지 소자인 것을 특징으로 하는 장치.

청구항 4

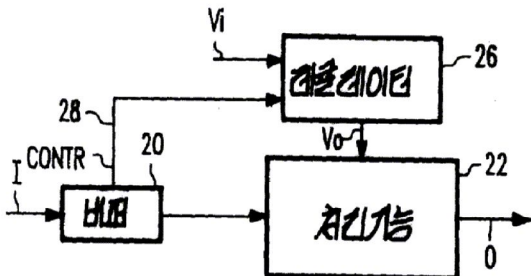
제3항에 있어서, 상기 지연 무감지 소자는 핸드셰이크(handshake) 수단에 의해 인터페이스되는 연결 소자(interelement)를 갖는 것을 특징으로 하는 장치.

도면

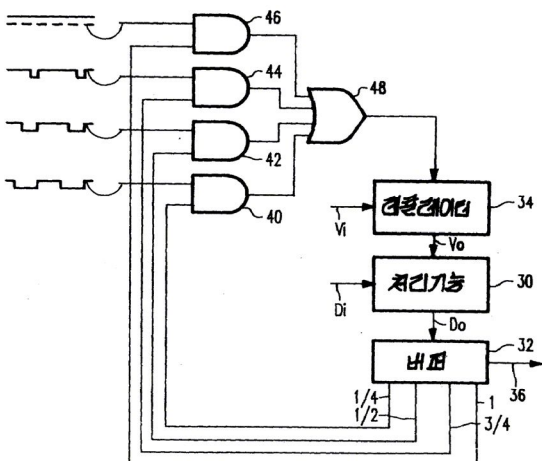
도면1



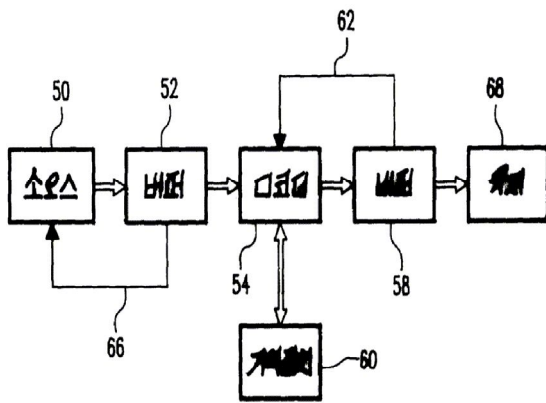
도면2



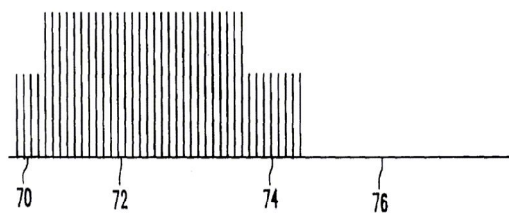
도면3



도면4



도면5a



도면5b

