

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2005年11月17日 (17.11.2005)

PCT

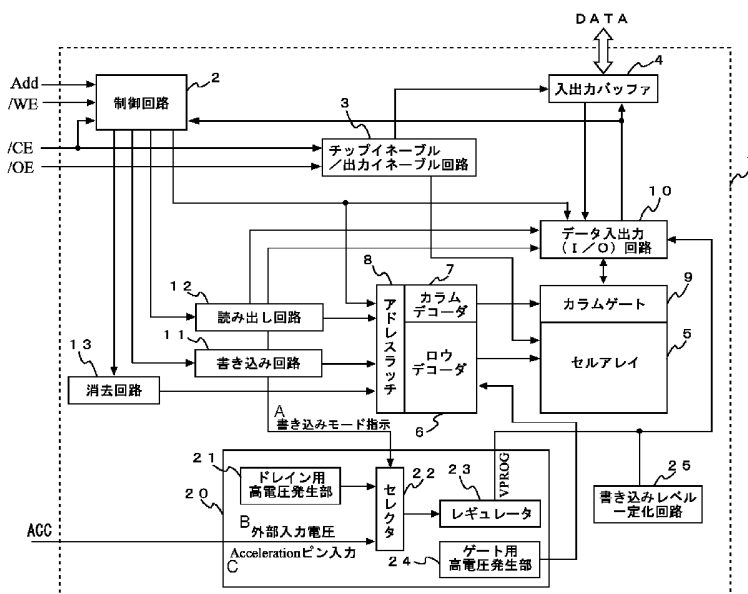
(10) 国際公開番号
WO 2005/109441 A1

- (51) 国際特許分類: G11C 16/10 (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山下実 (YAMASHITA, Minoru) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目33番4号 Spansion Japan株式会社内 Tokyo (JP). 栗原和弘 (KURIHARA, Kazuhiro) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目33番4号 Spansion Japan株式会社内 Tokyo (JP). 和田裕昭 (WADA, Hiroaki) [JP/JP]; 〒1600023 東京都新宿区西新宿四丁目33番4号 Spansion Japan株式会社内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2004/006263
- (22) 国際出願日: 2004年5月11日 (11.05.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): スパション エルエルシー (SPANSION LLC) [US/US]; 94088-3453 カリフォルニア州サニーベールワンエイエムディプレイス ピー・オー・ボックス 3453 California (US). Spansion Japan株式会社 (Spansion Japan Limited) [JP/JP]; 〒9650845 福島県会津若松市門田町工業団地6番 Fukushima (JP).
- (74) 代理人: 片山修平 (KATAYAMA, Shuhei); 〒1040031 東京都中央区京橋1-6-1 三井住友海上テプコビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

/続葉有/

(54) Title: SEMICONDUCTOR DEVICE AND WRITING METHOD

(54) 発明の名称: 半導体装置および書き込み方法



- 2...CONTROL CIRCUIT
3...CHIP ENABLE/OUTPUT ENABLE CIRCUIT
4...INPUT/OUTPUT BUFFER
10...DATA INPUT/OUTPUT (I/O) CIRCUIT
13...ERASING CIRCUIT
12...READING CIRCUIT
11...WRITING CIRCUIT
8...ADDRESS LATCH
7...COLUMN DECODER
6...ROW DECODER
9...COLUMN GATE
5...CELL ARRAY
A...WRITE MODE DESIGNATION
21...DRAIN HIGH-VOLTAGE GENERATING PART
B...EXTERNAL INPUT VOLTAGE
C...ACCELERATION PIN INPUT
22...SELECTOR
23...REGULATOR
24...GATE HIGH-VOLTAGE GENERATING PART
25...WRITE LEVEL STABILIZING CIRCUIT

(57) Abstract: A semiconductor device has a column decoder (selecting/writing circuit) (7) that, when writing multi-bit data into a plurality of pages each of which is a selection unit and comprises a predetermined number of memory cells located on the same word line (WL), selects pages that are not adjacent to each other, and performs a bit-writing in the memory cells of the selected pages at the same time. The spacing between the memory cells in which the writing is performed at the same time is widened, thereby eliminating unnecessary stress, which would otherwise be caused by the writing, from the memory cells in which no writing is performed.

(57) 要約: 本発明の半導体装置は、同一ワード線WL上に配置された所定個ずつのメモリセルからなるページを選択単位として、複数のページに多ビットのデータを書き込む時に、互いに隣り合わないページを選択し、選択したページのメモリセルに同時にビットの書き込みを行うカラムデコーダ(選択書き込み回路)7を備えている。同時に書き込みを行うメモリセルの間隔を広げることで、書き込みを行わないメモリセルに、書き込みによる不要なストレスを与えることがない。



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体装置および書き込み方法

技術分野

- [0001] 本発明は、同時に多ビットのデータを書き込み可能な半導体装置およびその書き込み方法に関する。

背景技術

- [0002] 不揮発性半導体記憶装置等の半導体装置は、プロセス技術の進歩によって大容量化が図られている。大容量化に伴い書き込み、消去の高速化の要求が大きくなってきている。
- [0003] フラッシュメモリにおいては、消去の前にすべてのビットを書き込む必要があるため、書き込み速度を上げることが消去スピードを上げることにもつながる。そのため1バイト(8ビット)、1ワード(16ビット)などの書き込み単位で同時に複数のデータの書き込みが行われていた。

発明の開示

発明が解決しようとする課題

- [0004] しかしながら、同一ワード線上に隣接するメモリセルのビット線を互いに共有する仮想接地型の不揮発性半導体記憶装置においては、多ビットを同時に書き込むメモリセルの間隔が近すぎると、書き込みを行わないメモリセルにまで書き込みのストレスが印加されるという問題を生じる。
- [0005] 図1には、同一ワード線WL上に接続され、ビット線を互いに共有する仮想接地型のメモリセル0〜4と、メモリセル0〜4のドレイン領域又はソース領域に接続するメタルビット線MBL0〜MBL5と、メタルビット線MBL0〜MBL5のそれぞれをグランド線に接続する選択スイッチSsel0〜Ssel5と、メタルビット線MBL0〜MBL5のそれぞれをデータ線に接続する選択スイッチDsel0〜Dsel5とが図示されている。なお、この図1に示すものは不揮発性半導体記憶装置の一部分であって、説明のために必要な要部だけを示している。
- [0006] 例えば、図1に示すメモリセル0にデータを書き込むためにメタルビット線MBL0を

ローレベルに、メタルビット線MBL1をハイレベルに設定したとする。この書き込みと同時にメモリセル2にもデータを書き込むためにメタルビット線MBL2をローレベルに、メタルビット線MBL3をハイレベルに設定したとする。このとき、メモリセル0とメモリセル2との間に挟まれたメモリセル1は、メモリセル0、メモリセル2と共通のワード線WLにゲートを接続し、メタルビット線MBL1がハイレベルに、メタルビット線MBL2がローレベルに設定されているため、メモリセル1にもデータが書き込まれてしまう。すなわち、データを書き込む必要のないメモリセルにまで書き込みのストレスを与えてしまう。

[0007] 本発明は上記事情に鑑みてなされたものであり、多ビットの同時書き込みを安定して行うことができる半導体装置および書き込み方法を提供することを目的とする。

課題を解決するための手段

[0008] かかる目的を達成するために本発明は、複数のワード線と、複数のビット線と、各ワード線に対し複数のページが定義され、各ページは所定数の不揮発性メモリを有し、前記ワード線と前記ビット線に接続された複数の不揮発性メモリセルと、隣り合わないページを選択し、当該選択されたページの不揮発性メモリセルを同時にプログラムする選択書き込み回路とを有する半導体装置である。同時に書き込みを行うメモリセルの間隔を広げることで、書き込みを行わないメモリセルに、書き込みによる不要なストレスを与えることがない。

[0009] 上記半導体装置において、一のワード線に関する前記複数のページは偶数ページと奇数ページとを含み、前記選択書き込み回路は偶数ページと奇数ページのいずれか一方のページの不揮発性メモリセルをプログラムし、その後他方のページの不揮発性メモリセルをプログラムする構成とすることができる。偶数ページへのデータ書き込みと奇数ページへのデータ書き込みとを順番に行うことで、メモリセルアレイの構成やビット線選択のデコーディングを変更することなく多ビットの同時書き込みを実現することができる。

[0010] 上記前記選択書き込み回路は、データの書き込みを行わないページの前記不揮発性メモリセルに接続されたビット線をフローティング状態にするとよい。データの書き込みを行わないページのメモリセルのビット線をフローティング状態とすることで、デ

ータの書き込みを行わないメモリセルにビット線を通じてセル電流が流れてしまうことがない。従って、メモリセルに不要なデータが書き込まれたり、メモリセルにストレスを与えるような問題が生じない。

[0011] 前記半導体装置は一のワード線に関して複数のブロックを有し、各ブロックは所定数のページを有し、

前記半導体装置は各ブロックにおいて1つのページが同時にプログラムされる第1のモードと、各ブロックにおいて奇数又は偶数ページが同時にプログラムされる第2のモードとを有し、

前記半導体装置は外部からのコマンドに従って、前記選択書き込み回路を前記第1のモード又は第2のモードのいずれかで動作させる制御回路を有する構成とすることができる。複数の書き込みモードでデータを書き込むことができるので、書き込みの速度を調整することが可能となり、操作者の希望に合わせたデータ書き込みを行うことができる。

[0012] 前記半導体装置の内部で、前記不揮発性メモリセルをプログラムするための高電圧を発生する高圧発生回路を有し、前記選択書き込み回路は、前記高圧発生回路が生成した前記高電圧を用いて選択されたビット線を活性化させる構成とすることができる。外部装置から電源の供給を受ける必要がなくなり、半導体装置だけでデータをメモリセルに書き込むことができる。

[0013] また、前記半導体装置の内部で、前記不揮発性メモリセルをプログラムするための高電圧を発生する高電圧発生回路と、前記第1のモードで前記高電圧発生回路が発生した前記高電圧を選択し、前記第2のモードで外部からの別の高電圧を選択する選択回路とを有し、選択された高電圧は前記選択書き込み回路に与えられるデータの書き込みモードに応じて高電圧の供給元を変更することで、内部の高圧発生回路の供給電圧からは実現できない書き込みモードが実現可能となり、同時に書き込むことができるビット数を増やすことができる。

[0014] 上記構成において、同時にデータの書き込みが可能な前記不揮発性メモリセルのうち、書き込みを行わない前記不揮発性メモリセルの数に相当するダミーのプログラミング電流を生成する書き込みレベル一定化回路を有する構成とすることができる。デ

ータ書き込み時の電源の電圧降下を一定に保つことができるので、メモリセルに書き込まれるデータの書き込みレベルを一定にすることができる。

[0015] 前記レベル一定化回路は複数の書き込みレベル一定化サブ回路を有し、各レベル一定化サブ回路は同時にプログラムされない隣接する2ページに1つずつ設けられている構成とすることができる。選択されたビット線からメモリセルに流れ込むセル電流と略等しい電流を書き込みレベル一定化回路で流すことでデータ書き込み時の電源の電圧降下を一定に保つことができる。従ってメモリセルに書き込まれるデータの書き込みレベルを一定にすることができる。また、同時にデータの書き込みを行わない隣接する2ページで書き込みレベル一定化回路を共用することができるので、回路数を低減させ、装置構成を縮小させることができる。

[0016] 前記書き込みレベル一定化サブ回路の夫々は、プログラム時に1つの不揮発性メモリセルに流れるプログラム電流に略等しい電流を生成可能であるとよい。

[0017] また、前記不揮発性メモリセルは、隣接する不揮発性メモリセルがビット線を共有する仮想接地型の不揮発性メモリセルであるとよい。仮想接地型のメモリセルにおいて、多くのメモリセルに同時にデータを書き込む場合、書き込みを行うメモリセル同士の間隔が近すぎると、書き込みを行わないメモリセルにまで書き込みのストレスが印加されてしまうが、上記構成の半導体装置により多ビットの同時書き込みを安定して行うことができる。

[0018] 本発明は、所定数の不揮発性メモリセルを含み、一のワード線に関して隣り合わないページを選択するステップと、当該選択されたページの不揮発性メモリセルを同時にプログラムするステップとを有する不揮発性メモリの書き込み方法を含む。同時に書き込みを行うメモリセルの間隔を広げることで、書き込みを行わないメモリセルに、書き込みによる不要なストレスを与えることがない。

[0019] この場合、一のワード線に関して前記複数のページは偶数ページと奇数ページとを含み、前記プログラムするステップは、前記選択書き込み回路は偶数ページと奇数ページのいずれか一方のページの不揮発性メモリセルをプログラムし、その後他方のページの不揮発性メモリセルをプログラムする構成とすることができる。偶数ページへのデータ書き込みと奇数ページへのデータ書き込みとを順番に行うことで、メモリ

セルアレイの構成やビット線選択のデコーディングを変更することなく多ビットの同時書き込みを実現することができる。

[0020] 前記書き込みステップは、データの書き込みを行わないページの前記不揮発性メモリのビット線をフローティング状態にするステップを含んでいるとよい。データの書き込みを行わないページのメモリのビット線をフローティング状態とすることで、データの書き込みを行わないメモリセルにビット線を通じてセル電流が流れてしまうことがない。従って、メモリセルに不要なデータが書き込まれたり、メモリセルにストレスを与えるような問題が生じない。

[0021] 前記選択するステップと前記プログラムするステップは第1のモードに関し、前記方法は、一のワード線に関する各ブロック内に含まれる所定数のページのうちの1つのページが同時にプログラムされる第2のモードで不揮発性メモリセルをプログラムするステップと、外部コマンドに従い、前記第1のモード又は前記第2のモードのいずれかを選択するステップとを有しているとよい。複数の書き込みモードでデータを書き込むことができるので、書き込みの速度を調整することが可能となる。

発明の効果

[0022] 本発明は、多ビットの同時書き込みを安定して行うことができる。

図面の簡単な説明

[0023] [図1]従来の半導体装置への書き込み方法を説明するための図である。

[図2]本発明の半導体装置の構成を示すブロック図である。

[図3]データ入出力(I/O)回路の構成を示す図である。

[図4]セルアレイと、カラムゲート、データ入出力(I/O)装置の対応関係を示す図である。

[図5]64ビット同時書き込み時のタイミングチャートである。

[図6]16ビット同時書き込み時のタイミングチャートである。

[図7]GEL信号を生成する論理ゲートを示す図である。

[図8]セルアレイ5とカラムゲートとの構成を示す図である。

[図9]書き込みレベル一定化回路の構成を示す図である。

[図10]電流補償回路の構成を示す図である。

発明を実施するための最良の形態

[0024] 以下、添付図面を参照しながら本発明を実施するための最良の形態を説明する。

[0025] 図2に本実施例の半導体装置の構成を示す。図2に示す半導体装置は、不揮発性半導体記憶装置1の実施例であって、制御回路2、チップイネーブル／出力イネーブル回路3、入出力バッファ4、セルアレイ5、ロウデコーダ6、カラムデコーダ(選択書き込み手段)7、アドレスラッチ8、カラムゲート9、データ入出力(I/O)回路10、書き込み回路11、読み出し回路12、消去回路13、電源供給部20を備えている。また、電源供給部20には、ドレイン用高電圧発生部21、セレクト22、レギュレータ23、ゲート用高電圧発生部24などが備えられている。

[0026] 制御回路2は、ライトイネーブル(/WE)やチップイネーブル(/CE)等の制御信号、アドレス信号、データ信号を外部から受け取り、これらの信号に基づいてステートマシンとして動作し、不揮発性半導体記憶装置1の各部を制御する。

[0027] 入出力バッファ4は、外部からデータを受け取り、このデータを制御回路2およびデータ入出力(I/O)回路10に供給する。

[0028] チップイネーブル／出力イネーブル回路3は、装置外部から制御信号としてチップイネーブル信号(/CE)及びアウトプットイネーブル信号(/OE)を受け取り、入出力バッファ4およびセルアレイ5の動作／非動作を制御する。

[0029] 読み出し回路12は、制御回路2の制御の下で動作し、セルアレイ5の読み出しアドレスからデータを読み出すために、セルアレイ5、ロウデコーダ6、カラムデコーダ(選択書き込み手段)7等を制御する。

[0030] 書き込み回路11は、制御回路2の制御の下で動作し、セルアレイ5の書き込みアドレスにデータを書き込むために、セルアレイ5、ロウデコーダ6、カラムデコーダ(選択書き込み手段)7等を制御する。また消去回路13は、制御回路2の下で動作し、セルアレイ5の指定された領域を所定単位で一括消去するために、セルアレイ5、ロウデコーダ6、カラムデコーダ(選択書き込み手段)7等を制御する。

[0031] セルアレイ5は仮想接地型のメモリアレイであり、メモリセルの配列、ワード線、ビット線等を含み、各メモリセルに2ビットのデータを記憶する。コントロールゲートと基盤との間に、酸化膜、窒化膜、酸化膜の順に積層した膜を形成し、この窒化膜に電荷をト

ラップさせることでしきい値を変化させて、データ“0”と“1”とを区別する。窒化膜等のトラップ層は絶縁膜のため、電荷は移動しない。トラップ層の両端に電荷を蓄えることで1セルに2ビットを記録することができる。1セルに2ビットを記録する方式をミラービット方式と呼ぶこともある。また、セルアレイ5は、電荷を蓄える層として、多結晶シリコンからなるフローティングゲートを用いるメモリセルであっても良い。

- [0032] データ読み出し時には、活性化したワード線で指定されるメモリセルからのデータがビット線に読み出される。書き込み(以下、プログラムと呼ぶ)或いはイレーズ時には、ワード線及びビット線をそれぞれの動作に応じた適当な電位に設定することで、メモリセルに対する電荷注入或いは電荷抜き取りの動作を実行する。
- [0033] データ入出力(I/O)回路10は、制御回路2の制御の下で動作し、セルアレイ5へのデータの書き込みと読み出しを行う。データ入出力(I/O)回路10の詳細を図3を参照しながら説明する。図3に示すようにデータ入出力(I/O)回路10は、グランド回路31、書込ドライバ32、データラッチ33、センスアンプ(ベリファイ回路)34を備えている。
- [0034] グランド回路31は、カラムデコーダ(選択書き込み手段)7によって選択されたビット線をカラムゲート9を介してグランドレベルに設定する回路である。データラッチ33は、カラムデコーダ(選択書き込み手段)7の出力信号を受け、入出力バッファ4から入力されるデータをラッチする。書込ドライバ32は、データラッチ33に書き込まれたデータを、カラムゲート9を介してセルアレイ5内のビット線に伝達する。
- [0035] センスアンプ(ベリファイ回路)34は、ビット線に読み出されたデータを増幅し、デジタルレベルとして取り扱いが可能になるレベルにまで増幅する。データ書き込み時には、書込ドライバ32が書き込み状態となってビット線に接続され、読み出し時には、センスアンプ(ベリファイ回路)34がビット線に接続されてビット線上のデータが増幅される。なお、ページが選択されて書き込みが行われると、このページに隣接するページのビット線は、フローティング状態となる。
- [0036] またセンスアンプ(ベリファイ回路)34は、読み出したデータの判定を行う。ロウデコーダ6及びカラムデコーダ(選択書き込み手段)7による指定に応じてセルアレイ5から供給されるデータの電流を基準電流と比較することで、データが0であるのか1であ

るのかを判定する。基準電流は図示しないリファレンスセルから供給される電流である。判定結果は読み出しデータとして、入出力バッファ4に供給される。

- [0037] またプログラム動作及びイレース動作に伴うベリファイ動作は、ロウデコーダ6及びカラムデコーダ(選択書き込み手段)7の指定に応じて、セルアレイ5から供給されるデータの電流を、プログラムベリファイ用及びイレースベリファイ用の基準電流と比較することで行われる。この基準電流もプログラムベリファイ用及びイレースベリファイ用リファレンスセルから供給される。
- [0038] ロウデコーダ6は、データ書き込み時、消去時および読み出し時に、それぞれのアドレスに基づいて複数のワード線WLを選択駆動するものであり、そのワード線ドライバ(図示していない)には、図2に示すゲート用高電圧発生部24から所定の高電圧が供給される。
- [0039] カラムデコーダ(選択書き込み手段)7は、アドレスラッチ8に保持されたアドレスをもとにカラムゲート9を制御する。カラムゲート9がカラムデコーダ7により選択されることで、データ入出力(I/O)回路10内の対応するセンスアンプ(ベリファイ回路)34が選択される。
- [0040] 例えば、セルアレイ5の所望のメモリセルからデータを読み出す場合は、カラムゲートによって、このメモリセルに接続されたビット線が、対応するセンスアンプ(ベリファイ回路)34に接続される。
- [0041] また、セルアレイ5の所望のメモリセルにデータを書き込む場合は、外部から入力されたアドレスデータによって所望のメモリセルが活性化され、入力された書き込みデータは対応するデータラッチ33からカラムゲート9を介してビット線に出力され、セルアレイ5の所望のメモリセルに書き込まれる。
- [0042] 電源供給部20は、不揮発性半導体記憶装置1内部に設けられたドレイン用高電圧発生部21により発生する高電圧を、データ入出力(I/O)回路10に供給し、ゲート用高電圧発生部24により発生する高電圧を、ロウデコーダ6、カラムデコーダ(選択書き込み手段)7等に供給する。電源供給部20により供給される電源は、書き込み動作や消去動作に必要なデコード用電源として使用される。また、本実施例では、不揮発性半導体記憶装置1の内部の高電圧発生部21で高電圧を生成してデータ入出

力(I/O)回路10に供給する以外に、外部から入力した高電圧をデコード用電源として使用することができる。より多くのデータを高速に書き込むためには、電流供給能力の高い電源が必要となる。近年では、電源電圧の低電圧化によって、不揮発性半導体記憶装置1内部の高圧発生回路21の電流供給能力では同時に書き込めるビット数に限界が生じている。このため同時に書き込むビット数が多い場合(後述する64ビット同時書き込みモード)には、外部から高電圧の供給を受けて、この高電圧をデコード用電源とする。外部からの電圧は、図2に示すアクセラレーションピン(ACCピン)から入力する。セクタ22は、書き込みモードが64ビット書き込みモードの時には、外部入力した電圧をレギュレータ23に出力する。また、16ビット書き込みモードの時には、内部のドレイン用高電圧発生部21で生成した高電圧をレギュレータ23に出力する。なお、書き込みモードの指示は、図2に示す書き込み回路11からの書き込みモード指示信号で通知される。レギュレータ23は、供給された高電圧を平滑、定電圧化して電源線(VPROG)に出力する。なお、電源供給部20の電流供給能力が高い場合には、外部からの電源供給を受けずに、電源供給部20から供給される高電圧だけで動作させてもよい。

[0043] ここで、図4を参照しながらセルアレイ5と、データ入出力(I/O)回路10及びカラムゲート9との対応関係について説明する。1つのセルアレイ5はビット線に沿った複数のブロックに分割されている。本実施例では16個のブロックに分割されている。各ブロックには、それぞれデータ入出力(I/O)回路10と、カラムデコーダ(選択書き込み手段)7とがそれぞれ設けられており、ブロックの個数分のデータを並列に入出力できるようにしている。なお、図4では、データ入出力(I/O)回路10をI/Oと表記している。また1ブロックは、8つのページに分割されている。データ入出力(I/O)回路10は、このページ単位でメモリセルを選択してデータの書き込み及び読み出しを行う。

[0044] 本実施例の不揮発性半導体記憶装置1は、64ビットを同時に書き込む64ビット同時書き込みモードと、16ビットを同時に書き込む16ビット書き込みモードとを備えている。

[0045] 64ビット同時書き込みモードでは、セルアレイ5を偶数ページと奇数ページとに分割して、偶数ページまたは奇数ページに同時に64ビットずつのデータを書き込んで

いく。図5に64ビット同時書き込みモードの時にカラムデコーダ(選択書き込み手段)7より出力される信号を示す。カラムデコーダ(選択書き込み手段)7は、図5に示すように書き込み許可を示すプログラム信号(PGM)がハイレベルの期間に、偶数ページを選択する偶数ページ選択信号(PGM__E)と、奇数ページを選択する奇数ページ選択信号(PGM__O)とを出力する。偶数ページ選択信号(PGM__E)がハイレベルとなることで、0、2、4、6の偶数ページがカラムゲート9により選択される。同様に奇数ページ選択信号(PGM__O)がハイレベルとなることで、1、3、5、7の奇数ページがカラムゲート9により選択される。

また図5に示すGSEL信号(GSEL0〜GSEL7)は、選択されたビット線をグラウンド線に接続する信号である。GSEL0、2、4、6の信号がハイレベルの期間には、GSEL1、3、5、7の信号がローレベルとなる。逆に、GSEL1、3、5、7の信号がハイレベルの期間には、GSEL0、2、4、6の信号がローレベルとなる。例えば、データを書き込む偶数ページの選択ビット線をグラウンド線に接続することで、このビット線をローレベルに設定する。この時、奇数ページにはデータの書き込みが行われないため、GSEL信号がローレベルとなり、ビット線をフローティング状態にする。偶数ページにデータの書き込みを行う時に、奇数ページのビット線をフローティングに設定しておくことで、データの書き込みを行わないメモリセルにビット線を通じてセル電流が流れてしまうことがない。つまり、プログラムされるメモリセルの間には、プログラムされないメモリセルが介在している。このため、書き込みを行わないメモリセルに不要なデータを書き込み、ストレスを与えてしまうことがない。また、偶数ページと奇数ページとに同時に書き込まれることがないので、同時に書き込むメモリセルの間隔を広げ、書き込みを行わないメモリセルに不要なストレスを与えることがない。また、偶数ページへのデータ書き込みと奇数ページへのデータ書き込みとを順番に行うことで、メモリセルアレイの構成やビット線選択のデコーディングを変更することなく多ビットの同時書き込みを実現することができる。

[0046] 16ビット同時書き込みモードでは、図4に示す16のブロックのそれぞれを選択し、選択したブロック内のいずれかのページにデータを書き込む。図6にタイミングチャートを示す。カラムデコーダ(選択書き込み手段)7は、図6に示すように書き込み許可を

示すプログラム信号 (PGM) がハイレベルの期間に、メモリセルを選択するセル信号 (WSEL0〜WSEL7) を生成して、カラムゲート9に出力する。WSEL0〜WSEL7のセル信号は、各ブロックのページに対応している。すなわち、WSEL0がハイレベルの時にはページ0が選択され、このページ0内のメモリセルにデータが書き込まれる。同様に、WSEL1がハイレベルの時にはページ1が選択され、このページ1内のメモリセルにデータが書き込まれる。

[0047] また64ビット同時書き込みモードの時と同様に、GSEL信号 (GSEL0〜GSEL7) が出力され、書き込んでいるページのソースとなるビット線をグラウンドに接続する。データを書き込んでいるページ以外のページのビット線をフローティング状態に設定する。

[0048] GSEL信号を生成する論理ゲートを図7に示す。これらの論理ゲートはカムデコーダ7に含まれる。偶数ページ用のGSEL信号 (GSEL0, 2, 4, 6) は、偶数ページ選択信号 (PGM_E) と、各セル信号WSEL (WSEL0, 2, 4, 6) とをNORゲート40に入力し、NORゲート40の出力をインバータ41によって反転させることで生成される。同様に奇数ページ用のGSEL信号 (GSEL1, 3, 5, 7) は、奇数ページ選択信号 (PGM_O) と、各セル信号WSEL (WSEL1, 3, 5, 7) とをNORゲート40に入力し、NORゲート40の出力をインバータ41によって反転させることで生成される。

[0049] 図8にセルアレイ5およびカラムゲート9の詳細な構成を示す。複数のワード線WL (図8においては、簡略化のため1つのWLだけを代表的に示す) と、複数のメタルビット線MBLと、ワード線WLとメタルビット線MBLとの交差点付近に設けられ、マトリクス状に配列されたメモリセルMCとを備えている。メモリセルMCは、2つのメタルビット線MBLの間に2つ形成される。書き込みや読み出しの単位となる1ページには、8個のメモリセルMCが設けられ (図8に示すMC0〜MC7)、1つのメモリセルMCに2ビットを記録することができる。2つのメタルビット線の間に2つのメモリセルMSが設けられているため、メモリセルMCを2つのビット線に接続するためのサブビット線SBLが設けられている。サブビット線SBLは拡散層で形成され、メタルビット線MBLと平行に配設されて、カラムデコーダ7からのデコード信号をゲート入力とする選択トランジスタ (図8に示すSTr) を介してメタルビット線MBLに接続されている。

- [0050] また各メタルビット線MBLには、メタルビット線MBLをグランド信号線(ARVSS)に接続するか否かを切り換える第1トランジスタ(図8に示すGTr)と、メタルビット線MBLをドレイン信号線(DATAB)に接続するかを切り換える第2トランジスタ(図8に示すDTr)とが設けられている。カラムデコーダ(選択書き込み手段)7からのデコード信号により、第1トランジスタGTr、第2トランジスタDTrの開閉を切り換えて、メタルビット線MBLに接続する。カラムデコーダ(選択書き込み手段)7で生成される信号が、図8に示すBSD、BSGの信号である。このBSD信号がハイレベルとなることで、第2トランジスタDTrが閉じ、該当するビット線とドレイン信号線(DATAB)とが接続される。また、BSG信号がハイレベルとなることで、第1トランジスタGTrが閉じ、該当するビット線とグランド信号線(ARVSS)とが接続される。グランド線ARVSSnは、ページ毎に独立に設けられている。
- [0051] 例えば、上述した64ビット同時書き込みモードの時には、GSEL信号1、3、5、7がハイレベルに遷移すると、GSEL信号0、2、4、6はローレベルになる。図8に示すページ1が書き込みに選択されると、隣のページ2のグランド線は、図8に示すGSEL(2)によりフローティング状態に設定される。
- [0052] ここで、図2に示す電源線VPROGに接続した書き込みレベル一定化回路25について説明する。書き込みレベル一定化回路25は、図9に示すように複数の電流補償回路26からなる。電流補償回路26は書き込みレベル一定化サブ回路として機能し、電源線VPROGから所定量の電流であるダミーのプログラミング電流を流し、データ書き込み時の電圧降下を一定に調整する回路である。メモリセルに書き込まれるデータの書き込みレベルを一定にするためには、書き込みを行う時に電源供給部20から供給される電圧の降下レベルを一定に保つ必要がある。本実施例の不揮発性半導体記憶装置1では「0」のデータが書き込まれる時だけ、データ線に高電圧が供給され、ビット線が選択されてメモリセルにセル電流が流れる。従って、多ビットのデータを同時に書き込む時に電圧降下レベルを一定に保つためには、同時にデータを書き込み可能な数だけ電流補償回路26を設けて、この電流補償回路26で「0」のデータを書き込まないメモリセル分のセル電流を流すようにする。例えば、16ビット同時書き込みの場合に、「0」を書き込むページが3つであったとすると、13ビット分の書

き込み電流を書き込みレベル一定化回路25から流すようにする。同様に、64ビット同時書き込みの場合に、「0」を書き込むページが3つであったとすると、61ビット分の書き込み電流を書き込みレベル一定化回路25から流すようにする。

[0053] しかし図4に示す16I/O、8ページ構成のセルアレイ5では、128個もの電流補償回路26が必要となり、回路数が増加し回路規模が大きくなってしまう。そこで、本実施例では、同時には書き込みが行われない隣接する2ページ分のメモリセルに1つずつ電流補償回路26を設けて、回路規模が大きくならないようにしている。

[0054] 図10に電流補償回路26の具体的な構成を示す。図10に示す電流補償回路26は、ページ0とページ1とに対応する電流補償回路26であり、電源線VPROGに抵抗R1, R2, R3と、スイッチトランジスタ55、56とが直列に接続されている。スイッチトランジスタ56のゲートには、インバータ51とNANDゲート52とが接続されている。同様にスイッチトランジスタ55のゲートには、インバータ53とNANDゲート54とが接続されている。

[0055] インバータ51にはページ0の書き込みデータP0PGMD信号が入力されている。インバータ51の出力は、NANDゲート52に入力される。NANDゲート52は、インバータ51の出力信号とGSEL0の信号が入力される。GSEL0信号は、ページ0が書き込みに選択された時に、データに応じて選択されたビット線をグランド線に接続する信号である。NANDゲート52の出力がスイッチトランジスタ56のゲート入力となる。同様に、インバータ53にはページ1の書き込みデータP1PGMD信号が入力されている。インバータ53の出力は、NANDゲート54に入力される。NANDゲート54は、インバータ53からの出力とGSEL1の信号が入力される。GSEL1信号は、ページ1が書き込みに選択された時に、データに応じて選択されたビット線をグランド線に接続する信号である。NANDゲート54の出力がスイッチトランジスタ55のゲート入力となる。

[0056] 「0」のデータが書き込まれる時以外は、スイッチトランジスタ55、56がONして、電源線VPROGから所定量の電流を流す。この所定量の電流は、メモリセルに「0」のデータを書き込む時に流れる書き込み電流と略同一に設定されている。例えば、ページ1に「0」が書き込まれる場合には、P1PGMD信号がローレベルになる。また書き込み

に選択されたページは、GSEL信号(ここではGSEL1)がハイレベルとなるため、N ANDゲート54からはPAPGMD信号のレベルに応じた信号が、スイッチトランジスタ55のゲートに入力される。また、書き込みに選択されない場合には、GSEL信号(GSEL1)がローレベルとなるため、常にスイッチトランジスタ55にハイレベルの信号が出力される。従って、スイッチトランジスタ55がオンして、電源線VPROGから抵抗R1, R2, R3を介して電流を流す。

[0057] なお、上述した実施例は本発明の好適な実施例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施可能である。例えば、上述した実施例では、不揮発性半導体記憶装置を例に説明を行ったが、この不揮発性半導体記憶装置を搭載した半導体装置においても本発明を十分に適用可能である。

請求の範囲

- [1] 複数のワード線と、
複数のビット線と、
各ワード線に対し複数のページが定義され、各ページは所定数の不揮発性メモリを有し、前記ワード線と前記ビット線に接続された複数の不揮発性メモリセルと、
隣り合わないページを選択し、当該選択されたページの不揮発性メモリセルを同時にプログラムする選択書き込み回路とを有する半導体装置。
- [2] 一のワード線に関する前記複数のページは偶数ページと奇数ページとを含み、
前記選択書き込み回路は偶数ページと奇数ページのいずれか一方のページの不揮発性メモリセルをプログラムし、その後他方のページの不揮発性メモリセルをプログラムする請求項1記載の半導体装置。
- [3] 前記選択書き込み回路は、データの書き込みを行わないページの前記不揮発性メモリセルに接続されたビット線をフローティング状態にする請求項1又は2記載の半導体装置。
- [4] 前記半導体装置は一のワード線に関して複数のブロックを有し、各ブロックは所定数のページを有し、
前記半導体装置は各ブロックにおいて1つのページが同時にプログラムされる第1のモードと、各ブロックにおいて奇数又は偶数ページが同時にプログラムされる第2のモードとを有し、
前記半導体装置は外部からのコマンドに従って、前記選択書き込み回路を前記第1のモード又は第2のモードのいずれかで動作させる制御回路を有する請求項1から3のいずれかに記載の半導体装置。
- [5] 前記半導体装置の内部で、前記不揮発性メモリセルをプログラムするための高電圧を発生する高圧発生回路を有し、
前記選択書き込み回路は、前記高圧発生回路が生成した前記高電圧を用いて選択されたビット線を活性化させる請求項1から4のいずれかに記載の半導体装置。
- [6] 前記半導体装置の内部で、前記不揮発性メモリセルをプログラムするための高電圧を発生する高電圧発生回路と、

前記第1のモードで前記高電圧発生回路が発生した前記高電圧を選択し、前記第2のモードで外部からの別の高電圧を選択する選択回路とを有し、選択された高電圧は前記選択書き込み回路に与えられる請求項4記載の半導体装置。

- [7] 同時にデータの書き込みが可能な前記不揮発性メモリセルのうち、書き込みを行わない前記不揮発性メモリセルの数に相当するダミーのプログラミング電流を生成する書き込みレベル一定化回路を有する請求項1から6のいずれかに記載の半導体装置。
- [8] 前記レベル一定化回路は複数の書き込みレベル一定化サブ回路を有し、各レベル一定化サブ回路は同時にプログラムされない隣接する2ページに1つずつ設けられている請求項7記載の半導体装置。
- [9] 前記書き込みレベル一定化サブ回路の夫々は、プログラム時に1つの不揮発性メモリセルに流れるプログラム電流に略等しい電流を生成可能である請求項8記載の半導体装置。
- [10] 前記不揮発性メモリセルは、隣接する不揮発性メモリセルがビット線を共有する仮想接地型の不揮発性メモリセルである請求項1から9のいずれかに記載の半導体装置。
- [11] 所定数の不揮発性メモリセルを含み、一のワード線に関して隣り合わないページを選択するステップと、
当該選択されたページの不揮発性メモリセルを同時にプログラムするステップとを有する不揮発性メモリの書き込み方法。
- [12] 一のワード線に関して前記複数のページは偶数ページと奇数ページとを含み、
前記プログラムするステップは、前記選択書き込み回路は偶数ページと奇数ページのいずれか一方のページの不揮発性メモリセルをプログラムし、その後他方のページの不揮発性メモリセルをプログラムする請求項11記載の方法。
- [13] 前記書き込みステップは、データの書き込みを行わないページの前記不揮発性メモリセルのビット線をフローティング状態にするステップを含む請求項11又は12記載の方法。
- [14] 前記選択するステップと前記プログラムするステップは第1のモードに関し、前記方

法は、

一のワード線に関する各ブロック内に含まれる所定数のページのうちの1つのページが同時にプログラムされる第2のモードで不揮発性メモリセルをプログラムするステップと、

外部コマンドに従い、前記第1のモード又は前記第2のモードのいずれかを選択するステップとを有する請求項11から13のいずれか一項記載の方法。

[図2]

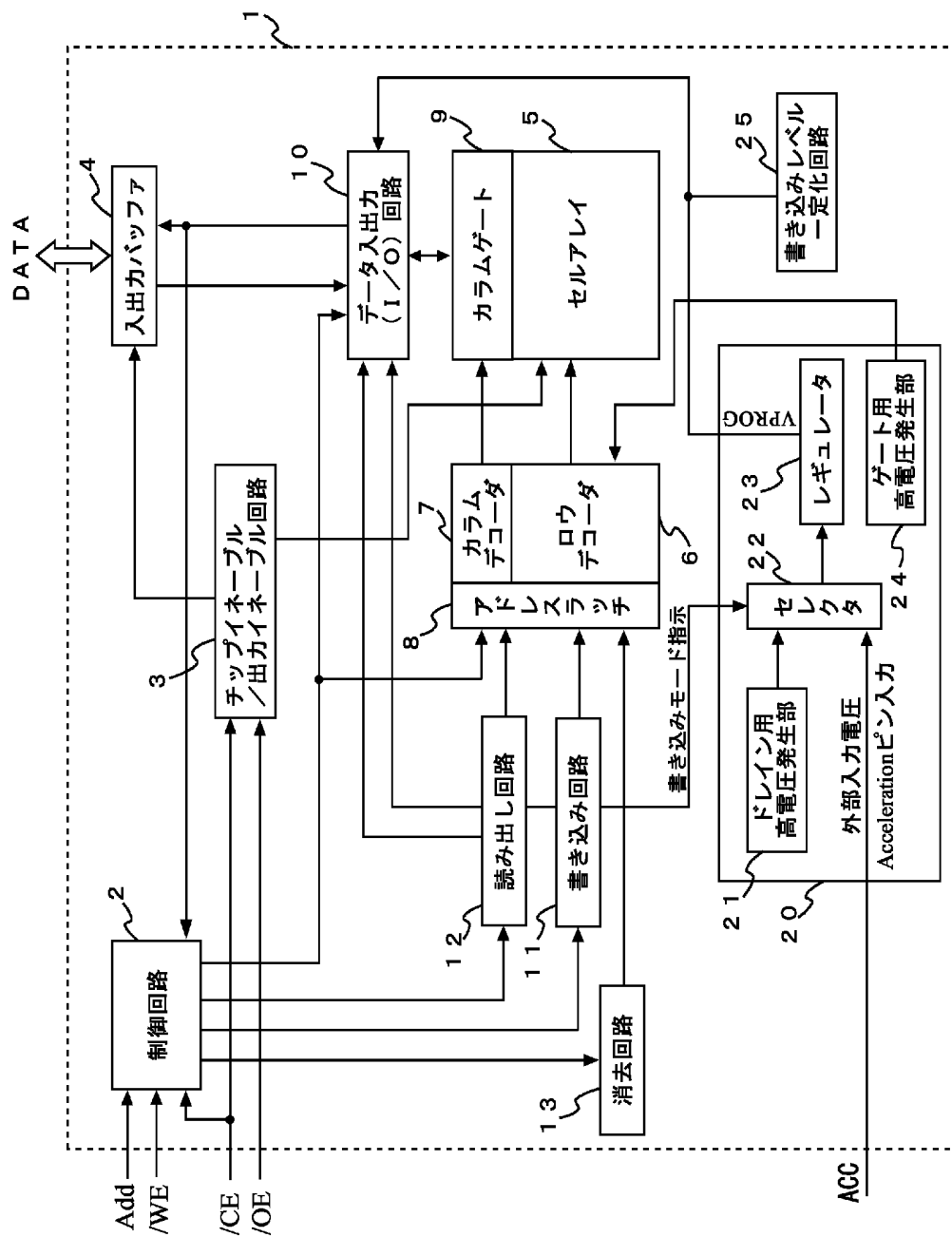
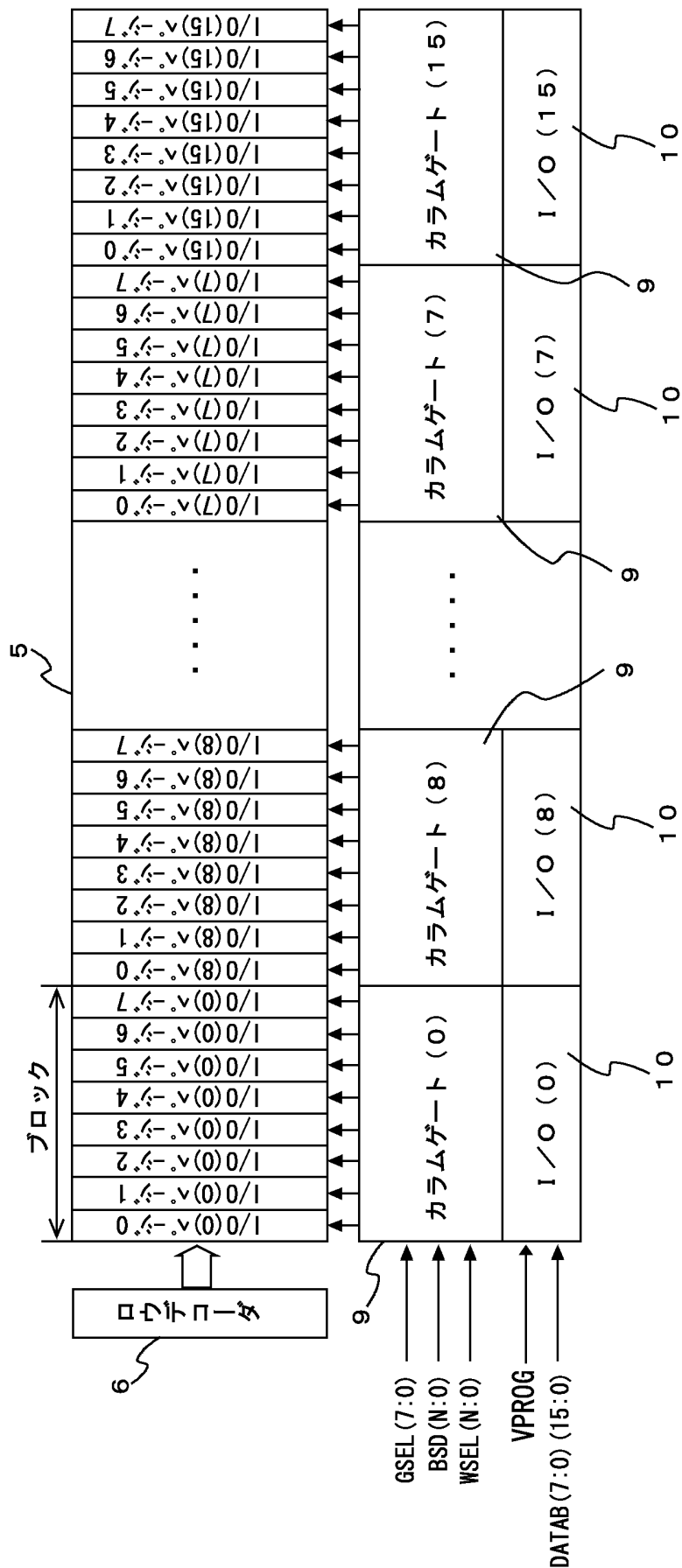
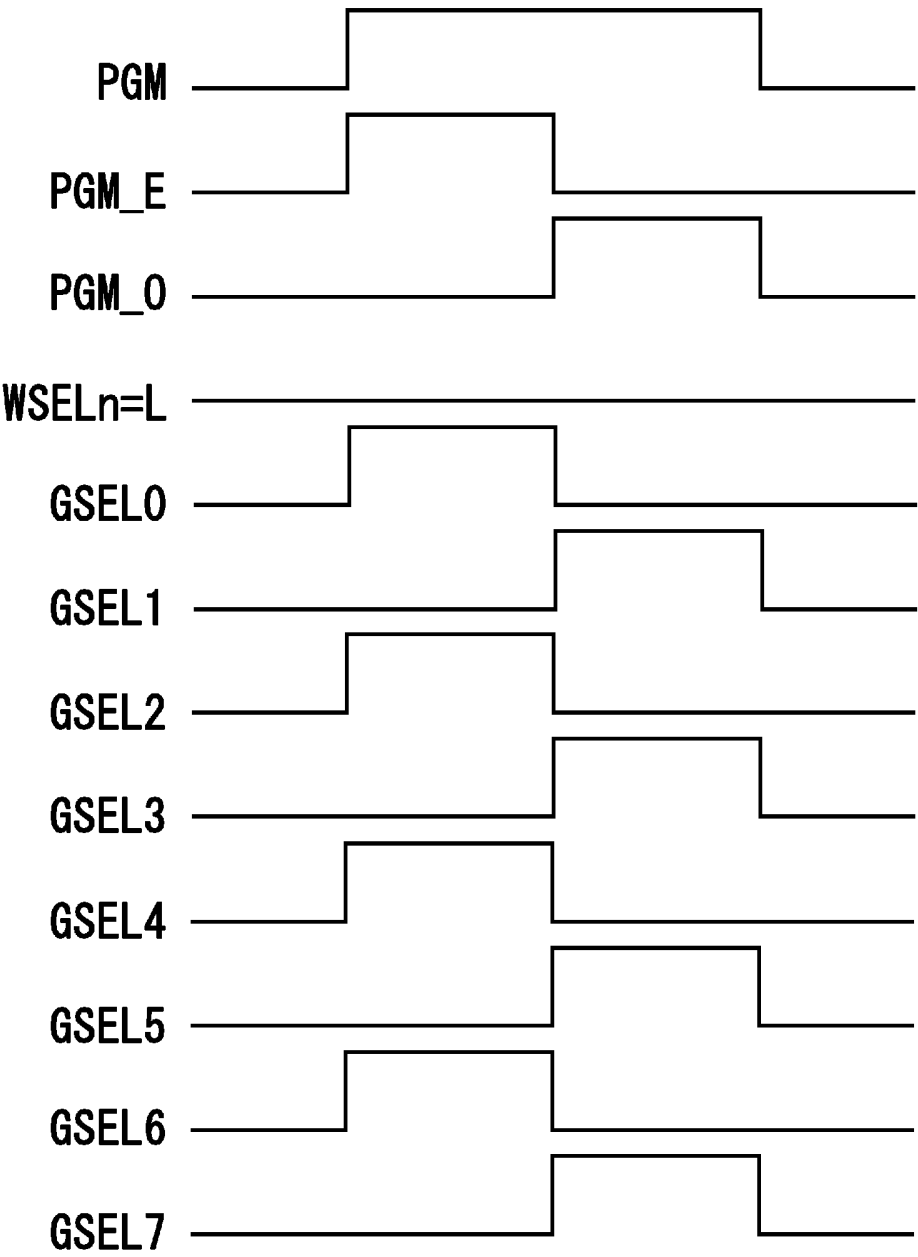


Figure 1 is a block diagram of a semiconductor device. The device includes a Row Decoder (6) connected to a Cell Array (5). A Column Decoder (7) is connected to a Column Gate (9). The Cell Array (5) is connected to the Column Gate (9). The Column Gate (9) is connected to a Data Input/Output Circuit (10). The Data Input/Output Circuit (10) includes a Ground Circuit (31), a Write Driver (32), a Sense Amplifier (34), and a Data Latch (33). The Data Input/Output Circuit (10) is connected to an Input/Output Buffer (4).

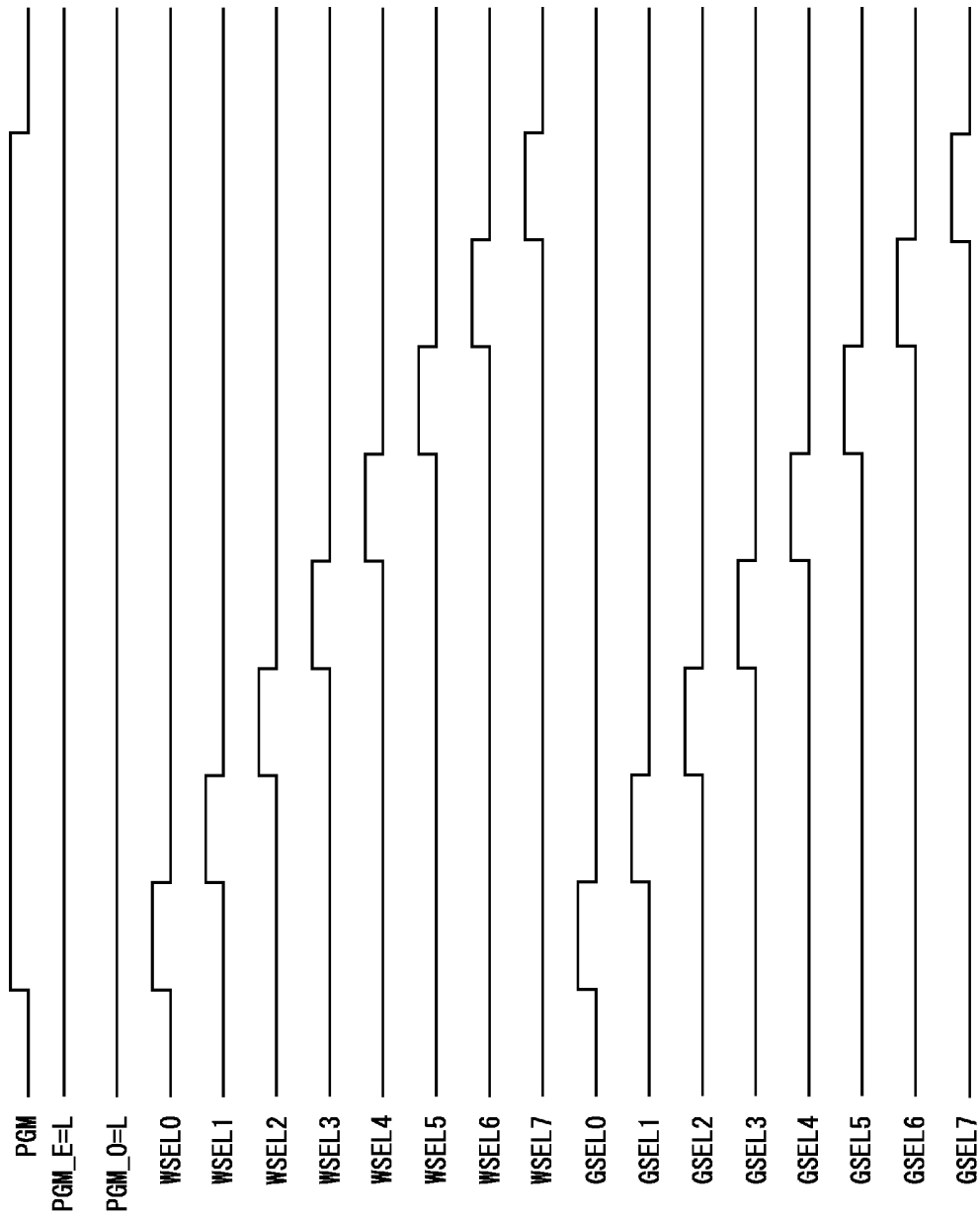
[図4]



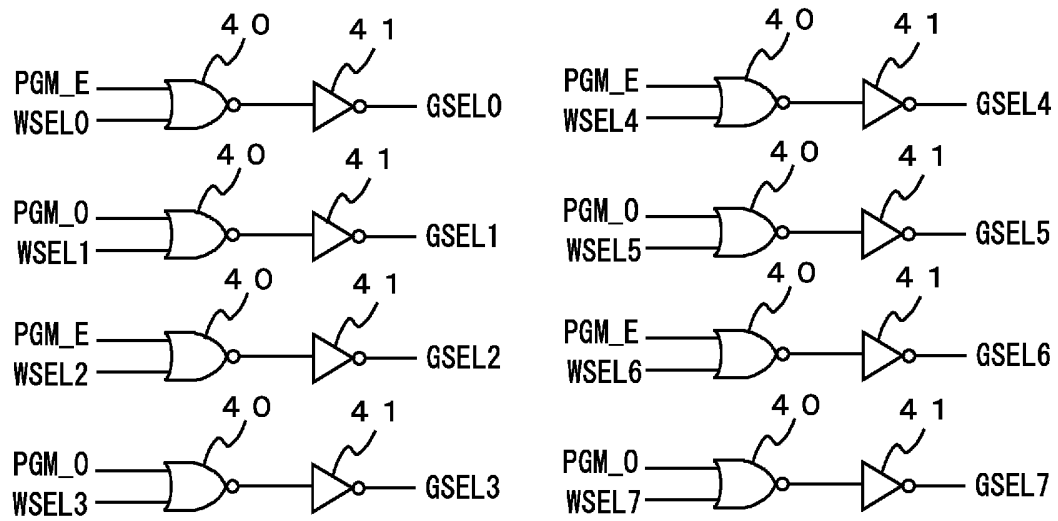
[図5]



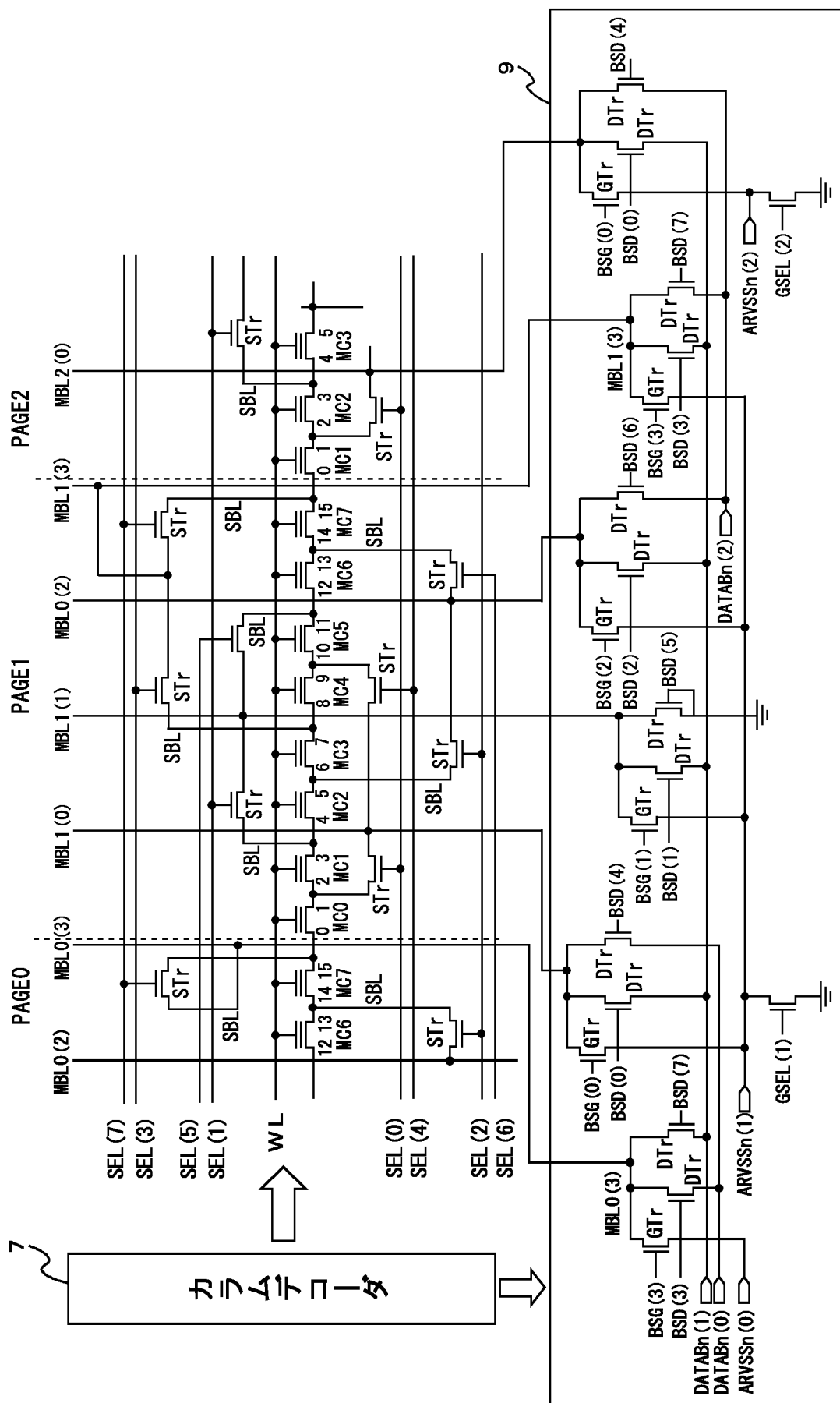
[図6]



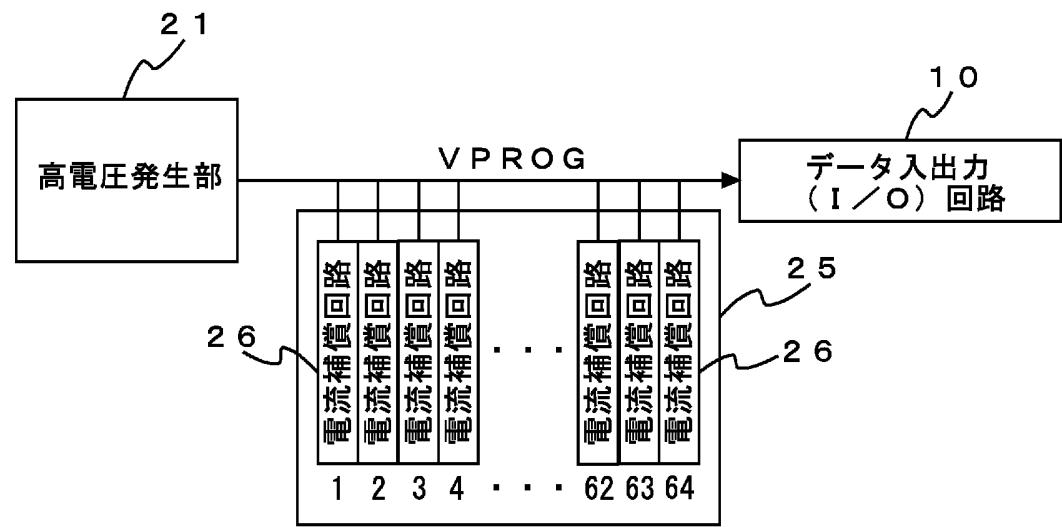
[図7]



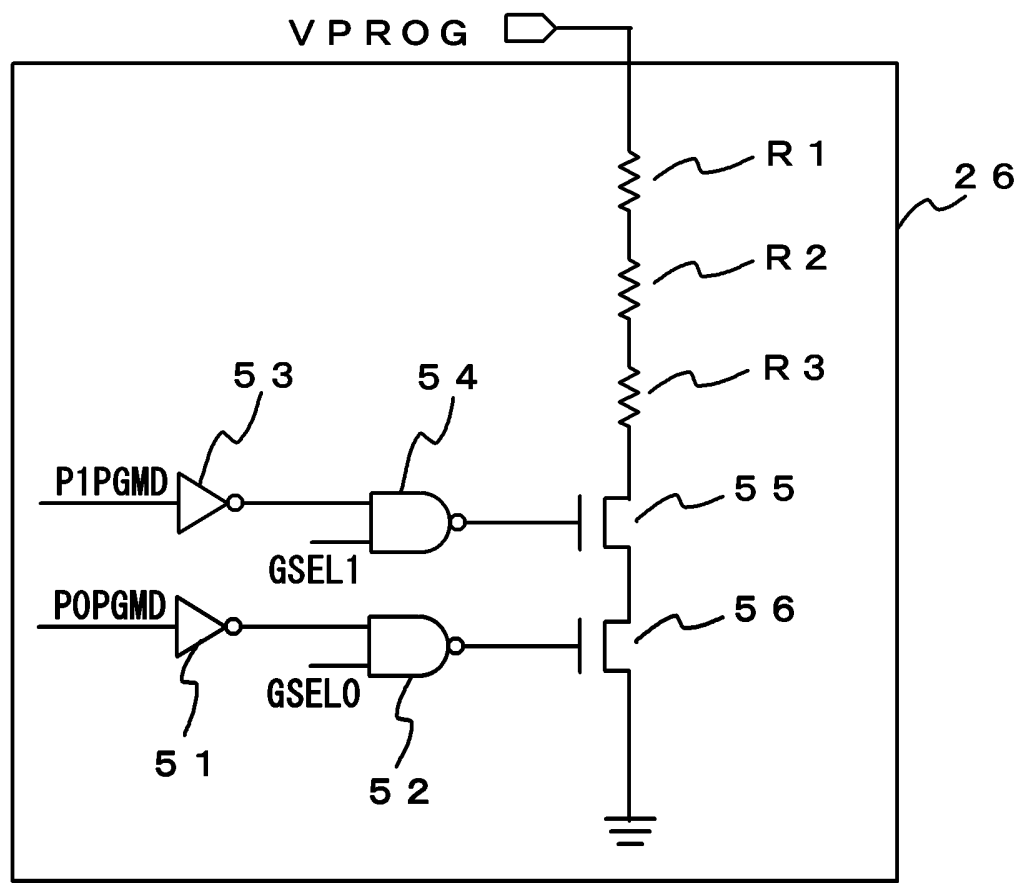
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/006263

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G11C16/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G11C16/02-16/34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-110900 A (Fujitsu Ltd.), 08 April, 2004 (08.04.04), Par. No. [0034]; Fig. 6 (Family: none)	1, 3, 5, 10, 11, 13
A		2, 4, 6-9, 12, 14
A	JP 7-263650 A (Macronix International Co., Ltd.), 13 October, 1995 (13.10.95), Full text; all drawings & US 5592000 A	1-14
A	JP 2002-279790 A (Saifun Semiconductors Ltd.), 27 September, 2002 (27.09.02), Full text; all drawings & US 2002/0132436 A1 & EP 1227498 A2 & IL 147658 D	1-14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
10 August, 2004 (10.08.04)

Date of mailing of the international search report
07 September, 2004 (07.09.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/006263

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-297080 A (Macronix International Co., Ltd.), 29 October, 1999 (29.10.99), Full text; all drawings (Family: none)	1-14

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ G11C16/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ G11C16/02-16/34

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2004年
日本国実用新案登録公報 1996-2004年
日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 2004-110900 A (富士通株式会社), 2004. 04. 08, 第0034段落, 第6図 (ファミリーなし)	1, 3, 5, 10, 11, 13 2, 4, 6-9, 12, 14
A	JP 7-263650 A (マクロニクス インターナショナル カンパニイ リミテッド), 1995. 10. 13, 全文, 全図 & US 5592000 A	1-14
A	JP 2002-279790 A (サイファシ・セミコンダクターズ・リミテッド), 2002. 09. 27, 全文, 全図 & US 2002/0132436 A1 & EP 1227498 A2 & IL 147658 D	1-14

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日
10. 08. 2004

国際調査報告の発送日
07. 9. 2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
飯田 清司

5 N 8 7 3 1

電話番号 03-3581-1101 内線 6842

C (続き). 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-297080 A (マクロクス インターナショナル カンパニー リミテッド) , 1999. 10. 29, 全文, 全図 (ファミリーなし)	1-14