



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년01월04일

(11) 등록번호 10-1935752

(24) 등록일자 2018년12월28일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) *H01L 27/12* (2006.01)*H01L 29/66* (2006.01)

(52) CPC특허분류

H01L 29/7869 (2013.01)*H01L 27/1225* (2013.01)

(21) 출원번호 10-2018-7000944(분할)

(22) 출원일자(국제) 2010년06월22일

심사청구일자 2018년01월11일

(85) 번역문제출일자 2018년01월11일

(65) 공개번호 10-2018-0006514

(43) 공개일자 2018년01월17일

(62) 원출원 특허 10-2012-7003540

원출원일자(국제) 2010년06월22일

심사청구일자 2015년06월19일

(86) 국제출원번호 PCT/JP2010/060938

(87) 국제공개번호 WO 2011/004724

국제공개일자 2011년01월13일

(30) 우선권주장

JP-P-2009-164134 2009년07월10일 일본(JP)

(56) 선행기술조사문헌

JP2007123861 A*

(뒷면에 계속)

전체 청구항 수 : 총 7 항

심사관 : 최혜미

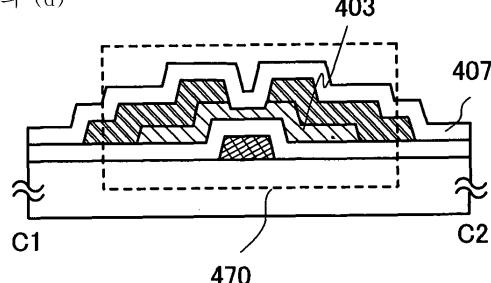
(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요약

안정한 전기 특성을 갖는 박막 트랜지스터를 갖는 신뢰성이 좋은 반도체 장치 및 그 제작 방법을 제공한다. 채널 형성 영역을 포함하는 반도체층이 산화물 반도체층인 박막 트랜지스터를 포함하는 반도체 장치의 제작 방법에 있어서, 산화물 반도체층의 순도를 높이기 위하여 수분 등의 불순물을 저감하고 산화물 반도체층을 산화시키는 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)를 행한다. 산화물 반도체층의 수분 등의 불순물뿐만 아니라, 게이트 절연층 내에 존재하는 수분 등의 불순물을 저감하고, 산화물 반도체층과, 산화물 반도체층의 위와 아래에 접해서 설치되어 있는 막들 사이의 계면에 존재하는 수분 등의 불순물을 저감한다.

대표 도

도 1의 (d)



(52) CPC특허분류

H01L 29/66742 (2013.01)

H01L 29/78606 (2013.01)

(72) 발명자

노다 고세이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

오하라 히로끼

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

사사끼 도시나리

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

사까따 준이찌로

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

(56) 선행기술조사문현

JP2008281988 A*

WO2007139009 A1*

KR1020080104588 A*

JP2009099944 A

*는 심사관에 의하여 인용된 문현

명세서

청구범위

청구항 1

액정 표시 장치의 제작 방법으로서,
 절연 표면을 갖는 기판 위에 게이트 전극을 형성하는 단계;
 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;
 상기 게이트 절연막 위에 In, Ga, 및 Zn을 갖는 산화물 반도체층을 형성하는 단계;
 수분 또는 수소가 저감된 산소 분위기에서, 상기 산화물 반도체층에 제1 가열을 행하여, 상기 산화물 반도체층에 포함된 수분 또는 수소를 저감하고, 또한 상기 산화물 반도체층의 산화를 행하는 단계;
 상기 제1 가열 후에, 수분 또는 수소가 저감된 산소 분위기에서, 상기 산화물 반도체층을 냉각하는 단계;
 상기 냉각 후에, 상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계;
 상기 소스 전극층, 상기 드레인 전극층, 및 상기 산화물 반도체층 위에, 상기 산화물 반도체층의 일부와 접하는 산화물 절연층을 형성하는 단계;
 상기 산화물 절연층의 형성 후에, 제2 가열을 행하는 단계; 및
 상기 제2 가열 후에, 상기 소스 전극층 또는 상기 드레인 전극층에 전기적으로 접속하는 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는, 액정 표시 장치의 제작 방법.

청구항 2

액정 표시 장치의 제작 방법으로서,
 절연 표면을 갖는 기판 위에 게이트 전극을 형성하는 단계;
 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;
 상기 게이트 절연막 위에 In, Ga, 및 Zn을 갖는 산화물 반도체층을 형성하는 단계;
 수분 또는 수소가 제거된 산소 분위기에서, 상기 산화물 반도체층에 제1 가열을 행하여, 상기 산화물 반도체층에 포함된 수분 또는 수소를 저감하고, 또한 상기 산화물 반도체층의 산화를 행하는 단계;
 상기 제1 가열 후에, 수분 또는 수소가 제거된 산소 분위기에서, 상기 산화물 반도체층을 냉각하는 단계;
 상기 냉각 후에, 상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계;
 상기 소스 전극층, 상기 드레인 전극층, 및 상기 산화물 반도체층 위에, 상기 산화물 반도체층의 일부와 접하는 산화물 절연층을 형성하는 단계;
 상기 산화물 절연층의 형성 후에, 제2 가열을 행하는 단계; 및
 상기 제2 가열 후에, 상기 소스 전극층 또는 상기 드레인 전극층에 전기적으로 접속하는 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 하는, 액정 표시 장치의 제작 방법.

청구항 3

액정 표시 장치의 제작 방법으로서,
 절연 표면을 갖는 기판 위에 게이트 전극을 형성하는 단계;
 상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;
 상기 게이트 절연막 위에 In, Ga, 및 Zn을 갖는 산화물 반도체층을 형성하는 단계;
 상기 산화물 반도체층에 제1 가열을 행하여, 상기 산화물 반도체층에 포함된 수분 또는 수소를 저감하고, 또한

상기 산화물 반도체층의 산화를 행하는 단계;

상기 제1 가열 후에, 상기 산화물 반도체층을 냉각하는 단계;

상기 냉각 후에, 상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계;

상기 소스 전극층, 상기 드레인 전극층, 및 상기 산화물 반도체층 위에, 상기 산화물 반도체층의 일부와 접하는 산화물 절연층을 형성하는 단계:

상기 산화물 절연층의 형성 후에, 제2 가열을 행하는 단계; 및

상기 제2 가열 후에, 상기 소스 전극층 또는 상기 드레인 전극층에 전기적으로 접속하는 화소 전극을 형성하는 단계를 포함하고,

상기 제1 가열 및 상기 냉각은, 수분 또는 수소를 저감하는 장치에 의해 수분 또는 수소가 저감된 산소 분위기에서 행해지는 것을 특징으로 하는, 액정 표시 장치의 제작 방법.

청구항 4

액정 표시 장치의 제작 방법으로서,

절연 표면을 갖는 기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 위에 In, Ga, 및 Zn을 갖는 산화물 반도체층을 형성하는 단계;

상기 산화물 반도체층에 제1 가열을 행하여, 상기 산화물 반도체층에 포함된 수분 또는 수소를 저감하고, 또한 상기 산화물 반도체층의 산화를 행하는 단계;

상기 제1 가열 후에, 상기 산화물 반도체층을 냉각하는 단계;

상기 냉각 후에, 상기 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 형성하는 단계;

상기 소스 전극층, 상기 드레인 전극층, 및 상기 산화물 반도체층 위에, 상기 산화물 반도체층의 일부와 접하는 산화물 절연층을 형성하는 단계:

상기 산화물 절연층의 형성 후에, 제2 가열을 행하는 단계; 및

상기 제2 가열 후에, 상기 소스 전극층 또는 상기 드레인 전극층에 전기적으로 접속하는 화소 전극을 형성하는 단계를 포함하고,

상기 제1 가열 및 상기 냉각은, 수분 또는 수소를 제거하는 장치에 의해 수분 또는 수소가 제거된 산소 분위기에서 행해지는 것을 특징으로 하는, 액정 표시 장치의 제작 방법.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 가열은, 상기 산화물 반도체층의 탈수화 또는 탈수소화를 위한 가열인 것을 특징으로 하는, 액정 표시 장치의 제작 방법.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 제1 가열은, 400°C 이상 700°C 이하의 온도에서 행해지고,

상기 제2 가열은, 150°C 이상 350°C 미만의 온도에서 행해지는 것을 특징으로 하는, 액정 표시 장치의 제작 방법.

청구항 7

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 산화물 반도체층의 냉각은, 실온 이상 100°C 미만까지 냉각하는 것을 특징으로 하는, 액정 표시 장치의 제

작 방법.

발명의 설명

기술 분야

- [0001] 본 발명은 산화물 반도체를 포함하는 반도체 장치 및 그 제작 방법에 관한 것이다.
- [0002] 본 명세서에서, 반도체 장치는 반도체 특성을 이용함으로써 기능할 수 있는 임의의 장치 전반을 칭하며, 전기 광학 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치의 카테고리에 포함된다.

배경기술

- [0003] 최근, 절연 표면을 갖는 기판 위에 형성된 반도체 박막(수nm 내지 수백nm 정도의 두께)을 이용하여 박막 트랜지스터(TFT)를 형성하는 기술이 주목받고 있다. 박막 트랜지스터는 IC나 전기 광학 장치 등의 전자 장치에 널리 응용되고, 특히, 화상 표시 장치의 스위칭 소자로서 박막 트랜지스터 개발이 서둘러지고 있다. 다양한 금속 산화물이 다양한 용도로 이용되고 있다. 산화 인듐은 잘 알려진 재료이며, 액정 디스플레이 등에서 필요로 하는 투명 전극재료로서 이용되고 있다.
- [0004] 금속 산화물의 중에는 반도체 특성을 갖는 것이 있다. 반도체 특성을 갖는 금속 산화물로서는, 예를 들어, 산화 텅스텐, 산화 주석, 산화 인듐, 산화 아연 등이 있으며, 이러한 반도체 특성을 갖는 금속 산화물 등을 이용하여 채널 형성 영역이 형성되어 있는 박막 트랜지스터가 이미 알려져 있다(특히 문헌 1 내지 5, 비특히 문헌 1).
- [0005] 또한, 금속 산화물로서는 일원계 산화물(single-component) 뿐만 아니라 다원계(multi-component) 산화물도 알려져 있다. 예를 들어, 동형 시리즈(homologous series)을 갖는 $InGaO_3(ZnO)_m$ (m 은 자연수)은, In, Ga 및 Zn을 포함하는 다원계 산화물 반도체로서 알려져 있다(비특히 문헌 2 내지 4).
- [0006] 또한, 이러한 In-Ga-Zn-O계 산화물을 포함하는 산화물 반도체를 박막 트랜지스터의 채널층에 적용 가능한 것이 확인되어 있다(특히 문헌 6, 비특히 문헌 5 및 6).

선행기술문헌

특허문헌

- [0007] (특허문헌 0001) 일본 공개 특허 제S60-198861호 공보
 (특허문헌 0002) 일본 공개 특허 제H8-264794호 공보
 (특허문헌 0003) 일본 공개 특허 제H11-505377호 공보
 (특허문헌 0004) 일본 공개 특허 제2000-150900호 공보
 (특허문헌 0005) 일본 공개 특허 제2007-123861호 공보
 (특허문헌 0006) 일본 공개 특허 제2004-103957호 공보

비특허문헌

비특허 문헌 1: M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor," *Appl. Phys. Lett.*, 17 June 1996, Vol. 68, pp. 3650-3652

비특허 문헌 2: M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ System at 1350 °C", *J. Solid State Chem.*, 1991, Vol. 93, pp. 298-315

비특허 문헌 3: N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System", *J. Solid State Chem.*, 1995, Vol. 116, pp. 170-178

비특허 문헌 4: M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$) (m : natural number) and related compounds", *KOTAI BUTSURU (SOLID STATE PHYSICS)*, 1993, Vol. 28, No. 5, pp. 317-327

비특허 문헌 5: K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor", *SCIENCE*, 2003, Vol. 300, pp. 1269-1272

비특허 문헌 6: K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors", *NATURE*, 2004, Vol. 432, pp. 488-492

[0008]

발명의 내용

해결하려는 과제

[0009]

안정된 전기 특성을 갖는 박막 트랜지스터를 포함하는 신뢰성이 높은 반도체 장치를 제작하는 것을 목적으로 한다.

과제의 해결 수단

[0010]

채널 형성 영역을 포함하는 반도체층을 산화물 반도체막으로 이용하는 박막 트랜지스터를 포함하는 반도체 장치의 제작 방법에서, 산화물 반도체층의 순도를 높이기 위하여 수분 등의 불순물을 저감하는 가열 처리(talsum) 또는 탈수소화(dehydrogenation)를 위한 가열 처리)를 산소 분위기에서 행한다. 또한, 산화물 반도체층 내의 수분 등의 불순물뿐만 아니라, 게이트 절연층 내에 존재하는 수분 등의 불순물을 저감하고, 산화물 반도체층과, 산화물 반도체층의 위와 아래에 접해서 설치되어 있는 막들 사이의 계면에 존재하는 수분 등의 불순물을 저감한다. 또한, 가열 처리는 산화물 반도체층을 산화시킬 수 있다.

[0011]

수분 등의 불순물을 저감하기 위해서, 산화물 반도체층을 형성한 후, 산화물 반도체층을 산소 분위기에서 가열 처리하여, 산화물 반도체층에 존재하는 수분을 저감하고, 산화물 반도체층을 산화한다. 가열 처리 온도는, 200°C 이상, 기관의 왜곡점(strain point) 미만, 바람직하게는 400°C 내지 700°C로 행한다. 가열 처리 후에, 산화물 반도체층을 산소 분위기에서, 또는 질소 또는 희 가스(헬륨, 아르곤 등)의 불활성 기체 분위기에서 서냉(slowly cooled)하는 것이 바람직하다.

[0012]

본 명세서에서, 산소 분위기는 산소 원자를 포함하는 기체 분위기이며, 대표적으로는 산소, 오존, 또는 질소 산화물(일산화 질소, 이산화질소, 일산화이질소, 삼산화이질소, 사산화이질소, 오산화이질소 등) 분위기를 칭한다. 산소 분위기는 질소 또는 희 가스(헬륨, 아르곤 등)의 불활성 기체가 포함할 수 있지만, 그 경우에는,

산소 원자를 포함하는 기체보다 불활성 기체의 양이 적다.

[0013] 본 명세서에서는, 산소 분위기에서 탈수화 또는 탈수소화하면서 산화물 반도체층을 산화시키는 가열 처리를 탈수화 또는 탈수소화를 위한 가열 처리라 한다. 본 명세서에서는, 가열 처리에 의한 H₂의 이탈(elimination)만을 탈수소화라 하는 것이 아니고, H, OH 등을 포함하는 문자의 이탈을 편의상 탈수화 또는 탈수소화라 한다.

[0014] 산소 분위기하에서 가열 처리를 행함으로써 산화물 반도체층에 포함되는 수분 등의 불순물을 저감시키고, 산화물 반도체층을 산화시킴으로써, 박막 트랜지스터의 신뢰성을 향상시킬 수 있다. 또한, 산화물 반도체층에 접해서 산화물 절연층을 형성하는 것에 의해, 박막 트랜지스터의 신뢰성의 향상시킬 수 있다.

[0015] 산소 분위기에서 가열 처리한 산화물 반도체층에 접해서 형성되는 산화물 절연층은 수분, 수소 이온 및 OH⁻ 등의 불순물의 유입을 차단하는 무기절연층을 이용하여 형성된다. 산화물 절연층의 대표예로서는, 산화 규소층, 산화 질화 규소층 및 그것들의 적층이 있다.

[0016] 산소 분위기에서 가열 처리한 산화물 반도체층 상에 산화물 반도체층을 접해서 보호층이 되는 산화물 절연층을 형성한 후에, 가열 처리를 더 행할 수 있다. 산화물 반도체층 상에 산화물 반도체층을 접해서 보호층이 되는 산화물 절연층을 형성한 후의 가열 처리는 박막 트랜지스터의 전기적 특성의 변동을 경감할 수 있다.

[0017] 상기 구성은 상기 과제의 적어도 하나를 해결한다.

[0018] 본 발명의 일 실시예는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연 층 상에 산화물 반도체층을 형성하고, 산화물 반도체층을 산소 분위기에서 탈수화 또는 탈수소화하고, 탈수화 또는 탈수소화시킨 산화물 반도체층 위에 소스 및 드레인 전극층을 형성하고, 게이트 절연층, 산화물 반도체층, 및 소스 및 드레인 전극층 위로 산화물 반도체층의 일부와 접하는 산화물 절연층을 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이다.

[0019] 본 발명의 다른 실시예는, 절연 표면을 갖는 기판 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 산화물 반도체층을 형성하고, 산화물 반도체층을 산소 분위기에서 가열하고, 탈수화 또는 탈수소화시킨 산화물 반도체층 위에 소스 및 드레인 전극층을 형성하고, 게이트 절연층, 산화물 반도체층, 및 소스 및 드레인 전극층 위로 산화물 반도체층의 일부와 접하는 산화물 절연층을 형성하는 것을 특징으로 하는 반도체 장치의 제작 방법이다. 산화물 반도체층을 산소 분위기에서 온도 200°C 이상으로 가열한 후, 실온이상 100°C 미만의 범위로 서냉하는 것이 바람직하다.

[0020] 본 명세서에서의 산화물 반도체는, InMO₃(ZnO)_m(m>0)로 표기되는 박막을 형성하고, 박막을 반도체층으로서 이용한 박막 트랜지스터를 제작한다. 또한, M은 Ga, Fe, Ni, Mn 및 Co로부터 선택되는 하나의 금속 원소 또는 복수의 금속 원소를 의미함에 주목한다. 예를 들면, M이 Ga를 의미할 수 있고, M이, 예를 들어 Ga와 Ni 또는 Ga와 Fe 등, Ga이외에도 상기 다른 금속 원소가 포함된 것을 의미할 수 있다. 또한, 상기 산화물 반도체는 M으로서 포함되는 금속 원소의 이외에, 불순물원소로서 Fe, Ni, 다른 천이 금속 원소, 또는 천이 금속의 산화물이 포함할 수 있다. 본 명세서에서는, InMO₃(ZnO)_m(m>0)로 표기되는 구조식(composition formulae)의 산화물 반도체층 중에서, M으로서 적어도 Ga를 포함하는 구조식의 산화물 반도체를 In-Ga-Zn-O계 산화물 반도체라 칭하고, In-Ga-Zn-O계 산화물 반도체의 박막을 In-Ga-Zn-O계 비단결정층이라 칭한다.

[0021] 산화물 반도체층에 적용하는 산화물 반도체로서, 상기 외에도, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체, In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, In-O계 산화물 반도체, Sn-O계 산화물 반도체 및 Zn-O계 산화물 반도체 중 임의의 것을 적용할 수 있다. 산화물 반도체층에 산화 규소(SiO_x(X>0))를 포함시킴으로써, 가열 처리에 의한 산화물 반도체층의 결정화를 저해하는 산화 규소(SiO_x(X>0))를 포함시킴으로써, 가열 처리에 의한 산화물 반도체층의 결정화를 억제할 수 있다. 산화물 반도체층은 비정질한 상태인 것이 바람직하지만 일부 결정화되어 있어도 좋다.

[0022] 산화물 반도체는 In을 포함하는 것이 바람직하며, 보다 바람직하게는 In과 Ga를 포함한다. i형(인트린식, intrinsic) 산화물 반도체층을 형성하기 위해서 탈수화 또는 탈수소화가 효과적이다.

[0023] 박막 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 게이트선 또는 소스선에 대하여, 구동 회로 보호용의 보호 회로를 동일 기판 위에 설치하는 것이 바람직하다. 보호 회로는 산화물 반도체를 포함하는 비선형소자

를 이용해서 형성하는 것이 바람직하다.

[0024] 게이트 절연층 및 산화물 반도체막의 형성을 대기애 노출되는 일 없이 연속적으로 행할 수 있다(연속 처리, 인시츄(insitu) 공정 또는 연속 성막이라고도 함). 대기애 노출되는 일 없이 연속적으로 형성함으로써, 게이트 절연층과 산화물 반도체막 사이의 계면이 수분이나 하이드로 카본(hydrocarbon) 등의 대기 성분이나 대기 중에 부유하는 불순물에 의해 오염되는 일없이 형성될 수 있으므로, 박막 트랜지스터 특성의 변동을 저감할 수 있다.

[0025] 본 명세서에서, "연속 처리"라는 용어는, 플라즈마 CVD법 또는 스퍼터링법에 의해 행해지는 제1 처리 공정으로부터 플라즈마 CVD법 또는 스퍼터링법에 의해 행해지는 제2 처리 공정까지의 프로세스 중, 피처리 기판이 배치되어 있는 분위기가 대기 등의 오염 분위기에 의해 오염되지 않고, 항상 진공 또는 불활성 가스 분위기(질소 분위기 또는 희ガ스 분위기)에서 제어되는 것을 의미함에 주목한다. 연속 처리를 행함으로써, 청정화된 후의 기판에 대하여 수분 등의 부착을 방지하며 형성할 수 있다.

[0026] 동일 챔버 내에서 제1 처리 공정으로부터 제2 처리 공정까지의 일련의 공정을 행하는 것은 본 명세서에서의 연속 처리의 범위에 포함된다고 할 수 있다.

[0027] 또한, 다른 챔버에서 제1 처리 공정으로부터 제2 처리 공정까지의 일련의 공정을 행할 경우, 제1 처리 공정을 끝낸 후, 기판을 대기애 노출되는 일 없이 다른 챔버로 반송해서 제2 처리를 실시하는 방식인 경우도 본 명세서에서의 연속 처리의 범위에 포함된다고 할 수 있다.

[0028] 제1 처리 공정과 제2 처리 공정 사이에, 기판 반송 공정, 얼라인먼트 공정, 서냉 공정 또는 제2 처리 공정에 적절한 온도를 갖는 기판을 설정하기 위해서 기판을 가열 또는 냉각하는 공정 등이 있어도, 본 명세서에서의 연속 처리의 범위에 포함된다고 할 수 있음에 주목한다.

[0029] 단, 세정 공정, 웨트 에칭 또는 레지스트 형성 공정 등의 액체를 이용하는 공정이 제1 처리 공정과 제2 처리 공정의 사이에 구비될 경우, 본 명세서에서의 연속 처리의 범위 내에 있다고 볼 수 없다.

발명의 효과

[0030] 본 발명에 따르면, 안정된 전기 특성을 갖는 박막 트랜지스터를 제작할 수 있다. 본 발명에 따르면, 전기 특성이 좋고 신뢰성이 좋은 박막 트랜지스터를 포함하는 반도체 장치를 제작할 수 있다.

도면의 간단한 설명

[0031] 도 1의 (a) 내지 (d)는 본 발명의 일 실시예를 나타내는 반도체 장치의 제작 공정의 단면도이다.

도 2의 (a) 및 (b)는 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.

도 3은 전기로의 단면도이다.

도 4의 (a) 내지 (d)는 본 발명의 일 실시예를 나타내는 반도체 장치의 제작 공정의 단면도이다.

도 5의 (a) 및 (b)는 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.

도 6의 (a) 내지 (d)는 본 발명의 일 실시예에 따른 반도체 장치의 제작 공정의 단면도이다.

도 7의 (a) 내지 (c)는 본 발명의 일 실시예에 따른 반도체 장치의 제작 공정의 단면도이다.

도 8은 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.

도 9의 (a1) 및 (a2)는 본 발명의 일 실시예에 따른 반도체 장치를 설명하며, 도 9의 (b1) 및 (b2)도 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.

도 10의 (a) 내지 (d)는 본 발명의 일 실시예를 나타내는 반도체 장치의 제작 방법을 설명한다.

도 11은 본 발명의 일 실시예를 나타내는 반도체 장치를 설명한다.

도 12는 본 발명의 일 실시예를 나타내는 반도체 장치를 설명한다.

도 13의 (a) 내지 (c)는 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.

도 14의 (a) 및 (b)는 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.

도 15는 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.

도 16의 (a) 및 (b)는 표시 장치의 블록도를 각각 설명한다.

도 17의 (a) 및 (b)는 신호선 구동 회로의 구성을 설명한다.

도 18의 (a) 내지 (c)는 시프트 레지스터의 구성을 도시하는 회로도이다.

도 19의 (a) 및 (b)는 시프트 레지스터의 동작을 설명한다.

도 20의 (a1), (a2) 및 (b)는 본 발명의 일 실시예에 따른 반도체 장치를 각각 설명한다.

도 21은 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.

도 22는 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.

도 23은 본 발명의 일 실시예에 따른 반도체 장치의 화소 등가 회로를 설명한다.

도 24의 (a) 내지 (c)는 본 발명의 일 실시예에 따른 반도체 장치를 각각 설명한다.

도 25의 (a) 및 (b)는 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.

도 26은 e-북 리더의 일례를 나타내는 외관도이다.

도 27의 (a) 및 (b)는 텔레비전 세트의 일례 및 디지털 포토 프레임의 일례를 각각 나타내는 외관도이다.

도 28의 (a) 및 (b)는 오락기의 예를 나타내는 외관도이다.

도 29의 (a) 및 (b)는 휴대 전화기의 일례를 나타내는 외관도이다.

도 30의 (a) 및 (b)는 산소 분자와 산화물 반도체층 표면의 상호 작용을 시뮬레이션한 결과를 나타낸다.

도 31은 계산에서 이용한 산화물 반도체층의 구조를 설명하는 도면이다.

도 32는 산화물 반도체층의 산소 밀도의 측정 결과를 나타내는 그래프이다.

도 33의 (a) 내지 (c)는 산소와 산화물 반도체층 표면의 상호작용을 설명한다.

발명을 실시하기 위한 구체적인 내용

[0032]

이하에서는, 본 발명의 실시예에 대해서 첨부된 도면을 참조하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 요지 및 범위를 벗어나지 않으면서 본원에 개시된 형태 및 상세를 여러 방식으로 변경할 수 있는 것은 당업자이면 용이하게 이해할 수 있음에 주목한다. 따라서, 본 발명은 실시예의 기재 내용에 한정되어 해석되는 것은 아니다.

[0033]

[실시예 1]

[0034]

반도체 장치 및 반도체 장치의 제작 방법을 도 1의 (a) 내지 (d) 및 도 2의 (a) 및 (b)를 참조하여 설명한다.

[0035]

도 2의 (a)는 반도체 장치에 포함되는 박막 트랜지스터(470)의 평면도이며, 도 2의 (b)는 도 2의 (a)의 선 C1-C2를 따르는 단면도이다. 박막 트랜지스터(470)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(400) 위로, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층 또는 드레인 전극층(405a, 405b)을 포함한다. 또한, 박막 트랜지스터(470)를 커버하고, 산화물 반도체층(403)에 접하는 산화물 절연막(407)이 설치되어 있다.

[0036]

산화물 반도체층(403)은 적어도 산화물 반도체층의 형성 후에 수분 등의 불순물을 저감하는 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)가 산소 분위기에서 행해진다. 가열 처리가 행해진 후의 산화물 반도체층(403)을 박막 트랜지스터의 채널 형성 영역으로서 이용하여, 박막 트랜지스터의 신뢰성을 향상할 수 있다.

[0037]

또한, 산소 분위기에서의 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)에 의해 수분(H_2O) 등의 불순물을 이탈시키고, 산화물 반도체층(403)을 산화한 후, 산소 분위기 또는 불활성 기체분위기에서 서냉을 행하는 것이 바람직하다. 또한, 탈수화 또는 탈수소화를 위한 가열 처리 및 서냉 후, 산화물 반도체층에 접하는 산화물 절연층의 형성을 행하는 것이 바람직하다. 이에 의해, 박막 트랜지스터(470)의 신뢰성이 향상될 수 있다.

[0038]

산화물 반도체층(403)내 뿐만 아니라, 게이트 절연층(402)내, 및 산화물 반도체층(403)과 산화물 반도체층(403)의 위/아래에 접해서 설치되는 층 사이의 계면, 즉 게이트 절연층(402)과 산화물 반도체층(403) 사이의 계면,

및 산화물 절연층(407)과 산화물 반도체층(403) 사이의 계면에서의 수분 등의 불순물을 저감하는 것이 바람직하다.

[0039] 산화물 반도체층(403)에 접하는 소스 및 드레인 전극층(405a, 405b)은 티타늄, 알루미늄, 망간, 마그네슘, 지르코늄, 베릴륨 및 토륨 중 선택되는 하나 이상의 재료를 이용하여 형성됨에 주목한다. 이러한 원소를 조합하여 포함하는 하나의 합금막 또는 합금막들을 적층할 수 있다.

[0040] 채널 형성 영역을 포함하는 산화물 반도체층(403)은 반도체특성을 갖는 산화물 재료를 이용하여 형성될 수 있고, 대표적으로는, In-Ga-Zn-O계 비단결정층을 이용한다.

[0041] 도 1의 (a) 내지 (d)는 도 2의 (a) 및 (b)에 나타내는 박막 트랜지스터(470)의 제작 공정을 나타내는 단면도이다.

[0042] 도 1의 (a)에서, 절연 표면을 갖는 기판인 기판(400) 위로 게이트 전극층(401)을 설치한다.

[0043] 기판(400)에 큰 제한은 없지만, 기판은 적어도, 후의 가열 처리에 견딜 수 있는 정도로 큰 내열성을 갖는 것이 필요하다. 기판(400)으로서는, 바륨 봉규산(borosilicate) 글래스나, 알루미노 봉규산 글래스 등의 글래스 기판을 이용할 수 있다.

[0044] 또한, 기판(400)으로서 투광성을 갖는 기판을 이용하는 경우에는, 왜곡점이 730°C 이상인 것을 이용하는 것이 바람직하다. 또한, 기판(100)으로서는, 예를 들면, 알루미노 규산 글래스, 알루미노 봉규산 글래스, 또는 바륨 봉규산 글래스 등의 글래스 재료가 이용된다. 봉산보다 산화 바륨(BaO)의 양을 더 많이 포함시킴으로써, 보다 실용적인 내열 글래스가 얻어진다. 이 때문에, B₂O₃보다 BaO의 양을 더 많이 포함하는, BaO와 B₂O₃를 포함하는 글래스 기판을 이용하는 것이 바람직하다.

[0045] 기판(400)으로서, 세라믹 기판, 석영 기판 또는 사파이어 기판 등의 절연체로 형성되는 기판을 이용할 수 있다. 대안으로서, 결정화 글래스 등을 이용할 수 있다.

[0046] 기초층(base layer)으로 기능하는 절연막을 기판(400)과 게이트 전극층(401) 사이에 설치할 수 있다. 기초막은 기판(400)로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 규소층, 산화 규소층, 질화 산화 규소층 및 산화 질화 규소층 중 하나 이상 이용하여 단일층 또는 적층 구성을 갖도록 형성될 수 있다.

[0047] 게이트 전극층(401)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈륨, 텉스텐, 알루미늄, 구리, 네오디뮴 또는 스칸듐 등의 금속 재료 또는 이를 재료 중 임의의 것을 주성분으로서 포함하는 합금 재료를 이용하여, 단층 또는 적층으로서 형성할 수 있다.

[0048] 예를 들어, 각 게이트 전극층(401)의 2층의 적층 구성을로서는, 알루미늄 층 위에 몰리브덴층을 적층한 2층 구성, 구리층 위에 몰리브덴층을 적층한 2층 구성, 구리층 위에 질화 티타늄층이나 질화 탄탈륨층을 적층한 2층 구성 및 질화 티타늄층과 몰리브덴층을 적층한 2층 구성이 바람직하다. 3층 적층 구성을로서는, 텉스텐층 또는 질화 텉스텐층, 알루미늄과 규소의 합금층 또는 알루미늄과 티타늄의 합금층, 및 질화 티타늄층 또는 티타늄층을 적층한 것을 이용하는 것이 바람직하다.

[0049] 다음으로, 게이트 전극층(401) 위로 게이트 절연층(402)을 형성한다.

[0050] 게이트 절연층(402)은 플라즈마 CVD법 또는 스퍼터링법 등에 의해, 산화 규소층, 질화 규소층, 산화 질화 규소층, 질화 산화 규소층, 산화 알루미늄층 및/또는 산화 탄탈층을 이용하여 단층 또는 적층으로 형성될 수 있다. 예를 들면, 실란(SiH₄), 산소 및 질소를 포함하는 성막 가스(deposition gas)를 이용해서 플라즈마 CVD법에 의해 산화 질화 규소층을 형성할 수 있다.

[0051] 다음으로, 게이트 절연층(402) 위로 산화물 반도체층을 형성한다.

[0052] 또한, 산화물 반도체막을 스퍼터링법에 의해 형성하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터링에 의해, 게이트 절연층(402)의 표면 상의 먼지를 제거하는 것이 바람직함에 주목한다. 역스퍼터링은 타깃측에 전압을 인가하지 않고, 아르곤 분위기에서 기판측에 RF전원을 이용해서 전압을 인가해서 기판 부근에 플라즈마를 발생시켜 표면을 개질하는 방법이다. 아르곤 대신에 헬륨을 이용할 수 있음에 주목한다.

[0053] 산화물 반도체막은 In-Ga-Zn-O계 산화물 반도체 타깃을 이용해서 스퍼터링법에 의해 형성한다. 산화물 반도체 층을 In-Ga-Zn-O계 산화물 반도체 타깃을 이용하는 스퍼터링법에 의해 형성한다. 산화물 반도체층을 희 가스(대표적으로는, 아르곤)분위기에서, 산소 분위기 또는 희 가스(대표적으로는 아르곤)와 산소의 분위기에서의 스

퍼터링법에 의해 형성할 수 있다.

[0054] 게이트 절연층(402) 및 산화물 반도체층을 대기에 노출되는 일 없이 연속적으로 형성할 수 있다. 대기에 노출시키지 않고 연속 성막함으로써, 계면이 수분이나 하이드로 카본 등의, 대기 성분이나 대기에 부유하는 불순물 원소에 의해 오염되는 일없이 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 변동을 저감할 수 있다.

[0055] 산화물 반도체층을 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층(430)으로 가공 한다(도 1의 (a) 참조).

[0056] 다음으로, 산소 분위기에서 산화물 반도체층의 가열 처리를 행한 후, 산소 분위기 또는 불활성 기체 분위기에서 서냉하는 것이 바람직하다. 산화물 반도체층(430)을 상기 분위기에서 가열 처리함으로써 산화물 반도체층(430)에 존재하는 수소 및 수분 등의 불순물을 제거하고, 산화물 반도체층(430)을 산화시켜, 산화물 반도체층(431)을 얻을 수 있다(도 1의 (b)참조). 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서, 산화물 반도체층(430)은 마이크로 결정층(microcrystalline) 또는 다결정층(polycrystalline)으로 결정화될 수 있다.

[0057] 산소 분위기는 산소 원자를 포함하는 기체 분위기를 칭하며, 대표적으로는 산소, 오존, 또는 질소 산화물(일산화질소, 이산화질소, 일산화이질소, 삼산화이질소, 사산화이질소, 또는 오산화이질소 등)을 포함하는 분위기를 칭한다. 산소 분위기는, 질소 또는 희ガ스(헬륨, 아르곤 등)의 불활성 기체가 포함될 수 있지만, 그 경우는, 산소 원자를 포함하는 기체보다 불활성 기체의 양이 적다.

[0058] 가열 처리에서는, 산소 분위기에 수분, 수소 등이 포함되지 않는 것이 바람직함에 주목한다. 대안으로서, 가열 처리 장치에 도입하는 산소의 순도를, 6N(99.9999%) 이상, 보다 바람직하게는, 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는, 0.1ppm 이하)인 것이 바람직하다.

[0059] 가열 처리는, 전기로를 이용한 가열 방법, 가열한 기체를 이용하는 GRTA(Gas Rapid Thermal Anneal)법 또는 램프 광을 이용하는 LRTA(Lamp Rapid Thermal Anneal)법 등의 순간 가열 방법을 이용하여 행해질 수 있다.

[0060] 여기에서, 산화물 반도체층(430)의 가열 처리의 한 형태로서, 전기로(601)를 이용한 가열 방법에 대해서, 도 3을 참조하여 설명한다.

[0061] 도 3은 전기로(601)의 개략도이다. 챔버(602)의 외측에는 히터(603)가 설치되어, 챔버(602)를 가열하는데 이용된다. 챔버(602) 내에는, 기판(604)이 탑재되어 있는 서셉터(susceptor, 605)가 설치되어 있고, 챔버(602) 내로 기판(604)을 반입 또는 반출한다. 또한, 챔버(602)에는 가스 공급 수단(606) 및 배기 수단(607)이 설치되어 있다. 가스 공급 수단(606)에 의해, 챔버(602)에 가스를 도입한다. 배기 수단(607)은 챔버(602) 내를 배기한다. 전기로(601)의 승온 특성을 0.1°C/분 이상 20°C/분 이하로 설정하는 것이 바람직함에 주목한다. 전기로(601)의 감온 특성을 0.1°C/분 이상 15°C/분 이하로 설정하는 것이 바람직하다.

[0062] 가스 공급 수단(606)은, 가스 공급원(611), 압력 조정 벨브(612), 정제기(613), 매스 플로우 컨트롤러(614) 및 스톱 벨브(stop valve, 615)를 포함한다. 본 실시예에서는, 가스 공급원(611)과 챔버(602) 사이에 정제기(613)를 설치한다. 정제기(613)에 의해, 가스 공급원(611)으로부터 챔버(602)내에 도입되는 가스에서, 수분 및 수소 등의 불순물을 제거할 수 있으므로, 챔버(602) 내의 수분 및 수소 등의 불순물의 침입을 저감할 수 있다.

[0063] 본 실시예에서는, 가스 공급원(611)으로부터, 산소 원자를 포함하는 기체를 챔버(602)내에 도입하여, 챔버(602)내의 분위기를 산소 분위기가 되도록 하고, 200°C 이상 기판의 왜곡점 미만, 바람직하게는 400°C 이상 700°C 이하로 가열된 챔버(602)에서, 기판(604) 위로 형성된 산화물 반도체층(430)을 가열한다. 이에 의해, 산화물 반도체층(430)의 탈수화 또는 탈수소화를 행할 수 있다.

[0064] 본 실시예에 따르면, 산화물 반도체층(430)은, 산소 분위기에서 탈수화 또는 탈수소화의 가열 처리에 의해, 산화물 반도체층(430)의 표면을 산화시킬 수 있고, 결함 또는, 수분, 수소 등의 불순물이 이탈한 부분에 산소가 결합하기 때문에, 결함이 적은 i형(less-defective i-type)이 된다. 이에 따라, 탈수화 또는 탈수소화시킨 산화물 반도체층(430)을 박막 트랜지스터의 채널 형성 영역으로서 이용하는 것으로, 형성되는 박막 트랜지스터의 신뢰성을 높일 수 있다.

[0065] 탈수화 또는 탈수소화 후의 산화물 반도체층에 대하여 450°C까지 TDS(Thermal desorption spectroscopy) 측정을 행하는 경우에도, 300°C 부근에 나타나는 물의 2개의 피크 중 적어도 1개의 피크도 검출되지 않도록 열처리 조건이 설정된다. 따라서, 탈수화 또는 탈수소화가 행해진 산화물 반도체층을 포함하는 박막 트랜지스터에 대

하여, 450°C까지 TDS 측정을 행해도 300°C 부근에 나타나는 물의 피크는 검출되지 않는다.

[0066] 다음으로, 히터를 오프 상태로 하고, 가열 장치의 챔버(602)를 산소 분위기 또는 불활성 기체분위기에서 유지하고, 서냉하는 것이 바람직하다. 예를 들면, 가열 처리 후에, 가열 처리의 온도로부터 실온 이상 100°C 미만의 온도까지 서냉할 수 있다. 그 결과, 형성되는 박막 트랜지스터의 신뢰성을 높일 수 있다.

[0067] 냉각 공정에서는, 산화물 반도체층(430)의 탈수화 또는 탈수소화를 위한 가열 온도 T로부터, 물이 유입되지 않도록 충분히 낮은 온도까지, 구체적으로는 가열 온도 T보다 100°C 이상 낮도록 온도를 낮출 수 있다.

[0068] 가열 장치의 챔버(602) 내의 기판(604)을 300°C 미만의 온도로 냉각한 후, 기판(604)을 실온 이상 100°C 미만의 온도로 산소 분위기 또는 불활성 기체 분위기로 반송하여, 기판(604)의 냉각 시간을 단축할 수 있다.

[0069] 가열 장치가 복수의 챔버를 갖는 경우, 가열 처리와 냉각 처리를 다른 챔버에서 행할 수 있다. 대표적으로는, 산소 분위기에서 200°C 이상 기판의 왜곡점 미만, 바람직하게는 400°C 이상 700°C 이하로 가열된 제1 챔버에서 기판 위에 형성된 산화물 반도체층(430)을 가열한다. 다음으로, 산소 분위기 또는 불활성 기체 분위기의 반송 챔버를 통하여, 실온 이상 100°C 미만의 온도인 제2 챔버로, 상기 가열 처리된 기판을 반송하고, 산소 분위기 또는 불활성 기체 분위기에서 냉각 처리를 행한다. 이상의 공정에 의해 스루풋을 향상시킬 수 있다.

[0070] 산화물 반도체층에 대한 산소 분위기에서의 산화물 반도체층의 가열 처리는 섬 형상의 산화물 반도체층으로 가공하기 전에 행할 수도 있다. 그 경우에는, 산소 분위기 또는 불활성 기체 분위기에서 산화물 반도체층의 가열 처리 후에 실온 이상 100°C 미만까지 서냉을 행하고, 가열 장치로부터 기판을 꺼내오, 포토리소그래피 공정을 행한다.

[0071] 산소 분위기에서의 가열 처리 후의 산화물 반도체층(431)은 비정질한 상태인 것이 바람직하지만, 일부 결정화되어 있어도 좋다.

[0072] 다음으로, 게이트 절연층(402) 및 산화물 반도체층(431) 위로 도전층을 형성한다.

[0073] 도전층의 재료의 예로서는, Al, Cr, Ta, Ti, Mo 및 W로부터 선택된 원소; 전술한 원소 중 임의의 것을 성분으로서 포함하는 합금; 이러한 원소를 조합하여 포함하는 합금층 등을 들 수 있다.

[0074] 도전층의 형성 후에 가열 처리를 행할 경우에는, 가열 처리에 견디는 내열성을 도전층이 갖는 것이 바람직하다. Al은 내열성이 좋지 않고, 부식되기 쉽다는 등의 문제점이 있으므로, 알루미늄을 내열성을 갖는 도전성 재료와 조합해서 이용한다. Al과 조합하여 이용할 수 있는 내열성 도전성 재료로서는, 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴) 및 Sc(스칸듐)로부터 선택된 원소 또는 전술한 원소 중 임의의 것을 성분으로서 포함하는 합금, 전술한 원소 중 임의의 것을 조합하여 포함하는 합금층 및 전술한 원소 중 임의의 것을 성분으로서 포함하는 질화물 중 임의의 재료가 이용될 수 있다.

[0075] 산화물 반도체층(431) 및 도전막을 예칭 공정에 의해 예칭하여, 산화물 반도체층(403)과, 소스 및 드레인 전극 층(405a, 405b)을 형성한다(도 1의 (c) 참조). 산화물 반도체층(431)의 일부분만이 예칭되어, 산화물 반도체층(403)이 홈부(오목부)를 가짐에 주목한다.

[0076] 산화물 반도체층(403)에 접하도록 산화물 절연층(407)을 형성한다. 산화물 절연층(407)은 1nm 이상의 두께로 CVD법이나 스퍼터링법 등, 산화물 절연층(407)에 수분, 수소 등의 불순물을 침입시키지 않는 방법을 적절히 이용해서 형성할 수 있다. 본 실시예에서, 산화물 절연층(407)을 형성하는데 스퍼터링법을 이용한다. 탈수화 또는 탈수소화시킨 산화물 반도체층에 접해서 형성되는 산화물 절연층(407)은 수분, 수소 이온, OH⁻ 등의 불순물을 최대한 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기절연층을 이용하는 것이 바람직하고, 구체적으로는 산화 규소층이나 산화 질화 규소층의 단층, 또는 그것들의 적층이 이용될 수 있다.

[0077] 본 실시예에서는, 산화물 절연층(407)로서 막 두께 300nm의 산화 규소층을 형성한다. 성막 시의 기판 온도는 실온 이상 300°C 이하로 설정될 수 있고, 본 실시예에서는 100°C이다. 산화 규소층(407)의 스퍼터링법에 의한 형성은 희 가스(대표적으로는 아르곤), 산소, 또는 희 가스(대표적으로는 아르곤)와 산소의 혼합 기체의 분위기에서 행할 수 있다. 타깃으로서 산화 규소 타깃이나 규소 타깃을 이용해할 수 있다. 예를 들면, 규소 타깃을 이용하여, 산소와 질소의 분위기 하에서 스퍼터링법에 의해 산화 규소를 형성할 수 있다.

[0078] 탈수화 또는 탈수소화시킨 산화물 반도체층(430)에 접해서 스퍼터링법, PCVD법 등에 의해 산화물 절연층(407)을 형성하는 이러한 방식으로, 신뢰성의 높은 박막 트랜지스터(470)를 제작할 수 있다(도 1의 (d) 참조).

- [0079] 산소 분위기에서 탈수화 또는 탈수소화를 위한 가열 처리를 행함으로써 산화물 반도체층에 포함되는 H₂O, H 또는 OH 등의 불순물을 저감 한 후, 서냉을 행하는 것이 바람직하다. 또한, 서냉시킨 후, 산화물 반도체층에 접해서 산화물 절연층을 형성함으로써, 박막 트랜지스터(470)의 신뢰성을 향상할 수 있다.
- [0080] 또한, 산화물 절연층(407)을 형성한 후, 산소 분위기 또는 불활성 기체 분위기에서 박막 트랜지스터(470)에 가열 처리(바람직하게는 150°C 이상 350°C 미만의 온도)를 행할 수 있다. 예를 들면, 질소 분위기에서 250°C 1시간의 가열 처리를 행한다. 가열 처리에 의해, 산화물 반도체층(403)이 산화물 절연층(407)에 접한 상태에서 가열되므로, 박막 트랜지스터(470)의 전기적 특성의 변동을 경감할 수 있다. 이러한 가열 처리(바람직하게는 150°C 이상 350°C 미만의 온도)는 산화물 절연층(407)의 형성 후에 행해지면, 특별히 한정되지 않는다. 가열 처리는 수지층 형성 시의 가열 처리나, 투명 도전층을 저저항화하기 위한 가열 처리 등의 다른 공정에서 가열 처리도 행함으로써, 공정 수를 늘릴 필요없이 행할 수 있다.
- [0081] [실시예 2]
- [0082] 반도체 장치 및 반도체 장치의 제작 방법을 도 4의 (a) 내지 (d) 및 도 5의 (a) 및 (b)를 참조하여 설명한다. 실시예 1과 동일한 부분(들) 또는 마찬가지 기능을 갖는 부분(들)이나 공정(들)은 실시예 1을 적용할 수 있으므로, 그에 대한 설명은 반복하지 않는다.
- [0083] 도 5의 (a)는 반도체 장치에 포함되는 박막 트랜지스터(460)의 평면도이며, 도 5의 (b)는 도 5의 (a)의 선 D1-D2을 따르는 단면도이다. 박막 트랜지스터(460)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(450)위로 게이트 전극층(451), 게이트 절연층(452), 소스 및 드레인 전극층(455a, 455b) 및 산화물 반도체층(453)을 포함한다. 또한, 박막 트랜지스터(460)를 커버하며, 산화물 반도체층(453)에 접하도록 산화물 절연층(457)이 설치되어 있다.
- [0084] 박막 트랜지스터(460)에서는, 박막 트랜지스터(460)을 포함하는 영역 전체에 걸쳐 게이트 절연층(452)이 존재하고, 게이트 절연층(452)과 절연 표면을 갖는 기판인 기판(450) 사이에 게이트 전극층(451)이 설치되어 있다. 게이트 절연층(452) 위로는 소스 및 드레인 전극층(455a, 455b)이 설치되어 있다. 또한, 게이트 절연층(452), 및 소스 및 드레인 전극층(455a, 455b) 위로 산화물 반도체층(453)이 설치되어 있다. 도시되지 않았지만, 게이트 절연층(452) 위로는 소스 및 드레인 전극층(455a, 455b) 외에 배선층이 설치되어 있고, 배선층은 산화물 반도체층(453)의 외주부보다 외측으로 연장되어 있다.
- [0085] 산화물 반도체층(453)은 적어도 산화물 반도체층(453)의 형성 후에, 산소 분위기에서 수분, 수소 등의 불순물을 저감하는 가열 처리(탈수화 또는 탈수소화를 위한 가열 처리)을 행한다. 이에 따라, 박막 트랜지스터의 신뢰성을 높일 수 있다.
- [0086] 탈수화 또는 탄수화를 위한 가열 처리에 의해 수분(H₂O) 등의 불순물을 이탈시키는 과정을 거친 후, 산소 분위기 또는 불활성 기체 분위기에서 서냉을 행하는 것이 바람직하다. 탈수화 또는 탄수화를 위한 가열 처리 및 서냉 후에, 산화물 반도체층에 접해서 산화물 절연층의 형성 등을 행하는 것이 바람직하며, 그로써 박막 트랜지스터(460)의 신뢰성이 향상된다.
- [0087] 그리고, 산화물 반도체층(453)에 접하는 소스 및 드레인 전극층(455a, 455b)을 실시예 1에서 설명된 소스 및 드레인 전극층(405a, 405b)과 마찬가지 방식으로 형성할 수 있다.
- [0088] 도 4의 (a) 내지 (d)에 박막 트랜지스터(460)의 제작 공정의 단면도를 나타낸다.
- [0089] 절연 표면을 갖는 기판인 기판(450) 위로 게이트 전극층(451)을 설치한다. 기초층으로 기능하는 절연층을 기판(450)과 게이트 전극층(451) 사이에 설치할 수 있다. 기초층은 기판(450)로부터의 불순물 원소의 확산을 방지하는 기능을 가지며, 질화 규소층, 산화 규소층, 질화 산화 규소층 및 산화 질화 규소층 중 하나 이상을 이용한 단일층 또는 적층 구조에 의해 형성할 수 있다. 게이트 전극층(451)은 실시예 1에 나타낸 게이트 전극층(401)과 마찬가지로 방식으로 형성할 수 있다.
- [0090] 게이트 전극층(451) 위로 게이트 절연층(452)을 형성한다.
- [0091] 게이트 절연층(452)은 실시예 1에 나타낸 게이트 절연층(402)과 마찬가지 방식으로 형성할 수 있다.
- [0092] 게이트 절연층(452) 위로 도전층을 형성하고, 포토리소그래피 공정에 의해 섭 형상의 소스 및 드레인 전극층(455a, 455b)으로 가공 한다(도 4의 (a) 참조).

- [0093] 소스 및 드레인 전극층(455a, 455b)은 실시예 1에 나타낸 소스 및 드레인 전극층(405a, 405b)과 마찬가지 방식으로 형성할 수 있다.
- [0094] 다음으로, 게이트 절연층(452) 및 소스 및 드레인 전극층(455a, 455b) 위로 산화물 반도체층을 형성하고, 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층(483)(제1 산화물 반도체층)으로 가공한다(도 4의 (b) 참조).
- [0095] 산화물 반도체층(483)은 채널 형성 영역으로 기능하기 때문에, 실시예 1의 산화물 반도체층과 마찬가지 방식으로 형성된다.
- [0096] 산화물 반도체층(483)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터링에 의해 게이트 절연층(452)의 표면 상의 먼지를 제거하는 것이 바람직하다.
- [0097] 산화물 반도체층(483) 상에 탈수화 또는 탈수소화를 위한 가열 처리를 행한 후, 산소 분위기 또는 불활성 기체 분위기에서 서냉을 행하는 것이 바람직하다. 탈수화 또는 탈수소화를 위한 가열 처리로서는, 산소 분위기에서, 200°C 이상 기판의 왜곡점 미만, 바람직하게는 400°C 이상 700°C 이하의 온도로 가열 처리를 행한다. 상기 공정에 의해, 탈수화 또는 탈수소화시킨 산화물 반도체층(483)(제2 산화물 반도체층)을 형성 할 수 있다(도 4의 (c) 참조).
- [0098] 탈수화 또는 탈수소화를 위한 가열 처리에서는, 산소 분위기에 수분, 수소 등이 포함되지 않는 것이 바람직하다. 대안적으로, 가열 처리 장치에 도입하는 산소 원자를 포함하는 기체, 질소, 또는 헬륨, 네온, 또는 아르곤 등의 희 가스의 순도가 6N(99.9999%) 이상, 보다 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는, 0.1ppm 이하임)인 것이 바람직하다.
- [0099] 산소 분위기에서의 산화물 반도체층의 가열 처리는 섬 형상의 산화물 반도체층으로 가공하기 전에 행할 수 있다. 그 경우에는, 산소 분위기에서의 산화물 반도체층의 가열 처리 후에, 실온 이상 100°C 미만까지 서냉을 행하는 것이 바람직하다. 이 후, 가열 장치로부터 기판을 꺼내고, 포토리소그래피 공정을 행한다.
- [0100] 산소 분위기에서의 가열 처리 후의 산화물 반도체층(453)은 비정질한 상태인 것이 바람직하지만, 일부 결정화되어 있어도 좋다.
- [0101] 다음으로, 산화물 반도체층(403)에 접해서 스퍼터링법 또는 PCVD법에 의하여 산화물 절연층(457)을 형성한다. 본 실시예에서는, 산화물 절연층(457)으로서 두께 300nm의 산화 규소층을 형성한다. 성막 시의 기판 온도는 실온 이상 300°C 이고, 본 실시예에서는 100°C이다. 탈수화 또는 탈수소화시킨 산화물 반도체층(453)에 접해서 스퍼터링법에 의해 산화 규소층인 산화물 절연층(457)을 형성한다. 반도체 장치의 제작 프로세스에서, 산소 분위기에서의 탈수화 또는 탈수소화를 위한 가열 처리, 산소 분위기 또는 불활성 기체 분위기에서의 서냉 및 산화물 절연층의 형성 등을 행하여, 이러한 방식으로 박막 트랜지스터(460)를 제작할 수 있다(도 4의 (d) 참조).
- [0102] 또한, 산화 규소층인 산화물 절연층(457)을 형성한 후, 산소 분위기 또는 질소 분위기에서 박막 트랜지스터(460)에 가열 처리(바람직하게는 150°C 이상 350°C 미만의 온도)를 행할 수 있다. 예를 들면, 질소 분위기에서 250°C로 1시간의 가열 처리를 행한다. 가열 처리에 의해, 산화물 반도체층(453)이 산화물 절연층(457)에 접한 상태로 가열되므로, 박막 트랜지스터(460)의 전기적 특성의 변동을 경감할 수 있다. 이러한 가열 처리(바람직하게는 150°C 이상 350°C 미만의 온도)는 산화물 절연층(457)의 형성 후에 행해지면 특별히 한정되지 않는다. 가열 처리는 수지층 형성 시의 가열 처리나, 투명 도전층을 저저항화하기 위한 가열 처리 등의 다른 공정에서 가열 처리도 행함으로써, 공정 수를 늘릴 필요없이 행할 수 있다.
- [0103] 실시예 2는 실시예 1과 적절히 조합할 수 있다.
- [0104] [실시예 3]
- [0105] 박막 트랜지스터를 포함하는 반도체 장치의 제작 공정에 대해서, 도 6의 (a) 내지 (d), 도 7의 (a) 내지 (c), 도 8 및 도 9의 (a1), (a2), (b1) 및 (b2)를 참조하여 설명한다.
- [0106] 도 6의 (a)에서, 투광성을 갖는 기판(100)에는 실시예 1에 나타낸 기판(100)을 적절히 이용할 수 있다.
- [0107] 다음으로, 도전층을 기판(100) 전체면에 형성한 후, 제1 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성한다. 다음으로, 에칭에 의해 불필요한 부분을 제거하여 배선 및 전극(게이트 전극층(101)을 포함하는 게이트 배선, 커파시터 배선(108) 및 제1 단자(121))를 형성한다. 이 때, 적어도 게이트 전극층(101)의 단부에 테

이퍼(taper) 형상이 형성되도록 에칭을 행한다.

[0108] 게이트 전극층(101)을 포함하는 게이트 배선과 커페시터 배선(108) 및 단자부의 제1 단자(121)는, 실시예 1에 나타낸 게이트 전극층(401)에 이용되는 재료와 동일한 재료를 적절히 이용하여 형성될 수 있다. 게이트 전극층(101)을 내열성 도전성 재료를 이용하여 형성하는 경우에는, 티타늄(Ti), 탄탈륨(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), Nd(네오디뮴) 및 스칸듐(Sc)으로부터 선택된 원소, 또는 전술한 원소 중 임의의 것을 성분으로서 포함하는 합금층, 전술한 원소 중 임의의 것을 조합하여 포함하는 합금, 및 전술한 원소 중 임의의 것을 성분으로서 포함하는 질화물 중 임의의 재료가 이용될 수 있다.

[0109] 다음으로, 게이트 전극층(101) 위로 게이트 절연층(102)을 전체면에 형성한다. 게이트 절연층(102)은 실시예 1에 나타낸 게이트 절연층(402)과 마찬가지로 형성할 수 있다. 게이트 절연층(102)의 두께를 50nm 내지 250nm로 한다.

[0110] 예를 들면, 게이트 절연층(402)으로서 스퍼터링법에 의해 산화 규소층을 100nm의 두께로 형성한다.

[0111] 다음으로, 게이트 절연층(102) 위로, 산화물 반도체층(In-Ga-Zn-O계 비단결정층)을 형성한다. 게이트 절연층(102)의 형성 후에, 대기애 노출되는 일 없이 In-Ga-Zn-O계 비단결정막을 성막하는 것은, 게이트 절연층과 반도체막 사이의 계면에 먼지 및 수분을 부착되지 못하게 하는 점에서 유용하다. 본 실시예에서는, 타깃은 직경 8인치의 In, Ga 및 Zn을 포함하는 금속 산화물 반도체 타깃(In-Ga-Zn-O계 금속 산화물 반도체 타깃($In_2O_3:Ga_2O_3:ZnO=1:1:1$))이고, 기관과 타깃 사이의 거리는 170mm, 압력은 0.4Pa, 직류(DC) 전원은 0.5kW인 조건에서, 산소, 아르곤, 또는 아르곤과 산소의 조합을 포함하는 분위기에서 산화물 반도체막을 형성한다. 펠스 직류(DC)전원을 이용하면, 먼지를 저감할 수 있고, 막 두께가 균일해지기 때문에 바람직하다. In-Ga-Zn-O계 비단결정층의 두께는 5nm 내지 200nm로 형성된다. 산화물 반도체층으로서, In-Ga-Zn-O계 산화물 반도체 타깃을 이용하며 스퍼터링법을 이용하여 막 두께 50nm의 In-Ga-Zn-O계 비단결정층을 형성한다.

[0112] 스퍼터링법의 예시로서, 고주파 전원이 스퍼터링 전원으로 이용되는 RF 스퍼터링법, DC 전원을 이용하는 DC 스퍼터링법 및 DC 전원을 이용하며 바이어스가 펠스 방식으로 인가되는 펠스 DC 스퍼터링법을 들 수 있다. RF 스퍼터링법은 절연층을 형성하는 경우에 주로 이용하고, DC 스퍼터링법은 금속층을 형성하는 경우에 주로 이용한다.

[0113] 복수의 상이한 재료의 타깃이 설정될 수 있는 멀티-소스 스퍼터링 장치가 있다. 멀티-소스 스퍼터링 장치에서는, 상이한 재료의 층이 동일한 챔버 내에서 성막되어 적층될 수 있고, 전하에 의해 여러 종류의 재료가 동일한 챔버 내에서 동시에 성막될 수 있다.

[0114] 챔버 내에 마그넷(magnet) 시스템을 설치하여 마그네트론 스퍼터링에 사용하는 스퍼터링 장치와, 글로우 방전을 이용하지 않고 마이크로파를 이용하여 생성되는 플라즈마가 이용되는 ECR 스퍼터링에 사용되는 스퍼터링 장치가 있다.

[0115] 또한, 스퍼터링을 이용하는 형성 방법으로서, 성막 중에 타깃 물질 및 스퍼터링 가스 구성 성분이 화학적으로 서로 반응하여 그것들의 화합물 박층을 형성하는 반응성 스퍼터링법과, 성막 중에 기관에도 전압이 인가되는 바이어스 스퍼터링법도 있다.

[0116] 다음으로, 제2 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성한 후, 산화물 반도체층을 에칭한다. 예를 들면, 인산과 아세트산과 질산을 혼합한 용액을 이용한 웨트 에칭에 의해, 불필요한 부분을 제거해서 산화물 반도체층(133)을 형성한다(도 6의 (a) 참조). 여기에서의 에칭은 웨트 에칭에 한정되지 않고 드라이 에칭도 행할 수 있다.

[0117] 드라이 에칭에 이용하는 에칭 가스로서는, 염소를 포함하는 가스(염소계 가스, 예를 들어 염소(Cl_2), 염화붕소(BCl_3), 염화규소($SiCl_4$), 사염화탄소(CCl_4) 등)가 바람직하다.

[0118] 대안으로서, 불소를 포함하는 가스(불소계 가스, 예를 들어, 사불화탄소(CF_4), 불화황(SF_6), 불화질소(NF_3), 삼불화메탄(CHF_3) 등), 브롬화수소(HBr), 산소(O_2), 이들의 가스 중 임의의 것에 헬륨(He)이나 아르곤(Ar) 등의 희ガ스를 첨가한 가스 등을 이용할 수 있다.

[0119] 드라이 에칭법으로서는, 평행 평판형 RIE(reactive ion etching)법이나, ICP(inductively coupled plasma) 에칭법 등을 이용할 수 있다. 원하는 형상으로 층을 에칭할 수 있도록, 에칭 조건(코일형의 전극에 인가되는 전

력량, 기판측의 전극에 인가되는 전력량, 기판측의 전극 온도 등)을 적절히 조절한다.

[0120] 웨트 에칭에 이용되는 에천트로서, 인산, 아세트산, 질산 등을 혼합함으로써 얻은 용액을 이용할 수 있다. ITO07N(KANTO CHEMICAL CO., INC. 제조)을 이용할 수 있다.

[0121] 또한, 웨트 에칭에 이용되는 에천트 및 에치 오프되는 재료는 웨트 세정에 의해 함께 제거된다. 에천트 및 에치 오프되는 재료를 포함하는 폐액은 정제될 수 있어 재료가 재사용될 수 있다. 에칭 후에 산화물 반도체층에 포함되어 있는 인듐 등의 재료가 폐액으로부터 회수되어 재사용되면, 자원이 효율적으로 이용되고 비용이 절감될 수 있다.

[0122] 재료가 원하는 형상으로 에칭될 수 있도록, 재료에 따라, 에칭 조건(에천트, 에칭 시간, 온도 등)이 적절하게 조정될 수 있다.

[0123] 다음으로, 산화물 반도체층(133)에 탈수화 또는 탈수소화를 위한 가열 처리를 행한다. 산화물 반도체층(133)에 산소 분위기에서 가열 처리를 행한 후, 산소 분위기 또는 불활성 기체 분위기에서 서냉을 행하는 것이 바람직하다.

[0124] 가열 처리는 200°C 이상 기판의 왜곡점 미만, 바람직하게는 400°C 이상 700°C 이하의 온도로 행한다. 예를 들면, 산소 분위기에서 450°C, 1시간의 가열 처리를 행한 산화물 반도체층을 산화물 반도체층(134)으로 나타낸다(도 6의 (b) 참조).

[0125] 다음으로, 산화물 반도체층(134) 위로 금속 재료를 이용하여 스퍼터링법이나 진공 증착법에 의해 도전층(132)을 형성한다(도 6의 (c) 참조).

[0126] 도전층(132)의 재료로서는, 실시예 1에 나타낸 소스 및 드레인 전극층(405a, 405b)과 마찬가지인 재료를 적절히 이용할 수 있다.

[0127] 도전층(132)의 형성 후에 가열 처리를 행할 경우에는, 도전층이 가열 처리를 견디는 내열성을 갖는 것이 바람직하다.

[0128] 다음으로, 제3 포토리소그래피 공정을 행하여 레지스트 마스크를 형성한 후, 에칭에 의해 그것의 불필요한 부분을 제거해서 소스 및 드레인 전극층(105a, 105b) 및 제2 단자(122)를 형성한다(도 6의 (d) 참조). 이 때, 에칭 방법으로서 웨트 에칭 또는 드라이 에칭을 이용한다. 예를 들어 도전층(132)으로서 알루미늄층 또는 알루미늄 합금층을 이용하는 경우에는, 인산과 아세트산과 질산을 혼합한 용액을 이용한 웨트 에칭을 행할 수 있다. 대안으로서, 도전층(132)은 암모니아 과산화물(과산화수소:암모니아:물=5:2:2)을 이용하여 웨트 에칭되어 소스 및 드레인 전극층(105a, 105b)을 형성할 수 있다. 이러한 에칭 공정에서, 산화물 반도체층(134)의 노출 영역도 일부 에칭되어 산화물 반도체층(103)이 된다. 따라서, 소스 및 드레인 전극층(105a, 105b) 사이의 산화물 반도체층(103)의 영역은 막 두께가 얇다. 도 6의 (d)에서는, 소스 및 드레인 전극층(105a, 105b) 및 산화물 반도체층(103)을 형성하기 위한 에칭을 드라이 에칭에 의해 한번에 행하므로, 소스 및 드레인 전극층(105a, 105b)의 단부와 산화물 반도체층(103)의 단부가 일렬로 정렬되어, 연속적인 구성이 형성된다.

[0129] 제3 포토리소그래피 공정에서, 소스 및 드레인 전극층(105a, 105b)과 동일한 재료로 형성된 제2 단자(122)도 단자부에 남긴다. 제2 단자(122)는 소스 배선(소스 및 드레인 전극층(105a, 105b)을 포함)에 전기적으로 접속되어 있다.

[0130] 또한, 멀티톤 마스크를 이용하여 형성한 복수의 두께(대표적으로는, 2레벨의 두께)의 영역을 갖는 레지스트 마스크를 이용하면, 레지스트 마스크의 수를 줄일 수 있기 때문에, 공정을 간략화하고 비용을 절감할 수 있다.

[0131] 다음으로, 레지스트 마스크를 제거하여, 게이트 절연층(102), 산화물 반도체층(103), 소스 및 드레인 전극층(105a, 105b)을 커버하는 산화물 절연층(107)을 형성한다. 산화물 절연층(407)은 PCVD법에 의해 형성하는 산화질화 규소층을 이용한다. 산화물 절연층(107)의 형성 시의 기판 온도는 실온 이상 300°C 이하로 설정할 수 있고, 본 실시예에서는 100°C 이다. 소스 및 드레인 전극층(105a, 105b) 사이의 산화물 반도체층(103)의 노출 영역에 산화물 절연층(107)인 산화질화 규소층이 접해서 설치되므로, 신뢰성이 높은 박막 트랜지스터를 제작할 수 있다(도 7의 (a) 참조).

[0132] 다음으로, 산화물 절연층(107)을 형성한 후, 가열 처리를 행할 수 있다. 가열 처리는 산소 분위기 또는 질소 분위기에서 150°C 이상 350°C 미만의 온도에서 행할 수 있다. 가열 처리에 의해, 산화물 반도체층(103)이 산화물 절연층(107)에 접한 상태로 가열되므로, 박막 트랜지스터의 전기 특성이 향상되고, 그 전기 특성의 변동을

경감할 수 있다. 가열 처리(바람직하게는 150°C 이상 350°C 미만의 온도)는 산화물 절연층(407)의 형성 후에 행해지면 특별히 한정되지 않는다. 가열 처리는 수지층 형성 시의 가열 처리나, 투명 도전층을 저저항화하기 위한 가열 처리 등의 다른 공정에서 가열 처리도 행함으로써, 공정 수를 늘릴 필요없이 행할 수 있다.

[0133] 이상의 공정을 통하여 박막 트랜지스터(170)을 제작할 수 있다.

[0134] 다음으로, 제4 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성한다. 산화물 절연층(107) 및 게이트 절연층(102)의 에칭에 의해 소스 또는 드레인 전극층(105b)에 달하는 컨택트 홀(125)을 형성한다. 또한, 동일한 에칭 공정에서 제2 단자(122)에 달하는 컨택트 홀(127), 제1 단자(121)에 달하는 컨택트 홀(126)도 형성한다. 이 단계에서의 단면도를 도 7의 (b)에 도시한다.

[0135] 다음으로, 레지스트 마스크를 제거한 후, 투명 도전층을 형성한다. 투명 도전층은 산화 인듐(In_2O_3)이나 산화 인듐-산화 주석 합금($In_2O_3-SnO_2$, ITO로 약기함) 등을 이용하여 스퍼터링법이나 진공 증착법 등을 이용해서 형성 한다. 이러한 재료의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔사(residue)가 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해서 산화 인듐-산화 아연의 합금(In_2O_3-ZnO)을 이용할 수 있다. 투명 도전층을 저저항화시키기 위한 가열 처리를 행할 경우, 가열 처리는 박막 트랜지스터의 전기 특성을 향상하고, 그 전기 특성의 변동의 경감하는 기능도 할 수 있다.

[0136] 다음으로, 제5 포토리소그래피 공정을 행하여, 레지스트 마스크를 형성한다. 그리고, 에칭에 의해 불필요한 부분을 제거해서 화소 전극층(110)을 형성한다.

[0137] 이러한 제5 포토리소그래피 공정에서, 커패시터부에서의 게이트 절연층(102) 및 보호 절연층(107)을 유전체로서 사용하며, 커패시터 배선(108)과 화소 전극층(110)에 스토리지 커패시터가 형성된다.

[0138] 또한, 제5 포토리소그래피 공정에서, 제1 단자(121) 및 제2 단자(122)를 레지스트 마스크로 커버하여 단자부에 투명 도전층(128, 129)을 남긴다. 투명 도전층(128, 129)은 FPC와의 접속에 이용되는 전극 또는 배선으로 기능 한다. 제1 단자(121) 위로 형성된 투명 도전막(128)은, 게이트 배선의 입력 단자로서 기능하는 접속용 단자 전극이다. 제2 단자(122) 위로 형성된 투명 도전막(129)은, 소스 배선의 입력 단자로서 기능하는 접속용 단자 전극이다.

[0139] 다음으로, 레지스트 마스크를 제거한다. 이 단계에서의 단면도를 도 7의 (c)에 도시한다. 이 단계에서의 평면도가 도 8에 대응한다.

[0140] 도 9의 (a1) 및 (a2)는 각각 이 단계에서의 게이트 배선 단자부의 평면도와 단면도이다. 도 9의 (a1)은 도 9의 (a2)의 선 E1-E2를 따른 단면도에 대응한다. 도 9의 (a1)에서, 산화물 절연층(154) 위로 형성되는 투명 도전층(155)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 9의 (a1)에서, 단자부에서, 게이트 배선과 재료로 형성되는 제1 단자(151)와, 소스 배선과 동일한 재료로 형성되는 접속 전극층(153)이 게이트 절연층(152)을 개재하며 서로 중첩되어 있고, 투명 도전막(155)을 통하여 서로 전기적으로 접속되어 있다. 도 7의 (c)에 도시된 투명 도전층(128)과 제1 단자(121)가 접촉하고 있는 부분이, 도 9의 (a1)의 투명도전층(155)과 제1 단자(151)가 접촉하고 있는 부분에 대응함에 주목한다.

[0141] 도 9의 (b1) 및 (b2)는 각각 도 7의 (c)에 도시된 게이트 배선 단자부와는 상이한 소스 배선 단자부의 평면도와 단면도이다. 또한, 도 9의 (b1)은 도 9의 (b2)의 선 F1-F2를 따르는 단면도에 대응한다. 도 9(b1)에서, 산화물 절연층(154) 위로 형성되는 투명 도전층(155)은 입력 단자로서 기능하는 접속용 단자전극이다. 또한, 도 9의 (b1)의 단자부에서는, 게이트 배선과 동일한 재료로 형성되는 전극층(156)이, 소스 배선과 전기적으로 접속 되는 제2 단자(150)의 아래쪽으로 게이트 절연층(102)을 개재하며 중첩되어 위치한다. 전극층(156)은 제2 단자(150)와 전기적으로 접속하고 있지 않고, 전극층(156)을 제2 단자(150)와 다른 전위, 예를 들어 플로팅, GND 또는 0V 등으로 설정하면, 노이즈 또는 정전기를 방지하기 위한 커패시터를 형성할 수 있다. 제2 단자(150)는 산화물 절연층(154)을 통해서 투명 도전층(155)과 전기적으로 접속하고 있다.

[0142] 게이트 배선, 소스 배선 및 커패시터 배선은 화소 밀도에 따라서 복수개 설치된다. 또한, 단자부에서는, 게이트 배선과 동일한 전위의 제1 단자, 소스 배선과 동일한 전위의 제2 단자, 용량 배선과 동일한 전위의 제3 단자 등이 각각 복수로 배치된다. 각각의 단자의 수는 임의의 수이며, 실시자가 단자의 수를 적절하게 결정하면 된다.

[0143] 이러한 5회의 포토리소그래피 공정에 의해, 5매의 포토마스크를 이용하여, 스토리지 커패시터와, 보텀 게이트형

의 스태거 구성의 박막 트랜지스터(170)를 포함하는 화소 박막 트랜지스터부를 완성할 수 있다. 화소가 매트릭스 형상으로 배치되어 화소부의 각 화소에 박막 트랜지스터와 스토리지 커패시터를 배치함으로써 액티브 매트릭스형의 표시 장치를 제작하기 위한 일 기판이 형성된다. 본 명세서에서는 편의상 이러한 기판을 액티브 매트릭스 기판이라 칭한다.

[0144] 액티브 매트릭스형의 액정 표시 장치를 제작하는 경우에는, 액티브 매트릭스 기판과 대향 전극이 설치된 대향 기판이 액정층을 개재하며 서로 고정되어 있다. 대향 기판의 대향 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 설치하고, 공통 전극과 전기적으로 접속하는 제4 단자를 단자부에 설치함에 주목한다. 제4 단자는 공통 전극을 고정 전위, 예를 들어 GND, OV 등으로 설정하기 위해 설치된다.

[0145] 대안으로서, 커패시터 배선을 설치하지 않고, 화소 전극을, 산화물 절연층 및 게이트 절연층을 개재하여 인접하는 화소의 게이트 배선과 중첩시켜 스토리지 커패시터를 형성할 수 있다.

[0146] 액티브 매트릭스형의 액정 표시 장치에서는, 매트릭스 형상으로 배치된 화소 전극을 구동함으로써, 화면 상에 표시 패턴이 형성된다. 구체적으로는, 선택된 화소 전극과 상기 화소 전극에 대응하는 대향 전극 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극 사이에 설치된 액정층의 광학 변조가 행해지고, 이러한 광학 변조가 표시 패턴으로서 관찰자에게 인식된다.

[0147] 액정 표시 장치는, 동화상 표시에 있어서, 액정 문자 자체의 응답 시간이 길기 때문에, 동화상의 잔상(afterimages)이나 흐려짐(blurring)이 생기는 문제가 있다. 액정 표시 장치의 동화상 특성을 개선하기 위해서, 전체 화면 상에 흑 표시를 한 프레임을 걸러서 행하는, 소위 흑삽입이라 칭하는 구동 방법이 있다.

[0148] 또한, 수직 동기화 주파수를 1.5배 이상, 바람직하게는 2배 이상으로 함으로써 동화상 특성을 개선하는, 소위 배속(double-frame rate) 구동 기술이라 칭하는 구동 방법도 있다.

[0149] 또한, 액정 표시 장치의 동화상 특성을 개선하기 위해서, 백라이트로서 복수의 LED(발광 다이오드) 또는 복수의 EL 광원 등을 이용해서 면광원을 형성하고, 면광원의 각 광원을 1프레임을 주기로 간헐적 발광이 행해지도록 독립적으로 구동하는 구동 방법도 있다. 면광원으로서, 3종류 이상의 LED를 이용할 수 있고, 백색 발광의 LED를 이용할 수 있다. 독립적으로 복수의 LED를 제어할 수 있기 때문에, 액정층이 광학적으로 변조되는 타이밍에 LED의 발광 타이밍을 동기시킬 수 있다. 이 구동 기술에 따르면, LED를 부분적으로 소등할 수 있으므로, 특히 검은 표시 영역이 큰 화상을 표시하는 경우에, 소비 전력의 저감 효과를 얻을 수 있다.

[0150] 이것들의 구동 기술 중 임의의 것을 사용하여, 동화상 특성 등의 액정 표시 장치의 표시 특성을 종래 액정 표시 장치의 특성에 비해 개선할 수 있다.

[0151] 본 명세서에 개시하는 n채널형의 트랜지스터는, 산화물 반도체막을 채널 형성 영역으로 이용하여, 양호한 다이나믹 특성을 가지므로, 이를 구동 기술을 조합할 수 있다.

[0152] 발광 표시 장치를 제작할 때, 유기 발광 소자의 한쪽의 전극(캐소드라고도 칭함)은 저전원전위, 예를 들어 GND, OV 등으로 설정되므로, 단자부에 캐소드를 저전원 전위, 예를 들어 GND, OV 등으로 설정하기 위한 제4 단자가 설치된다. 또한, 발광 표시 장치를 제작하는 경우, 소스 배선 및 게이트 배선 외에 전원 공급선을 설치한다. 따라서, 단자부에는, 전원 공급선과 전기적으로 접속하는 제5 단자를 설치한다.

[0153] 또한, 발광 표시 장치를 제작할 때, 각 유기 발광 소자 사이에 유기 수지층을 이용한 격벽을 설치할 수 있다. 그 경우에는, 유기 수지층을 가열 처리되므로, 그러한 가열 처리가 박막 트랜지스터의 전기 특성의 향상되고 그 전기 특성의 변동을 경감하는 열처리로서의 기능도 할 수 있다.

[0154] 박막 트랜지스터에 있어서, 산화물 반도체를 이용하는 것에 의해 제조 비용을 저감할 수 있다. 특히, 탈수화 또는 탈수소화를 위한 가열 처리에 의해, 수분 등의 불순물이 저감되어 산화물 반도체층의 순도가 높아진다. 따라서, 형성 챔버의 노점(dew point)이 낮은 특수한 스퍼터링 장치나 고순도의 산화물 반도체 타깃을 이용하지 않더라도, 전기 특성이 양호해서 신뢰성의 좋은 박막 트랜지스터를 포함하는 반도체 장치를 제작할 수 있다.

[0155] 산소 분위기에서의 산화물 반도체층의 가열 처리에 의해 박막 트랜지스터의 전기 특성은 안정화하고, 오프 전류의 증가 등을 방지할 수 있다. 따라서, 전기 특성이 양호해서 신뢰성의 좋은 박막 트랜지스터를 포함하는 반도체 장치가 제공된다.

[0156] 실시예 3은 본원에 기재된 임의의 다른 실시예와 적절히 조합해서 실시할 수 있다.

[실시예 4]

- [0158] 실시예 4의 기재 사항은 제조 공정이 실시예 1과 부분적으로 상이한 것의 일례이다. 실시예 4에서는, 소스 및 드레인 전극층(405a, 405b)의 형성 후에 탈수화 또는 탈수소화의 가열 처리를 행하는 형태를 도 10의 (a) 내지 (d)에 나타낸다. 도 10의 (a) 내지 (d)에서는, 도 1의 (a) 내지 (d)와 동일한 부분에는 동일한 참조 부호로 나타낸다.
- [0159] 실시예 1과 마찬가지로, 절연 표면을 갖는 기판(400) 위로, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(430)을 형성한다(도 10의 (a) 참조).
- [0160] 산화물 반도체층(430) 위로 소스 전극층 및 드레인 전극층(405a, 405b)을 형성하고, 산화물 반도체층(430)의 일부를 에칭하여, 산화물 반도체층(441)을 형성한다(도 10의 (b) 참조).
- [0161] 다음으로, 산화물 반도체층(441), 및 소스 전극층 및 드레인 전극층(405a, 405b)에 대하여 산소 분위기에서 가열 처리 및 서냉을 행하는 것이 바람직하다. 이 가열 처리에 의해 산화물 반도체층(441)은 탈수화 또는 탈수소화 처리가 행해지고, 산화물 반도체층(403)이 형성된다(도 10의 (c) 참조). 소스 전극층 및 드레인 전극층(405a, 405b)로서, 여기에서의 가열 처리 견디는 재료, 예를 들면 텅스텐이나 몰리브덴 등을 이용하는 것이 바람직하다.
- [0162] 다음으로, 상기 가열 처리 후에 대기에 접촉하는 일없이, 산화물 반도체층(403)에 접해서 대기에 노출되는 일없이, 스퍼터링법 또는 PCVD법에 의해 산화물 절연층(407)을 형성한다. 탈수화 또는 탈수소화시킨 산화물 반도체층(403)에 접해서 스퍼터링법 또는 PCVD법에 의해 산화물 절연층(407)을 형성한다. 이러한 방식으로, 박막 트랜ジ스터(470)를 제작할 수 있다(도 10의 (d) 참조).
- [0163] 탈수화 또는 탈수소화를 위한 가열 처리를 행함으로써 산화물 반도체층에 포함되는 불순물(H₂O, H 및 OH 등)이 저감된 후, 서냉을 행하는 것이 바람직하다. 그 후, 산화물 반도체층에 접하여 산화물층의 형성 등을 행하여, 박막 트랜ジ스터(470)의 신뢰성을 향상할 수 있다.
- [0164] 또한, 산화물 절연층(407)을 형성한 후, 박막 트랜ジ스터(470)에 산소 분위기 또는 질소 분위기에서 가열 처리(바람직하게는 150°C 이상 350°C 미만의 온도)를 행할 수 있다. 예를 들면, 질소 분위기에서 250°C 1시간의 가열 처리를 행한다. 상기 가열 처리에 의하면, 산화물 반도체층(403)이 산화물 절연층(407)에 접한 상태로 가열되므로, 박막 트랜ジ스터(470)의 전기적 특성의 변동을 경감할 수 있다.
- [0165] 실시예 4는 실시예 1과 적절히 조합될 수 있다.
- [0166] [실시예 5]
- [0167] 반도체 장치 및 반도체 장치의 제작 방법을 도 11을 이용하여 설명한다. 실시예 1과 동일 부분(들) 또는 유사 기능을 갖는 부분(들)이나 공정(들)은 실시예 1을 적용할 수 있고, 그에 대한 반복 설명은 생략한다.
- [0168] 도 11에 나타낸 박막 트랜ジ스터(471)는 게이트 전극층(401) 및 산화물 반도체층(403)의 채널 영역에 중첩되도록 산화물 절연층(407)을 개재하여 도전층(409)을 설치하는 예이다.
- [0169] 도 11은 반도체 장치에 포함되는 박막 트랜ジ스터(471)의 단면도이다. 박막 트랜ジ스터(471)는 보텀 게이트형의 박막 트랜ジ스터이며, 절연 표면을 갖는 기판인 기판(400) 위로, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 및 소스 전극층 및 드레인 전극층(405a, 405b), 산화물 절연층(407), 도전층(409)을 포함한다. 도전층(409)은 게이트 전극층(401)과 중첩되도록, 산화물 절연층(407) 위로 설치되어 있다.
- [0170] 도전층(409)은 게이트 전극층(401), 소스 전극층 및 드레인 전극층(405a, 405b)과 마찬가지인 재료 및/또는 방법을 이용해서 형성할 수 있다. 화소 전극층을 설치하는 경우에는, 도전층(409)을 화소 전극층과 마찬가지인 재료 및/또는 방법을 이용해서 형성할 수 있다. 본 실시예에서는, 도전층(409)으로서, 티타늄층, 알루미늄층 및 티타늄층의 적층을 이용할 수 있다.
- [0171] 도전층(409)은 게이트 전극층(401)과 동일한 전위를 가질 수 있거나, 게이트 전극층(401)과 상이한 전위를 가질 수도 있고, 게이트 전극층으로서 기능할 수도 있다. 이 도전층(409)은 플로팅 상태일 수도 있다.
- [0172] 또한, 도전층(409)을 산화물 반도체층(401)과 중첩되도록 설치함으로써, 도전층(409)은 게이트 전극층으로서 기능할 수 있다. 이 도전층(409)은 플로팅 상태일 수도 있다.
- [0173] 또한, 도전층(409)을 산화물 반도체층(403)과 중첩되도록 설치함으로써, 박막 트랜ジ스터의 신뢰성을 조사하기 위한 바이어스-온도 스트레스 시험(이하, BT시험이라 함)에서, BT 시험 전후의 박막 트랜ジ스터(471)의 임계값

전압의 변화량을 저감시킬 수 있다. 특히, 기판 온도를 150°C로 설정하고, 게이트에 -20V의 전압이 인가되도록 설정한 조건 하에서 행해진 -BT 시험에서, 임계값 전압의 변동량을 억제할 수 있다.

[0174] 실시예 5는 실시예 1과 적절히 조합할 수 있다.

[0175] [실시예 6]

[0176] 반도체 장치 및 반도체 장치의 제작 방법을 도 12를 이용하여 설명한다. 실시예 1과 동일 부분(들) 또는 유사 기능을 갖는 부분(들)이나 공정(들)은 실시예 1을 적용할 수 있고, 그에 대한 반복 설명은 생략한다.

[0177] 도 12에 나타내는 박막 트랜지스터(472)는 도전층(419)을 게이트 전극층(401) 및 산화물 반도체층(403)의 채널 영역에 중첩하도록 산화물 절연층(407) 및 절연층(410)을 개재하여 설치하는 예이다.

[0178] 도 12는 반도체 장치에 포함되는 박막 트랜지스터(472)의 단면도이다. 박막 트랜지스터(472)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(400) 위로, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 및 드레인 영역(404a, 404b), 소스 및 드레인 전극층(405a, 405b), 산화물 절연층(407), 절연층(410), 및 도전층(419)을 포함한다. 산화물 절연층(407 및 404b)위로 설치되어 있는 도전층(409)은 산화물 반도체층 위로 형성된다. 소스 영역 및 드레인 영역(404a, 404b)의 형성 전 또는 형성 후에, 산소 분위기에서 가열 처리를 행한 후, 산소 분위기 또는 불활성 기체 분위기에서 서냉을 행하는 것이 바람직하다.

[0179] 본 실시예에서는, 소스 및 드레인 영역(404a, 404b)은 각각 Zn-0계 다결정층 또는 Zn계 미결정층을 이용하여 형성되고, 산화물 반도체층(403)의 성막 조건과는 다른 성막 조건 하에서 형성되어, 각각이 저저항화된 저항을 갖는다. 또한, 본 실시예에서는, 소스 및 드레인 영역(404a, 404b)은 다결정상태 또는 미결정상태이며, 산화물 반도체층(403)도 다결정상태 또는 미결정상태이다. 산화물 반도체층(403)은 가열 처리에 의해 결정화되어 다결정상태 또는 미결정 상태가 될 수 있다.

[0180] 본 실시예에서는, 산화물 절연층(407)위로 평탄화층으로서 기능하는 절연층(410)을 적층하고, 산화물 절연층(407) 및 절연층(410)에 소스 또는 드레인 전극층(405b)에 달하는 개구부를 형성된다. 도전층은 산화물 절연막(407) 및 절연층(410)에 형성된 개구부를 커버하도록 형성되고, 원하는 형상으로 에칭되어, 도전층(419) 및 화소 전극층(411)을 형성한다. 이러한 방식으로, 화소 전극층(411)에 대하여 동일한 재료를 이용하여 동일 방법으로 도전층(419)이 형성될 수 있다. 본 실시예에서, 화소 전극층(411) 및 도전층(419)으로서 산화 규소를 포함하는 산화 인듐-산화 주석 합금(산화 규소를 포함하는 In-Sn-0계 산화물)을 이용한다.

[0181] 도전층(419)은 게이트 전극층(401)이나, 소스 및 드레인 전극층(405a, 405b)와 동일한 재료 및/또는 방법을 이용해서 형성할 수 있다.

[0182] 도전층(419)은 게이트 전극층(401)과 동일한 전위를 가질 수 있고, 또는, 게이트 전극층(401)과 상이한 전위를 가질 수 있다. 도전층(419)은 제2 게이트 전극층으로서 기능할 수도 있다. 이 도전층(419)은 플로팅 상태일 수도 있다.

[0183] 또한, 도전층(419)을 산화물 반도체층(403)과 중첩하도록 설치함으로써, 박막 트랜지스터의 임계값 전압을 제어 할 수 있다.

[0184] 실시예 6은 실시예 1과 적절히 조합할 수 있다.

[0185] [실시예 7]

[0186] 실시예 7에서는, 채널 스탭형의 박막 트랜지스터(1430)의 일례에 대해서 도 13의 (A), (b) 및 (c)로 설명한다. 도 13의 (c)는 박막 트랜지스터의 상면도의 일례이며, 그것의 선 Z1-Z2의 쇄선을 따르는 단면도가 도 13의 (b)에 대응한다. 실시예 7에 설명되는 것은 박막 트랜지스터(1430)의 산화물 반도체층에 갈륨을 포함하지 않는 예를 나타낸다.

[0187] 도 13의 (a)에 있어서, 기판(1400) 위로 게이트 전극층(1401)을 설치한다. 다음으로, 게이트 전극층(1401) 위로 게이트 절연층(1402)이 형성되고, 게이트 절연층(1402) 위로 산화물 반도체층이 형성된다.

[0188] 본 실시예에서는, 스퍼터링법에 의해 Sn-Zn-0계의 산화물 반도체를 이용하여 산화물 반도체층을 형성한다. 산화물 반도체층에 갈륨을 이용하지 않아, 가격이 높은 타깃을 이용하지 않기 때문에, 코스트를 저감할 수 있다.

[0189] 산화물 반도체층의 형성 직후, 또는 산화물 반도체층의 패터닝 후에, 탈수화 또는 탈수소화하기 위해서 산소 분위기에서 가열 처리를 행한 후, 산소 분위기 또는 불활성 기체 분위기에서 서냉을 행하는 것이 바람직하다. 탈

수화 또는 탈수소화를 위한 가열 처리는, 200°C 이상 기판의 왜곡점 미만, 바람직하게는 400°C 이상 700°C 온도에서 행한다. 산화물 반도체층에 대한 산소 분위기에서의 가열 처리에 의해, 산화물 반도체층(1403)을 형성할 수 있다(도 13의 (a) 참조). 본 실시예에서, 산화물 반도체층(1403)은 미결정상태 또는 다결정 상태이다.

[0190] 다음으로, 산화물 반도체층(1403)을 접해서 채널 보호층(1418)을 설치한다. 채널 보호층(1418)을 설치함으로써, 이후에 행해지는 소스 및 드레인 영역(1406a, 1406b) 형성 공정에서의 데미지(에칭 시의 플라즈마나 에친트에 의한 막 감소 등)를 방지할 수 있다. 따라서, 박막 트랜지스터(1430)의 신뢰성을 향상시킬 수 있다.

[0191] 탈수화 또는 탈수소화 후에, 대기에 노출되는 일없이 연속적으로 채널 보호층(1418)을 형성할 수도 있고, 그 경우 계면이 수분, 하이드로카본(hydrocarbon) 등의 대기 성분이나 대기 중에 부유하는 불순물 원소에 오염되어있지 않으면서 각 적층 계면을 형성할 수 있으므로, 박막 트랜지스터 특성의 변동을 저감할 수 있다.

[0192] 탈수화 또는 탈수소화시킨 산화물 반도체층(1403)에 접해서 스퍼터링법 또는 PCVD법 등에 의해 산화물 절연층인 채널 보호층(1418)을 형성하는 것으로, 탈수화 또는 탈수소화시킨 산화물 반도체층(1403)을 채널 형성 영역으로서 포함하는 박막 트랜지스터를 제작할 수 있다.

[0193] 채널 보호층(1418)으로서는, 산소를 포함하는 무기 재료(예를 들면, 산화 규소, 산화 질화 규소, 질화 산화 규소 등)을 이용하여 형성할 수 있다. 그 제작 방법으로서는, 플라즈마 CVD법이나 열 CVD법 등의 기상 성장법(vapor phase growth method)이나 스퍼터링법을 이용할 수 있다. 채널 보호층(1418)을 에칭하여 원하는 형상으로 가공한다. 본 실시예에서는, 스퍼터링법에 의해 산화 규소층을 형성하고, 포토리소그래피에 의해 형성된 마스크를 이용해서 에칭 가공함으로써 채널 보호층(1418)을 형성한다.

[0194] 다음으로, 채널 보호층(1418) 및 산화물 반도체층(1403) 위로 소스 및 드레인 영역(1406a, 1406b)을 형성한다. 본 실시예에서는, 소스 및 드레인 영역(1406a, 1406b)은 Zn-0계 미결정층 또는 Zn-0계 다결정층이며, 산화물 반도체층(1403)의 성막 조건과는 다른 성막 조건 하에서 형성되어, 보다 저저항화된 저항을 갖는 산화물 반도체층이다. 대안으로서, 소스 및 드레인 영역(1406a, 1406b)은 질소를 포함하는 Al-Zn-0계 비단결정층, 즉 Al-Zn-0-N계 비단결정층(AZON층이라고도 함)을 이용할 수 있다.

[0195] 다음으로, 소스 영역(1406a) 및 드레인 영역(1406b) 위로 소스 전극층(1405a) 및 드레인 전극층(1405b)을 각각 형성한다. 이러한 방식으로, 박막 트랜지스터(1430)를 제작한다(도 13의 (b) 참조). 소스 전극층(1405a) 및 드레인 전극층(1405b)은 소스 전극층(1406a) 및 드레인 전극층(1406b)과 마찬가지 방식으로 형성할 수 있다.

[0196] 소스 및 드레인 영역(1406a, 1406b)을 산화물 반도체층(1403)과 소스 및 드레인 전극층(1405a, 1405b) 사이에 설치함으로써, 산화물 반도체층(1403)과 소스 및 드레인 전극층(1405a, 1405b) 사이의 양호한 접합을 이룸으로써 쇼트키 접합(Schottky junction)보다 열적으로도 안정 동작을 갖게 한다. 또한, 소스 및 드레인 영역(1406a, 1406b)의 저저항화에 의해, 높은 드레인 전압에서도 양호한 이동도를 유지할 수 있다.

[0197] 소스 및 드레인 영역(1406a, 1406b)은 필수적으로 설치되어야 하는 것은 아니다.

[0198] 또한, 채널 보호층(1418)을 형성한 후, 산소 분위기 또는 질소 분위기에서 박막 트랜지스터(1430)에 가열 처리(바람직하게는 150°C 이상 350°C 미만의 온도)를 행한다. 예를 들면, 질소 분위기하에서 250°C, 1시간의 가열 처리를 행한다. 가열 처리를 행하면, 산화물 반도체층(1403)이 채널 보호층(1418)에 접한 상태로 가열되므로, 박막 트랜지스터(1430)의 전기적 특성의 변동을 경감할 수 있다. 이러한 가열 처리(바람직하게는 150°C 이상 350°C 미만의 온도)는 채널 보호층(1418)의 형성 후에 행해지면, 특별히 한정되지 않는다. 가열 처리는 수지층 형성 시의 가열 처리나, 투명 도전층을 저저항화하기 위한 가열 처리 등의 다른 공정에서 가열 처리도 행함으로써, 공정 수를 늘릴 필요없이 행할 수 있다.

[0199] 실시예 7은 본원에 기재된 임의의 다른 실시예와 적절히 조합해서 실시할 수 있다.

[0200] [실시예 8]

[0201] 반도체 장치 및 반도체 장치의 제작 방법을 도 14의 (a) 및 도 14의 (b)를 이용하여 설명한다. 실시예 7과 동일한 부분(들) 또는 마찬가지 기능을 갖는 부분(들)이나 공정(들)은 실시예 7을 적용할 수 있으므로, 그에 대한 설명은 반복하지 않는다.

[0202] 도 14의 (a)에 도시된 박막 트랜지스터(1431)는 게이트 전극층(1401) 및 산화물 반도체층(1403)의 채널 영역에 중첩되도록 채널 보호층(1418) 및 절연층(1407)을 개재하여 도전층(1419)을 설치하는 예이다.

[0203] 도 14의 (a)는 반도체 장치에 포함되는 박막 트랜지스터(1431)의 단면도이다. 박막 트랜지스터(1431)는 보텀

게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 기판(1400) 위로, 게이트 전극층(1401), 게이트 절연층(1402), 산화물 반도체층(1403), 소스 및 드레인 영역(1406a, 1406b), 소스 및 드레인 전극층(1405a, 1405b), 절연층(1407) 및 도전층(1419)을 포함한다. 도전층(1409)은 게이트 전극층(401)과 중첩되도록 절연층(1407) 위로 설치되어 있다.

[0204] 본 실시예에서는, 실시예 1과 마찬가지로, 게이트 절연층(1402) 위로 산화물 반도체층을 형성한다. 산화물 반도체층 위에 소스 및 드레인 영역(1406a, 1406b)을 형성한다. 소스 및 드레인 영역(1406a, 1406b)의 형성 전 또는 형성 후에, 산소 분위기에서 탈수화 또는 탈수소화를 위한 가열 처리를 행한 후, 산소 분위기 또는 불활성 기체 분위기에서 서냉을 행하는 것이 바람직하다.

[0205] 본 실시예에서, 산화물 반도체층(1403) 위로 형성되는 소스 및 드레인 영역(1406a, 1406b)은 Zn-0계 미결정층 또는 Zn-0계 다결정층이며, 산화물 반도체층(1403)의 형성 조건과 다른 형성 조건하에서 형성되어, 각각이 보다 저저항화된 저항을 갖는다. 산화물 반도체층(1403)은 비정질상태이다.

[0206] 도전층(1409)은 게이트 전극층(1401), 소스 및 드레인 전극층(1405a, 1405b)과 동일한 재료 및/또는 방법을 이용해서 형성할 수 있다. 화소 전극층을 설치하는 경우에는, 화소 전극층과 동일한 재료 및/또는 방법을 이용해서 도전층(1409)을 형성할 수 있다. 본 실시예에서는, 도전층(1409)으로서 티타늄층, 알루미늄층 및 티타늄층의 적층을 이용한다.

[0207] 도전층(1409)은 전위가 게이트 전극층(1401)과 같아거나 다를 수 있고, 도전층(1409)을 게이트 전극층으로서 기능시킬 수도 있다. 이 도전층(1409)은 플로팅 상태일 수 있다.

[0208] 또한, 도전층(1409)을 산화물 반도체층(1403)과 중첩되도록 설치함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 바이어스-열 스트레스 시험에서(이하, BT 시험이라 함), BT 시험 전후에서의 박막 트랜지스터(1431)의 임계값 전압을 제어할 수 있다.

[0209] 도 14의 (b)는 도 14의 (a)와 일부 다른 예를 나타낸다. 도 14의 (a)과 동일한 부분(들) 또는 마찬가지 기능을 갖는 부분(들)이나 공정(들)은 도 14의 (a)의 기재를 적용할 수 있으므로, 그에 대한 설명은 반복하지 않는다.

[0210] 도 14의 (b)에 도시하는 박막 트랜지스터(1432)는 게이트 전극층(1401) 및 산화물 반도체층(1403)의 채널 영역에 중첩되도록 채널 보호층(1418) 및 절연층(1408)을 개재하여 도전층(1409)을 설치하는 예이다.

[0211] 본 실시예에서는, 실시예 1과 마찬가지로, 게이트 절연층(1402) 위로 산화물 반도체층을 형성한다. 산화물 반도체층의 형성 전 또는 후에, 산소 분위기에서 탈수화 또는 탈수소화를 위한 가열 처리를 행한 후, 산소 분위기 또는 불활성 기체 분위기에서 서냉을 행하는 것이 바람직하다.

[0212] 도 14의 (b)에서는, 절연층(1407) 위로 평탄화층으로서 기능하는 절연층(1408)을 적층한다.

[0213] 도 14의 (b)에서는, 소스 및 드레인 영역을 설치하지 않고, 산화물 반도체층(1403)과 소스 및 드레인 전극층(1405a, 1405b)이 직접 접한다.

[0214] 도 14의 (b)에서도, 도전층(1409)을 산화물 반도체층(1403)과 중첩되도록 설치함으로써, 박막 트랜지스터의 신뢰성을 조사하기 위한 BT시험에서, BT 시험 전후에서의 박막 트랜지스터(1431)의 임계값 전압을 제어할 수 있다.

[0215] 실시예 8은 본 명세서에 설명된 임의의 다른 실시예와 적절히 조합하여 실시하는 것이 가능하다.

[0216] [실시예 9]

[0217] 실시예 9에서는, 실시예 1과 일부 구조가 상이한 예를, 도 15를 참조하여 설명한다. 실시예 1에는, 실시예 1과 유사한 기능(들)을 갖는 동일한 부분(들) 또는 일 부분(들) 또는 공정(들)이 적용될 수 있고, 이의 반복 설명은 생략된다.

[0218] 본 실시예에서는, 제1 산화물 반도체층의 패터닝 후에, 산소 분위기에서 탈수화(dehydration) 또는 탈수소화(dehydrogenation)를 위한 가열 처리를 행한 후, 산소 분위기 또는 불활성 기체 분위기에서 서냉시키는 것이 바람직하다. 제1 산화물 반도체층을 상기 분위기하에서 가열 처리함으로써, 산화물 반도체층(430)에 존재하는 수소 및 물 등의 불순물을 제거할 수 있다.

[0219] 다음으로, 제1 산화물 반도체층 위에, 박막 트랜지스터의 소스 및 드레인 영역으로서 기능하는 제2 산화물 반도체층을 형성한 후, 도전층을 형성한다.

- [0220] 다음으로, 제1 산화물 반도체층, 제2 산화물 반도체층 및 도전층을 예칭 공정에 의해 예칭하여, 산화물 반도체층(403), 소스 및 드레인 영역(404a, 404b), 및 소스 및 드레인 전극층(405a, 405b)을 형성한다. 산화물 반도체층(403)의 일부만이 예칭되어, 산화물 반도체층(403)은 흄부(오목부)를 갖게 된다는 것에 주목해야 한다.
- [0221] 다음으로, 산화물 반도체층(403)에 접촉해서 스퍼터링법 또는 PCVD법에 의한 산화 규소층을 산화물 절연층(407)으로서 형성한다. 탈수화 또는 탈수소화된 산화물 반도체층에 접촉해서 형성되는 산화물 절연층(407)은, 수분이나, 수소 이온, OH^- 등의 불순물을 가능한 한 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연층을 이용하고, 구체적으로는 산화 규소층 또는 질화 산화 규소층을 이용하여 형성된다. 산화물 절연층 위에 질화 규소층을 적층하여도 좋다.
- [0222] 탈수화 또는 탈수소화된 산화물 반도체층(403)에 접촉해서 스퍼터링법 또는 PCVD법 등에 의해 산화물 절연층(407)을 형성하는 것으로, 탈수화 또는 탈수소화된 산화물 반도체층(403)을 포함하는 박막 트랜지스터(473)를 채널 형성 영역으로서 제작할 수 있다(도 15 참조).
- [0223] 도 15에 나타낸 이러한 구조에 있어서, 소스 및 드레인 영역(404a, 404b)은, In-Ga-Zn-O계 비(non)-단결정층, Al-Zn-O계 비-단결정층, 및 질소를 포함하는 Al-Zn-O계 비-단결정층, 즉 Al-Zn-O-N계 비-단결정층 중 임의의 것을 이용하여 형성된다.
- [0224] 또한, 산화물 반도체층(403)과 소스 전극층의 사이에는 소스 영역이 제공되며, 산화물 반도체층(403)과 드레인 전극층의 사이에는 드레인 영역이 제공된다.
- [0225] 박막 트랜지스터(473)의 소스 및 드레인 영역(404, 404b)으로서 이용되는 제2 산화물 반도체층은, 채널 형성 영역으로서 이용되는 제1 산화물 반도체층의 두께보다 얇고, 제1 산화물 반도체층 보다 높은 도전율(전기 전도도)을 갖는 것이 바람직하다.
- [0226] 또한, 채널 형성 영역으로서 이용되는 제1 산화물 반도체층은 비정질 구조를 갖고, 소스 및 드레인 영역으로서 이용되는 제2 산화물 반도체층은 비정질 구조 중에 결정 입자(grain)(나노 크리스탈)를 포함할 경우가 있다. 소스 및 드레인 영역으로서 이용되는 제2 산화물 반도체층 중의 결정 입자(나노 크리스탈)의 직경은 1nm 내지 10nm이며, 대표적으로는 약 2nm 내지 4nm이다.
- [0227] 또한, 산화물 절연층(407)을 형성 후, 질소 분위기 또는 질소 분위기에서 박막 트랜지스터(473)에 가열 처리(바람직하게는 150°C 이상 350°C 미만)를 행해도 된다. 예를 들면, 질소 분위기에서는 250°C에서 1시간의 가열 처리를 행한다. 가열 처리를 행하면, 산화물 반도체층(403)이 산화물 절연층(407)과 접촉한 상태에서 가열되게 되고, 따라서, 박막 트랜지스터(473)의 전기적 특성의 변동을 감소시킬 수 있다.
- [0228] 실시예 9는 본 명세서에서 설명된 임의의 다른 실시예와 적절히 조합해서 실시하는 것이 가능하다.
- [0229] [실시예 10]
- [0230] 실시예 10에서는, 적어도 구동 회로의 일부와, 화소부에 배치되는 박막 트랜지스터가 하나의 기판 위에 형성되는 예에 대해서 설명한다.
- [0231] 화소부에 배치되는 박막 트랜지스터는, 실시예 1 내지 실시예 9의 어느 하나를 따라 형성한다. 또한, 실시예 1 내지 9에 설명된 박막 트랜지스터는 n채널형 TFT이므로, 구동 회로 중, n채널형 TFT를 포함할 수 있는 구동 회로의 일부를 화소부의 박막 트랜지스터와 동일한 기판 위에 형성한다.
- [0232] 액티브 매트릭스형 표시 장치의 블록도의 일례를 도 16의 (a)에 나타낸다. 표시 장치의 기판(5300) 위에는, 화소부(5301), 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)가 제공된다. 화소부(5301)에는, 복수의 신호선이 신호선 구동 회로(5304)로부터 연장되어 배치되며, 복수의 주사선이 제1 주사선 구동 회로(5302) 및 주사선 구동 회로(5303)로부터 연장되어 배치된다. 주사선과 신호선의 교차 영역에는, 각각, 표시 소자를 포함하는 화소가 매트릭스 형상으로 배치되어 있다. 표시 장치의 기판(5300)은 FPC(Flexible Printed Circuit) 등의 접속부를 통하여 타이밍 제어 회로(5305)(컨트롤러 또는 제어 IC 라고도 함)에 접속되어 있다.
- [0233] 도 16의 (a)에서, 제1 주사선 구동 회로(5302), 제2 주사선 구동 회로(5303) 및 신호선 구동 회로(5304)는, 화소부(5301)와 동일한 기판(5300) 위에 형성된다. 따라서, 외부에 제공되는 구동 회로 등의 부품의 수가 감소하므로, 가격의 절감을 도모할 수 있다. 또한, 기판(5300) 외부에 구동 회로를 제공했을 경우에 비하여 배선의 연장에 의한 접속부에서의 배선수를 줄일 수 있어, 신뢰성의 향상 또는 수율의 향상을 도모할 수 있다.

- [0234] 타이밍 제어 회로(5305)는, 일례로서, 제1 주사선 구동 회로용 스타트 신호(GSP1) 및 주사선 구동 회로용 클럭 신호(GCLK1)를 제1 주사선 구동 회로(5302)에 공급한다. 또한, 타이밍 제어 회로(5305)는, 일례로서, 제2 주사선 구동 회로용 스타트 신호(GSP2)(스타트 펄스라고도 함) 및 제2 주사선 구동 회로용 클럭 신호(GCLK2)를 제2 주사선 구동 회로(5303)에 공급한다. 타이밍 제어 회로(5305)는, 일례로서, 신호선 구동 회로용 스타트 신호(SSP), 신호선 구동 회로용 클럭 신호(SCLK), 비디오 신호용 데이터(DATA)(간단히 비디오 신호라고도 함) 및 래치 신호(LAT)를 신호선 구동 회로(5304)에 공급한다. 각 클럭 신호는, 주기가 서로 어긋난 복수의 클럭 신호이어도 좋고, 반전된 클럭 신호(CKB)와 함께 공급되어도 좋다. 제1 주사선 구동 회로(5302)와 제2 주사선 구동 회로(5303) 중 하나를 생략해도 된다.
- [0235] 도 16의 (b)는 구동 주파수가 낮은 회로(예를 들면, 제1 주사선 구동 회로(5302) 및 제2 주사선 구동 회로(5303))를 화소부(5301)와 동일한 기판(5300) 위에 형성하고, 신호선 구동 회로(5304)를 화소부(5301)와 상이한 기판 위에 형성하는 구성에 대해서 나타내고 있다. 이러한 구성에 의해, 단결정 반도체를 이용하여 형성되는 트랜지스터에 비하면 전계 효과 이동도가 작은 박막 트랜지스터를 이용하여 기판(5300) 위에 형성되는 구동 회로를 형성할 수 있다. 따라서, 표시 장치의 대형화, 공정수의 삭감, 가격의 절감 및 수율의 향상 등을 도모할 수 있다.
- [0236] 실시예 1 내지 실시예 9에 설명되는 박막 트랜지스터는, n채널형 TFT이다. 도 17의 (a) 및 (b)에서는 n채널형 TFT를 이용하여 형성되는 신호선 구동 회로의 구성 및 동작의 일례를 설명한다.
- [0237] 신호선 구동 회로는 시프트 레지스터(5601) 및 스위칭 회로(5602)를 포함한다. 스위칭 회로(5602)는 복수의 스위칭 회로(5602_1 내지 5602_N)(N은 자연수)를 포함한다. 스위칭 회로(5602_1 내지 5602_N)는, 각각, 복수의 박막 트랜지스터(5603_1 내지 5603_k)(k은 자연수)를 포함한다. 박막 트랜지스터(5603_1 내지 5603_k)가 n채널형 TFT인 예를 설명한다.
- [0238] 신호선 구동 회로의 접속 관계에 대해서, 스위칭 회로(5602_1)를 예로서 이용하여 설명한다. 박막 트랜지스터(5603_1 내지 5603_k)의 제1 단자는 각각 배선(5604_1 내지 5604_k)에 접속된다. 박막 트랜지스터(5603_1 내지 5603_k)의 제2 단자는 각각 신호선(S1 내지 Sk)에 접속된다. 박막 트랜지스터(5603_1 내지 5603_k)의 게이트는 배선(5605_1)에 접속된다.
- [0239] 시프트 레지스터(5601)는, 배선(5605_1 내지 5605_N)에 순서대로 H 레벨(H 신호 또는 고전원 전위 레벨이라고도 함)의 신호를 출력하여, 스위칭 회로(5602_1 내지 5602_N)를 순서대로 선택하는 기능을 갖는다.
- [0240] 스위칭 회로(5602_1)는, 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk)의 도통 상태(제1 단자와 제2 단자의 도통)를 제어하는 기능, 즉 배선(5604_1 내지 5604_k)의 전위를 신호선(S1 내지 Sk)에 공급하는지의 여부를 제어하는 기능을 갖는다. 이러한 식으로, 스위칭 회로(5602_1)는 셀렉터로서 기능한다. 또한, 박막 트랜지스터(5603_1 내지 5603_k)는 각각 이를 각각의 배선(5604_1 내지 5604_k)과 이를 각각의 신호선(S1 내지 Sk)의 도통 상태를 제어하는 기능, 즉 이를 각각의 배선(5604_1 내지 5604_k)의 전위를 이를 각각의 신호선(S1 내지 Sk)에 공급하는지의 여부를 제어하는 기능을 갖는다. 이러한 식으로, 각각의 박막 트랜지스터(5603_1 내지 5603_k)는 스위치로서 기능한다.
- [0241] 배선(5604_1 내지 5604_k)의 각각에는 비디오 신호용 데이터(DATA)가 입력된다는 것에 주목해야 한다. 비디오 신호용 데이터(DATA)는 화상 데이터 또는 화상 신호에 따른 아날로그 신호일 경우가 많다.
- [0242] 다음으로, 도 17의 (a)의 신호선 구동 회로의 동작에 대해서, 도 17의 (b)의 타이밍 차트를 참조하여 설명한다. 도 17의 (b)에는, 신호 Sout_1 내지 Sout_N 및 신호 Vdata_1 내지 Vdata_k의 일례가 나타나 있다. 신호 Sout_1 내지 Sout_N은 각각 시프트 레지스터(5601)의 출력 신호의 일례이며, 신호 Vdata_1 내지 Vdata_k는 각각 배선(5604_1 내지 5604_k)에 입력되는 각각의 신호의 일례이다. 신호선 구동 회로의 1 동작 기간은 표시 장치에서의 1 게이트 선택 기간에 대응한다. 1 게이트 선택 기간은, 일례로서, 기간 T1 내지 TN으로 분할된다. 기간 T1 내지 TN은, 각각, 선택된 행에 속하는 화소에 비디오 신호용 데이터(DATA)를 기입하기 위한 기간이다.
- [0243] 실시예 10의 도면에 나타낸 구성요소에 관하여, 신호 파형에서의 왜곡 등은 일부 경우에 있어 단순화를 위해 과장되어 나타나 있다는 것에 주목해야 한다. 따라서, 이러한 구성요소의 축척에 대해서는 제한이 없다.
- [0244] 기간 T1 내지 기간 TN에서, 시프트 레지스터(5601)는 H 레벨의 신호를 배선(5605_1 내지 5605_N)에 순차적으로 출력한다. 예를 들면, 기간 T1에서, 시프트 레지스터(5601)는 H 레벨의 신호를 배선(5605_1)에 출력한다. 그 결과, 박막 트랜지스터(5603_1 내지 5603_k)는 턴온되어, 배선(5604_1 내지 5604_k)과 신호선(S1 내지 Sk)가

도통 상태로 된다. 이때, 배선(5604_1 내지 5604_k)에는 Data(S1) 내지 Data(Sk)가 각각 입력된다. Data(S1) 내지 Data(Sk)는 이를 각각의 박막 트랜지스터(5603_1 내지 5603_k)를 통하여 선택되는 행에 속하는 화소 중, 1 열째 내지 k열째의 화소에 기입된다. 이렇게 해서, 기간 T1 내지 TN에서, 선택된 행에 속하는 화소에, k열씩 순차적으로 비디오 신호용 데이터(DATA)가 기입된다.

[0245] 상술된 바와 같이, 비디오 신호용 데이터(DATA)가 복수의 열씩 화소에 기입됨으로써, 비디오 신호용 데이터(DATA)의 수 또는 배선의 수를 줄일 수 있다. 따라서, 외부 회로로의 접속수를 줄일 수 있다. 또한, 비디오 신호가 복수의 열씩 화소에 기입됨으로써, 기입 시간을 길게 할 수 있고, 비디오 신호의 기입 부족을 방지할 수 있다.

[0246] 시프트 레지스터(5601) 및 스위칭 회로(5602)로서는, 실시예 1 내지 실시예 9에 설명된 박막 트랜지스터를 포함하는 회로를 이용할 수 있다는 것에 주목해야 한다. 이러한 경우, 시프트 레지스터(5601)에 포함되는 모든 트랜지스터를 n채널형 트랜지스터로 할 수 있거나 또는 시프트 레지스터(5601)에 포함되는 모든 트랜지스터를 p채널형 트랜지스터로 할 수 있다.

[0247] 주사선 구동 회로 및/또는 신호선 구동 회로의 일부(들)에 사용되는 시프트 레지스터의 실시예에 대하여, 도 18의 (a) 내지 (c) 및 도 19의 (a) 및 (b)를 참조하여 설명한다.

[0248] 주사선 구동 회로는 시프트 레지스터를 포함한다. 주사선 구동 회로는 또한 경우에 따라, 레벨 시프터, 버퍼 등을 포함할 수 있다. 주사선 구동 회로에서, 시프트 레지스터에 클럭 신호(CLK) 및 스타트 펄스 신호(SP)가 입력되면, 선택 신호가 생성된다. 생성된 선택 신호는 버퍼에 의해 완충 및 증폭되어, 대응하는 주사선에 공급된다. 주사선에는, 1라인 분의 화소의 트랜지스터의 게이트 전극이 접속되어 있다. 1라인 분의 화소의 트랜지스터를 일제히 턴온시키기 위해서는, 큰 전류를 공급할 수 있는 버퍼가 이용된다.

[0249] 시프트 레지스터는, 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N) (N은 3 이상의 자연수)를 포함한다(도 18의 (a) 참조). 도 18의 (a)에 나타낸 시프트 레지스터의 제1 펄스 출력 회로(10_1) 내지 제N 펄스 출력 회로(10_N)에는 제1 배선(11)으로부터 제1 클럭 신호 CK1과, 제2 배선(12)으로부터 제2 클럭 신호 CK2와, 제3 배선(13)으로부터 제3 클럭 신호 CK3과, 제4 배선(14)으로부터 제4 클럭 신호 CK4가 공급된다. 제1 펄스 출력 회로(10_1)에는 제5 배선(15)으로부터의 스타트 펄스 SP1(제1 스타트 펄스)이 입력된다. 2단계 이후의 제n 펄스 출력 회로에는, 전단(previous stage)의 펄스 출력 회로로부터의 신호(전단 신호 OUT(n-1)이라 불리는 신호) (n은 2 이상이며 N 이하의 자연수)가 입력된다. 제1 펄스 출력 회로(10_1)의 2단 후단의 제3 펄스 출력 회로(10_3)로부터의 신호는 제1 펄스 출력 신호(10_1)에 입력, 즉 제n 펄스 출력 회로(10_n)의 2단 후단의 제(n+2) 펄스 출력 회로(10_(n+2))로부터의 신호(후단 신호 OUT(n+2)이라 불리는 신호)는 제n 펄스 출력 회로에 입력된다. 각각의 펄스 출력 회로로부터는, 전단 및/또는 후단의 펄스 출력 회로에 입력되는 제1 출력 신호 (OUT(1)(SR) 내지 OUT(N)(SR) 중 하나에 대응) 및 다른 배선 등에 전기적으로 접속되는 제2 출력 신호(OUT(1) 내지 OUT(N) 중 하나에 대응)가 출력된다. 또한, 도 18의 (a)에 나타낸 바와 같이, 시프트 레지스터의 최종 2 개의 단에는 후단 신호 OUT(n+2)가 입력되지 않으므로, 일례로서, 제2 스타트 펄스 SP2를 시프트 레지스터의 최종 2 개의 단 중의 하나에 입력하고, 제3 스타트 펄스 SP3를 시프트 레지스터의 최종 2 개의 단 중 나머지에 입력하면 된다는 것에 주목해야 한다.

[0250] 클럭 신호(CK)는, 일정한 주기로 H 레벨과 L 레벨(L 신호 또는 저전원 전위 레벨이라고도 함)을 반복하는 신호이다. 제1 클럭 신호(CK1) 내지 제4 클럭 신호(CK4)는 순차적으로 1/4 주기만큼 지연된다. 본 실시예에서는, 제1 클럭 신호(CK1) 내지 제4 클럭 신호(CK4)를 이용함으로써, 펄스 출력 회로의 구동의 제어 등을 행한다. 클럭 신호는, 클럭 신호가 입력되는 구동 회로에 따라 GCK 또는 SCK라고도 한다는 것에 주목해야 하며, 여기에서는 클럭 신호로서 CK를 사용하여 설명한다.

[0251] 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)의 각각은 제1 입력 단자(21), 제2 입력 단자(22), 제3 입력 단자(23), 제4 입력 단자(24), 제5 입력 단자(25), 제1 출력 단자(26) 및 제2 출력 단자(27)를 포함한다(도 18의 (b) 참조). 제1 입력 단자(21), 제2 입력 단자(22) 및 제3 입력 단자(23)는 제1 배선(11) 내지 제4 배선(14) 중 어느 하나와 전기적으로 접속되어 있다. 예를 들면, 도 18의 (a)에서, 제1 펄스 출력 회로(10_1)의 제1 입력 단자(21)는 제1 배선(11)과 전기적으로 접속되며, 제1 펄스 출력 회로(10_1)의 제2 입력 단자(22)는 제2 배선(12)과 전기적으로 접속되며, 제1 펄스 출력 회로(10_1)의 제3 입력 단자(23)는 제3 배선(13)과 전기적으로 접속된다. 또한, 제2 펄스 출력 회로(10_2)의 제1 입력 단자(21)는 제2 배선(12)과 전기적으로 접속되며, 제2 펄스 출력 회로(10_2)의 제2 입력 단자(22)는 제3 배선(13)과 전기적으로 접속되며, 제2 펄스 출력 회로(10_2)의 제3 입력 단자(23)는 제4 배선(14)과 전기적으로 접속된다.

- [0252] 제1 펄스 출력 회로(10_1)에서, 제1 입력 단자(21)에는 제1 클럭 신호 CK1가 입력되며, 제2 입력 단자(22)에는 제2 클럭 신호 CK2가 입력되며, 제3 입력 단자(23)에는 제3 클럭 신호 CK3이 입력되며, 제4 입력 단자(24)에는 제1 스타트 펄스 SP1이 입력되며, 제5 입력 단자(25)에는 후단 신호 OUT(3)가 입력되며, 제1 출력 단자(26)로부터는 제1 출력 신호 OUT(1)(SR)가 출력되며, 제2 출력 단자(27)로부터는 제2 출력 신호 OUT(1)가 출력된다.
- [0253] 제1 내지 제N 펄스 출력 회로(10_1 내지 10_N)의 각각에서는, 3개의 단자를 갖는 박막 트랜지스터(TFT) 외에도, 상기 실시형태에 설명된 4개의 단자를 갖는 박막 트랜지스터가 사용될 수 있다. 본 명세서에서는, 박막 트랜지스터에서 두 개의 게이트 전극 사이에 반도체층이 개재되어 있는 경우, 반도체층 아래의 하나의 게이트 전극을 하부 게이트 전극이라고도 하며, 반도체층 위의 다른 하나의 게이트 전극을 상부 게이트 전극이라고도 한다.
- [0254] 산화물 반도체가 박막 트랜지스터의 채널 형성 영역을 포함하는 반도체층에 사용되는 경우, 임계값 전압은 제조 공정에 따른 음 또는 양의 방향으로 천이될 수 있다. 그래서, 채널 형성 영역을 포함하는 반도체층에 산화물 반도체가 사용되는 박막 트랜지스터는 임계값 전압이 제어될 수 있는 구조를 가지는 것이 바람직하다. 4개의 단자를 갖는 박막 트랜지스터의 임계값 전압은 하부 게이트 전극 및/또는 상부 게이트 전극의 전위를 제어함으로써 미리 정해진 값으로 제어될 수 있다.
- [0255] 다음으로, 도 18의 (b)에 나타낸 펄스 출력 회로의 구체적인 회로 구성의 일례에 대해서, 도 18의 (c)를 참조하여 설명한다.
- [0256] 도 18의 (c)에 나타낸 펄스 출력 회로는 제1 트랜지스터(31) 내지 제13 트랜지스터(43)를 포함한다. 제1 전원 전위 VDD가 공급되는 전원선(51), 제2 전원 전위 VCC가 공급되는 전원선(52), 제3 전원 전위 VSS가 공급되는 전원선(53)로부터 제1 트랜지스터(31) 내지 제13 트랜지스터(43)에 신호 또는 전원 전위가 공급된다. 여기서, 도 18의 (c)의 각 전원선의 전원 전위의 대소 관계는, 제1 전원 전위 $VDD \geq$ 제2 전원 전위 $VCC >$ 제3 전원 전위 VSS 이다. 또한, 제1 클럭 신호(CK1) 내지 제4 클럭 신호(CK4)는, 각각 일정한 주기로 H 레벨 신호와 L 레벨 신호를 반복하는 신호이지만, 클럭 신호가 H 레벨일 때에 전위는 VDD이며, 클럭 신호가 L 레벨일 때에 전위는 VSS이다. 전원선(51)의 전위 VDD를, 전원선(52)의 전위 VCC 보다 높게 설정함으로써, 동작에 악영향을 주지 않고, 트랜지스터의 게이트 전극에 인가되는 전위를 낮게 억제할 수 있어, 트랜지스터의 임계값의 시프트를 감소시키고, 열화를 억제할 수 있다. 4개의 단자를 각각 갖는 박막 트랜지스터는 제1 트랜지스터(31)와, 제1 트랜지스터(31) 내지 제13 트랜지스터(43) 사이의 제6 내지 제9 트랜지스터(36 내지 39)로서 사용되는 것이 바람직하다. 제1 트랜지스터(31)와 제6 내지 제9 트랜지스터(36 내지 39)는, 소스 및 드레인 전극의 일 전극에 접속된 노드의 전위가 게이트 전극에 대한 제어 신호만큼 변화할 필요가 있는 트랜지스터이며, 이들 각각의 게이트 전극에 입력되는 제어 신호에 대한 응답 속도의 증가(온-전류(on-current)의 급격한 상승)는 펄스 출력 회로의 오작동을 감소시킬 수 있다. 따라서, 4개의 단자를 각각 갖는 박막 트랜지스터를 사용함으로써, 임계 전압을 제어하여, 펄스 출력 회로의 오작동을 감소시킬 수 있다.
- [0257] 도 18의 (c)에서, 제1 트랜지스터(31)의 제1 단자는 전원선(51)에 전기적으로 접속되며, 제1 트랜지스터(31)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되며, 제1 트랜지스터(31)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제4 입력 단자(24)에 전기적으로 접속된다. 제2 트랜지스터(32)의 제1 단자는 전원선(53)에 전기적으로 접속되며, 제2 트랜지스터(32)의 제2 단자는 제9 트랜지스터(39)의 제1 단자에 전기적으로 접속되며, 제2 트랜지스터(32)의 게이트 전극은 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제3 트랜지스터(33)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되며, 제3 트랜지스터(33)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속된다. 제4 트랜지스터(34)의 제1 단자는 전원선(53)에 전기적으로 접속되며, 제4 트랜지스터(34)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속된다. 제5 트랜지스터(35)의 제1 단자는 전원선(53)에 전기적으로 접속되며, 제5 트랜지스터(35)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되며, 제5 트랜지스터(35)의 게이트 전극은 제4 입력 단자(24)에 전기적으로 접속된다. 제6 트랜지스터(36)의 제1 단자는 전원선(52)에 전기적으로 접속되며, 제6 트랜지스터(36)의 제2 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되며, 제6 트랜지스터(36)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제5 입력 단자(25)에 전기적으로 접속된다. 제7 트랜지스터(37)의 제1 단자는 전원선(52)에 전기적으로 접속되며, 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제3 입력 단자(23)에 전기적으로 접속된다. 제8 트랜지스터(38)의 제1 단자는 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속되며, 제8 트랜지스터(38)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 제2 입력 단자(22)에 전기적으로 접속된다. 제9 트랜지스터(39)의 제1 단자는 제1 트랜지스터(31)의 제2 단자 및 제2 트랜지스터(32)

의 제2 단자에 전기적으로 접속되며, 제9 트랜지스터(39)의 제2 단자는 제3 트랜지스터(33)의 게이트 전극 및 제10 트랜지스터(40)의 게이트 전극에 전기적으로 접속되며, 제9 트랜지스터(39)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)은 전원선(52)에 전기적으로 접속된다. 제10 트랜지스터(40)의 제1 단자는 제1 입력 단자(21)에 전기적으로 접속되며, 제10 트랜지스터(40)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되며, 제10 트랜지스터(40)의 게이트 전극은 제9 트랜지스터(39)의 제2 단자에 전기적으로 접속된다. 제11 트랜지스터(41)의 제1 단자는 전원선(53)에 전기적으로 접속되며, 제11 트랜지스터(41)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되며, 제11 트랜지스터(41)의 게이트 전극은 제2 트랜지스터(32)의 게이트 전극 및 제4 트랜지스터(34)의 게이트 전극에 전기적으로 접속된다. 제12 트랜지스터(42)의 제1 단자는 전원선(53)에 전기적으로 접속되며, 제12 트랜지스터(42)의 제2 단자는 제2 출력 단자(27)에 전기적으로 접속되며, 제12 트랜지스터(42)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 전기적으로 접속된다. 제13 트랜지스터(43)의 제1 단자는 전원선(53)에 전기적으로 접속되며, 제13 트랜지스터(43)의 제2 단자는 제1 출력 단자(26)에 전기적으로 접속되며, 제13 트랜지스터(43)의 게이트 전극은 제7 트랜지스터(37)의 게이트 전극에 전기적으로 접속된다.

[0258] 도 18의 (c)에서, 제3 트랜지스터(33)의 게이트 전극, 제10 트랜지스터(40)의 게이트 전극 및 제9 트랜지스터(39)의 제2 단자의 접속 개소를 노드 A라 한다. 또한, 제2 트랜지스터(32)의 게이트 전극, 제4 트랜지스터(34)의 게이트 전극, 제5 트랜지스터(35)의 제2 단자, 제6 트랜지스터(36)의 제2 단자, 제8 트랜지스터(38)의 제1 단자, 및 제11 트랜지스터(41)의 게이트 전극의 접속 개소를 노드 B라 한다.

[0259] 도 18의 (c)를 참조로 설명된 펄스 출력 회로가 제1 펄스 출력 회로(10_1)에 적용되는 경우, 제1 입력 단자(21) 내지 제5 입력 단자(25), 제1 출력 단자(26) 및 제2 출력 단자(27)로로부터 입출력되는 신호들을 도 19의 (a)에 나타낸다.

[0260] 구체적으로, 제1 클럭 신호 CK1은 제1 입력 단자(21)에 입력되며, 제2 클럭 신호 CK2는 제2 입력 단자(22)에 입력되며, 제3 클럭 신호 CK3는 제3 입력 단자(23)에 입력되며, 스타트 펄스는 제4 입력 단자(24)에 입력되며, 다음 단 신호 OUT(3)은 제5 입력 단자(25)에 입력되며, 제1 출력 신호 OUT(1)(SR)은 제1 출력 단자(26)로부터 출력되며, 제2 출력 단자 OUT(1)은 제2 출력 단자(27)로부터 출력된다.

[0261] 박막 트랜지스터는 게이트, 드레인 및 소스의 적어도 3개의 단자를 갖는 소자이다. 박막 트랜지스터는 게이트와 겹쳐진 영역에 채널 영역이 형성된 반도체를 가지며, 채널 영역을 통하여 드레인과 소스 사이에서 흐르는 전류는 게이트의 전위를 제어함으로써 제어될 수 있다. 여기에서, 박막 트랜지스터의 소스와 드레인은, 박막 트랜지스터의 구조나 동작 조건 등에 의해 변하기 때문에, 어느 것이 소스 또는 드레인 인지를 한정하는 것은 곤란하다. 따라서, 소스 및 드레인으로서 기능하는 영역을, 소스 및 드레인으로 부르지 않을 경우가 있으며, 이러한 경우, 일례로서는, 소스 및 드레인 중의 하나를 제1 단자라 하고, 다른 하나를 제2 단자로 표기하는 경우가 있다.

[0262] 도 18의 (c) 및 도 19의 (a)에서, 커패시터는 플로팅 상태에서 노드 A와의 부트스트랩(bootstrap) 동작을 수행하기 위해서 제공될 수 있다. 또한, 노드 B의 전위를 유지시키기 위해서, 하나의 전극이 노드 B에 전기적으로 접속된 커패시터가 제공되어도 된다.

[0263] 도 19의 (a)에 나타낸 복수의 펄스 출력 회로를 포함하는 시프트 레지스터의 타이밍 차트를 도 19의 (b)에 나타낸다. 시프트 레지스터가 주사선 구동 회로일 경우, 도 19의 (b) 중의 기간(61)은 수직 귀선(retrace) 기간이며, 기간(62)은 게이트 선택 기간이다.

[0264] 도 19의 (a)에 나타낸 바와 같이, 게이트에 제2 전원 전위 VCC가 공급되는 제9 트랜지스터(39)는, 부트 스트랩 동작의 전후에 있어, 이하와 같은 이점이 있다.

[0265] 게이트 전극에 제2 전위 VCC가 공급되는 제9 트랜지스터(39)의 경우, 부트 스트랩 동작에 의해 노드 A의 전위가 상승하면, 제1 트랜지스터(31)의 제2 단자인 소스의 전위가 상승하여, 제1 전원 전위 VDD보다 커진다. 이후, 제1 트랜지스터(31)의 제1 단자, 즉 전원선(51)은 이의 소스로서 기능하게 된다. 따라서, 제1 트랜지스터(31)에서는, 게이트와 소스 사이 및 게이트와 드레인 사이에, 큰 바이어스 전압이 인가되므로 큰 스트레스가 걸리고, 이는 트랜지스터의 열화의 요인으로 될 수 있다. 따라서, 게이트 전극에 제2 전원 전위 VCC가 공급되는 제9 트랜지스터(39)는, 부트 스트랩 동작에 의해 노드 A의 전위는 상승하지만, 제1 트랜지스터(31)의 제2 단자의 전위의 상승을 방지할 수 있다. 즉, 제9 트랜지스터(39)를 설치함으로써, 제1 트랜지스터(31)의 게이트와 소스 사이에 인가되는 부 바이어스 전압을 작게 할 수 있다. 따라서, 본 실시예에 따른 회로 구성으로, 제1 트

랜지스터(31)의 게이트와 소스 사이에 인가되는 부 바이어스 전압을 작게 할 수 있어, 스트레스에 의한 제1 트랜지스터(31)의 열화를 억제할 수 있다.

[0266] 제1 트랜지스터(31)의 제2 단자와 제3 트랜지스터(33)의 게이트 사이에 제1 단자와 제2 단자를 통해서 접속되도록 제9 트랜지스터(39)를 설치해도 좋다. 본 실시예에 나타낸 복수의 펄스 출력 회로를 포함하는 시프트 레지스터가, 주사선 구동 회로보다 많은 단수를 갖는 신호선 구동 회로에 사용되는 경우, 제9 트랜지스터(39)를 생략하여, 트랜지스터 수를 줄임하여도 좋다.

[0267] 제1 트랜지스터(31) 내지 제13 트랜지스터(43)의 반도체층으로서 산화물 반도체를 이용함으로써, 박막 트랜지스터의 오프 전류를 감소시키며, 온-전류 및 전계 효과이동도를 높일 수 있으며, 열화의 정도를 향상시킬 수 있으므로, 회로 내의 오동작을 감소시킬 수 있다. 산화물 반도체를 이용하여 형성된 트랜지스터는, 아몰퍼스 실리콘을 이용하여 형성된 트랜지스터에 비해, 게이트 전극에 고전위가 인가되는 것에 의한 트랜지스터의 열화의 정도가 작다. 따라서, 제2 전원 전위 VCC를 공급하는 전원선에, 제1 전원 전위 VDD를 공급하더라도 마찬가지인 동작이 수행되고, 회로를 주회하는 전원선의 수를 감소시킬 수 있으므로, 회로의 소형화를 도모할 수 있다.

[0268] 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 제3 입력 단자(23)를 통하여 공급되는 클럭 신호와, 제8 트랜지스터(38)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 제2 입력 단자(22)를 통하여 공급되는 클럭 신호가, 각각, 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 제2 입력 단자(22)를 통하여 공급되는 클럭 신호와, 제8 트랜지스터(38)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 제3 입력 단자(23)를 통하여 공급되는 클럭 신호가 되도록, 배선 접속을 변경하더라도 마찬가지인 작용 효과를 얻을 수 있다. 도 19의 (a)에 나타낸 시프트 레지스터에 있어서, 제7 트랜지스터(37) 및 제8 트랜지스터(38)가 모두 온인 후에, 제7 트랜지스터(37)가 턴오프되고 제8 트랜지스터(38)가 온으로 유지되고, 이후, 제7 트랜지스터(37)가 오프로 유지되고 제8 트랜지스터(38)가 턴오프로 되는 경우, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위가 저하하는 것으로 초래되는 노드 B의 전위의 저하가 제7 트랜지스터(37)의 게이트 전극의 전위의 저하 및 제8 트랜지스터(38)의 게이트 전극의 전위의 저하에 기인해서 2회 발생한다는 것에 주목해야 한다. 한편, 도 19의 (a)에 나타낸 시프트 레지스터에서는 도 18의 (b)에 나타낸 바와 같이, 제7 트랜지스터(37) 및 제8 트랜지스터(38)가 모두 온인 후에, 제7 트랜지스터(37)가 온으로 유지되고 제8 트랜지스터(38)가 턴오프되고, 이후, 제7 트랜지스터(37)가 턴오프되고 제8 트랜지스터(38)가 오프로 유지되는 경우, 제2 입력 단자(22) 및 제3 입력 단자(23)의 전위가 저하함으로써 초래되는 노드 B의 전위의 프리퀀시(frequency) 저하를, 제8 트랜지스터(38)의 게이트 전극의 전위의 저하에 의한 일회로 감소시킬 수 있다. 따라서, 제7 트랜지스터(37)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 제3 입력 단자(23)를 통하여 공급되는 클럭 신호와, 제8 트랜지스터(38)의 게이트 전극(하부 게이트 전극 및 상부 게이트 전극)에 제2 입력 단자(22)를 통하여 공급되는 클럭 신호를 이용하여, 노드 B의 전위의 변동을 작게 함으로써, 노이즈를 감소시킬 수 있으므로 바람직하다.

[0269] 이렇게, 제1 출력 단자(26) 및 제2 출력 단자(27)의 전위를 L 레벨로 유지하는 기간에, 노드 B에 정기적으로 H 레벨의 신호가 공급되는 구성되므로 펄스 출력 회로의 오동작을 억제할 수 있다.

[0270] 실시예 10은, 본 명세서에 설명된 임의의 다른 실시예와 적절히 조합하여 실시하는 것이 가능하다.

[실시예 11]

[0271] 박막 트랜지스터를 제작하여, 상기 박막 트랜지스터를 화소부 및 구동 회로에 이용하여 표시 기능을 갖는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 또한, 박막 트랜지스터를 이용하는 구동 회로의 일부 또는 전체를, 화소부의 기판과 동일한 기판 위에 형성하여, 시스템-온-패널(system-on-panel)을 얻을 수 있다.

[0272] 표시 장치는 표시 소자를 포함한다. 표시 소자로서는 액정 소자(액정 표시 소자라고도 함) 또는 발광 소자(발광 표시 소자라고도 함)를 이용할 수 있다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하며, 구체적으로는 무기 EL(electroluminescent) 소자, 유기 EL 소자 등이 포함된다. 또한, 전자 잉크와 같은, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 이용될 수 있다.

[0273] 또한, 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 컨트롤러를 포함하는 IC 등을 패널에 실장한 상태에 있는 모듈을 포함한다. 표시 장치를 제작하는 과정에 있어서, 표시 소자가 완성되기 전의 하나의 형태에 상당하는 소자 기판에 관한 것으로, 소자 기판은, 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 구체적으로, 소자 기판은 표시 소자의 화소 전극만이 형성된 상태이어도 좋고, 화소 전극이 되는 도전층을 형성한 후, 도전층을 에칭하여 화소 전극을 형성하기 전의 상태이어도 좋고, 임의의 다른 상태이어도

좋다.

- [0275] 본 명세서에서의 표시 장치는 화상 표시 장치, 표시 장치, 또는 광원(조명 장치를 포함함)을 의미한다는 것을 주목해야 한다. 또한, 표시 장치는, FPC(Flexible printed circuit), TAB(Tape Automated Bonding) 테이프, 또는 TCP(Tape Carrier Package)와 같은 커넥터가 부착된 모듈과, 프린트 배선판의 선단에 TAB 테이프 또는 TCP를 갖는 모듈과, COG(Chip On Glass) 방식에 의해 IC(집적 회로)가 표시 소자에 직접 실장된 모듈도 범주에 포함한다.
- [0276] 반도체 장치의 일 실시예인 액정 표시 패널의 외관 및 단면을, 도 20의 (a1), (a2) 및 (b)를 참조하여 설명한다. 도 20의 (a1) 및 (a2)는, 각각, 제1 기판(4001) 위에 형성된 실시예 3에 설명된 산화물 반도체층을 각각 포함하는 신뢰성이 높은 박막 트랜지스터(4010 및 4011)와 액정 소자(4013)를, 제1 기판(4001)과 제2 기판(4006) 사이에 시일재(4005)로 밀봉한 패널의 평면도이다. 도 20의 (b)는, 도 20의 (a1) 및 (a2)의 M-N 선을 따라 취한 단면도이다.
- [0277] 제1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동 회로(4004)를 둘러싸도록 시일재(4005)가 설치되어 있다. 화소부(4002)와 주사선 구동 회로(4004) 위에 제2 기판(4006)이 설치되어 있다. 따라서, 화소부(4002)와 주사선 구동 회로(4004)는, 제1 기판(4001), 시일재(4005) 및 제2 기판(4006)에 의해, 액정층(4008)과 함께 밀봉되어 있다. 별도로 준비된 기판 위에 단결정 반도체층 또는 다결정 반도체층을 이용하여 형성된 신호선 구동 회로(4003)가, 제1 기판(4001) 위의 시일재(4005)에 의해 둘러싸인 영역과는 상이한 영역에 실장되어 있다.
- [0278] 별도로 형성된 구동 회로의 접속 방법은 특별히 한정되지 않는다는 것에 주목해야 하며, COG 방법, 와이어 본딩(wire bonding)법, TAB 방법 등을 이용할 수 있다. 도 20의 (a1)은 COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 20의 (a2)는 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예를 나타낸다.
- [0279] 제1 기판(4001) 위에 설치된 화소부(4002)와 주사선 구동 회로(4004)는 복수의 박막 트랜지스터를 각각 포함한다. 도 20의 (b)는 화소부(4002)에 포함되는 박막 트랜지스터(4010)와, 주사선 구동 회로(4004)에 포함되는 박막 트랜지스터(4011)를 나타낸다. 박막 트랜지스터(4010 및 4011) 위에는 보호 절연층(4020 및 4021)이 설치되어 있다.
- [0280] 박막 트랜지스터(4010 및 4011)로서는, 실시예 3에 설명된 산화물 반도체층을 포함하는 박막 트랜지스터가 채용될 수 있다. 대안으로서, 실시예 1 또는 실시예 2에 설명된 박막 트랜지스터를 채용해도 좋다. 본 실시예에 있어서, 박막 트랜지스터(4010 및 4011)는 n 채널형 박막 트랜지스터이다.
- [0281] 액정 소자(4013)에 포함되는 화소 전극층(4030)은, 박막 트랜지스터(4010)와 전기적으로 접속되어 있다. 액정 소자(4013)의 대향 전극층(4031)은 제2 기판(4006) 위에 형성되어 있다. 화소 전극층(4030), 대향 전극층(4031) 및 액정층(4008)이 서로 겹치고 있는 부분이 액정 소자(4013)에 상당한다. 또한, 화소 전극층(4030) 및 대향 전극층(4031)에는 절연층(4032) 및 절연층(4033)이 각각 설치되고, 절연층(4032) 및 절연층(4033)은 각각 배향막으로서 기능한다. 화소 전극층(4030)과 대향 전극층(4031) 사이에는 절연층(4032 및 4033)을 개재하여 액정층(4008)이 끼워져 있다.
- [0282] 제1 기판(4001) 및 제2 기판(4006)은 유리, 금속(대표적으로는 스테인레스강), 세라믹, 또는 플라스틱으로 제조될 수 있다는 것에 주목해야 한다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics) 판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름을 이용할 수 있다.
- [0283] 원주 형상 스페이서(columnar spacer; 4035)는 절연층을 선택적으로 에칭함으로써 얻어지며, 화소 전극층(4030)과 대향 전극층(4031) 사이의 거리(셀 갭)를 제어하기 위해서 설치되어 있다. 구형(spherical)의 스페이서를 이용하여도 좋다. 대향 전극층(4031)은, 박막 트랜지스터(4010)과 동일 기판 위에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 한 쌍의 기판 사이에 제공되는 도전성 입자를 통해서 대향 전극층(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 도전성 입자는 시일재(4005)에 함유된다는 것에 주목해야 한다.
- [0284] 대안으로서, 배향막을 필요로 하는(leads to the need of) 블루 상(blue phase)을 나타내는 액정을 이용해도 된다. 블루 상은 액정 상의 하나이며, 콜레스테릭(cholesteric) 액정의 온도를 높이면, 콜레스테릭 상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루 상은 좁은 온도 범위에서만 발현되기 때문에, 온도 범위를 개선하기 위해서 5중량% 이상의 키랄체를 포함시킨 액정 조성물을 이용해서 액정층(4008)에 이용한다. 블루 상을 나타내는 액정과 키랄체를 포함하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성이므로

배향 처리가 불필요하고, 시야각 의존성이 작다.

- [0285] 본 발명의 실시형태는 투과형 액정 표시 장치의 이외에, 반사형 액정 표시 장치 또는 반투과형 액정 표시 장치에서도 적용할 수 있다.
- [0286] 액정 표시 장치에서는, 기판의 외측(시인측)에 편광판을 설치하고, 기판의 내측에 착색층(컬러 필터) 및 표시 소자에 이용되는 전극층을 이러한 순서로 설치하는 예를 설명하겠지만, 편광판은 기판의 내측에 설치하여도 된다. 또한, 편광판과 착색층의 적층 구조도 실시예 11에 한정되지 않고, 편광판 및 착색층의 재료나 제작 공정 조건에 의해 적절히 설정하면 된다. 또한, 블랙 매트릭스로서 기능하는 차광층을 설치하여도 된다.
- [0287] 박막 트랜지스터(4010 및 4011)의 위에는 보호 절연층(4020)이 형성된다. 보호 절연층(4020)은, 수분, 수소 이온 및 OH^- 와 같은 불순물을 가능한 한 적게 포함하고 외부로부터 이들의 침입을 차단하는 무기 절연막을 이용하여 형성되며, 특히 실리콘 질화막, 알루미늄 질화막, 실리콘 질화 산화막(silicon nitride oxide film), 알루미늄 옥시나이트라이드막 등이 사용된다. 보호 절연층(4020)은 투광성을 갖는 절연막이다. 본 실시형태에서, 실리콘 질화막은 보호 절연층(4020)과 같은 PCVD 법에 의해 형성된다.
- [0288] 평탄화 절연층으로서 절연층(4021)을 형성한다. 절연층(4021)으로서는, 폴리이미드, 아크릴, 벤조시클로부텐(benzocyclobutene), 폴리아미드, 에폭시와 같은 내열성을 갖는 유기 재료를 이용할 수 있다. 상기 유기 재료의 이외에, 저유전율 재료(낮은 k 재료), 실로키산계 수지, PSG(phosphosilicate glass), BPSG(borophosphosilicate glass) 등을 이용할 수 있다. 또한, 이들의 재료 중 임의의 것을 이용하여 형성되는 복수의 절연층을 적층시킴으로써, 절연층(4021)을 형성해도 좋다는 것을 주목해야 한다.
- [0289] 실로키산계 수지는, 실로키산계 재료를 출발 재료로서 이용하여 형성되며 Si-O-Si 결합을 갖는 수지라는 것에 주목해야 한다. 실로키산계 수지는 치환기로서는 유기기(예를 들면, 알킬기 또는 아릴기) 또는 플루오로기를 포함해도 된다. 유기기는 플루오로기를 포함해도 된다.
- [0290] 절연층(4021)의 형성법에 대해서는 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG 법, 스판 코팅법, 딥핑(dipping)법, 스프레이 코팅법, 액적 토출법(예컨대, 잉크젯(inkjet)법, 스크린 인쇄, 오프셋(offset) 인쇄 등)과 같은 방법과, 닉터 나이프(doctor knife), 롤 코터(roll coater), 커튼(curtain) 코터, 나이프 코터 등과 같은 도구를 이용할 수 있다. 절연층(4021)의 소성 공정은 반도체층의 어닐링 공정으로도 가능하기 때문에, 효율적으로 반도체 장치를 제작하는 것이 가능하게 된다.
- [0291] 화소 전극층(4030) 및 대향 전극층(4031)의 각각은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고도 함), 인듐 아연 산화물, 또는 산화 규소를 첨가한 인듐 주석 산화물과 같은 투광성을 갖는 도전성 재료를 이용하여 형성될 수 있다.
- [0292] 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 화소 전극층(4030) 및 대향 전극층(4031)에 이용할 수 있다. 도전성 조성물을 이용하여 형성된 화소 전극은, 시트 저항이 $10000\Omega/\square$ 이하이며, 파장 550nm에서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.
- [0293] 도전성 고분자로서는, 소위 π -전자 공액계 도전성 고분자가 이용될 수 있다. 예를 들면, 폴리 아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이들의 2종 이상의 공중합체 등을 들 수 있다.
- [0294] 또한, 별도로 형성된 신호선 구동 회로(4003)와, 주사선 구동 회로(4004) 또는 화소부(4002)에 공급되는 각종 신호 및 전위는 FPC(4018)로부터 공급된다.
- [0295] 접속 단자 전극(4015)은, 액정 소자(4013)에 포함되는 화소 전극층(4030)과 동일한 도전층을 이용하여 형성되며, 단자 전극(4016)은 박막 트랜지스터(4011)의 소스 및 드레인 전극층과 동일한 도전층을 이용하여 형성된다.
- [0296] 접속 단자 전극(4015)은, 이방성 도전층(4019)을 통해서 FPC(4018)에 포함되는 단자와 전기적으로 접속되어 있다.
- [0297] 도 20의 (a1), (a2) 및 (b)는, 신호선 구동 회로(4003)를 별도로 형성하고, 제1 기판(4001)에 실장되어 있는 예를 나타내고 있다는 것에 주목해야 하며, 실시예 11은 이러한 구성으로 한정되지 않는다. 주사선 구동 회로를

별도로 형성해서 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도로 형성해서 실장해도 된다.

[0298] 도 21은, 본 명세서에 개시된 제작 방법에 따라 제작되는 TFT 기판(2600)을 이용해서 반도체 장치로서 액정 표시 모듈을 형성하는 일례를 나타내고 있다.

[0299] 도 21은, TFT 기판(2600)과 대향 기판(2601)이 시일재(2602)에 의해 서로 고착되며, 기판들 사이에 TFT 등을 포함하는 화소부(2603), 액정층을 포함하는 표시 소자(2604) 및 착색층(2605)이 설치되어 표시 영역을 형성하는 액정 표시 모듈의 일례를 나타내고 있다. 착색층(2605)은 컬러 표시를 행할 경우에 필요하다. RGB 방식의 경우, 적, 녹, 청의 색상들에 대응한 각각의 착색층이 각각의 화소에 대하여 설치되어 있다. TFT 기판(2600)과 대향 기판(2601)의 외측에는 편광판(2606 및 2607)과 확산판(2613)이 설치되어 있다. 광원은 냉음극관(2610)과 반사판(2611)을 포함한다. 회로 기판(2612)은 플렉시블 배선 기판(2609)을 통하여 TFT 기판(2600)의 배선 회로부(2608)와 접속되며, 컨트롤 회로나 전원 회로 등의 외부 회로를 포함한다. 편광판과 액정층 사이에 지연판(retardation plate)을 개재하여 적층해도 좋다.

[0300] 액정 표시 모듈에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(Antiferroelectric Liquid Crystal) 모드 등을 이용할 수 있다.

[0301] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 액정 표시 패널을 제작할 수 있다.

[0302] 실시예 11은 본 명세서에 설명된 임의의 다른 실시예와 적절히 조합해서 실시하는 것이 가능하다.

[0303] [실시예 12]

[0304] 실시예 12에서는 본 발명의 일 실시예의 반도체 장치로서 전자 페이퍼의 예를 설명한다.

[0305] 전자 페이퍼를 전기 영동 표시 장치(electrophoretic display device) (전기 영동 디스플레이)라고도 하며, 일반 종이와 동일한 정도의 가독성을 가지며, 다른 표시 장치에 비해 소비 전력이 낮으며, 얇고 가볍게 제조될 수 있다는 이점이 있다.

[0306] 전기 영동 디스플레이는 다양한 모드를 가질 수 있다. 전기 영동 디스플레이는 용매 또는 용질에 분산된 복수의 마이크로 캡슐을 포함하며, 각각의 마이크로 캡슐은 플러스로 대전된 제1 입자와, 마이너스로 대전된 제2 입자를 포함한다. 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시켜 일측에 모여진 입자의 색상만을 표시한다. 또한, 제1 입자 또는 제2 입자는 각각 염료를 포함하고, 전계가 없이 이동하지 않는다는 것에 주목해야 한다. 또한, 제1 입자의 색상과 제2 입자의 색상은 상이하다(이들 중 어느 하나는 무색이어도 좋다).

[0307] 이렇게, 전기 영동 디스플레이는, 유전 상수가 높은 물질이 높은 전계 영역으로 이동하는 소위 유전 영동적 효과를 이용하는 디스플레이이다. 전기 영동 디스플레이는, 액정 표시 장치에는 포함되는 편광판을 포함하지 않는다.

[0308] 마이크로 캡슐을 용매 중에 분산시킨 용액을 전자 잉크라 한다. 이러한 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄될 수 있다. 또한, 컬러 필터나 색소를 갖는 입자를 이용함으로써 컬러 표시도 가능하다.

[0309] 또한, 두개의 전극 사이에 끼워지도록 적절히 액티브 매트릭스 기판 위에 상기 복수의 마이크로 캡슐을 배치하면 액티브 매트릭스형의 표시 장치가 완성되고, 마이크로 캡슐에 전계를 인가하면 표시를 행할 수 있다. 예를 들면, 실시예 1 내지 9의 어느 하나에 설명된 임의의 박막 트랜지스터를 이용하여 얻어지는 액티브 매트릭스 기판을 이용할 수 있다.

[0310] 마이크로 캡슐 중의 제1 및 제2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유 전성 재료, 일렉트로루미네센스(electroluminescent) 재료, 일렉트로크로믹(electrochromic) 재료, 자기 영동 재료로부터 선택된 일종의 재료 또는 이들의 복합 재료를 이용하여 형성될 수 있다.

[0311] 도 22는 반도체 장치의 예로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 반도체 장치에 이용되는 박막 트랜지스터(581)는, 실시예 1에 설명된 박막 트랜지스터와 마찬가지로 제작될 수 있고, 산화물 반도체층을 포함하는 신뢰성이 높은 박막 트랜지스터이다. 실시예 2 내지 실시예 9에 설명된 박막 트랜지스터도 실시예 12의 박막 트랜지스터(581)로서 이용될 수 있다.

- [0312] 도 22의 전자 페이퍼는 트위스트 볼(twisting ball) 표시 방식을 이용한 표시 장치의 예이다. 트위스트 볼 표시 방식은, 표시 소자에 이용되는 전극층인 제1 전극층과 제2 전극층 사이에 백과 흑으로 각각 착색된 구형 입자를 배치하고, 제1 전극층과 제2 전극층 사이에 전위차를 발생시켜 구형 입자의 배향을 제어함으로써, 표시를 행하는 방법이다.
- [0313] 기판(580) 위에 형성된 박막 트랜지스터(581)는 보텀 게이트 구조의 박막 트랜지스터이며, 반도체층과 접하는 절연층(583)으로 덮여져 있다. 박막 트랜지스터(581)의 소스 또는 드레인 전극층은 제1 전극층(587), 절연층(583) 및 절연층(585)에 형성된 개구를 통하여 제1 전극층(587)과 접촉을 이룸으로써, 박막 트랜지스터(581)는 제1 전극층(587)과 전기적으로 접속되어 있다. 기판(596) 위에 형성된 제1 전극층(587)과 제2 전극층(588) 사이에는, 흑색 영역(590a) 및 백색 영역(590b)과 주위에 액체가 채워져 있는 캐비티(594)를 각각 갖는 구형 입자(589)가 설치되어 있다. 구형 입자(589)의 주위 공간은 수지 등의 충전재(595)로 메워져 있다. 제1 전극층(587)은 화소 전극에 상당하고, 제2 전극층(588)이 공통 전극에 상당한다. 제2 전극층(588)은 박막 트랜지스터(581)와 동일 기판 상에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 이용하여, 기판들(580과 596) 사이에 제공되는 도전성 입자를 통해서 제2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.
- [0314] 트위스트 볼 대신에, 전기 영동 소자를 이용하는 것도 가능하다. 투명한 액체와, 양으로 대전된 흰 미립자와 음으로 대전된 검은 미립자를 봉입한 직경 약 $10\mu\text{m}$ 내지 $200\mu\text{m}$ 의 마이크로 캡슐을 이용한다. 제1 전극층과 제2 전극층 사이에 설치되는 마이크로 캡슐에서는, 제1 전극층과 제2 전극층 사이에 전계가 인가되면, 흰 미립자와 검은 미립자가 서로 반대쪽으로 이동하여, 백 또는 흑을 표시할 수 있다. 이러한 원리를 이용한 표시 소자가 전기 영동 표시 소자이며, 일반적으로 전자 페이퍼라 불린다. 전기 영동 표시 소자는, 액정 표시 소자에 비해 반사율이 높기 때문에, 보조 라이트가 불필요하며 소비 전력이 낮고, 어두어둑한 장소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한번 표시된 화상을 유지시킬 수 있다. 따라서, 표시 기능을 갖는 반도체 장치(간단히 표시 장치 또는 표시 장치를 구비하는 반도체 장치라고도 함)를 전파 발신원으로부터 멀리한 경우에도, 표시된 화상을 보존해 두는 것이 가능하게 된다.
- [0315] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 전자 페이퍼를 제작할 수 있다.
- [0316] 실시예 12는 본 명세서에 설명된 임의의 다른 실시예와 적절히 조합해서 실시하는 것이 가능하다.
- [0317] [실시예 13]
- [0318] 반도체 장치로서 발광 표시 장치의 예를 설명한다. 표시 장치에 포함되는 표시 소자로서, 일렉트로루미네센스를 이용하는 발광 소자를 실시예 13에서 설명한다. 일렉트로루미네센스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기화합물인지에 의해 구별된다. 일반적으로, 전자를 유기 EL 소자라 하고, 후자를 무기 EL 소자라 한다.
- [0319] 유기 EL 소자에서는, 발광 소자에 전압을 인가하는 것에 의해, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광 성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 이후, 이를 캐리어(전자 및 정공)가 재결합하는 것에 의해, 발광성의 유기 화합물이 여기 상태(excited state)를 형성한다. 발광성의 유기 화합물은 여기 상태로부터 기저 상태로 복귀되며, 이로써 발광한다. 이러한 메커니즘으로부터, 이러한 발광 소자를 전류 여기형 발광 소자라 한다.
- [0320] 무기 EL 소자는, 그 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더에 분산되게 한 발광층을 가지며, 발광 메커니즘은 도너(donor) 준위와 억셉터(acceptor) 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층들 사이에 끼우고 또한 상기 유전체층들은 전극들 사이에 끼워지는 구조이며, 발광 메커니즘은 금속 이온의 내각 전자 천이를 이용하는 국부형(localized type) 발광이다. 실시예 13에서는, 발광 소자로서 유기 EL 소자를 이용하여 설명한다.
- [0321] 도 23은, 디지털 시간 계조법에 의해 구동될 수 있는 반도체 장치의 예로서의 화소 구성의 일례를 나타낸다.
- [0322] 디지털 시간 계조법에 구동될 수 있는 화소의 구성 및 동작에 대해서 설명한다. 산화물 반도체층을 채널 형성 영역에 이용하는 2개의 n채널형 트랜지스터를 1개의 화소에 포함하는 예를 실시예 13에서 설명한다.
- [0323] 화소(6400)는 스위칭 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 커패시터(6403)를 포함한다. 스위칭 트랜지스터(6401)의 게이트는 주사선(6406)에 접속되며, 스위칭 트랜지스터(6401)의 제1 전극(소스 전극과 드레인 전극 중 하나)은 신호선(6405)에 접속되며, 스위칭 트랜지스터(6401)의 제2 전극(소스 전극과

드레인 전극 중 다른 하나)은 발광 소자 구동용 트랜지스터(6402)의 게이트에 접속되어 있다. 발광 소자 구동용 트랜지스터(6402)의 게이트는 커패시터(6403)를 통해서 전원선(6407)에 접속되며, 발광 소자 구동용 트랜지스터(6402)의 제1 전극은 전원선(6407)에 접속되며, 발광 소자 구동용 트랜지스터(6402)의 제2 전극은 발광 소자(6404)의 제1 전극(화소 전극)에 접속되어 있다. 발광 소자(6404)의 제2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은, 동일 기판상에 제공되는 공통 전위선과 전기적으로 접속된다.

[0324] 발광 소자(6404)의 제2 전극(공통 전극(6408))에는 저전원 전위로 설정되어 있다는 것에 주목해야 한다. 저전원 전위는, 전원선(6407)에 공급되는 고전원 전위보다 낮다. 예를 들면, 저전원 전위로서 GND 또는 0 V가 설정되어도 된다. 고전원 전위와 저전원 전위의 전위차를 발광 소자(6404)에 인가하여 발광 소자(6404)에 전류를 흘림으로써, 발광 소자(6404)가 발광한다. 그래서, 고전원 전위와 저전원 전위의 전위차가 발광 소자(6404)의 순방향 임계값 전압 이상이 되도록 각각의 전위를 설정한다.

[0325] 커패시터(6403)에 대해 발광 소자 구동용 트랜지스터(6402)의 게이트 용량을 대용해서 커패시터(6403)을 생략하는 것도 가능하다. 발광 소자 구동용 트랜지스터(6402)의 게이트 용량은 채널 영역과 게이트 전극 사이에 형성되어 있어도 된다.

[0326] 여기에서, 전압 입력 전압 구동 방식을 이용하는 경우, 발광 소자 구동용 트랜지스터(6402)의 게이트에는, 발광 소자 구동용 트랜지스터(6402)가 완전히 턴온 또는 턴오프하도록 비디오 신호를 입력한다. 즉, 발광 소자 구동용 트랜지스터(6402)는 선형 영역에서 동작하며, 전원선(6407)의 전압보다 높은 전압을 발광 소자 구동용 트랜지스터(6402)의 게이트에 인가한다. 신호선(6405)에는, (전원선 전압 + 발광 소자 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 인가한다는 것에 주목해야 한다.

[0327] 디지털 시간 계조법 대신에 아날로그 계조법을 이용한 경우, 신호의 입력을 변경함으로써, 도 23과 동일한 화소 구성을 채용할 수 있다.

[0328] 아날로그 계조법을 이용한 경우, 발광 소자 구동용 트랜지스터(6402)의 게이트에 (발광 소자(6404)의 순방향 전압 + 발광 소자 구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 인가한다. 발광 소자(6404)의 순방향 전압은 원하는 휙도가 얻어지는 전압을 말하며, 적어도 순방향 임계값 전압을 포함한다. 발광 소자 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해서 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 공급할 수 있다. 발광 소자 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위해서, 전원선(6407)의 전위는 발광 소자 구동용 트랜지스터(6402)의 게이트 전위보다 높게 설정된다. 비디오 신호가 아날로그 신호이기 때문에, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘리고, 아날로그 계조법을 수행할 수 있다.

[0329] 화소 구성은 도 23에 나타낸 화소 구성으로 한정되지 않는다. 예를 들면, 도 23에 나타낸 화소에, 스위치, 저항 소자, 커패시터, 트랜지스터, 논리 회로 등이 추가될 수 있다.

[0330] 다음으로, 발광 소자의 구성에 대해 도 24의 (a) 내지 (c)를 참조하여 설명한다. 실시예 13에서는, 발광 소자 구동용의 n-채널 TFT를 예로 들어 화소의 단면 구조를 설명한다. 도 24의 (a) 내지 (c)에 나타낸 반도체 장치에 이용되는 발광 소자 구동용 TFT인 TFT(7001, 7011, 7021)는, 실시예 1에 설명된, 화소에 사용되는 박막 트랜지스터와 마찬가지로 제작할 수 있다. TFT(7001, 7011, 7021)는 산화물 반도체층을 각각 포함하는 신뢰성이 높은 박막 트랜지스터이다. 대안으로서, 실시예 2 내지 실시예 9에 설명된, 화소에 사용되는 박막 트랜지스터를 TFT(7001, 7011, 7021)로서 채용할 수도 있다.

[0331] 발광 소자로부터의 발광을 취출하기 위해서 적어도 양극 또는 음극 중 하나는 광을 투과한다. 기판 위에 박막 트랜지스터 및 발광 소자를 형성한다. 발광 소자는, 기판과 마주보는 면으로부터 발광을 취출하는 상면 사출 구조나, 기판측의 면으로부터 발광을 취출하는 하면 사출 구조나, 기판과 마주보는 측 및 기판측의 면으로부터 발광을 취출하는 양면 사출 구조를 가질 수 있다. 상술된 화소 구성은 어느 사출 구조의 발광 소자에도 적용될 수 있다.

[0332] 상면 사출 구조의 발광 소자에 대해서 도 24의 (a)를 참조하여 설명한다.

[0333] 도 24의 (a)는, 발광 소자 구동용 TFT(7001)가 n형으로 이루어지며, 발광 소자(7002)로부터 광이 양극(7005) 층으로 방출되는 경우의 화소의 단면도이다. 도 24의 (a)에서는, 발광 소자(7002)의 음극(7003)과 발광 소자 구동용 TFT인 TFT(7001)이 전기적으로 접속되며, 음극(7003) 위로 발광층(7004) 및 양극(7005)이 이러한 순서로 적층되어 있다. 음극(7003)은 일함수가 작고 광을 반사한다면 다양한 도전성 재료로 이루어질 수 있다. 예를 들면, Ca, Al, CaF, MgAg, AlLi 등을 이용하는 것이 바람직하다. 발광층(7004)은 단층 또는 적층된 복수의 층

을 이용하여 형성될 수 있다. 복수의 층을 이용하여 발광층(7004)을 형성하였을 경우, 음극(7003) 위로 전자 주입층, 전자 수송층, 발광층, 홀(hole) 수송층, 홀 주입층을 이러한 순서로 적층하여 발광층(7004)을 형성한다. 이들 층을 모두 설치할 필요는 없다는 것에 주목해야 한다. 양극(7005)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라 함), 인듐 아연 산화물, 또는 산화 규소를 첨가한 인듐 주석 산화물 등의 광 투과성 도전성 재료를 이용해서 제작된다.

[0334] 또한, 격벽(7009)이 음극(7003) 위에 제공된다. 격벽(7009)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성된다. 광감성 수지 재료를 이용하여 격벽(7009)을 형성하여, 연속된 곡률을 가지는 경사진 면으로 격벽(7009)의 측벽을 형성하는 것이 바람직하다. 광감성 수지 재료가 격벽(7009)에 이용되는 경우, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.

[0335] 음극(7003)과 양극(7005) 사이에 발광층(7004)이 끼워져 있는 영역이 발광 소자(7002)에 상당한다. 도 24의 (a)에 나타낸 화소의 경우, 발광 소자(7002)로부터 광이 화살표로 나타낸 바와 같이 양극(7005)측으로 방출된다.

[0336] 다음으로, 하면 사출 구조의 발광 소자에 대해서 도 24의 (b)를 참조하여 설명한다. 도 24의 (b)는, 발광 소자 구동용 TFT(7011)가 n형이고 발광 소자(7012)로부터 광이 음극(7013) 측으로 방출되는 경우의 화소의 단면도이다. 도 24의 (b)에서는, 발광 소자 구동용 TFT(7011)에 전기적으로 접속된 투광성을 갖는 도전층(7017)위에 발광 소자(7012)의 음극(7013)이 형성되며, 음극(7013) 위에 발광층(7014) 및 양극(7015)이 이러한 순서로 적층되어 있다. 또한, 양극(7015)이 투광성을 가질 경우, 양극(7015)을 괴복하도록 광을 반사 또는 차폐하기 위한 광-차폐막(7016)이 형성되어 있어도 된다는 것에 주목해야 한다. 음극(7013)에 대해서는, 도 24의 (a)의 경우와 마찬가지로, 일함수가 작은 도전성 재료라면 다양한 재료를 이용할 수 있다. 음극(7013)은, 광을 투과할 수 있는 두께(바람직하게는 약 5 내지 30nm)를 가지고 형성된다는 것에 주목해야 한다. 예를 들면, 20nm의 두께를 갖는 알루미늄층을 음극(7013)으로서 이용할 수 있다. 발광층(7014)은, 도 24의 (a)의 경우와 마찬가지로, 단층 또는 적층된 복수의 층 중 어느 것을 이용하여 형성되어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 24의 (a)의 경우와 마찬가지로, 투광성을 갖는 도전성 재료를 이용해서 형성될 수 있다. 광-차폐막(7016)으로서, 예를 들면 광을 반사하는 금속을 이용할 수 있지만, 금속층으로 한정되지 않는다. 예를 들면, 흑의 안료를 첨가한 수지를 이용할 수도 있다.

[0337] 또한, 격벽(7019)이 도전성 층(7017) 위에 제공된다. 격벽(7019)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성된다. 광감성 수지 재료를 이용하여 격벽(7019)을 형성하여, 연속된 곡률을 가지는 경사진 면으로 격벽(7019)의 측벽을 형성하는 것이 바람직하다. 광감성 수지 재료가 격벽(7019)에 이용되는 경우, 레지스트 마스크를 형성하는 단계가 생략될 수 있다.

[0338] 음극(7013)과 양극(7015) 사이에 발광층(7014)이 끼워져 있는 영역이 발광 소자(7012)에 상당한다. 도 24의 (b)에 나타낸 화소의 경우, 발광 소자(7012)로부터 광이 화살표로 나타낸 바와 같이 음극(7013)으로 방출된다.

[0339] 다음으로, 양면 사출 구조의 발광 소자에 대해서, 도 24의 (c)을 참조하여 설명한다. 도 24의 (c)에서는, 발광 소자 구동용 TFT(7021)와 전기적으로 접속된 투광성을 갖는 도전층(7027) 위에 발광 소자(7022)의 음극(7023)이 형성되며, 음극(7023) 위에 발광층(7024) 및 양극(7025)이 이러한 순서로 적층되어 있다. 음극(7023)은, 도 24의 (a)의 경우와 마찬가지로, 일함수가 작은 도전성 재료라면 다양한 재료를 이용할 수 있다. 단, 음극(7023)은 광을 투과할 수 있는 두께를 이용하여 형성된다는 것을 주목해야 한다. 예를 들면, 20nm의 두께를 갖는 알루미늄막을 음극(7023)으로서 이용할 수 있다. 발광층(7024)은, 도 24의 (a)와 마찬가지로, 단층 또는 적층된 복수의 층으로 형성되어도 좋다. 양극(7025)은, 도 24의 (a)와 마찬가지로, 투광성 도전성 재료를 이용해서 형성될 수 있다.

[0340] 또한, 격벽(7029)은 도전층(7027) 위에 제공된다. 격벽(7029)은 폴리이미드, 아크릴, 폴리아미드, 에폭시 등의 유기 수지막과, 무기 절연막 또는 유기 폴리실록산을 이용하여 형성된다. 격벽(7029)은, 격벽(7029)의 측벽이 연속적인 곡률을 지닌 경사면으로 형성되도록, 광감성 수지 재료를 이용하여 형성되는 것이 바람직하다. 광감성 수지 재료가 격벽(7029)에 사용되는 경우, 레지스트 마스크를 형성하는 단계는 생략될 수 있다.

[0341] 음극(7023), 발광층(7024) 및 양극(7025)이 서로 겹치고 있는 영역이 발광 소자(7022)에 상당한다. 도 24의 (c)에 나타낸 화소의 경우, 화살표로 나타낸 바와 같이 광은 발광 소자(7022)로부터 양극(7025) 측과 음극(7023) 측의 양측으로 방출된다.

- [0342] 실시예 13에서는, 발광 소자로서 유기 EL 소자에 대해서 설명했지만, 발광 소자로서 무기 EL 소자를 설치하는 것도 가능하다.
- [0343] 발광 소자의 구동을 제어하는 박막 트랜지스터(발광 소자 구동용 TFT)와 발광 소자가 발광 소자에 전기적으로 접속되어 있는 예를 설명하였지만, 발광 소자 구동용 TFT와 발광 소자 사이에 전류 제어용 TFT가 접속되어 있는 구성이어도 된다.
- [0344] 반도체 장치의 구성은, 도 24의 (a) 내지 (c)에 나타낸 구성에 한정되는 것이 아니라, 본 명세서에 설명되는 기술적 사상에 기초하여 다양한 방식으로 변형이 가능하다.
- [0345] 다음으로, 반도체 장치의 일 실시예인 발광 표시 패널(발광 패널이라고도 함)의 외관 및 단면에 대해서, 도 25의 (a) 및 (b)를 참조하여 설명한다. 도 25의 (a)는, 제1 기판과 제2 기판 사이에서 시일재로 박막 트랜지스터 및 발광 소자를 밀봉한 패널의 평면도이다. 도 25의 (b)는 도 25의 (a)의 H-I을 따라 취한 단면도이다.
- [0346] 제1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)를 둘러싸도록 시일재(4505)가 제공된다. 또한, 화소부(4502), 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b) 위에 제2 기판(4506)이 제공된다. 따라서 화소부(4502), 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는, 제1 기판(4501), 시일재(4505) 및 제2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 이렇게 표시 장치가 외기에 노출되지 않도록, 기밀성이 높고 탈(脫) 가스가 적은 보호 필름(접합 필름 또는 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0347] 제1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는, 복수의 박막 트랜지스터를 각각 포함하며, 도 25의 (b)에서는, 화소부(4502)에 포함되는 박막 트랜지스터(4510)와, 신호선 구동 회로(4503a)에 포함되는 박막 트랜지스터(4509)를 예시하고 있다.
- [0348] 박막 트랜지스터(4509 및 4510)로서, 실시예 3에 설명된 산화물 반도체층을 포함하는 신뢰성 높은 박막 트랜지스터를 채용할 수 있다. 대안으로서, 실시예 1 및 실시예 2에 설명된 임의의 박막 트랜지스터를 채용해도 좋다. 이러한 실시예에서 박막 트랜지스터(4509 및 4510)는 n 채널형 박막 트랜지스터이다.
- [0349] 또한, 보호 절연층(4543)은 박막 트랜지스터(4509 및 4510) 위에 형성된다. 보호 절연층(4543)은, 수분이나, 수소 이온, OH⁻ 등의 불순물을 가능한 한 포함하지 않고, 이들이 외부로부터 침입하는 것을 차단하는 무기 절연층을 이용하고, 구체적으로는 질화 규소막, 알루미늄 질화막, 질화 규소 산화막, 알루미늄 옥시나이트라이드막 등을 이용하여 형성된다. 보호 절연층(4543)은 투광성을 갖는 절연막이다. 이러한 실시예에서, 질화 규소막은, 보호 절연층(4543)과 마찬가지로 PCVD법에 의해 형성된다.
- [0350] 절연층(4544)은 평탄화 절연층으로 형성된다. 절연층(4544)으로서는, 폴리이미드, 아크릴, 벤조사이클로부텐(benzocyclobutene), 폴리아미드 또는 에폭시와 같은 내열성을 갖는 유기 재료가 사용될 수 있다. 이러한 유기 재료 외에는, 저유전율 재료(낮은 k 재료), 실로키산계 수지, PSG, BPSG 등을 이용할 수 있다. 이들의 재료 중 임의의 것을 이용하여 형성되는 복수의 절연층을 적층시킴으로써, 절연층(4544)을 형성해도 좋다는 것에 주목해야 한다. 이러한 실시예에서는, 아크릴이 절연층(4544)으로서 이용된다.
- [0351] 또한, 참조 번호 4511은 발광 소자를 나타낸다. 발광 소자(4511)에 포함되는 화소 전극인 제1 전극층(4517)은, 박막 트랜지스터(4510)의 소스 전극층 또는 드레인 전극층에 전기적으로 접속되어 있다. 발광 소자(4511)의 구성은, 제1 전극층(4517), 전계 발광층(4512), 제2 전극층(4513)을 포함하는, 실시예 13에서 설명되는 적층 구조로 한정되지 않는다는 것에 주목해야 한다. 발광 소자(4511)의 구성은, 발광 소자(4511)로부터 광이 취출되는 방향 등에 따라 적절히 변경될 수 있다.
- [0352] 격벽(4520)은, 유기 수지막, 무기 절연막 또는 유기 폴리실록산을 이용해서 형성된다. 감광성의 재료를 이용하여 제1 전극층(4517) 위에 개구부를 형성하는 것에 의해 그 개구부의 측벽이 연속한 곡률을 갖는 경사면으로 형성되도록 격벽(4520)을 형성하는 것이 바람직하다.
- [0353] 전계 발광층(4512)은 단수의 층으로 형성되어도 좋고, 복수의 적층된 층으로 형성되어도 좋다.
- [0354] 발광 소자(4511)에 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제2 전극층(4513) 및 격벽(4520) 위에 산화물 절연층을 형성해도 좋다.
- [0355] 신호선 구동 회로(4503a 및 4503b), 주사선 구동 회로(4504a 및 4504b) 또는 화소부(4502)에는 각종 신호 및

전위가 FPC(4518a 및 4518b)로부터 공급된다.

- [0356] 접속 단자 전극(4515)은, 발광 소자(4511)에 포함되는 제1 전극층(4517)과 동일한 도전층을 이용하여 형성되며, 단자 전극(4516)은, 박막 트랜지스터(4509)에 포함되는 소스 및 드레인 전극층과 동일한 도전층을 이용하여 형성된다.
- [0357] 접속 단자 전극(4515)은, 이방성 도전층(4519)을 통하여 FPC(4518a)의 단자에 전기적으로 접속되어 있다.
- [0358] 발광 소자(4511)로부터 광이 취출되는 방향에 위치되는 제2 기판(4506)에는, 투광성이 요구된다. 이러한 경우, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성 재료를 이용한다.
- [0359] 충전재(4507)로서는 질소나 아르곤 등의 불활성 가스 이외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수 있다. 예를 들면, PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 브티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 예를 들면, 충전재로서 질소를 이용하면 좋다.
- [0360] 필요하다면, 편광판, 원형 편광판(타원형 편광판을 포함함), 위상차판(1/4 파장판, 1/2 파장판) 또는 컬러 필터 등의 광학 필름을 발광 소자의 사출면에 적절히 설치하여도 된다. 또한, 편광판 또는 원형 편광판에 반사 방지 층을 제공하여도 된다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여 눈부심을 감소시키는 눈부심 방지 처리를 행하여도 좋다.
- [0361] 신호선 구동 회로(4503a 및 4503b) 및 주사선 구동 회로(4504a 및 4504b)는, 별도로 준비된 기판상에 단결정 반도체층 또는 다결정 반도체층을 이용하여 형성된 구동 회로로서 실장되어 있어도 된다. 대안으로서, 신호선 구동 회로 혹은 이의 일부 또는 주사선 구동 회로 혹은 이의 일부만을 별도로 형성해서 실장하여도 좋다. 실시예 13은 도 25의 (a) 및 (b)에 나타낸 구성으로 한정되지 않는다.
- [0362] 이상의 공정에 의해, 반도체 장치로서 신뢰성이 높은 발광 표시 패널(발광 패널)을 제작할 수 있다.
- [0363] 실시예 13은, 본 명세서에 설명된 임의의 다른 실시예와 적절히 조합하여 실시하는 것이 가능하다.
- [0364] [실시예 14]
- [0365] 전자 페이퍼로서 본 명세서에 개시되는 반도체 장치를 적용할 수 있다. 전자 페이퍼는 데이터를 표시할 수 있다면 모든 분야의 전자 기기에 이용하는 것이 가능하다. 예를 들면, 전자 페이퍼는, e-북 리더(e-book reader)(전자 서적), 포스터, 전철 등의 탈것의 차내 광고, 신용 카드 등의 각종 카드의 표시 등에 적용될 수 있다. 전자 기기의 일례를 도 26에 나타낸다.
- [0366] 도 26은, e-북 리더(2700)의 일례를 나타낸다. 예를 들면, e-북 리더(2700)는 하우징(2701) 및 하우징(2703)을 포함한다. 하우징(2701) 및 하우징(2703)이 힌지(2711)에 의해 결합되어, e-북 리더(2700)는 힌지(2711)를 축으로서 개폐 동작을 행할 수 있다. 이러한 구성에 의해, e-북 리더(2700)는 서적과 같은 동작을 행할 수 있다.
- [0367] 하우징(2701)에는 표시부(2705)가 내장되고, 하우징(2703)에는 표시부(2707)가 내장된다. 표시부(2705) 및 표시부(2707)는 하나의 화상 또는 상이한 화상을 표시할 수 있다. 표시부(2705) 및 표시부(2707)가 상이한 화상을 표시하는 경우, 예를 들면 우측의 표시부(도 26에서는 표시부(2705))에 문장을 표시하고, 좌측의 표시부(도 26에서는 표시부(2707))에 그래픽을 표시할 수 있다.
- [0368] 도 26에서는, 하우징(2701)에 조작부 등을 제공한 예를 나타내고 있다. 예를 들면, 하우징(2701)에는, 전원 스위치(2721), 조작 키(2723), 스피커(2725) 등이 제공되어 있다. 조작 키(2723)에 의해 페이지를 넘길 수 있다. 하우징의 표시부와 동일면에 키보드나, 포인팅 디바이스 등을 제공하여도 좋다는 것에 주목해야 한다. 또한, 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자), 기록 매체 삽입부 등을 하우징의 이면이나 측면에 제공하여도 된다. 또한, e-북 리더(2700)는, 전자 사전의 기능을 구비하여도 좋다.
- [0369] e-북 리더(2700)는, 무선으로 데이터를 송수신할 수 있는 구성으로 하여도 된다. 무선에 의해, 전자 서적 서버로부터, 원하는 서적 데이터 등을 구입하고 다운로드할 수 있다.
- [0370] [실시예 15]
- [0371] 본 명세서에 개시되는 반도체 장치는, 각종 전자 기기(오락 기기를 포함)에 적용할 수 있다. 전자 기기로서는, 예를 들면, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터 등의 모니터, 디지털 카메라, 디

지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화기, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대형 정보 단말기, 음향 재생 장치, 빠찡꼬 등의 대형 게임기 등이 있다.

[0372] 도 27의 (a)는 텔레비전 장치(9600)의 일례를 나타내고 있다. 텔레비전 장치(9600)에서는, 하우징(9601)에 표시부(9603)가 내장되어 있다. 표시부(9603)에 영상을 표시하는 것이 가능하다. 이러한 예에서는, 스탠드(9605)에 의해 하우징(9601)이 지지된다.

[0373] 텔레비전 장치(9600)는 하우징(9601)의 조작 스위치나, 별도의 리모컨 조작기(9610)로 조작될 수 있다. 리모컨 조작기(9610)의 조작 키(9609)에 의해 채널이나 음량의 조작을 행할 수 있어, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모컨 조작기(9610)에, 리모컨 조작기(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 설치하는 구성으로 하여도 된다.

[0374] 텔레비전 장치(9600)에는, 수신기나 모뎀 등이 제공된다는 것에 주목해야 한다. 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있다. 또한, 텔레비전 장치(9600)가 모뎀을 통해 유선 또는 무선에 의한 통신 네트워크에 접속하는 것에 의해, 한 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 간, 혹은 수신자들끼리 등)의 데이터 통신을 행하는 것도 가능하다.

[0375] 도 27의 (b)는 디지털 포토 프레임(9700)의 일례를 나타내고 있다. 예를 들면, 디지털 포토 프레임(9700)에서, 하우징(9701)에는 표시부(9703)가 내장되어 있다. 표시부(9703)에는 각종 화상을 표시하는 것이 가능하다. 예를 들면, 디지털 카메라 등으로 촬영한 화상 데이터를 표시부(9703)에 표시시킴으로써, 통상적인 포토 프레임으로서 기능시킬 수 있다.

[0376] 디지털 포토 프레임(9700)에는, 조작부, 외부 접속부(USB 단자, USB 케이블 등의 각종 케이블에 접속 가능한 단자 등), 기록 매체 삽입부 등이 제공된다는 것에 주목해야 한다. 이를 구성은, 표시부와 동일면에 제공되어도 좋지만, 측면이나 이면에 제공되는 것이 디지털 포토 프레임(9700)의 디자인성을 위해 바람직하다. 예를 들면, 디지털 포토 프레임(9700)의 기록 매체 삽입부에, 디지털 카메라에 의해 촬영한 화상 데이터를 기억한 메모리를 삽입하는 것에 의해, 화상 데이터를 다운로드하여 표시부(9703)에 표시시킬 수 있다.

[0377] 디지털 포토 프레임(9700)은, 무선으로 데이터를 송수신할 수 있는 구성으로 하여도 된다. 무선 통신에 의해, 원하는 화상 데이터를 다운로드하여 표시시킬 수 있다.

[0378] 도 28의 (a)는 하우징(9881)과 하우징(9891)의 2개의 하우징을 포함하는 휴대용 오락 기기를 나타낸다. 하우징(9881 및 9891)은 개폐 가능하도록 연결부(9893)에 의해 연결되어 있다. 하우징(9881)에는 표시부(9882)가 내장되고, 하우징(9891)에는 표시부(9883)가 내장되어 있다. 또한, 도 28의 (a)에 나타내는 휴대형 오락 기기는, 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작 키(9885), 접속 단자(9887), 센서(9888)(센서는 힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학 물질, 소리, 시간, 경도(hardness), 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 경도(gradient), 진동, 냄새 또는 적외선을 측정하는 기능을 구비함), 마이크로폰(9889)) 등을 포함한다. 물론, 휴대형 오락 기기의 구성은 전술한 것에 한정되지 않고, 적어도 본 명세서에 개시되는 반도체 장치가 제공된 임의의 다른 구성이 채용될 수 있다. 휴대용 오락 기기는 다른 부속 설비를 적절히 포함하여도 좋다. 도 28의 (a)에 나타낸 휴대형 오락 기기는, 기록 매체에 기록되어 있는 프로그램 또는 데이터를 읽어서 표시부에 표시하는 기능과, 다른 휴대형 오락 기기와 무선 통신을 행해서 정보를 공유하는 기능을 갖는다. 또한, 도 28의 (a)에 나타낸 휴대형 오락 기기가 갖는 기능은 이에 한정되지 않고, 다양한 기능을 가질 수 있다는 것에 주목해야 한다.

[0379] 도 28의 (b)는 대형 오락 기기인 슬롯 머신(9900)의 일례를 나타내고 있다. 슬롯 머신(9900)에서, 하우징(9901)에는 표시부(9903)가 내장되어 있다. 또한, 슬롯 머신(9900)은 스타트 레버(lever)나 스톱 스위치 등의 조작 수단, 코인 투입구, 스피커 등을 포함한다. 물론, 슬롯 머신(9900)의 구성은 전술한 것에 한정되지 않고, 적어도 본 명세서에 개시하는 반도체 장치를 구비한 임의의 다른 구성을 채용해도 좋다. 슬롯 머신(9900)은 기타 부속 설비를 적절히 포함할 수 있다.

[0380] 도 29의 (a)는 휴대형의 컴퓨터 일례를 나타내는 사시도이다.

[0381] 도 29의 (a)의 휴대형 컴퓨터에서는, 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 헌지 유닛을 폐쇄 상태로 해서 표시부(9303)를 갖는 상부 하우징(9301)과 키보드(9304)를 갖는 하부 하우징(9302)을 서로 겹친 상태로 할 수 있다. 도 29의 (a)의 휴대용 컴퓨터는 운반하는 것이 편리하며, 사용자가 키보드 입력하는 경우, 헌지 유닛을 개방 상태로 하여, 표시부(9303)를 보면서 입력 조작을 행할 수 있다.

- [0382] 하부 하우징(9302)은 키보드(9304) 외에 데이터 입력을 행할 수 있는 포인팅 디바이스(9306)를 포함한다. 또한, 표시부(9303)가 터치 입력 패널인 경우, 표시부의 일부에 접촉함으로써 데이터 입력을 행할 수 있다. 또한, 하부 하우징(9302)은 CPU나 하드 디스크 등의 연산 기능부를 포함한다. 또한, 하부 하우징(9302)은 다른 디바이스, 예를 들면 USB의 통신 규격에 준거한 통신 케이블이 삽입되는 외부 접속 포트(9305)를 포함한다.
- [0383] 상부 하우징(9301)은, 상부 하우징(9301) 내부로 슬라이드시켜 수납가능한 표시부(9307)를 더 포함함으로써, 넓은 표시 화면을 실현할 수 있다. 또한, 하우징(9301)에 수납가능한 표시부(9307)의 화면의 방향을 사용자가 조절할 수 있다. 상부 하우징(9301)에 수납가능한 표시부(9307)가 터치 입력 패널인 경우, 상부 하우징(9301)에 수납가능한 표시부(9307)의 일부에 접촉하는 것으로 데이터 입력을 행할 수 있다.
- [0384] 표시부(9303) 또는 상부 하우징(9301)에 수납가능한 표시부(9307)는, 액정 표시 패널, 유기 발광 소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 영상 표시 장치를 이용하여 형성된다.
- [0385] 또한, 도 29의 (a)의 휴대형 컴퓨터는, 수신기 등을 구비하며 텔레비전 방송을 수신하여 영상을 표시부에 표시 할 수 있다. 상부 하우징(9301)과 하부 하우징(9302)을 접속하는 힌지 유닛을 폐쇄 상태로 하여 표시부(9307)를 슬라이드시켜 화면 전체면을 노출시켜 텔레비전 방송을 볼 수 있다. 이 경우, 힌지 유닛을 개방 상태로 하지 않고 표시부(9303) 상에서 표시를 행하지 않고, 텔레비전 방송을 표시하기 위한 회로만의 동작을 행하므로, 소비 전력을 최소한으로 억제할 수 있어, 이는 배터리 용량이 한정되어 있는 휴대형의 컴퓨터에 유용하다.
- [0386] 도 29의 (b)는, 손목 시계와 같이 사용자의 팔에 착용 가능한 휴대 전화 기기의 일례를 나타내는 사시도이다.
- [0387] 이러한 휴대 전화 기기는, 적어도 전화 기능을 포함하는 통신 장치 및 배터리를 포함하는 본체와, 본체를 팔에 착용하기 위한 밴드부(9204)와, 팔에 고정되는 밴드부를 조절하기 위한 조절부(9205)와, 표시부(9201)와, 스피커(9207)와, 마이크(9208)를 포함한다.
- [0388] 본체는 조작 스위치(9203)를 포함한다. 조작 스위치(9203)는, 예를 들면 전원 입력 스위치, 표시 전환 스위치, 활성 개시 지시 스위치로서 기능하거나, 또는 스위치를 누르면 인터넷용의 프로그램이 기동되는 버튼으로서 기능하므로, 상이한 기능을 대응시킬 수 있다.
- [0389] 이러한 휴대 전화로의 데이터 입력은, 표시부(9201)에 손가락이나 입력 펜으로 터치하거나, 조작 스위치(9203)의 조작 또는 마이크(9208)로의 음성 입력에 의해 행해진다. 도 29의 (b)에는, 표시부(9201)에 표시된 표시 버튼(9202)을 나타내고 있다는 것에 주목해야 한다. 손가락 등으로 표시 버튼(9202)을 터치하는 것에 의해 데이터 입력을 행할 수 있다.
- [0390] 또한, 본체는, 카메라 렌즈를 통과시켜 결상되는 피사체 상을 전자 화상 신호로 변환하는 활성 수단을 포함하는 카메라부(9206)를 포함한다. 카메라부는 반드시 설치하지 않더라도 된다는 것에 주목해야 한다.
- [0391] 도 29의 (b)에 나타내는 휴대 전화기는 텔레비전 방송의 수신기 등을 구비한 구성으로서, 텔레비전 방송을 수신 해서 영상을 표시부(9201)에 표시할 수 있다. 또한, 도 29의 (b)에 나타내는 휴대 전화기는 메모리 등의 기억 장치 등을 구비한 구성으로서, 텔레비전 방송을 메모리에 녹화할 수 있다. 도 29의 (b)에 나타내는 휴대 전화기는 GPS 등의 위치 정보를 감지할 수 있는 기능을 가져도 좋다.
- [0392] 표시부(9201)로서는, 액정 표시 패널과, 유기 발광 소자 또는 무기 발광 소자 등의 발광 표시 패널 등의 영상 표시 장치가 이용된다. 도 29의 (b)에 나타낸 휴대 전화기는 소형이며 경량이고, 도 29의 (b)에 나타낸 휴대 전화기의 배터리 용량은 한정적이다. 따라서, 표시부(9201)를 위한 표시 장치로서는 저소비 전력으로 구동될 수 있는 패널을 이용하는 것이 바람직하다.
- [0393] 또한, 도 29의 (b)는 팔에 착용하는 전자 기기를 나타내었지만, 휴대할 수 있는 형상이라면, 특별히 한정되지 않는다는 것에 주목해야 한다.
- [0394] [실시예 1]
- [0395] 제1 원리 MD(분자 동력학) 시뮬레이션을 이용하여, 산화물 반도체층과 산소 분자의 상호 작용을 계산하였다. 이러한 예에서는, 계산 소프트웨어로서 Accelrys 사의 CASTEP을 이용하였다. 계산 조건은, NVT 양상불을 이용, 시간을 0.5 피코초(picosecond), 온도를 350°C로 설정하였다. 계산 방법으로서는 슈도포텐셜 평면파법(pseudo-potential plane-wave method)을 이용한 밀도 범함수 이론(density functional theory)을 채용하였다. 또한, GGA-PBE가 범함수에 이용되었다.
- [0396] 이러한 예에서는, 12개의 인듐 원자, 12개의 갈륨 원자, 12개의 아연 원자, 및 46개의 산소 원자로 형성된 아몰

퍼스 구조를 IGZO 표면의 계산 모델로서 이용하였다. 계산에 이용되는 기본 격자는 1.02nm x 1.02nm x 2.06nm의 직방체이었다. 주기 경계 조건이 경계에 이용되었다. 이하에서는 상술된 표면 모델에 산소 분자를 부가한 모델을 이용하였다.

[0397] 산화물 반도체층의 표면과, 산화물 반도체층의 표면 근방에 배치한 산소 분자의 초기 상태를 도 30의 (a)에 나타낸다. 0.5 피코초 후의 이들의 위치를 도 30의 (b)에 나타낸다. 도 30의 (b)에서는, 산소 분자가 산화물 반도체층 표면의 금속에 흡착되어 있다. 0.5 피코초 내에서는, 산소 분자의 공유 결합이 해제되는 상태에 이르지 않았다.

[0398] 그러나, 산소 원자는 산소 원자끼리 결합한 상태보다도 금속 원자와 인접한 구조가 열역학적으로 보다 안정적이다. 또한, 산화물 반도체층의 밀도의 측정값을 이용하여 제작한 구조 모델로부터 알 수 있는 바와 같이, 산소 분자가 공유 결합을 유지한 채 확산하기 위해서는 산화물 반도체층 내부의 스페이스는 너무 좁다. 따라서, 산소 원자는, 열역학적 평형에 달한 경우, 산화물 반도체층 내부로 확산한다.

[0399] 다음으로, 산소 농도가 높은 영역 및 산소 농도가 낮은 영역을 포함하는 산화물 반도체층에서의, 가열 처리에 수반하는 산소의 확산 현상에 대해서 계산하였다. 그 결과를, 도 31 및 도 32를 참조하여 설명한다. 이러한 예에서, 계산용의 소프트웨어로서는, Fujitsu 주식회사의 Materials Explorer 5.0을 이용하였다.

[0400] 도 31에, 계산에 이용된 산화물 반도체층의 모델을 나타낸다. 이러한 예에서, 산화물 반도체층(701)은, 산소 농도가 낮은 층(703) 및 산소 농도가 높은 층(705)이 적층되는 구조를 갖는다.

[0401] 산소 농도가 낮은 층(703)으로서, 15개의 인듐 원자, 15개의 갈륨 원자, 15개의 아연 원자 및 54개의 산소 원자로 이루어지는 아몰퍼스 구조를 채용하였다.

[0402] 산소 농도가 높은 층(705)으로서, 15개의 인듐 원자, 15개의 갈륨 원자, 15개의 아연 원자 및 66개의 산소 원자로 이루어지는 아몰퍼스 구조를 채용하였다.

[0403] 또한, 산화물 반도체층(701)의 밀도를 5.9g/cm³로 설정하였다.

[0404] 다음으로, 산화물 반도체층(701)에 대하여, NVT 양상을 및 온도 250°C의 조건하에서 고전 MD(분자 동력학) 시뮬레이션을 행하였다. 시간 단위 폭을 0.2 펌토초(femtoseconds)로 설정하고 총계산 시간은 200 피코초이었다. 금속 산소 결합 및 산소 산소 결합에 Born-Mayer-Huggins 포텐셜을 이용하였다. 또한, 산화물 반도체층(701)의 상단 및 하단의 원자의 움직임을 고정하였다.

[0405] 다음으로, 시뮬레이션 결과를 도 32에 나타낸다. Z축을 따른 0nm 내지 1.15nm의 영역은 산소 농도가 낮은 층(703)을 나타내며, Z축을 따른 1.15nm 내지 2.3nm의 영역은 산소 농도가 높은 층(705)을 나타낸다. MD 시뮬레이션 전의 산소의 밀도 분포를 실선(707)로 나타내고, MD 시뮬레이션 후의 산소의 밀도 분포를 파선(709)으로 나타낸다.

[0406] 실선(707)에서는, 산소 농도가 낮은 층(703)과 산소 농도가 높은 층(705)과의 계면보다, 산소 농도가 높은 층(705)에서의 산소의 밀도가 높다. 한편, 파선(709)에서는, 산소 농도가 낮은 층(703) 및 산소 농도가 높은 층(705)에서 산소 농도가 균일하다.

[0407] 이상으로부터, 산소 농도가 낮은 층(703)과 산소 농도가 높은 층(705)의 적층 상태와 마찬가지로, 산소 농도의 분포에 불균일함이 있을 경우, 가열 처리에 의해 산소 농도가 높은 영역으로부터 낮은 영역으로 확산하여, 산소 농도가 균일해진다는 것을 알았다.

[0408] 이때의 산소의 확산에 대해서 도 33의 (a) 내지 (c)에 개략적으로 나타낸다. 산화물 반도체층(711)의 표면으로 산소(713)가 이동한다(도 33의 (a) 참조). 도 33의 (a)에 나타낸 모드에서는, 산화물 반도체층(711)에서 금속(Me)과 산소(O)가 결합하는 형태를 나타낸다. 다음으로, 산소(713)는 산화물 반도체층(711)의 표면에 흡착한다. 도 33의 (b)에는, 산소가 산화물 반도체의 금속(Me)에 흡착된 산화물 반도체층(715)을 나타낸다. 이후, 흡착한 산소는, 산화물 반도체층에 포함되는 금속 이온(Me)과 이온 결합을 발생시켜, 산소 원자의 상태로 산화물 반도체층 내부에 확산한다는 것을 알았다(도 33의 (c) 참조).

[0409] 즉, 실시예 1에서 설명된 바와 같이, 산화물 반도체층(403) 위에 산화물 절연층(407)을 형성하는 것으로, 산화물 반도체층(403) 및 산화물 절연층(407)의 계면에서 산소 농도가 높아지기 때문에, 산소가 산화물 반도체층(403)의 산소 농도가 낮은 쪽으로 확산하고, 따라서, 산화물 반도체층(403)의 저항이 증가된다. 이러한 식으로 막대 트랜지스터의 신뢰성을 향상시킬 수 있다.

[0410]

본 출원은 2009년 7월 10일에 일본 특허청에 출원된 일본 특허 출원 제2009-164134호에 기초한 것이며, 이의 전체 내용이 본 명세서에 참조로 원용된다.

부호의 설명

[0411]

401: 게이트 전극층

402: 게이트 절연층

430: 산화물 반도체층

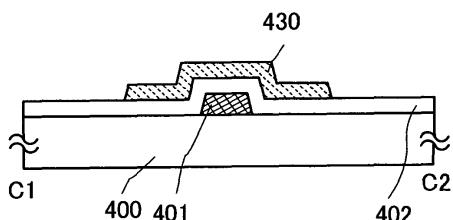
405a, 405b: 소스 전극층, 드레인 전극층

407: 산화물 절연막

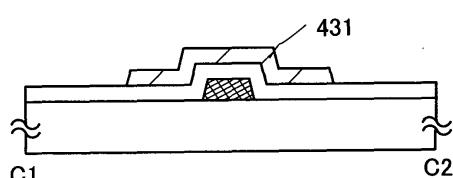
도면

도면1

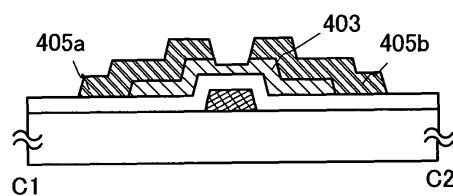
(a)



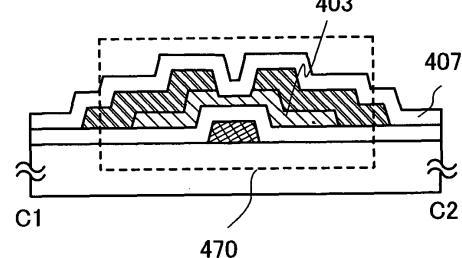
(b)



(c)

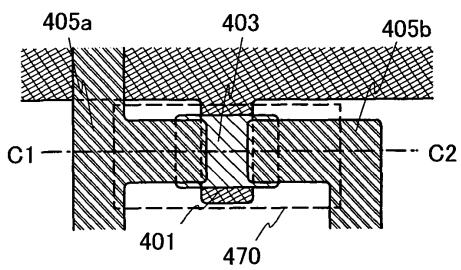


(d)

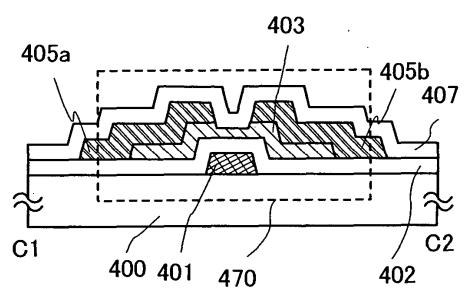


도면2

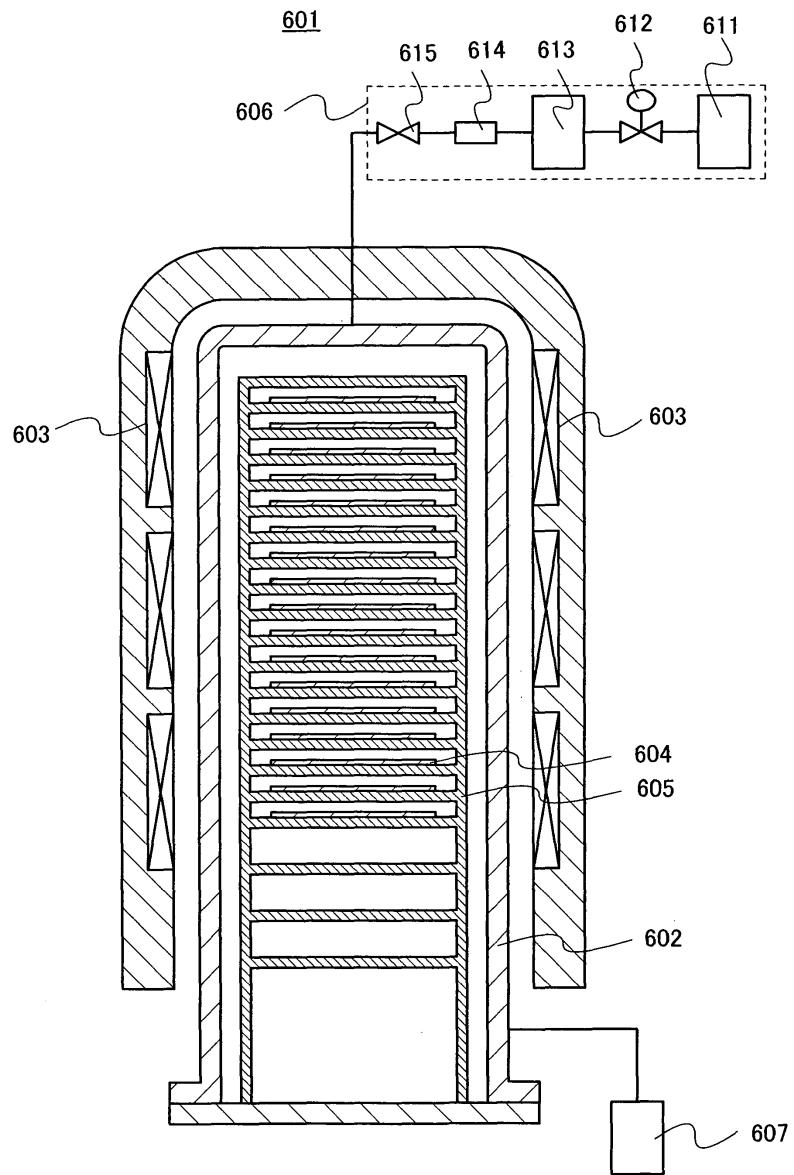
(a)



(b)

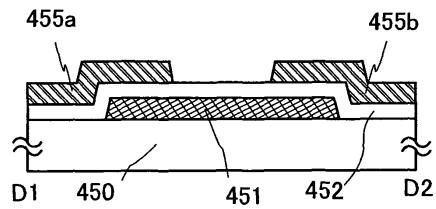


도면3

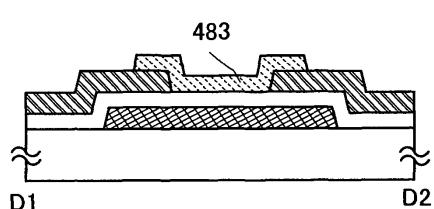


도면4

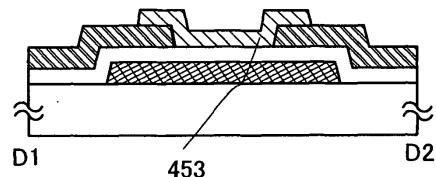
(a)



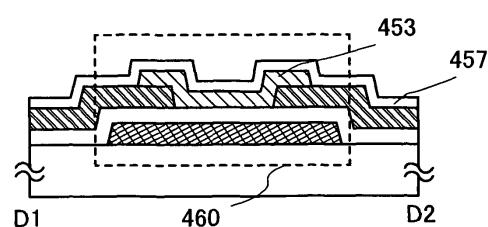
(b)



(c)

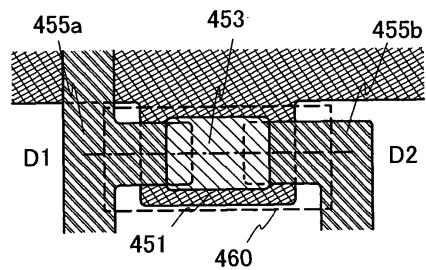


(d)

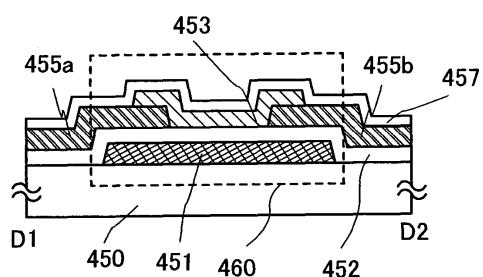


도면5

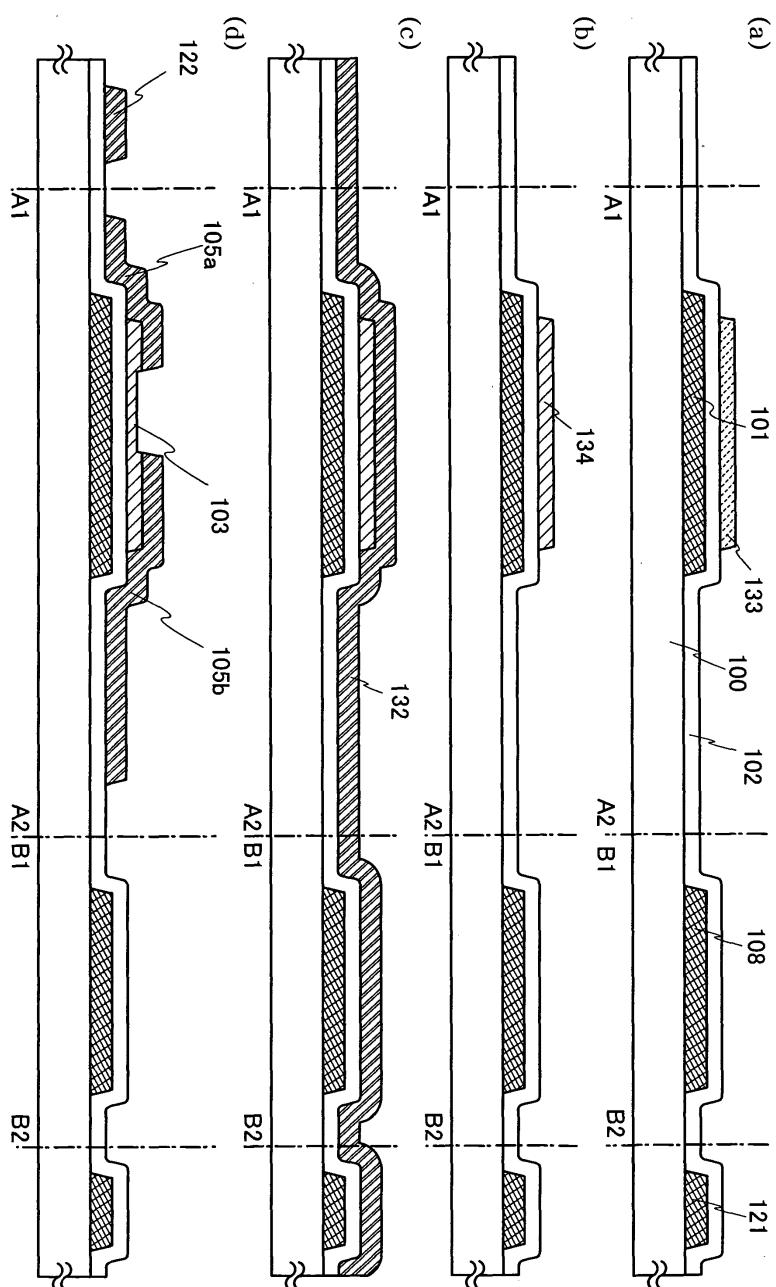
(a)



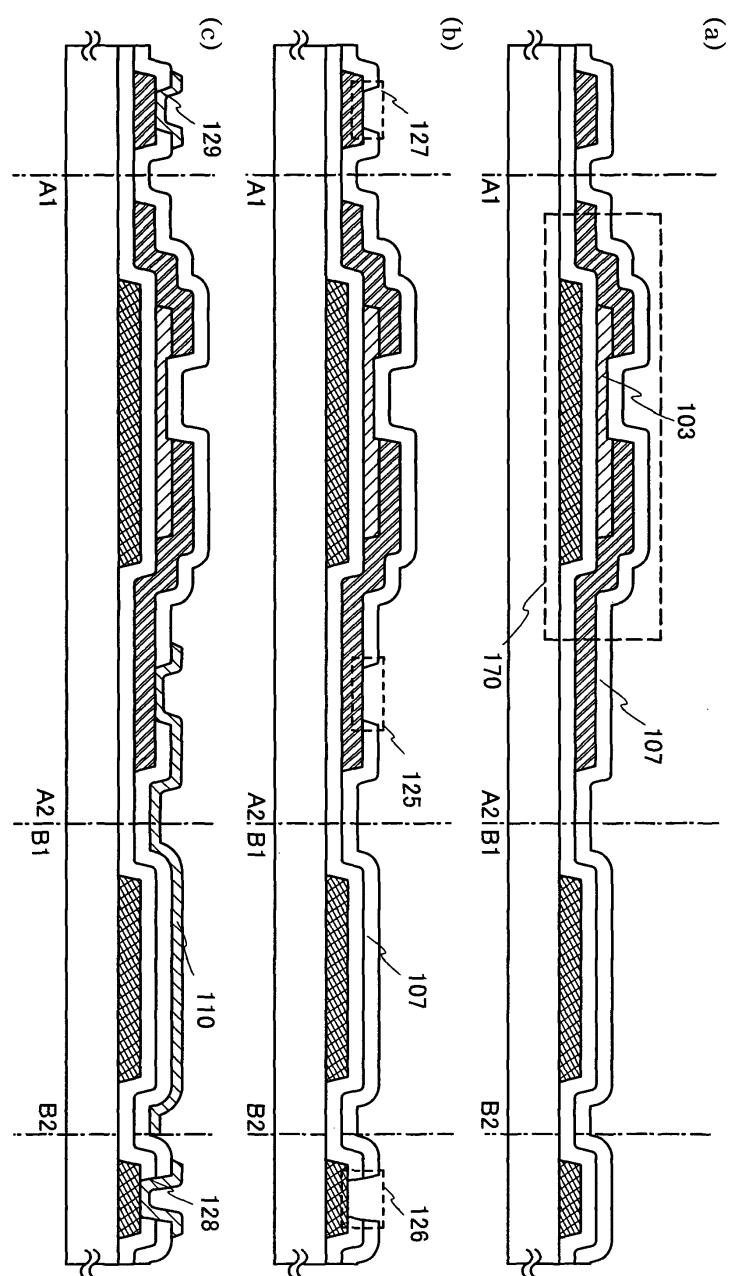
(b)



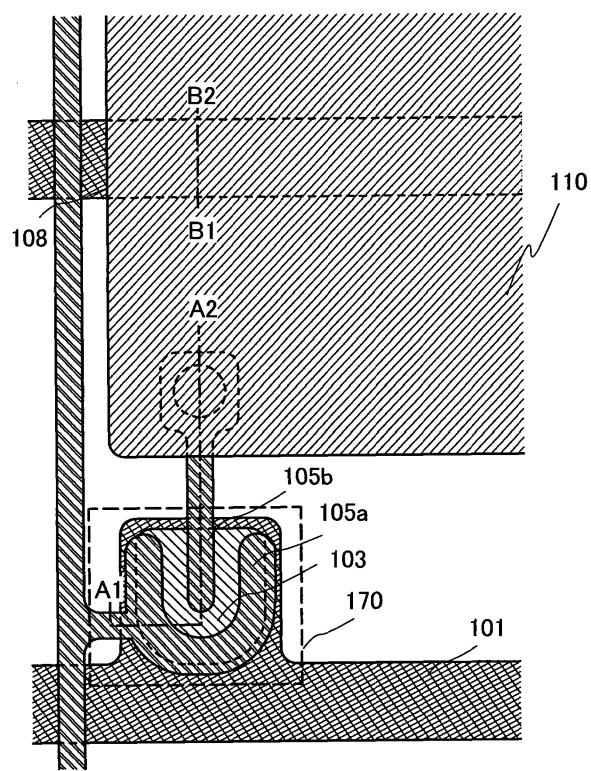
도면6



도면7

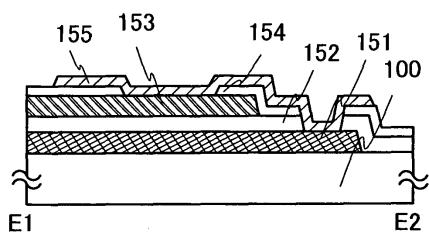


도면8

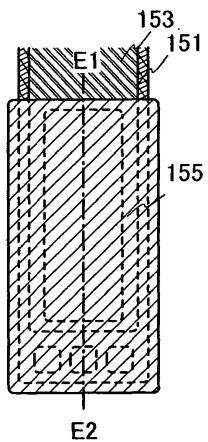


도면9

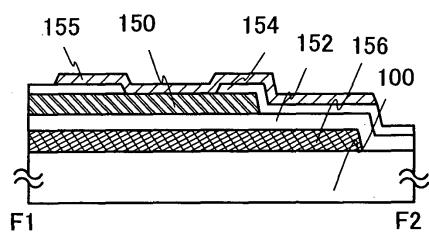
(a1)



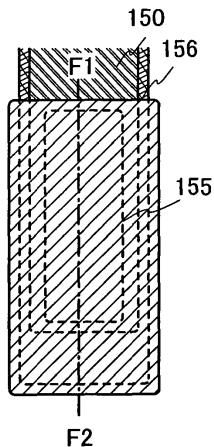
(a2)



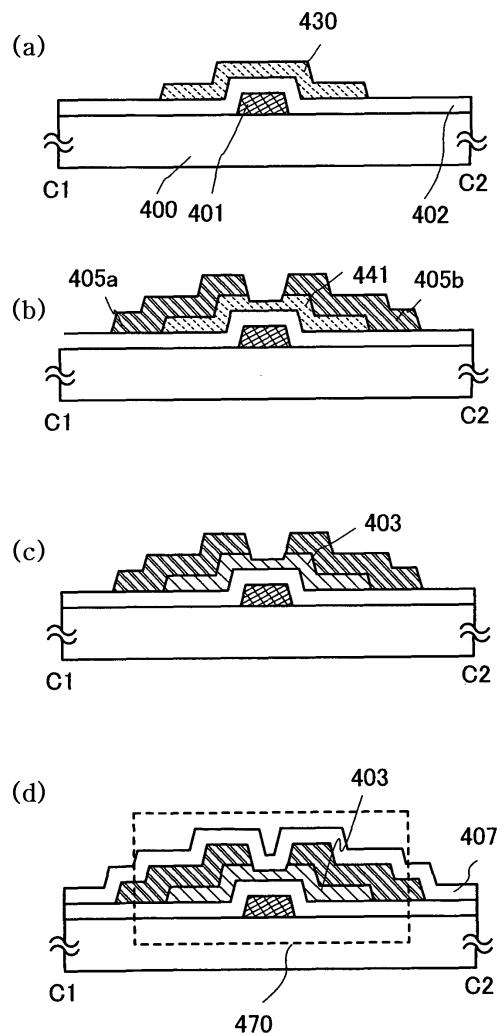
(b1)



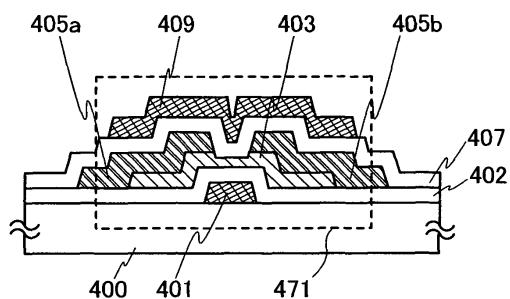
(b2)



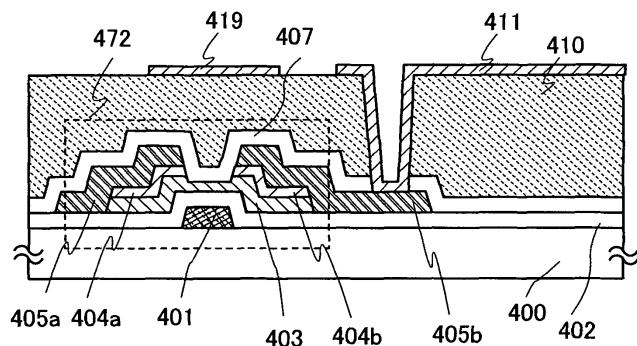
도면10



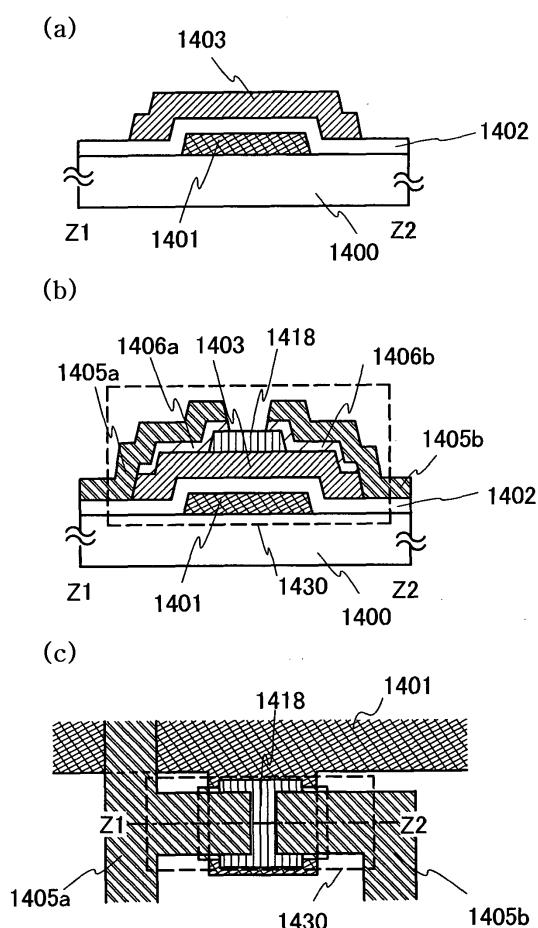
도면11



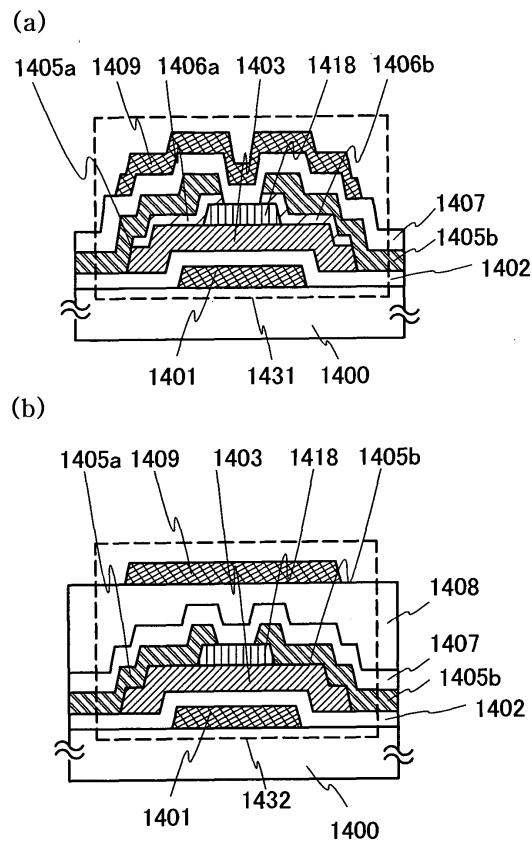
도면12



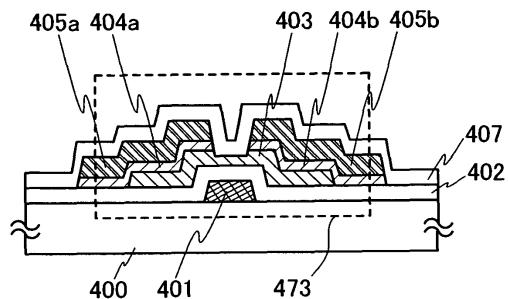
도면13



도면14

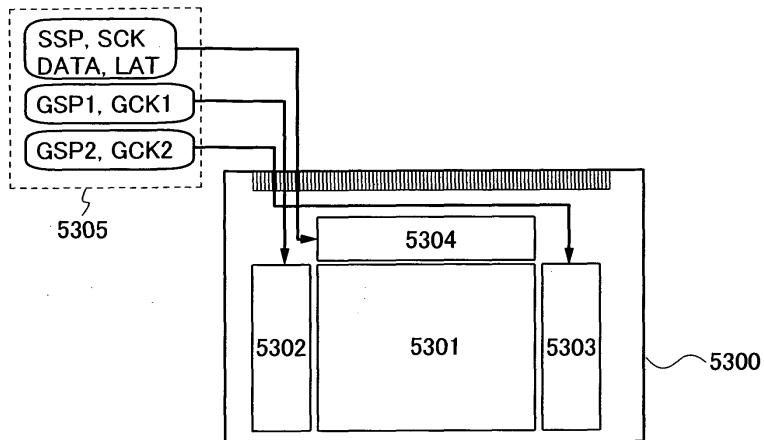


도면15

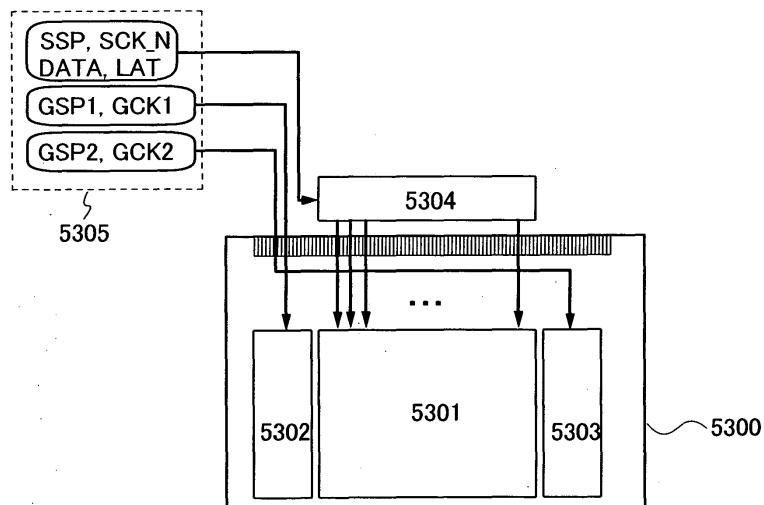


도면16

(a)

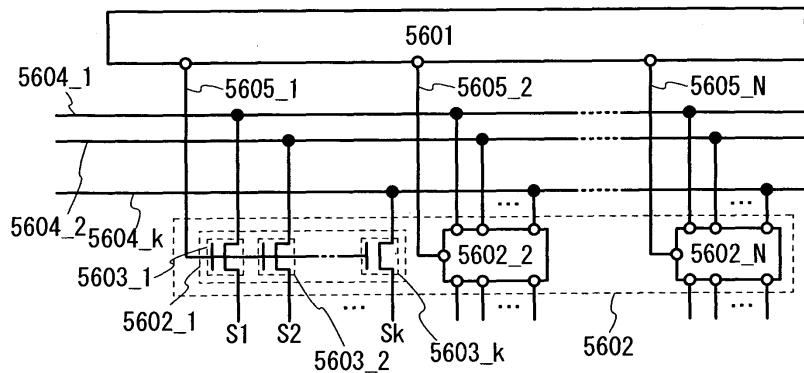


(b)

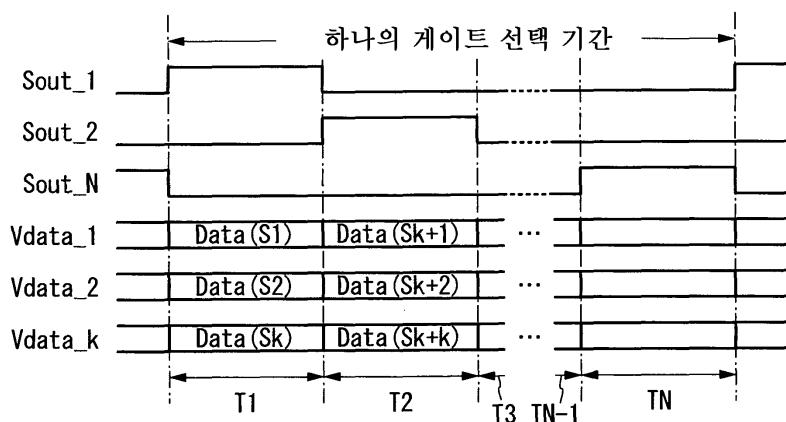


도면17

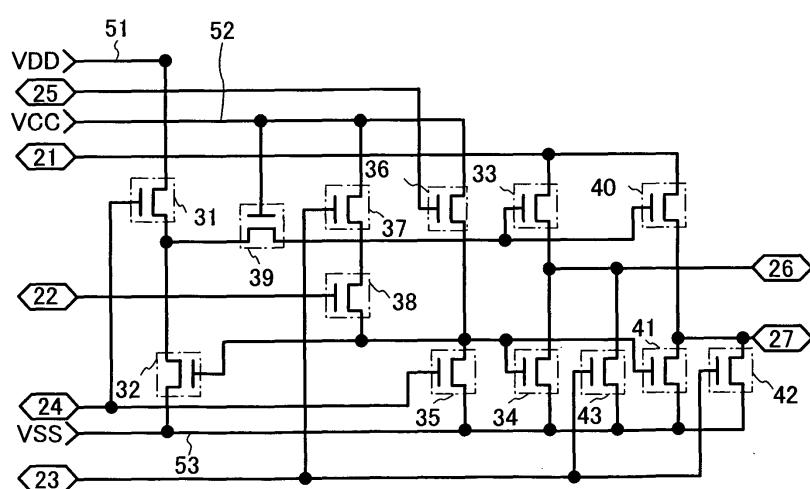
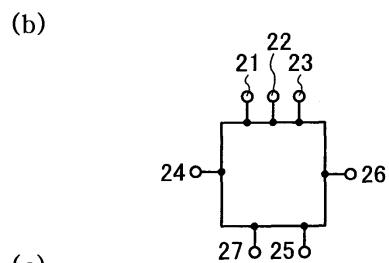
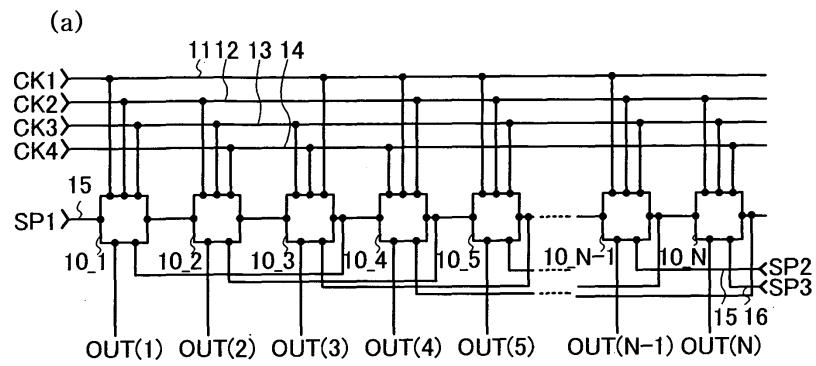
(a)



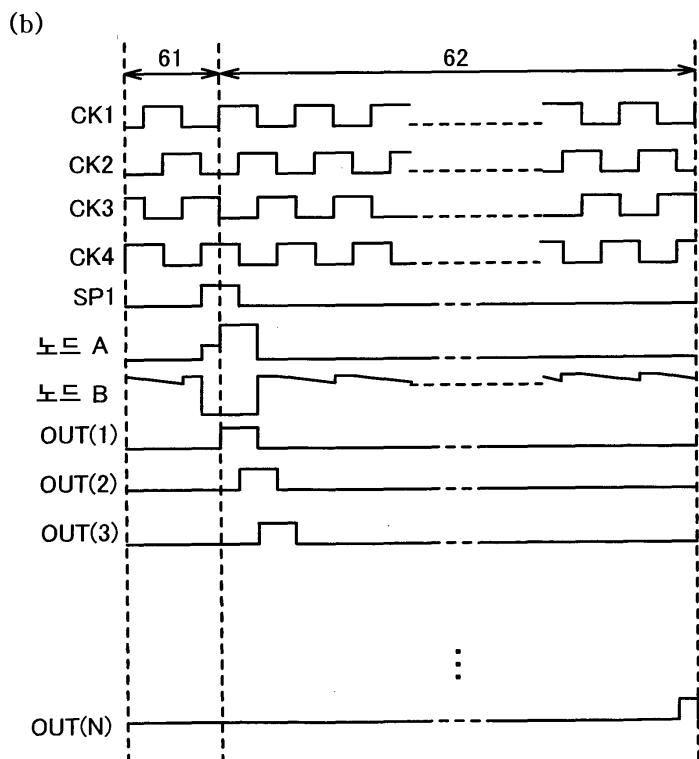
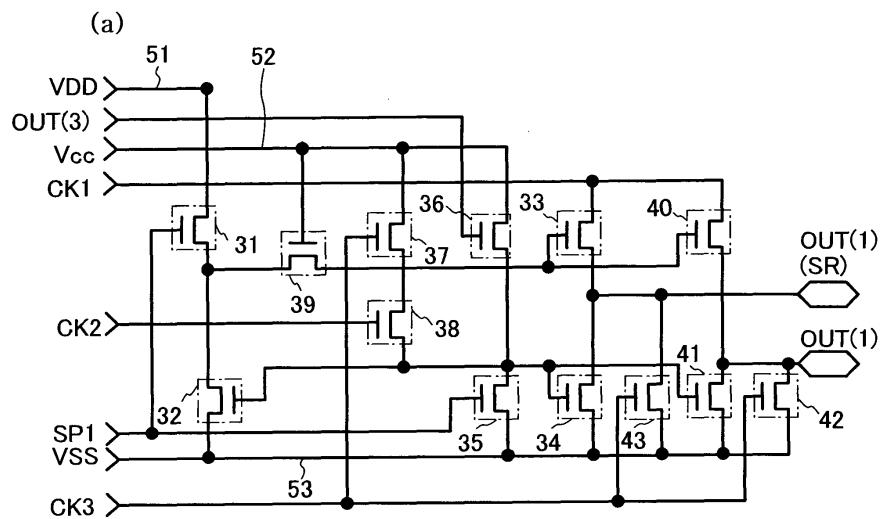
(b)



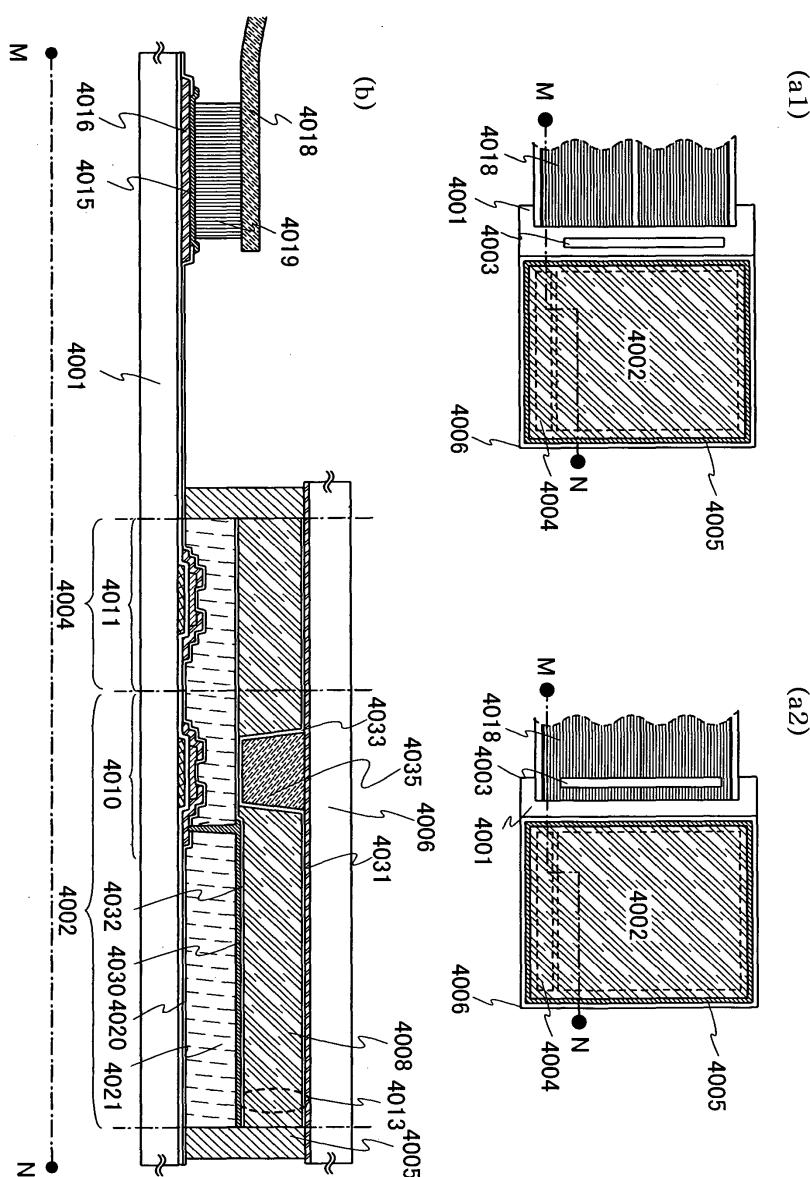
도면18



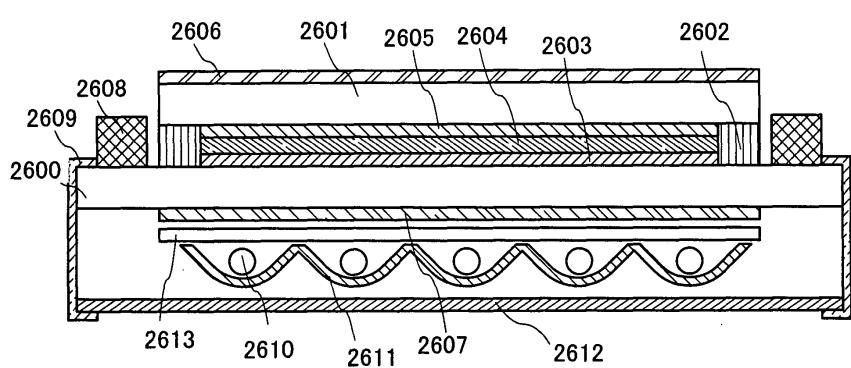
도면19



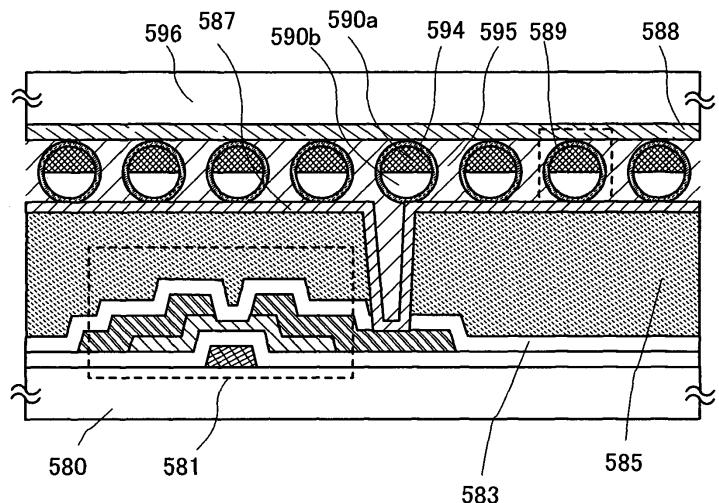
도면20



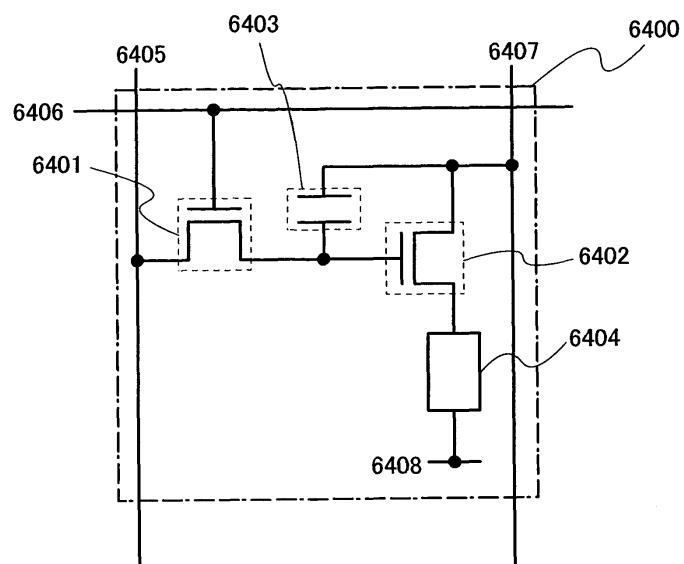
도면21



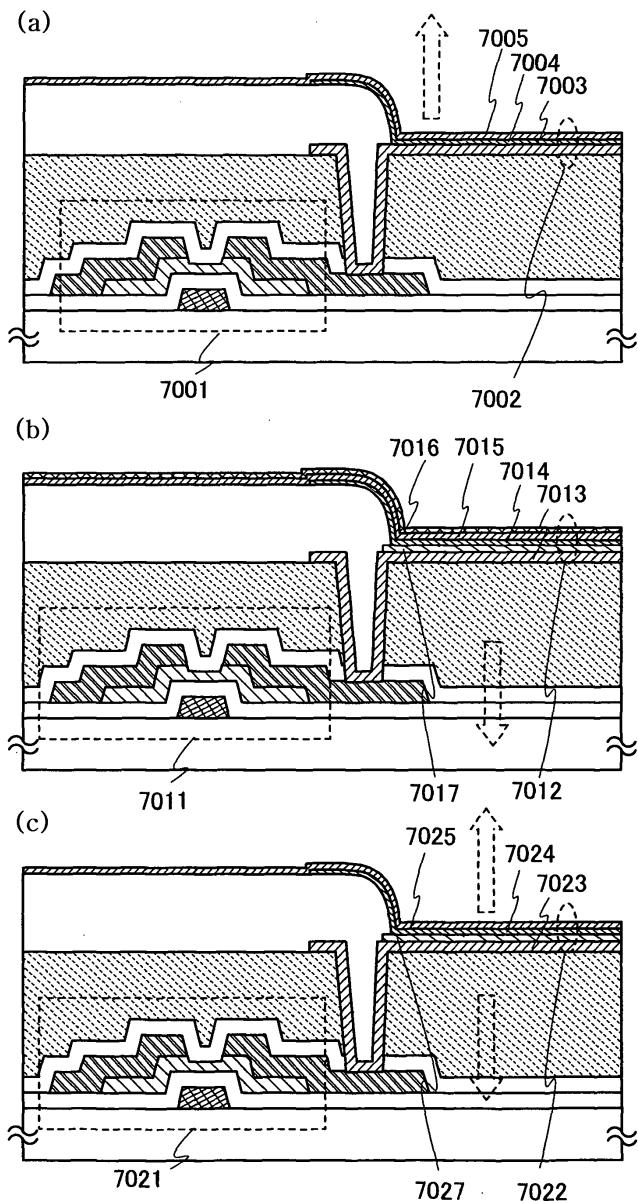
도면22



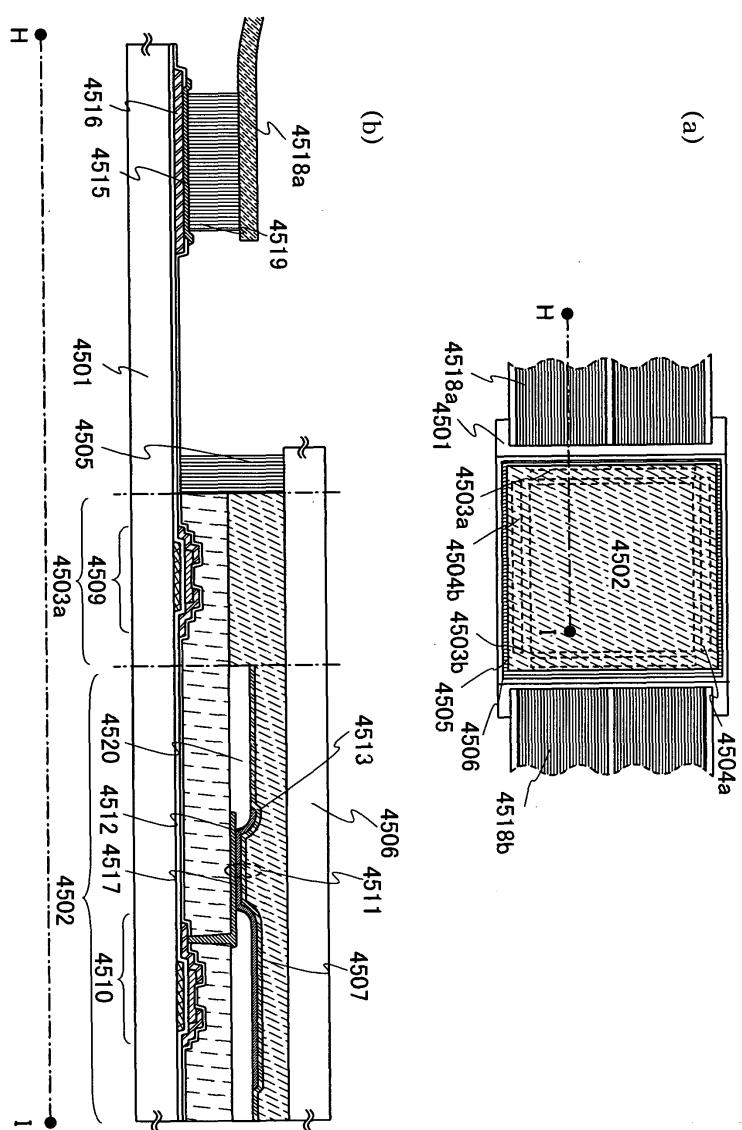
도면23



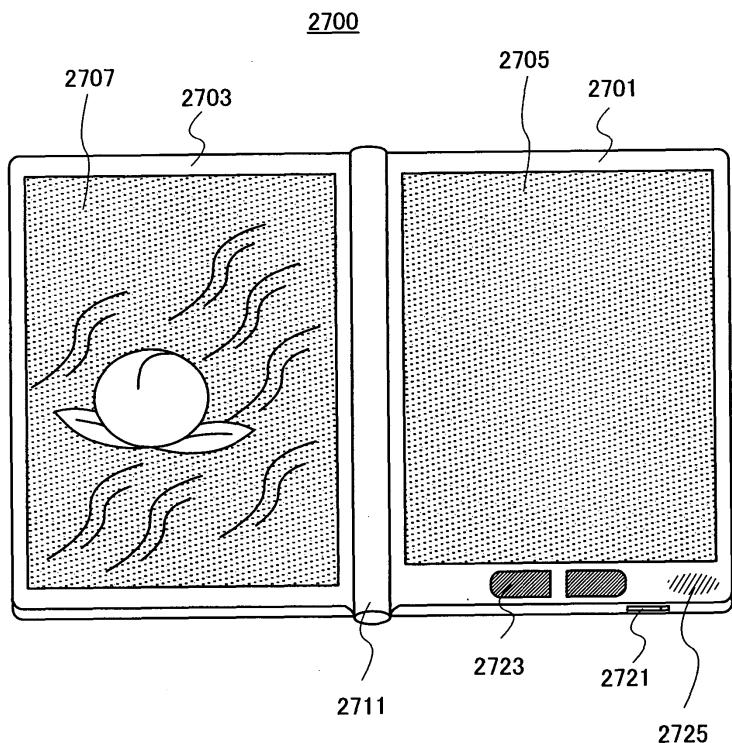
도면24



도면25

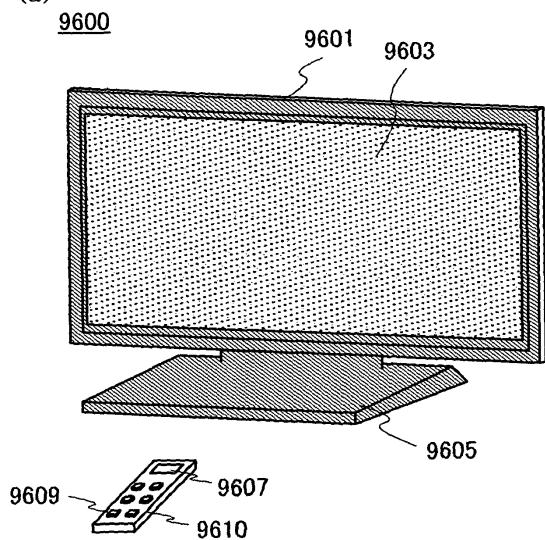


도면26

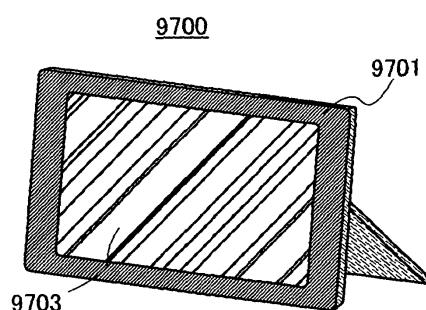


도면27

(a)

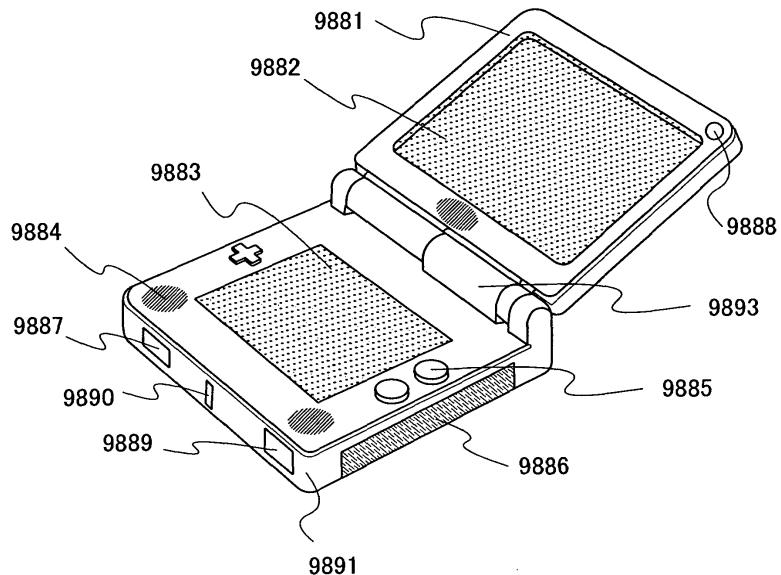


(b)

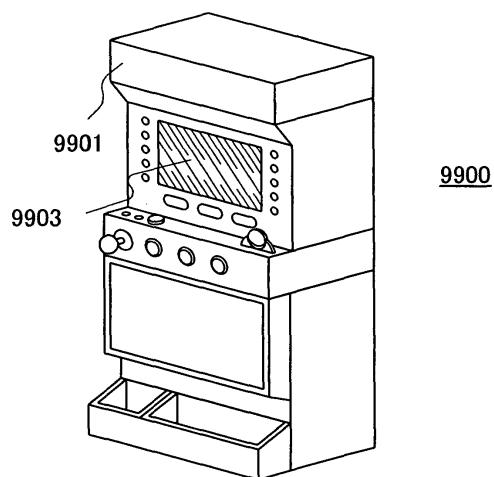


도면28

(a)

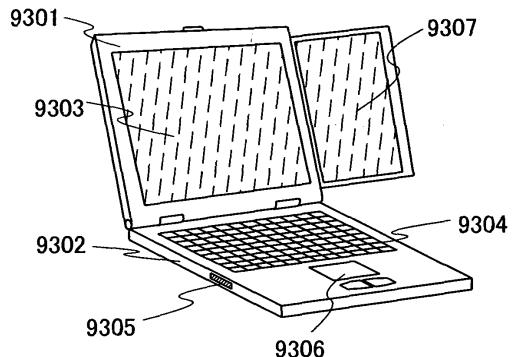


(b)

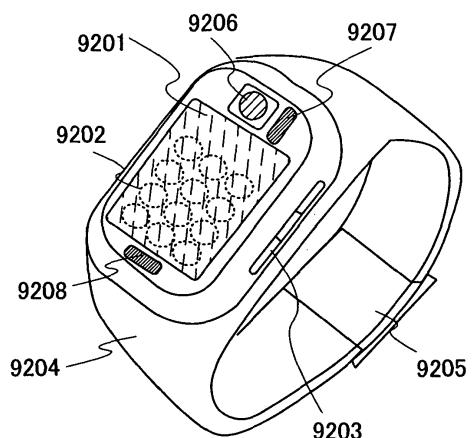


도면29

(a)

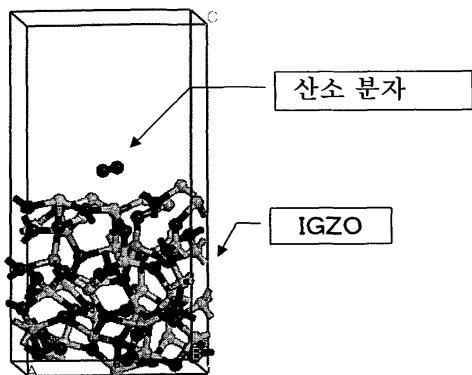


(b)

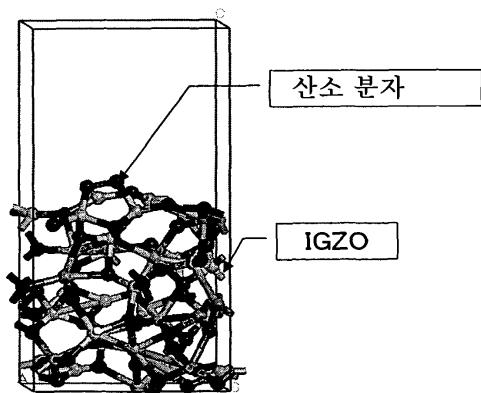


도면30

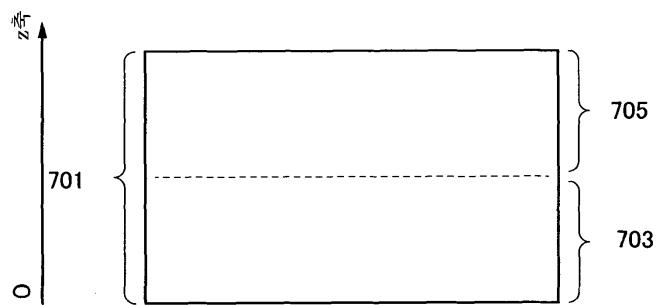
(a)



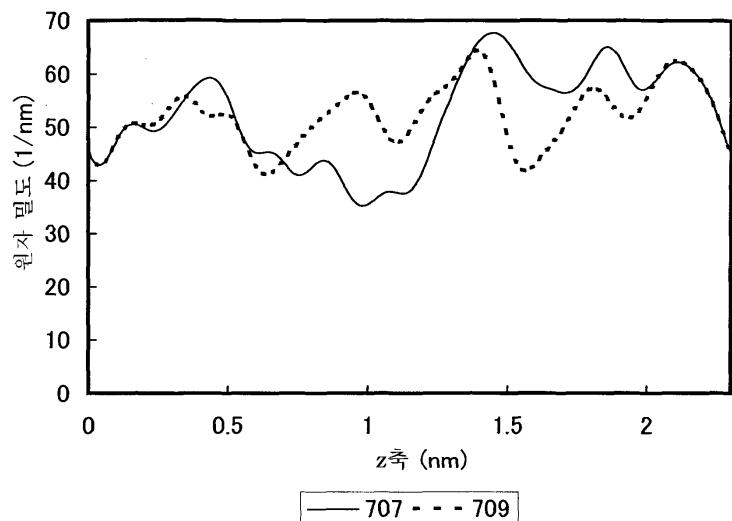
(b)



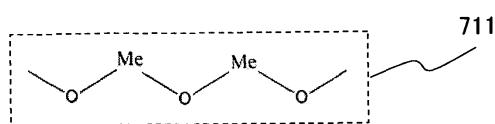
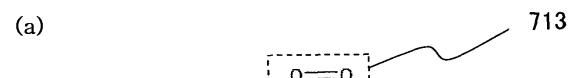
도면31



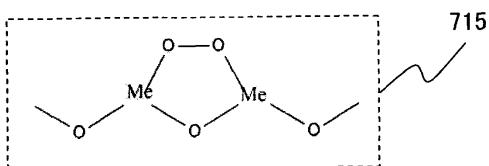
도면32



도면33



(b)



(c)

