

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2009-532874  
(P2009-532874A)

(43) 公表日 平成21年9月10日(2009.9.10)

(51) Int.Cl.

H01L 25/065 (2006.01)  
H01L 25/07 (2006.01)  
H01L 25/18 (2006.01)

F 1

H01L 25/08

テーマコード (参考)

Z

審査請求 未請求 予備審査請求 未請求 (全 11 頁)

(21) 出願番号 特願2009-503112 (P2009-503112)  
(86) (22) 出願日 平成19年2月22日 (2007.2.22)  
(85) 翻訳文提出日 平成20年8月28日 (2008.8.28)  
(86) 国際出願番号 PCT/US2007/062538  
(87) 国際公開番号 WO2007/130731  
(87) 国際公開日 平成19年11月15日 (2007.11.15)  
(31) 優先権主張番号 11/278,042  
(32) 優先日 平成18年3月30日 (2006.3.30)  
(33) 優先権主張国 米国(US)

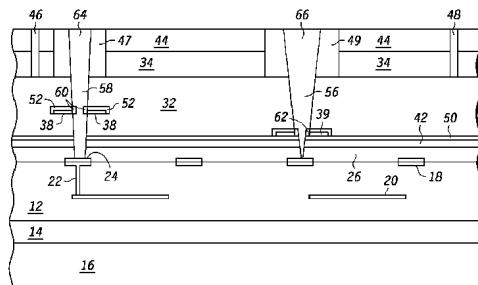
(71) 出願人 504199127  
フリースケール セミコンダクター イン  
コーポレイテッド  
アメリカ合衆国 78735 テキサス州  
オースティン ウィリアム キャノン  
ドライブ ウエスト 6501  
(74) 代理人 100142907  
弁理士 本田 淳  
(74) 代理人 100149641  
弁理士 池上 美穂  
(72) 発明者 ポズダー、スコット ケイ.  
アメリカ合衆国 78703 テキサス州  
オースティン アブソン ストリート  
606

最終頁に続く

(54) 【発明の名称】回路の三次元的な統合において用いられるバリヤ

## (57) 【要約】

半導体デバイス(30)を形成する方法は、接続パッド(24)を有する第1の集積回路(10)を提供することと、1つ以上の接合層(42)を用いて第1の集積回路(10)に第2の集積回路を取り付けることと、を含む。第2の集積回路は回路間トレース(38)を有し、回路間トレース(38)は回路間トレース開口部(40)を有する。この方法は、さらに、第2の集積回路を通じた開口部(58)を形成することと、開口部(58)は回路間トレース開口部を通じて延びることと、開口部(58)において回路間トレースの露出した部分上に選択的なバリア(52)を形成することと、1つ以上の接合層(42)を通じて接続パッド(24)まで同開口部(58)を延ばすことと、導電性充填材料(64)を用いて開口部(58)を充填することと、を含む。選択的なバリア層(52)はコバルト、ニッケルのうちの1つ以上を含み、導電性充填材料(64)は回路間トレース(38)と接続パッド(24)とを電気的に接続している。



**【特許請求の範囲】****【請求項 1】**

半導体デバイスを形成する方法であって、  
接続フィーチャを有する第1の集積回路を提供することと、  
第1の集積回路に第2の集積回路を取り付けることと、第2の集積回路は回路間トレースを有することと、回路間トレースは回路間トレース開口部を有することと、  
第2の集積回路を通じた開口部を形成することと、開口部は回路間トレース開口部を通じて接続パッドまで延びていることと、  
開口部において回路間トレースの露出した部分上に選択的なバリヤを形成することと、  
導電性充填材料を用いて開口部を充填することと、導電性充填材料は回路間トレースと接続フィーチャとを電気的に接続することと、  
を含む方法。

**【請求項 2】**

選択的なバリヤはコバルトおよびニッケルから選択される材料を含む請求項1に記載の方法。

**【請求項 3】**

選択的なバリヤはコバルトを含む請求項1に記載の方法。

**【請求項 4】**

選択的なバリヤはタンゲステンを含む請求項3に記載の方法。

**【請求項 5】**

選択的なバリヤは開口部において回路間トレースの露出した部分上にのみ形成される請求項1に記載の方法。

**【請求項 6】**

接続パッドは、コバルトおよびニッケルから選択される材料を含む導電性バリヤ層を含む請求項1に記載の方法。

**【請求項 7】**

第1の集積回路に第2の集積回路を取り付けることは、第1の集積回路と第2の集積回路との間の1つ以上の接合層を用いて第1の集積回路に第2の集積回路を取り付けることを含む請求項1に記載の方法。

**【請求項 8】**

開口部を形成することは、

第2の集積回路および回路間トレース開口部を通じて前記1つ以上の接合層まで延びる開口部を形成することと、

前記1つ以上の接合層を通じて接続フィーチャまで同開口部を延ばすことと、接続フィーチャは接続パッドおよび金属トレースのうちの1つ以上を含むことと、  
を含む請求項7に記載の方法。

**【請求項 9】**

回路間トレースは回路間トレースバリヤ層を含むことと、選択的なバリヤを形成する前に、回路間トレースバリヤ層の露出した部分を処理することと、を含む請求項1に記載の方法。

**【請求項 10】**

導電性充填材料を用いて開口部を充填する前に開口部にライナー層を形成することを含む請求項1に記載の方法。

**【請求項 11】**

回路間トレースは銅を含む請求項1に記載の方法。

**【請求項 12】**

半導体デバイスを形成する方法であって、  
接続フィーチャを有する第1の集積回路を提供することと、  
1つ以上の接合層を用いて第1の集積回路に第2の集積回路を取り付けることと、第2の集積回路は回路間トレースを有することと、回路間トレースは回路間トレース開口部を

10

20

30

40

50

有することと、

第2の集積回路を通じた開口部を形成することと、開口部は回路間トレース開口部を通じて延びていることと、

開口部において回路間トレースの露出した部分上に選択的なバリヤを形成することと、選択的なバリヤはコバルトおよびニッケルから選択される1つ以上の材料を含むことと、

前記1つ以上の接合層を通じて接続フィーチャまで開口部を延ばすことと、

開口部を延ばした後、導電性充填材料を用いて開口部を充填することと、導電性充填材料は回路間トレースと接続フィーチャとを電気的に接続することと、  
を含む方法。

【請求項13】

1つ以上の接合層を用いて第1の集積回路に第2の集積回路を取り付けることは、

第1の集積回路上に形成された第1の接合層と第2の集積回路上に形成された第2の接合層とを取り付けることを含む請求項12に記載の方法。

【請求項14】

回路間トレースは回路間トレースバリヤ層を含むことと、回路間トレースの露出した部分は回路間トレースバリヤ層のうちの少なくとも一部を含むことと、選択的なバリヤを形成する前に、回路間トレースバリヤ層うちの前記少なくとも一部を処理することと、を含む請求項12に記載の方法。

【請求項15】

前記1つ以上の接合層はエッチング停止層を含むことと、第2の集積回路を通じて開口部を形成することは、同開口部がエッチング停止層まで延びるように実行されことと、  
を含む請求項12に記載の方法。

【請求項16】

開口部を延ばした後かつ開口部を充填する前に、開口部にライナー層を形成することを含む、請求項12に記載の方法。

【請求項17】

接続フィーチャはコバルトおよびニッケルから選択される材料を含む導電性バリヤ層を含むことと、前記1つ以上の接合層を通じて接続フィーチャまで開口部を延ばすことと、  
開口部が接続フィーチャの導電性バリヤ層を露出するように実行されことと、を含む請求項12に記載の方法。

【請求項18】

接続フィーチャと、接続フィーチャの上の1つ以上の接合層とを有する第1の集積回路と、

回路間トレースと、回路間トレースの上の1つ以上の接合層とを有する第2の集積回路と、第2の集積回路の1つ以上の接合層は、第1の集積回路の前記1つ以上の接合層に取り付けられていることと、

第2の集積回路を通じて、回路間トレースの開口部を通じて、第2の集積回路の前記1つ以上の接合層を通じて、かつ第1の集積回路の前記1つ以上の接合層を通じて接続フィーチャまで延びている導電性相互接続部と、導電性相互接続部は回路間トレースを接続フィーチャに電気的に接続することと、

コバルトおよびニッケルから選択される1つ以上の材料を含む回路間トレースに隣接し、  
回路間トレースと導電性相互接続部との間ににおいて回路間トレースの開口部に配置されたバリヤ層と、

を含む半導体デバイス。

【請求項19】

少なくとも部分的に回路間トレースを包囲する誘電体材料と、

回路間トレースに隣接した第2のバリヤ層と、第2のバリヤ層は導電性であり、第1の  
バリヤ層と異なることと、第2のバリヤ層は誘電体と回路間トレースとの間に配置されて  
いることと、

を含む請求項18に記載の半導体デバイス。

10

20

30

40

50

**【請求項 20】**

接続フィーチャに隣接し、接続フィーチャと導電性相互接続部との間で配置された第2のバリヤ層と、接続フィーチャはコバルトおよびニッケルから選択される1つ以上の材料を含むことと、を含む請求項18に記載の半導体デバイス。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は回路の三次元的な統合に関し、より詳細には、回路の三次元的な統合において用いられるバリヤに関する。

**【背景技術】**

10

**【0002】**

従来、回路の三次元的な統合は、アクセプターウエハおよびドナーウエハなどのウエハ間、すなわち、ダイ間の、面同士の接合を用いて行われる。アクセプターウエハは、通常、下のウエハであり、ドナーウエハは、通常、上のウエハである。接合されたウエハまたはダイにおける相互接続部は、ステッチビアなど様々な技術を用いて接続される。しかしながら、ステッチビアの形成は、通常、ドナーウエハの後面に行われ、時間を要し、ウエハまたはダイの三次元的な統合を達成するには追加の工程が必要である。詳細には、例えば、ステッチビアの形成には、ドナーウエハの後面にリンクされた、異なる長さを有する2つのウエハ間ビアが必要である。

**【0003】**

20

これに加えて、ウエハ間ビアのエッチングによって、エッチング処理に幾つかの問題が生じることがある。例えば、低K誘電体ウエハにおけるそのようなウエハ間ビアのエッチングには、シリコン窒化物、シリコン炭素窒化物、シリコン酸化物、および低K誘電体を含むSiCOHなどの多種類の誘電体材料を通じたエッチングが必要である。これによつて、次に、物理および化学エッチング処理の両方など、広範囲のエッチング処理が必要となる。一定の物理および化学エッチング処理では、誘電体層へ銅が再分配されることがある。この問題は、例えば、特に、ウエハ間接続が埋込型のエッチングマスクとして用いられるときに生じる。

**【発明の開示】****【発明が解決しようとする課題】**

30

**【0004】**

したがって、回路の改良された三次元的な統合の必要性が存在する。

**【課題を解決するための手段】****【0005】**

一態様では、半導体デバイスを形成する方法を提供する。この方法は、接続パッドを有する第1の集積回路を提供することと、1つ以上の接合層を用いて第1の集積回路に第2の集積回路を取り付けることと、を含む。第2の集積回路は回路間トレースを有し、回路間トレースは回路間トレース開口部を有する。この方法は、さらに、第2の集積回路を通じた開口部を形成することと、開口部は回路間トレース開口部を通じて延びていることと、開口部において回路間トレースの露出した部分上に選択的なバリヤを形成することと、1つ以上の接合層を通じて接続パッドまで開口部を延ばすことと、導電性充填材料を用いて開口部を充填することと、を含む。選択的なバリヤ層は、コバルト、ニッケルのうちの1つ以上を含み、導電性充填材料は、回路間トレースと接続パッドとを電気的に接続すること。

**【0006】**

40

別の態様では、半導体デバイスを形成する方法を提供する。この方法は、接続パッドを有する第1の集積回路を提供することを含む。この方法は、さらに、1つ以上の接合層を用いて第1の集積回路に第2の集積回路を取り付けることを含み、第2の集積回路は回路間トレースを有し、回路間トレースは開口部を有する。この方法は、さらに、第2の集積回路を通じて開口部を形成することを含み、この開口部は回路間トレース開口部を通じて

50

延びている。この方法は、さらに、開口部において回路間トレースの露出した部分上に選択的なバリヤを形成することと、選択的なバリヤはコバルトおよびニッケルから選択される1つ以上の材料を含むことと、を含む。この方法は、さらに、1つ以上の接合層を通じて接続パッドまで開口部を延ばすことを含む。この方法は、さらに、開口部を延ばした後、開口部を導電性充填材料で満たすことを含み、導電性充填材料は回路間トレースおよび接続パッドに電気的に接続される。

#### 【0007】

さらに別の態様では、接続パッドと、接続パッドの上の1つ以上の接合層とを有する第1の集積回路を含む半導体デバイスを提供する。この半導体デバイスは、さらに、回路間トレースと、回路間トレースの上の1つ以上の接合層とを有する第2の集積回路を含み、第2の集積回路の1つ以上の接合層は、第1の集積回路の1つ以上の接合層に取り付けられている。この半導体デバイスは、さらに、第2の集積回路を通じて、回路間トレースの開口部を通じて、第2の集積回路の1つ以上の接合層を通じて、かつ第1の集積回路の1つ以上の接合層を通じて接続パッドまで延びている導電性相互接続部を含む。導電性相互接続部は回路間トレースを接続パッドに電気的に接続している。この半導体デバイスは、さらに、コバルトおよびニッケルから選択される1つ以上の材料を含む回路間トレースに隣接し、回路間トレースと導電性相互接続部との間ににおいて回路間トレースの開口部に配置されたバリヤ層を含む。

10

#### 【発明を実施するための最良の形態】

#### 【0008】

20

図1は、本発明の一実施形態による、1処理工程中のアクセプターウエハの一実施形態の部分的な側面図である。アクセプターウエハ10は、相互接続層12、活性層14、および半導体層16を含む。相互接続層12は、相互接続部20およびビア22を含む。接続(landing)パッド18などの接続フィーチャは、相互接続層12の一部としても形成され得る。例として、コバルトまたはニッケルを有する導電性バリヤ24が、接続パッドの上部に形成される。図1には、相互接続層12、活性層14、および半導体層16の各々について1つしか示さないが、アクセプターウエハ10は追加のそのような層を含んでもよい。さらに、図2に示すように、接合層26が相互接続層12の上部に形成される。

30

#### 【0009】

ここで図3を参照すると、ドナーウエハ30がアクセプターウエハ10と面同士で接合される。ドナーウエハ30は、アクセプターウエハ10と同様の層を含むことができる。例として、ドナーウエハ30は、相互接続層32、活性層34、および半導体層36を含む。相互接続層32はウエハ間接続トレース38を含み、ウエハ間接続トレース38には開口部40が形成されている。ウエハ間接続トレース38は、その中に孔(開口部40)を有する線のように見える。ウエハ間接続トレース38は、銅または他の適切な導体材料を用いて形成されてよい。ウエハに関して記載したが、ウエハ間接続トレース38は、ウエハまたはダイにおける回路間トレースとして機能し得る。ドナーウエハ30は、相互接続層32上に形成されたエッチング停止層50を有する。接合層42はエッチング停止層50の上に形成される。図3には別々に形成された接合層42およびエッチング停止層50を示すが、エッチング停止層が接合層42の一部として形成されてもよい。これに代えて、接合層42がエッチング停止層として機能してもよい。加えて、アクセプターウエハ10およびドナーウエハ30のうちの一方のみが接合層を有してもよい。

40

#### 【0010】

さらに、図3に示すように、活性層34および半導体層36は、相互接続層32においてフィーチャを見出すために用いられる、整合キー46, 48を含むことができる。詳細には、整合キー46, 48を用いて、ドナーウエハ30の後面(接合されたウエハの上面)においてパターンを整合させることができる。図3には整合キー46, 48を示すが、活性層34および半導体層36を通じてフィーチャが視認可能なSOIウエハにおいては、これらが不要な場合がある。絶縁ウインドウ47, 49は、ドナーウエハ30の活性層

50

34および半導体層36に形成されてよい。絶縁ウインドウ47,49は、図8,9に関連してさらに説明するように、ピアにおいて形成される導電性充填材料を絶縁するために用いられ得る。絶縁ウインドウ47,49は、酸化物など絶縁材料を含んでよい。図3には、相互接続層32、活性層34、および半導体層36の各々について1つしか示さないが、ドナーウエハ30は追加のそのような層を含んでもよい。これに加えて、図3にはアクセプターウエハ10およびドナーウエハ30の面同士の接合を示すが、それらは他の配置により接合されてもよい。

#### 【0011】

なおも図3を参照すると、ウエハ間接続トレース38の少なくとも上面および側面に、バリヤ層52が形成されている。バリヤ層52は、タンタル、チタン、タングステン、またはそれらの合金を用いて形成されてよい。図3には他の相互接続トレース(例えば、20)の上に形成されたバリヤ層52を示していないが、バリヤ層52がアクセプターウエハ10およびドナーウエハ30において他の相互接続トレースの上にも形成されてよい。

#### 【0012】

ここで図4を参照すると、ドナーウエハ30の半導体層36は、薄化半導体層44を形成するために、機械化学処理または化学機械処理を用いて薄化される。次に、図5に示すように、パターン形成されたマスク層54が、薄化半導体層44の上に形成される。次に、図6に示すように、エッチング停止層50を用いてエッチングを行うことによって、ドナーウエハ30において開口部40(図5に示した)を通じて伸びる開口部58が形成される。図4にはエッチング停止層50が接合層42に直接隣接しているように示したが、エッチング停止層50はドナーウエハ30において異なる位置に配置されてもよい。例えば、エッチング停止層50は、相互接続層32がウエハ間接続トレース39を有しない場合、あるいはウエハ間接続トレース39がウエハ間接続トレース38と同じレベルにある場合、ウエハ間接続トレース38の直下に配置されてもよい。したがって、例として、相互接続層32など、ウエハの接合面に最も近い相互接続層のウエハ間接続トレースの直下に、エッチング停止層が常に配置されてもよい。追加の開口部が必要に応じて形成されてもよい。例えば、図6には追加の開口部56を示す。開口部56,58は、ウエハ間接続トレース38,39の一部を露出してもよい。詳細には、ウエハ間接続トレース38,39の一部を露出するために、エッチング処理によってバリヤ層52の一部が除去されてもよい。

#### 【0013】

次に、図7に示すように、バリア(60,62)がウエハ間接続トレース38,39の露出した部分に選択的に形成される。一実施形態では、バリア(60,62)は、ウエハ間接続トレース38,39の露出した部分にのみ形成される。一実施形態では、バリア(60,62)を形成する前に、ウエハ間接続トレース38,39の露出した部分が処理される。そのような処理には、完全にまたは部分的にバリヤ層52を除去すること、またはパラジウムもしくは白金などの触媒材料を用いて露出した部分を処理することが含まれる。ウエハ間接続トレース38,39の露出した部分によって、露出している銅などトレース材料が生じる。例えば、バリア(60,62)が、露出した銅上に直接形成されてよい。バリア(60,62)は、コバルトタングステンホウ素、コバルトタングステンリン、コバルトモリブデンホウ素、コバルトモリブデンリン、コバルトレニウムホウ素、コバルトレニウムリン、ニッケルタングステンホウ素、ニッケルタングステンリン、ニッケルモリブデンホウ素、ニッケルモリブデンリン、ニッケルレニウムホウ素、ニッケルレニウムリンなどの材料を含むコバルトまたはニッケルであってもよく、あるいは他の適切な耐エッチング材料であってもよい。別の実施形態では、ウエハ間接続トレース38,39の露出した部分は、依然としてバリヤ層52のうち、銅の少なくとも一部が露出した部分を有してもよい。ウエハ間接続トレース38,39の露出した部分を用いて、バリヤ層を成長させることができる。ウエハ間接続トレース38,39の露出した部分は、バリヤ層を成長させる前に、パラジウム、白金またはその両方を用いて最初に処理されてもよい。

#### 【0014】

10

20

30

40

50

次に、図 8 に示すように、第 2 のエッティング処理を用いて、開口部 5 8 が接続パッド（例えば、接続パッド 1 8 と同様の接続パッド）まで延ばされる。同様に、第 2 のエッティング処理の一部として、開口部 5 6 が別の接続パッドまで延ばされてもよい。図 8 には接続パッドまで伸びる開口部 5 6 , 5 8 を示しているが、適切な相互接続部を形成するために、これらの開口部がアクセプターウエハ 1 0 の任意の金属線まで伸びてもよい。

#### 【0015】

ここで図 9 を参照すると、導電性充填材料 6 4 , 6 6 は、アクセプターウエハ 1 0 およびドナーウエハ 3 0 を電気的に相互接続するために、それぞれ開口部 5 8 , 5 6 へ充填される。導電性充填材料 6 4 , 6 6 は、電気めっきなどの処理を用いて充填されてもよい。絶縁ウインドウ 4 7 , 4 9 によって、活性層 3 4 および薄化半導体層 4 4 は導電性充填材料から電気的に絶縁されたままとなる。示していないが、開口部 5 6 , 5 8 へ導電性充填材料 6 4 , 6 6 を充填する前に、それらの開口部にライナー層およびシード層が形成されてもよい。それらの層は、化学蒸着処理または物理蒸着処理を用いて形成されてもよい。物理蒸着処理と共にリスピッタ処理が用いられるとき、選択的なバリヤ 6 0 によって形成されたわずかな棚（ledge）のため、ライナー層およびシード層のより良好な下部サイドウォールカバレッジが生じる。これに加えて、示していないが、例えば、シンギュレーションの行われた集積回路を形成するために、続いて追加の工程が実行されてもよい。

10

#### 【図面の簡単な説明】

#### 【0016】

【図 1】本発明の一実施形態による、1処理工程中の代表的なアクセプターウエハの一実施形態の部分的な側面図。

20

【図 2】本発明の一実施形態による、代表的なアクセプターウエハの一実施形態の部分的な側面図。

【図 3】本発明の一実施形態による、1つの処理工程中の半導体デバイスの一実施形態の部分的な側面図。

【図 4】本発明の一実施形態による、1つの処理工程中の半導体デバイスの一実施形態の部分的な側面図。

【図 5】本発明の一実施形態による、1つの処理工程中の半導体デバイスの一実施形態の部分的な側面図。

【図 6】本発明の一実施形態による、1つの処理工程中の半導体デバイスの一実施形態の部分的な側面図。

30

【図 7】本発明の一実施形態による、1つの処理工程中の半導体デバイスの一実施形態の部分的な側面図。

【図 8】本発明の一実施形態による、1つの処理工程中の半導体デバイスの一実施形態の部分的な側面図。

【図 9】本発明の一実施形態による、1つの処理工程中の半導体デバイスの一実施形態の部分的な側面図。

【図1】

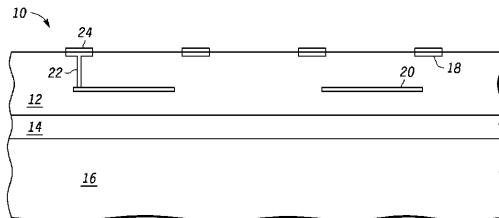


FIG. 1

【図2】

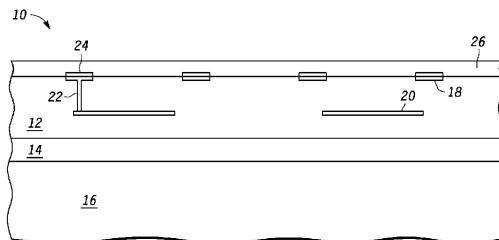


FIG. 2

【図3】

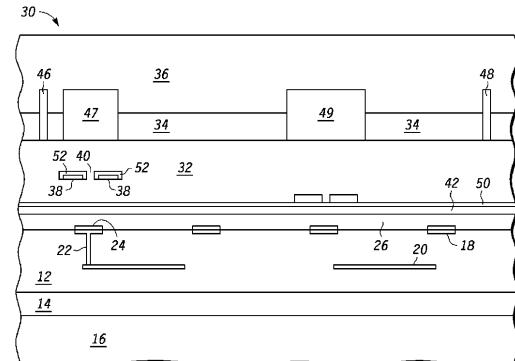


FIG. 3

【図4】

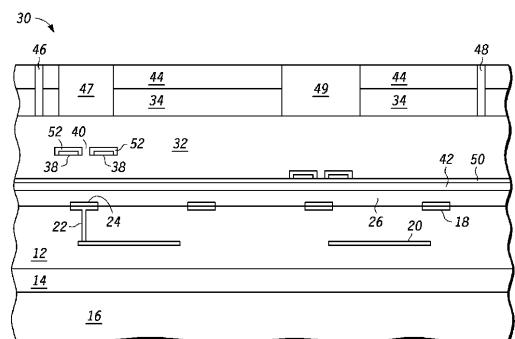


FIG. 4

【図5】

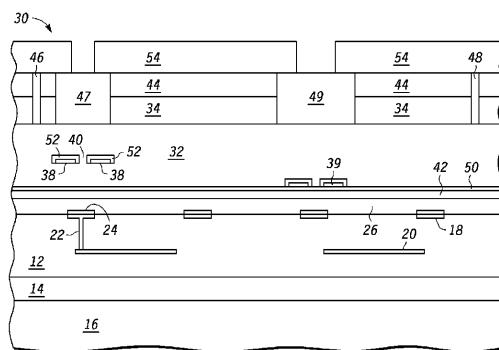


FIG. 5

【図7】

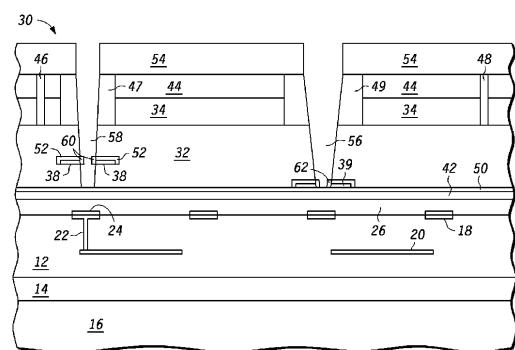


FIG. 7

【図6】

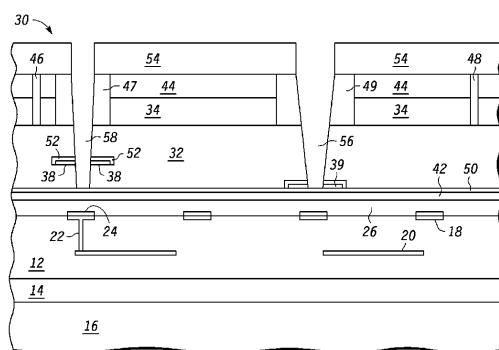


FIG. 6

【図8】

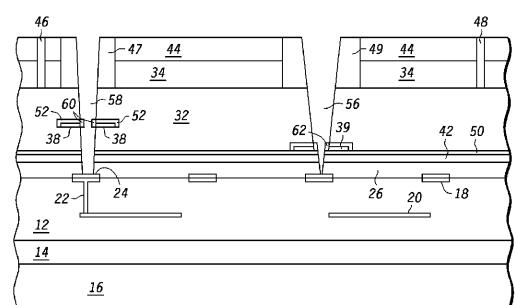


FIG. 8

【図9】

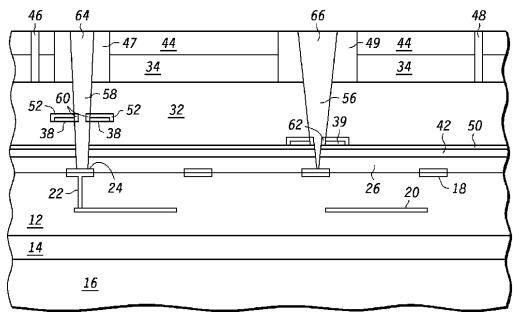


FIG. 9

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US07/62538
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC: H01L 21/4763(2006.01);H01L 21/44(2006.01)		
USPC: 438/620,599,618,639,656 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) U.S. : 438/620,599,618,639,656		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5,756,395 (ROSTOKER et al) 26 May 1998 (26.05.1998), Entire disclosure .	1-20
A	US 5,640,049 (ROSTOKER et al) 17 June 1997 (17.06.1997), Entire disclosure.	1-20
A	US 6,764,950 (NOGUCHI et al) 20 July 2004 (20.07.2004), Entire disclosure.	1-20
A	US 7,176,128 (AHRENS et al) 13 February 2007 (13.02.2007), Entire disclosure.	1-20
A	US 2005/0054122 (CELII et al) 10 March 2005 (10.03.2005), Entire disclosure.	1-20
A	US 6,656,748 (HALL et al) 02 December 2003 (02.12.2003), Entire disclosure.	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>		See patent family annex.
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 17 June 2008 (17.06.2008)		Date of mailing of the international search report <b>03 JUL 2008</b>
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US Commissioner for Patents P.O. Box 1450 Alexandria, Virginia 22313-1450 Facsimile No. (571) 273-3201		Authorized officer Charles Garber Telephone No. 571-270-1805

Form PCT/ISA/210 (second sheet) (April 2007)

---

フロントページの続き

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,L,A,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,ME,MG,MK,MN,MW,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 マイケルソン、リン エム.

アメリカ合衆国 02906-1590 ロードアイランド州 プロビデンス ピー.オー.ボップ  
クス 2555

(72)発明者 マシュー、ベルゲス

アメリカ合衆国 78717 テキサス州 オースティン チェサピーク ベイ レーン エヌ.  
201