

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-42954
(P2014-42954A)

(43) 公開日 平成26年3月13日(2014.3.13)

(51) Int.Cl.			F I		テーマコード (参考)
B81B	7/02	(2006.01)	B81B	7/02	3C081
B81C	1/00	(2006.01)	B81C	1/00	5J108
H03H	9/24	(2006.01)	H03H	9/24	Z
H03H	3/007	(2006.01)	H03H	3/007	Z

審査請求 未請求 請求項の数 6 O L (全 16 頁)

(21) 出願番号 特願2012-186181 (P2012-186181)
(22) 出願日 平成24年8月27日 (2012.8.27)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100095728
弁理士 上柳 雅誉
(74) 代理人 100127661
弁理士 官坂 一彦
(74) 代理人 100116665
弁理士 渡辺 和昭
(72) 発明者 北野 洋司
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 衣川 拓也
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

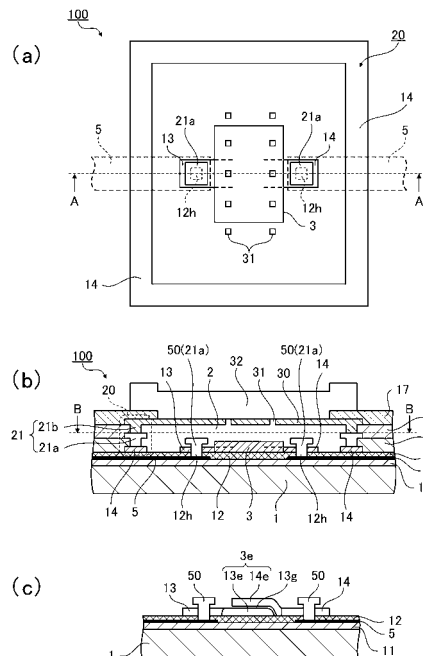
(54) 【発明の名称】 MEMS素子、電子機器、およびMEMS素子の製造方法

(57) 【要約】

【課題】信頼性が高く、製造工程の管理が容易なMEMS素子を提供する。

【解決手段】MEMS素子100は、ウェハー基板1の主面に積層された第1酸化膜11と、第1酸化膜11に設けられた下層配線部5と、第1酸化膜11と下層配線部5とを覆い積層された窒化膜12と、窒化膜12に積層し枠状に形成された側壁部20と、側壁部20によって画設された空洞部2と、空洞部2に配置されたMEMS構造体3と、側壁部20および空洞部2を覆い積層され、空洞部2に貫通するひとつ以上の開口31を有する第1被覆層30と、第1被覆層30に積層され、開口31を封止する第2被覆層32と、を備え、窒化膜12は、下層配線部5に達する貫通孔12hを有し、MEMS構造体3と下層配線部5とは、貫通孔12hに設けられた電気接続部50によって電気的に接続されている。

【選択図】図1



【特許請求の範囲】

【請求項 1】

基板の主面に積層された第 1 絶縁層と、
 前記第 1 絶縁層に設けられた下層配線部と、
 前記第 1 絶縁層と前記下層配線部とを覆い積層された第 2 絶縁層と、
 前記第 2 絶縁層に積層し枠状に形成された側壁部と、
 前記側壁部によって画設された空洞部と、
 前記空洞部に配置された M E M S 構造体と、
 前記側壁部および前記空洞部を覆い積層され、前記空洞部に貫通するひとつ以上の開口を有する第 1 被覆層と、
 前記第 1 被覆層に積層され、前記開口を封止する第 2 被覆層と、を備え、
 前記第 2 絶縁層は、前記下層配線部に達する貫通孔を有し、
 前記 M E M S 構造体と前記下層配線部とは、前記貫通孔に設けられた電気接続部によって電氣的に接続されていることを特徴とする M E M S 素子。

10

【請求項 2】

前記第 1 絶縁層と、前記第 2 絶縁層と、前記 M E M S 構造体を形成する導電層と、前記第 2 絶縁層に積層し形成された上層配線部と層間絶縁部と、を含む電気回路部を備え、
 前記電気接続部は、前記上層配線部を構成する上層配線層から形成され、
 前記空洞部は、前記層間絶縁部を構成する層間絶縁層から形成された犠牲部がエッチングされることにより形成されていることを特徴とする請求項 1 に記載の M E M S 素子。

20

【請求項 3】

前記電気接続部が金属材料からなることを特徴とする請求項 1 または請求項 2 に記載の M E M S 素子。

【請求項 4】

前記基板を平面視したときに、前記電気接続部の面積は、前記貫通孔の面積より広いことを特徴とする請求項 1 ないし請求項 3 のいずれか一項に記載の M E M S 素子。

【請求項 5】

請求項 1 ないし請求項 4 のいずれか一項に記載の M E M S 素子を備えていることを特徴とする電子機器。

【請求項 6】

基板の主面に第 1 絶縁層を積層する工程と、
 前記第 1 絶縁層に下層配線部を積層し形成する工程と、
 前記第 1 絶縁層と前記下層配線部とを覆い第 2 絶縁層を積層する工程と、
 前記第 2 絶縁層に、前記下層配線部に達する貫通孔を形成する工程と、
 前記第 2 絶縁層に、犠牲層および M E M S 構造体を積層し形成する工程と、
 前記犠牲層を、配線層を含み構成される側壁部によって枠状に画設し犠牲部を形成する犠牲部形成工程と、

30

前記犠牲部を露出するひとつ以上の開口を有する第 1 被覆層を、前記側壁部と前記犠牲部とを覆うように積層する工程と、

前記開口からエッチング液を導入して前記犠牲部をエッチングする工程と、

40

前記第 1 被覆層に前記開口を封止する第 2 被覆層を積層する工程と、を含み、

前記犠牲部形成工程において、前記貫通孔に前記配線層を積層し形成することで、前記下層配線部と前記 M E M S 構造体とを電氣的に接続する電気接続部を形成することを特徴とする M E M S 素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、M E M S 素子、電子機器、および M E M S 素子の製造方法に関する。

【背景技術】

【0002】

50

一般に、微細加工技術を利用して形成されたMEMS (Micro Electro Mechanical System) デバイスと呼ばれる機械的に可動な構造体を備えた電気機械系構造体が知られている。例えば振動子、センサー、アクチュエーターなど、可動部の微小な変位による静電容量の変化や固有振動を信号として読み出すものがある。このようなMEMS デバイスの場合には、可動部の変位や振動に対する空気抵抗を減少させることで、より安定して優れた特性を得ることができる。そのためには、可動部を含むMEMS 構造体を減圧雰囲気にて気密封止し減圧状態を維持する必要がある。

例えば、特許文献1に記載のMEMS デバイスは、CMOS (Complementary Metal Oxide Semiconductor) 回路などの電子回路を一体化した電子装置を実現するものであり、MEMS 構造体が減圧状態で気密封止された空洞部 (以下キャビティーとも言う) 内に収容されている。このキャビティーは、MEMS 構造体の周辺に形成した酸化膜層などの犠牲層をエッチングにより除去 (リリースエッチング) することで形成され、洗浄後に減圧雰囲気にてエッチング液を導入した開口部分を金属層などで封止することによって減圧状態が維持される。この構造によれば、減圧封止されたMEMS 構造体と電子回路とを、コストの増加を抑えつつワンチップ化することができ、電子装置の低コスト化、小サイズ化などを図ることができる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2009-105411号公報

【特許文献2】特開2000-186933号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

しかしながら、特許文献1に記載のMEMS デバイスの構造では、キャビティー内部から外部に引き出される配線材が、引き出し部分において絶縁層で覆われている必要があり、この絶縁層が、キャビティー内部に露出してしまいうために、信頼性を低下させてしまう恐れがあるという課題があった。具体的には、半導体製造プロセスを活用して製造する多くの場合、この絶縁層にはエッチング耐性の低いシリコン酸化膜などが用いられているため、キャビティーを形成するためのリリースエッチングにおいて、エッチング液がこの絶縁層を通してキャビティーの周囲に侵入し、デバイスの信頼性を低下させるおそれがあった。すなわち、配線引き出し部分にエッチング耐性の低い絶縁層が配置されているため、例えば、過度のエッチングでこの部分の侵食が進んだ場合に、侵食された部分から配線に沿ってエッチング液が周囲に染み出すことで、後に周囲の電子回路の配線が腐食し、電気的な問題が生ずるおそれがあった。

このような信頼性の低下を回避するために、過度なエッチングを避けるように、エッチング時間の管理を行っていた。一方、エッチングが不足すると、犠牲層が残留し、MEMS 構造体の寸法精度が低下してしまう場合や、残留した犠牲層が、キャビティー内にアウトガスを発生させてしまう場合があった。つまり、エッチング時間やエッチング条件の適正な設定と、エッチングのばらつきを抑えるための厳格な管理が必要であった。近年、ますますMEMS デバイスの小型化が進む中で、この管理幅 (マージン) が少なくなり、歩留まりを低下させてしまう場合があるなどの課題もあった。

また、配線引き出し部分の絶縁層にアウトガスを発生させる材料が使用された場合には、キャビティー内が減圧状態に維持されず、MEMS デバイスの特性が劣化してしまうという問題があった。特に、電気配線層のステップカバレッジを良好にするためのSOG (Spin on Glass) 膜は、アウトガスを発生させる傾向があるため、キャビティー内への露出や残留を避ける必要があった。

これに対し、特許文献2に開示されている方法を用いることで、配線取り出し部分の絶縁膜を不要とすることが考えられた。具体的には、キャビティーの底面を成すエッチング耐性の高い窒化膜の下層の基板の上に、不純物をイオン注入して拡散形成したn層またはp

10

20

30

40

50

層からなる配線を配置し、窒化膜を貫通する配線接続部のポリシリコンにより、キャピテ
ィー内部と外部とを電氣的に接続するという方法である。しかしながら、この方法では、
配線接続部のポリシリコンと窒化膜下層の配線との間の寄生抵抗（コンタクト抵抗）が大
きくなってしまいう傾向があり、その結果、MEMSデバイスとしての所定の特性が得られ
ない場合があるという問題があった。

【課題を解決するための手段】

【0005】

本発明は、上述の課題の少なくとも一部を解決するためになされたものであり、以下の
適用例または形態として実現することが可能である。

【0006】

[適用例1] 本適用例にかかるMEMS素子は、基板の主面に積層された第1絶縁層と
、前記第1絶縁層に設けられた下層配線部と、前記第1絶縁層と前記下層配線部とを覆い
積層された第2絶縁層と、前記第2絶縁層に積層し棒状に形成された側壁部と、前記側壁
部によって画設された空洞部と、前記空洞部に配置されたMEMS構造体と、前記側壁部
および前記空洞部を覆い積層され、前記空洞部に貫通するひとつ以上の開口を有する第1
被覆層と、前記第1被覆層に積層され、前記開口を封止する第2被覆層と、を備え、前記
第2絶縁層は、前記下層配線部に達する貫通孔を有し、前記MEMS構造体と前記下層配
線部とは、前記貫通孔に設けられた電気接続部によって電氣的に接続されていることを特
徴とする。

【0007】

本適用例によれば、空洞部に配置されたMEMS構造体から空洞部の外部に引き出す
配線が、第2絶縁層の下層に設けられた下層配線部と、第2絶縁層に形成された貫通孔部
分に設けられた電気接続部とによって構成される。従って、配線が側壁部を貫通してい
ないため、配線と側壁部とを絶縁させる必要がない。つまり、側壁部が導電性の場合（例
えば、側壁部を、MEMS素子の配線を構成する導電層を積層させることによって形成す
る場合）であっても、側壁部と電気接続部とを絶縁させるための被覆を設ける必要がない。
その結果、例えばシリコン酸化膜など、半導体製造プロセスの多くで使用されるエッチ
ング耐性の低い絶縁層が空洞部に露出することがなくなる。そのため、空洞部を犠牲層を
エッチングすることにより形成する場合において、過度のエッチングがされた場合であ
っても、エッチング耐性の低い絶縁層が侵食されてエッチング液が空洞部の外に染み出
すということがなくなる。また、空洞部を形成するための犠牲層の周囲を、金属材料など
エッチング耐性の高い材料、つまりエッチングストッパーだけで構成することができ
るため、エッチングの終了タイミングを従来のように厳格に管理する必要がなくなり、
エッチング工程の管理幅（マージン）を大きく取ることが可能となる。その結果、過
度のエッチングによる信頼性への影響を危惧することなく、エッチング不足のない充
分なりリリースエッチングを行なうことができる。

また、アウトガスが出る傾向にあるシリコン酸化膜などの絶縁層が空洞部に残留し
たり、露出したりすることがなくなるため、空洞部内の減圧状態を維持できる。

以上、本実施形態によれば、より信頼性が高いMEMS素子を、より管理が簡略化
された製造工程によって提供することができる。

【0008】

[適用例2] 上記適用例にかかるMEMS素子において、前記第1絶縁層と、前記第2
絶縁層と、前記MEMS構造体を形成する導電層と、前記第2絶縁層に積層し形成され
た上層配線部と層間絶縁部と、を含む電気回路部を備え、前記電気接続部は、前記上
層配線部を構成する上層配線層から形成され、前記空洞部は、前記層間絶縁部を構
成する層間絶縁層から形成された犠牲部がエッチングされることにより形成されてい
ることを特徴とする。

【0009】

本適用例によれば、MEMS素子は、さらに、電気回路部を備えており、この電気回
路部は、第1絶縁層と、第2絶縁層と、MEMS構造体を形成する導電層と、第2絶縁層に

10

20

30

40

50

積層し形成された上層配線部と層間絶縁部と、を含み構成されている。また、電気接続部は、上層配線部を構成する上層配線層から形成され、空洞部を形成するための犠牲部は、層間絶縁部を構成する層間絶縁層から形成されている。

つまり、本適用例によれば、MEMS素子は、MEMS素子が備える電気回路部と共通する多くの構成要素により構成することができるため、製造工程の増加などに伴う製造コストの増加を抑える中で、電気回路と一体化したMEMS素子を製造し、提供することができる。

【0010】

[適用例3] 上記適用例にかかるMEMS素子において、前記電気接続部が金属材料からなることを特徴とする。

10

【0011】

本適用例のように、電気接続部は、金属材料からなることが好ましい。金属材料を用いることで、電気接続部と下層配線部との接続に伴う接続部の寄生抵抗の増加を抑制することができる。その結果、MEMS素子の特性の悪化や製造工程の増加などを抑えることができる。

【0012】

[適用例4] 上記適用例にかかるMEMS素子において、前記基板を平面視したときに、前記電気接続部の面積は、前記貫通孔の面積より広いことを特徴とする。

【0013】

本適用例のように、基板を平面視したときに、電気接続部の面積は、貫通孔の面積より広いことが好ましい。電気接続部の面積をより広くすることで、電気接続部とMEMS構造体との接触面積を増加させることができ、接続部における電気抵抗をより小さくすることができる。また、電気接続部は、貫通孔が露出させる下層配線部を覆うことができるため、犠牲層をエッチングするエッチング液が、貫通孔に入り、残留したり、下層配線部を絶縁する絶縁層などの部分に染み出し侵食したりすることがない。その結果、より信頼性の高いMEMS素子を提供することができる。

20

【0014】

[適用例5] 本適用例にかかる電子機器は、上記適用例に係るMEMS素子を備えていることを特徴とする。

【0015】

本適用例によれば、上記適用例に係るMEMS素子を備えることにより、コストの増加が抑えられた、より信頼性が高い電子機器を提供することができる。

30

【0016】

[適用例6] 本適用例にかかるMEMS素子の製造方法は、基板の主面に第1絶縁層を積層する工程と、前記第1絶縁層に下層配線部を積層し形成する工程と、前記第1絶縁層と前記下層配線部とを覆い第2絶縁層を積層する工程と、前記第2絶縁層に、前記下層配線部に達する貫通孔を形成する工程と、前記第2絶縁層に、犠牲層およびMEMS構造体を積層し形成する工程と、前記犠牲層を、配線層を含み構成される側壁部によって枠状に画設し犠牲部を形成する犠牲部形成工程と、前記犠牲部を露出するひとつ以上の開口を有する第1被覆層を、前記側壁部と前記犠牲部とを覆うように積層する工程と、前記開口からエッチング液を導入して前記犠牲部をエッチングする工程と、前記第1被覆層に前記開口を封止する第2被覆層を積層する工程と、を含み、前記犠牲部形成工程において、前記貫通孔に前記配線層を積層し形成することで、前記下層配線部と前記MEMS構造体とを電氣的に接続する電気接続部を形成することを特徴とする。

40

【0017】

本適用例によれば、空洞部内に配置されたMEMS構造体から空洞部の外部に引き出す配線が、第2絶縁層の下層に形成された下層配線部と、第2絶縁層に形成された貫通孔部分に形成される電気接続部とによって構成される。従って、配線が側壁部を貫通しないため、配線と側壁部とを絶縁させる必要がない。つまり、側壁部が導電性の場合（例えば、側壁部を、MEMS素子の配線を構成する導電層を積層させることによって形成する場合

50

）であっても、側壁部と電気接続部とを絶縁させるための被覆を設ける必要がない。その結果、例えばシリコン酸化膜など、半導体製造プロセスの多くで使用されるエッチング耐性の低い絶縁層が空洞部に露出することがなくなる。そのため、過度のエッチングがされた場合であっても、エッチング耐性の低い絶縁層が侵食されてエッチング液が空洞部の外に染み出すということがなくなる。

また、空洞部を形成するための犠牲層の周囲を、金属材料などエッチング耐性の高い材料、つまりエッチングストッパーだけで構成することができるため、エッチングの終了タイミングを従来のように厳格に管理する必要がなくなり、エッチング工程の管理幅（マージン）を大きく取ることが可能となる。その結果、過度のエッチングによる信頼性への影響を危惧することなく、エッチング不足のない充分なリリースエッチングを行なうことができる。

また、アウトガスが出る傾向にあるシリコン酸化膜などの絶縁層が空洞部に残留したり、露出したりすることがなくなるため、空洞部内の減圧状態を維持できる。

以上、本適用例によれば、より信頼性が高いMEMS素子を、より管理が簡略化された製造工程によって提供することができる。

【図面の簡単な説明】

【0018】

【図1】(a)実施形態1に係るMEMS素子を示す平面図、(b)図1(a)のA-A断面図、(c)MEMS構造体の例を示す断面図。

【図2】(a)従来技術によるMEMS素子の構成例を示す平面図、(b)同断面図。

【図3】(a)～(g)実施形態1に係るMEMS素子の製造方法を示す工程図。

【図4】(a)電子機器の一例としてのモバイル型のパーソナルコンピュータの構成を示す斜視図、(b)電子機器の一例としての携帯電話機の構成を示す斜視図。

【図5】電子機器の一例としてのデジタルスチールカメラの構成を示す斜視図。

【図6】(a)、(b)変形例として、電気接続部の上部における第1導電層あるいは第2導電層との接続方法のバリエーションを示す断面図。

【発明を実施するための形態】

【0019】

以下に本発明を具体化した実施形態について、図面を参照して説明する。以下は、本発明の一実施形態であって、本発明を限定するものではない。なお、以下の各図においては、説明を分かりやすくするため、実際とは異なる尺度で記載している場合がある。

【0020】

(実施形態1)

図1(a)は、実施形態1に係るMEMS素子100を示す平面図、図1(b)は、図1(a)のA-A断面図、図1(c)は、MEMS構造体の例を示す断面図である。

図1(a)は、図1(b)のB-B面を平面視した様子を示している。なお、図1(a)には、分かりやすくするために、開口31を付記している。

MEMS素子100は、ウェハ基板の主面上に積層された犠牲層がエッチングされることにより形成される空洞部に配置されたMEMS構造体(機械的に可動な構造体を備えた電気機械系構造体)を備えるMEMS素子である。

MEMS素子100は、ウェハ基板1、空洞部2、MEMS構造体3、下層配線部5、第1絶縁層としての第1酸化膜11、第2絶縁層としての窒化膜12、第1導電層13、第2導電層14、第2酸化膜15、第3酸化膜16、保護膜17、側壁部20、配線層21、第1被覆層30、開口31、第2被覆層32、電気回路部(図示省略)などから構成されている。

【0021】

ウェハ基板1は、好適例としてシリコン基板を用いており、MEMS構造体3は、ウェハ基板1に積層された第1酸化膜11、窒化膜12の上部に形成されている。

なお、ここでは、ウェハ基板1の主面に順に第1酸化膜11および窒化膜12が積層される方向を上方向として説明している。

10

20

30

40

50

【0022】

MEMS構造体3は、窒化膜12に積層された第1導電層13および第2導電層14をフォトリソグラフィによりパターニングすることで形成される機械的に可動な部分を有する構造体であり、空洞部2（キャビティー）内に配置されている。

MEMS構造体3は、例えば、図1（c）に示すようなMEMS振動子3eである。

MEMS振動子3eは、下部電極13eと可動部を有する上部電極14eとを備えている。下部電極13eと上部電極14eとの間には、上部電極14eの可動空間を構成する空隙部13gが形成されている。空洞部2および空隙部13gは、MEMS振動子3eに積層した第2酸化膜15、第3酸化膜16、および下部電極13eと上部電極14eとの間に形成した第4酸化膜酸化膜13f（図示省略）をエッチングにより除去（リリースエッチング）することによって形成されている。

10

第2酸化膜15、第3酸化膜16、および第4酸化膜酸化膜13fは、いわゆる犠牲層であり、これらの犠牲層がリリースエッチングされることで、上部電極14eが下部電極13eから遊離した片持ち構造の可動電極構造が形成される。

【0023】

第1導電層13および第2導電層14は、それぞれ好適例として導電性のポリシリコンで構成されているが、これに限定するものではない。また、MEMS構造体3は、MEMS振動子3eに限定するものではない。

第2酸化膜15、第3酸化膜16は、CVD（Chemical Vapor Deposition）酸化膜である。図1（b）では、それぞれを1層構造で示しているが、平坦化のために多層構造で構成しても良い。

20

【0024】

リリースエッチングにおいては、MEMS構造体3に積層した第2酸化膜15および第3酸化膜16で構成される犠牲層の周囲に、エッチングストッパーとして側壁部20を形成し、その後リリースエッチングを行なっている。つまり、リリースエッチングによって形成された空洞部2は、側壁部20によって画設されている。

側壁部20は、第2導電層14、および配線層21（第1配線層21aおよび第2配線層21b）などから構成され、図1（a）に示すように、ウェハー基板1を平面視したときに、空洞部2を枠状に画設している。第2導電層14は上述したように好適例として導電性のポリシリコンで構成されており、配線層21は好適例としてアルミニウムを用いて構成されている。これらは、エッチング液（例えばバッファードフッ酸）に対して耐性があり、エッチングストッパーとして機能する。なお、配線材料としては、これらに限定するものではなく、半導体プロセスで使用される材料が活用できる。

30

【0025】

側壁部20の最上部を構成する第2配線層21bは、空洞部2を覆うように形成されており、第1被覆層30を構成している。換言すると、第1被覆層30は、側壁部20と空洞部2とを覆っている。第1被覆層30（同第2配線層21b）には、犠牲層をリリースエッチングする際にエッチング液を導入した複数の開口31が設けられている。つまり、開口31は空洞部2に貫通している。開口31は、導入するエッチング液によって、犠牲層を除去し、MEMS構造体3を確実に形成するために、MEMS構造体3の周辺に間隔を開けて形成されている。

40

側壁部20の上部には、保護膜17が積層されている。また、第1被覆層30、および保護膜17の上部には、リリースエッチングおよび洗浄後に、第2被覆層32が積層され、開口31を封止している。

なお、MEMS素子100の製造方法については後述する。

【0026】

MEMS構造体3を構成する第1導電層13および第2導電層14は、空洞部2の外部に配置される電気回路部に電氣的に接続されている。空洞部2のMEMS構造体3と空洞部2の外部の電気回路部とを電氣的に接続する配線構造は、下層配線部5と電気接続部50などにより構成されている。

50

下層配線部 5 は、ウェハー基板 1 に積層された第 1 酸化膜 1 1 (第 1 絶縁層) に積層された導電層をフォトリソグラフィによりパターンングすることで形成されている。下層配線部 5 は、図 1 (a) に示すように、ウェハー基板 1 を平面視したときに、第 1 導電層 1 3 あるいは第 2 導電層 1 4 に重なる領域から、棒状に形成された側壁部 2 0 の外部まで延在するようにパターンングされている。下層配線部 5 を構成する導電層は、好適例としてアルミニウムをスパッタすることで形成しているがこれに限定するものではなく、金や銅、あるいはポリシリコンであっても良い。なお、電気回路部を構成する導電材料や配線材料であることが好ましい。

【0027】

窒化膜 1 2 (第 2 絶縁層) は、第 1 酸化膜 1 1 と下層配線部 5 とを覆い積層されている

10

また、図 1 (a) に示すように、ウェハー基板 1 を平面視したときに、第 1 導電層 1 3 あるいは第 2 導電層 1 4 と下層配線部 5 とが重なるそれぞれの領域の中央部分と重なる窒化膜 1 2 の領域には、貫通孔 1 2 h が形成されている。貫通孔 1 2 h は、窒化膜 1 2 の表面 (上面) から下層配線部 5 の表面に達する貫通孔である。この貫通孔 1 2 h には、貫通孔 1 2 h を塞ぐように電気接続部 5 0 が形成されており、電気接続部 5 0 は、その下部が下層配線部 5 と電氣的に接続され、その上部は、窒化膜 1 2 に積層される第 1 導電層 1 3 あるいは第 2 導電層 1 4 と電氣的に接続されるように露出している。

【0028】

電気接続部 5 0 は、第 1 導電層 1 3 あるいは第 2 導電層 1 4 に積層される第 1 配線層 2 1 a をパターンングすることによって形成されている。図 1 (b) に示す例では、第 1 導電層 1 3 および第 2 導電層 1 4 に形成された貫通孔 (貫通孔 1 2 h に重なり連なる貫通孔) を連通して塞ぐように形成され、電気接続部 5 0 の上部 (図 1 (b) では略中央部) の側面が、第 1 導電層 1 3 あるいは第 2 導電層 1 4 と電氣的に接続されている。

20

なお、電気接続部 5 0 の上部における第 1 導電層 1 3 あるいは第 2 導電層 1 4 との接続方法は、この構成に限定するものではなく、例えば、後述する変形例に示すような構成であってもよい。

なお、電気接続部 5 0 は、金属材料として第 1 配線層 2 1 a を、つまり好適例としてアルミニウムを用いて形成しているが、これに限定するものではなく、第 2 配線層 2 1 b やさらに上層の金属配線層を用いて形成してもよい。

30

【0029】

また、外部の電気回路部は、半導体回路として MEMS 素子 1 0 0 と一体に構成することができる。つまり、例えば、第 1 酸化膜 1 1、窒化膜 1 2 は、電気回路部を構成する回路領域の素子分離層として、MEMS 構造体 3 を構成する第 1 導電層 1 3、第 2 導電層 1 4 は、回路領域のゲート電極として、第 2 酸化膜 1 5、第 3 酸化膜 1 6、第 4 酸化膜酸化膜 1 3 f、保護膜 1 7 は、層間絶縁部を形成する層間絶縁層 (絶縁膜) や保護膜として、また、第 1 配線層 2 1 a、第 2 配線層 2 1 b は、上層配線部としての回路配線層などとして、半導体回路を形成する材料と共用することができる。換言すると、MEMS 素子 1 0 0 は、半導体回路の製造工程において形成することができる。特に半導体で形成する可動電極を有する MEMS 振動子の場合には、水晶などの振動子に比較して半導体プロセスに容易に組み入れることができる。

40

【0030】

従来技術による MEMS 素子の説明をする。

図 2 (a), (b) に従来技術による MEMS 素子 9 9 の構成例を示す。図 2 (a) は、MEMS 素子 9 9 の平面図、図 2 (b) は、図 2 (a) の A - A 断面図である。なお、図 2 (a) は、図 2 (b) の B - B 面を平面視した様子を示している。

MEMS 素子 9 9 の場合、空洞部 2 の MEMS 構造体 3 と、空洞部 2 の外部の電気回路部 (図示省略) とを電氣的に接続する配線は、第 1 導電層 1 3 および第 2 導電層 1 4 によるパターン配線で行なっている。図 2 (b) に示すように、第 1 導電層 1 3 および第 2 導電層 1 4 は、窒化膜 1 2 に積層して形成しているため、同様に窒化膜 1 2 に積層して形成

50

している側壁部 20x との絶縁を図る必要がある。そのため、図 2 (a) に示すように、第 1 導電層 13 および第 2 導電層 14 によるパターン配線は、側壁部 20x との間を、絶縁層 90z により被覆し絶縁するトンネル構造とすることで、配線を取り出している。

【 0031 】

絶縁層 90z には電気回路部の構成と同様とするために、エッチング耐性の低いシリコン酸化膜が用いられている。そのため、空洞部 2 を形成するリリースエッチングにおいて、エッチング液が絶縁層 90z を通して空洞部 2 の周囲に侵入し、周囲の電気回路の信頼性を低下させるおそれがあった。

MEMS 素子 99 の製造工程では、このような信頼性の低下を回避するために、過度なエッチングを避けるように、エッチング時間の管理を行っていた。一方、エッチングが不足すると、犠牲層が残留し、MEMS 構造体 3 の寸法精度が低下してしまう場合や、残留した犠牲層が、キャビティー内にアウトガスを発生させてしまう場合があった。つまり、従来技術による MEMS 素子 99 の場合、エッチング時間やエッチング条件の適正な設定と、エッチングのばらつきを抑えるための厳格な管理が必要であった。

【 0032 】

次に、実施形態 1 に係る MEMS 素子 100 の製造方法について説明する。

図 3 (a) ~ (g) は、MEMS 素子 100 の製造方法を順に示す工程図である。

MEMS 素子 100 の製造方法は、ウェハ基板 1 の主面に第 1 絶縁層としての第 1 酸化膜 11 を積層する工程と、第 1 酸化膜 11 に下層配線部 5 を積層し形成する工程と、第 1 酸化膜 11 と下層配線部 5 とを覆い第 2 絶縁層としての窒化膜 12 を積層する工程と、窒化膜 12 に、下層配線部 5 に達する貫通孔 12h を形成する工程と、窒化膜 12 に、犠牲層としての第 2 酸化膜 15、第 3 酸化膜 16 および MEMS 構造体 3 を積層し形成する工程と、第 2 酸化膜 15、第 3 酸化膜 16 を、配線層 21 を含み構成される側壁部 20 によって枠状に画設し犠牲部を形成する犠牲部形成工程と、犠牲部を露出するひとつ以上の開口 31 を有する第 1 被覆層 30 を、側壁部 20 と犠牲部を覆うように積層する工程と、開口 31 からエッチング液を導入して犠牲部をエッチングする工程と、第 1 被覆層 30 に開口 31 を封止する第 2 被覆層 32 を積層する工程と、を含む。

また、犠牲部形成工程において、貫通孔 12h に第 1 配線層 21a を積層し形成することで、下層配線部 5 と MEMS 構造体 3 とを電氣的に接続する電気接続部 50 を形成する。

以下、図 3 (a) ~ (g) を参照して具体的に説明する。

【 0033 】

図 3 (a) : ウェハ基板 1 を準備し、主面に第 1 酸化膜 11 を積層する。第 1 酸化膜 11 は、好適例として、半導体プロセスの素子分離層として一般的な L O C O S (Local Oxidation of Silicon) 酸化膜で形成しているが、半導体プロセスの世代によって、例えば、S T I (Shallow Trench Isolation) 法による酸化膜であっても良い。

次に、第 1 酸化膜 11 に下層配線部 5 を積層し形成する。具体的には、例えば、アルミニウムをスパッタし、フォトリソグラフィによりパターンニングすることで形成する。パターンニングは、ウェハ基板 1 を平面視したときに、後に形成される第 1 導電層 13 あるいは第 2 導電層 14 に重なる領域から、枠状に形成された側壁部 20 の外部まで延在する所定の配置となるように行なう。

【 0034 】

図 3 (b) : 次に、窒化膜 12 を、第 1 酸化膜 11 と下層配線部 5 とを覆い積層する。窒化膜 12 は、エッチング液としてのバッファードフッ酸に対して耐性があり、エッチングストッパーとして機能する。

次に、窒化膜 12 に、下層配線部 5 に達する貫通孔 12h を形成する。貫通孔 12h を形成する位置は、ウェハ基板 1 を平面視したときに、後に形成される接続すべき第 1 導電層 13 あるいは第 2 導電層 14 と下層配線部 5 とが重なり、且つ、第 1 酸化膜 11 が露出しない領域である必要がある。第 1 酸化膜 11 が露出しないようにするのは、貫通孔 12h によって、エッチングストッパーとして機能する窒化膜 12 に孔が開くため、第 1 酸

10

20

30

40

50

化膜 1 1 が露出してしまうと、第 1 酸化膜 1 1 がエッチングされてしまうためである。貫通孔 1 2 h によって露出する下層配線部 5 の部分が、エッチングストッパーとして機能するため、下層の第 1 酸化膜 1 1 はエッチングされない。

【 0 0 3 5 】

図 3 (c) : 次に、窒化膜 1 2 に、MEMS 構造体 3 および犠牲層の一部を構成する第 2 酸化膜 1 5 を積層し形成する。

具体的には、まず、窒化膜 1 2 の上に第 1 導電層 1 3 を積層し、フォトリソグラフィによりパターンニングする。第 1 導電層 1 3 は、MEMS 構造体 3 の一部を構成するポリシリコン層であり、積層後にイオン注入をして所定の導電性を持たせる。次に、第 1 導電層 1 3 と第 2 導電層 1 4 との間に必要な犠牲層を形成する。例えば、MEMS 振動子 3 e (図 1 (c)) の場合には、熱酸化により下部電極 1 3 e の表面に第 4 酸化膜酸化膜 1 3 f を形成する。

次に、第 2 導電層 1 4 を積層し、フォトリソグラフィによりパターンニングする。第 2 導電層 1 4 は、MEMS 構造体 3 の一部、および側壁部 2 0 の最下層を構成するポリシリコン層であり、積層後にイオン注入をして所定の導電性を持たせる。

第 1 導電層 1 3、および第 2 導電層 1 4 のパターンニングは、所定の MEMS 構造体 3 が形成され、かつ、ウェハ基板 1 を平面視したときに、第 1 導電層 1 3 あるいは第 2 導電層 1 4 と下層配線部 5 とが重なるそれぞれの領域の中央部分と重なる窒化膜 1 2 の領域に、貫通孔 1 2 h が形成されるように行なう。また、電気接続部 5 0 を、第 1 導電層 1 3 あるいは第 2 導電層 1 4 に貫通させて形成する場合には、図 3 (c) に示すように、貫通孔 1 2 h に重なる位置に貫通孔を形成する。

次に、犠牲層の一部を構成する第 2 酸化膜 1 5 を積層する。第 2 酸化膜 1 5 は、半導体プロセスでは、層間膜 (IMD (Inter Metal Dielectric)) として形成され、好適例として T E O S (Tetraethoxysilane) を用いて平坦化している。半導体プロセスの世代によっては、CMP (Chemical Mechanical Polishing) などによる平坦化を行なっても良い。

【 0 0 3 6 】

図 3 (d) : 次に、第 1 配線層 2 1 a の積層に先立ち、フォトリソグラフィにより第 2 酸化膜 1 5 をパターンニングする。具体的には、第 1 配線層 2 1 a によって側壁部 2 0 の一部を構成する部分、および、貫通孔 1 2 h を含み、第 1 配線層 2 1 a と電気的に接続する第 1 導電層 1 3、第 2 導電層 1 4、下層配線部 5 などの該当領域 (接続部) を露出させる孔 (露出部) を第 2 酸化膜 1 5 に形成する。

次に第 1 配線層 2 1 a を積層し、フォトリソグラフィによりパターンニングする。貫通孔 1 2 h に積層された第 1 配線層 2 1 a は、電気接続部 5 0 を構成し、電気接続部 5 0 に接する部分の電気的接続が行なわれる。

第 1 配線層 2 1 a には、好適例としてアルミニウムをスパッタリングにより積層している。

なお、図 3 (d) では、電気回路部の図示を省略しているため、第 1 配線層 2 1 a は、側壁部 2 0 を構成する第 2 層部分、および貫通孔 1 2 h の部分のみに図示している。

【 0 0 3 7 】

図 3 (e) : 次に、犠牲層の一部を構成する層として、第 3 酸化膜 1 6 を積層する。第 3 酸化膜 1 6 は、平坦化のために、例えば、3 層構造で構成しても良い。その場合、まず、3 層の内の第 1 層に C V D 酸化膜を積層し、その上の第 2 層に S O G 膜を形成し平坦化処理する。第 3 層には、再度 C V D 酸化膜を積層する。第 3 酸化膜 1 6 は、半導体プロセスでは、層間膜 (I L D (Inter Layer Dielectrics)) として形成される。半導体プロセスの世代によっては、CMP などによる平坦化を行なっても良い。

次に、第 2 配線層 2 1 b の積層に先立ち、第 1 配線層 2 1 a と第 2 配線層 2 1 b とを電気的に接続させるための孔 (露出部) をフォトリソグラフィにより第 3 酸化膜 1 6 に形成する。次に第 2 配線層 2 1 b を積層し、フォトリソグラフィによりパターンニングする。第 2 配線層 2 1 b は、側壁部 2 0 の最上層を構成すると共に、MEMS 素子 1 0 0 の犠

10

20

30

40

50

性層をリリースエッチングするための開口 3 1 を備え、犠牲層（第 3 酸化膜 1 6）を覆う。第 2 配線層 2 1 b は、第 1 被覆層 3 0 を構成している。

なお、第 2 配線層 2 1 b には、好適例としてアルミニウムをスパッタリングにより積層している。

【 0 0 3 8 】

図 3 (d) , (e) で説明する工程は、第 2 酸化膜 1 5、および第 3 酸化膜 1 6 を、配線層 2 1 を含み構成される側壁部 2 0 によって枠状に画設することで犠牲部が形成される犠牲部形成工程である。この犠牲部形成工程では、貫通孔 1 2 h に、第 1 配線層 2 1 a を積層し形成することで、下層配線部 5 と MEMS 構造体 3 とを電氣的に接続する電気接続部 5 0 が形成される。

【 0 0 3 9 】

図 3 (f) : 保護膜 1 7 を積層し、開口 3 1 が露出するように開口部を設けてフォトリソグラフィによりパターニングする。保護膜 1 7 は、半導体プロセスで一般的な保護膜（例えば SiO₂ 膜や SiN の 2 層膜）であれば良く、ポリイミド膜などであっても良い。

次に、ウェハ基板 1 をエッチング液に晒し、犠牲層としての第 2 酸化膜 1 5、第 3 酸化膜 1 6、および第 4 酸化膜酸化膜 1 3 f (MEMS 構造体 3 が図 1 (c) に示すような MEMS 振動子 3 e の場合) をリリースエッチングすることで、MEMS 構造体 3 を形成する。

【 0 0 4 0 】

図 3 (g) : リリースエッチング終了後、洗浄した後に第 2 被覆層 3 2 を積層し、保護膜 1 7 に覆われていない部分が封止されるようにフォトリソグラフィによりパターニングする。第 2 被覆層 3 2 により、開口 3 1 が封止され、犠牲層がリリースエッチング除去された空間は密閉状態に維持される。第 2 被覆層 3 2 には、好適例としてアルミニウムを用いているがこれに限定するものではなく、その他の金属層であっても良い。

【 0 0 4 1 】

以上述べたように、本実施形態による MEMS 素子および MEMS 素子の製造方法によれば、以下の効果を得ることができる。

本適用例によれば、MEMS 素子 1 0 0 は、ウェハ基板 1 の主面に積層された第 1 絶縁層としての第 1 酸化膜 1 1 と、第 1 酸化膜 1 1 に積層し形成された下層配線部 5 と、第 1 酸化膜 1 1 と下層配線部 5 とを覆い積層された第 2 絶縁層としての窒化膜 1 2 と、窒化膜 1 2 に積層し枠状に形成された側壁部 2 0 と、側壁部 2 0 によって平面的に画設された犠牲部がエッチングされることにより形成された空洞部 2 と、空洞部 2 に配置された MEMS 構造体 3 と、側壁部 2 0 および空洞部 2 を覆い積層され、空洞部 2 に貫通するひとつ以上の開口 3 1 を有する第 1 被覆層 3 0 と、第 1 被覆層に積層され、開口 3 1 を封止する第 2 被覆層 3 2 と、を備えている。また、窒化膜 1 2 は、下層配線部 5 に達する貫通孔 1 2 h を有し、MEMS 構造体 3 と下層配線部 5 とは、貫通孔 1 2 h を塞ぎ積層し形成された電気接続部 5 0 によって電氣的に接続されている。

【 0 0 4 2 】

この構造によれば、空洞部 2 の内部に配置された MEMS 構造体 3 から空洞部 2 の外部に引き出す配線が、窒化膜 1 2 の下層に設けられた下層配線部 5 と、窒化膜 1 2 に形成された貫通孔 1 2 h の部分に設けられた電気接続部 5 0 とによって構成される。従って、配線が側壁部 2 0 を貫通していないため、配線と側壁部 2 0 とを絶縁させる必要がない。つまり、側壁部 2 0 が導電性の場合（例えば、側壁部 2 0 を、MEMS 素子 1 0 0 の配線を構成する導電層を積層させることによって形成する場合）であっても、側壁部 2 0 と電気接続部 5 0 とを絶縁させるための被覆を設ける必要がない。その結果、例えばシリコン酸化膜など、半導体製造プロセスの多くで使用されるエッチング耐性の低い絶縁層が空洞部 2 に露出することがなくなる。そのため、過度のエッチングがされた場合であっても、エッチング耐性の低い絶縁層が侵食されてエッチング液が空洞部 2 の外に染み出すということがなくなる。

10

20

30

40

50

また、空洞部 2 を形成する犠牲部の周囲を、金属材料などエッチング耐性の高い材料、つまりエッチングストッパーだけで構成することができるため、エッチングの終了タイミングを厳格に管理する必要がなく、エッチング工程の管理幅（マージン）を大きく取ることが可能となる。その結果、過度のエッチングによる信頼性への影響を危惧することなく、エッチング不足のない充分なリリースエッチングを行なうことができる。

また、アウトガスが出る傾向にあるシリコン酸化膜などの絶縁層が空洞部 2 の内部に残留したり、露出したりすることがなくなるため、空洞部 2 の内部の減圧状態を維持できる。

以上、本実施形態によれば、より信頼性が高い MEMS 素子を、より管理が簡略化された製造工程によって提供することができる。

10

【0043】

[電子機器]

次いで、本発明の一実施形態に係る電子部品としての MEMS 素子 100 を適用した電子機器について、図 4 (a) , (b)、図 5 に基づき説明する。

【0044】

図 4 (a) は、本発明の一実施形態に係る電子部品を備える電子機器としてのモバイル型（又はノート型）のパーソナルコンピュータの構成の概略を示す斜視図である。この図において、パーソナルコンピュータ 1100 は、キーボード 1102 を備えた本体部 1104 と、表示部 1000 を備えた表示ユニット 1106 とにより構成され、表示ユニット 1106 は、本体部 1104 に対しヒンジ構造部を介して回動可能に支持されている。このようなパーソナルコンピュータ 1100 には、フィルター、共振器、基準クロック等として機能する電子部品としての MEMS 素子 100 が内蔵されている。

20

【0045】

図 4 (b) は、本発明の一実施形態に係る電子部品を備える電子機器としての携帯電話機（PHS も含む）の構成の概略を示す斜視図である。この図において、携帯電話機 1200 は、複数の操作ボタン 1202、受話口 1204 および送話口 1206 を備え、操作ボタン 1202 と受話口 1204 との間には、表示部 1000 が配置されている。このような携帯電話機 1200 には、フィルター、共振器、角速度センサー等として機能する電子部品（タイミングデバイス）としての MEMS 素子 100 が内蔵されている。

30

【0046】

図 5 は、本発明の一実施形態に係る電子部品を備える電子機器としてのデジタルスチールカメラの構成の概略を示す斜視図である。なお、この図には、外部機器との接続についても簡易的に示されている。デジタルスチールカメラ 1300 は、被写体の光像を CCD (Charge Coupled Device) 等の撮像素子により光電変換して撮像信号（画像信号）を生成する。

デジタルスチールカメラ 1300 におけるケース（ボディー）1302 の背面には、表示部 1000 が設けられ、CCD による撮像信号に基づいて表示を行う構成になっており、表示部 1000 は、被写体を電子画像として表示するファインダーとして機能する。また、ケース 1302 の正面側（図中裏面側）には、光学レンズ（撮像光学系）や CCD 等を含む受光ユニット 1304 が設けられている。

40

撮影者が表示部 1000 に表示された被写体像を確認し、シャッターボタン 1306 を押下すると、その時点における CCD の撮像信号が、メモリー 1308 に転送・格納される。また、このデジタルスチールカメラ 1300 においては、ケース 1302 の側面に、ビデオ信号出力端子 1312 と、データ通信用の入出力端子 1314 とが設けられている。そして、図示されるように、ビデオ信号出力端子 1312 にはテレビモニター 1430 が、データ通信用の入出力端子 1314 にはパーソナルコンピュータ 1440 が、それぞれ必要に応じて接続される。さらに、所定の操作により、メモリー 1308 に格納された撮像信号が、テレビモニター 1430 や、パーソナルコンピュータ 1440 に出力される構成になっている。このようなデジタルスチールカメラ 1300 には、フィルター、共振器、角速度センサー等として機能する電子部品としての MEMS 素子 100 が内蔵さ

50

れている。

【0047】

なお、本発明の一実施形態に係る電子部品としてのMEMS素子100は、図4(a)のパーソナルコンピューター(モバイル型パーソナルコンピューター)、図4(b)の携帯電話機、図5のデジタルスチールカメラの他にも、例えば、インクジェット式吐出装置(例えばインクジェットプリンター)、ラップトップ型パーソナルコンピューター、テレビ、ビデオカメラ、カーナビゲーション装置、ページャー、電子手帳(通信機能付も含む)、電子辞書、電卓、電子ゲーム機器、ワークステーション、テレビ電話、防犯用テレビモニター、電子双眼鏡、POS端末、医療機器(例えば電子体温計、血圧計、血糖計、心電図計測装置、超音波診断装置、電子内視鏡)、魚群探知機、各種測定機器、計器類(例えば、車両、航空機、船舶の計器類)、フライトシミュレーター等の電子機器に適用することができる。

10

【0048】

なお、本発明は、上述した実施形態に限定されず、上述した実施形態に種々の変更や改良などを加えることが可能である。変形例を以下に述べる。ここで、上述した実施形態と同一の構成部位については、同一の符号を使用し、重複する説明は省略している。

【0049】

(変形例)

電気接続部50の上部における第1導電層13あるいは第2導電層14との接続方法は、実施形態1の構成に限定するものではなく、以下に示すような構成であってもよい。

20

図6(a)、(b)は、変形例として、電気接続部50の上部における、電気接続部50と第1導電層13あるいは第2導電層14との接続方法のバリエーションを示す断面図である。いずれの場合も、ウェハー基板1を平面視したときに、電気接続部50の面積は、貫通孔12hの面積より広がっていることを特徴としている。

図6(a)に示す例は、フォトリソグラフィによるパターンングで電気接続部50aの上部を第1導電層13あるいは第2導電層14の上に広がるように形成し、電気接続部50aと第1導電層13あるいは第2導電層14との接触する部分の数や接触面積を大きくしている。このように構成することで、接続部における電気抵抗をより小さくすることができる。

【0050】

30

また、実施形態1では、図1(a)に示すように、下層配線部5は、ウェハー基板1を平面視したときに、第1導電層13あるいは第2導電層14に重なる領域から、棒状に形成された側壁部20の外部まで延在するようにパターンングされているとして説明したが、必ずしも下層配線部5は、第1導電層13あるいは第2導電層14と重なる位置に形成されている必要はない。

図6(b)に示す電気接続部50bのように、上部を窒化膜12、第1導電層13、あるいは第2導電層14の上部で配線パターンとして形成し、配置することで、下層配線部5と、第1導電層13あるいは第2導電層14とを(ウェハー基板1を平面視したときに)重ねることなく電氣的に接続することができる。フォトリソグラフィによるパターンングで電気接続部50bの上部の面積を広くし、第1導電層13あるいは第2導電層14に積層させる面積を大きくすることで、接続部における電気抵抗をより小さくすることができる。

40

また、電気接続部50bは、貫通孔12hが露出させる下層配線部5を覆うことができるため、犠牲層をエッチングするエッチング液が、貫通孔12hに入り、残留したり、下層配線部5を絶縁する絶縁層などの部分に染み出し侵食したりすることがない。その結果、より信頼性の高いMEMS素子を提供することができる。

【符号の説明】

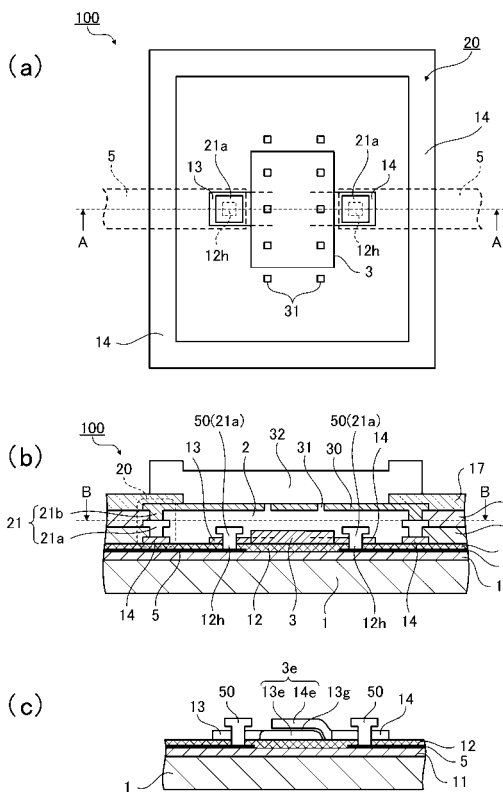
【0051】

1...ウェハー基板、2...空洞部、3...MEMS構造体、5...下層配線部、11...第1酸化膜、12...窒化膜、12h...貫通孔、13...第1導電層、14...第2導電層、15...第

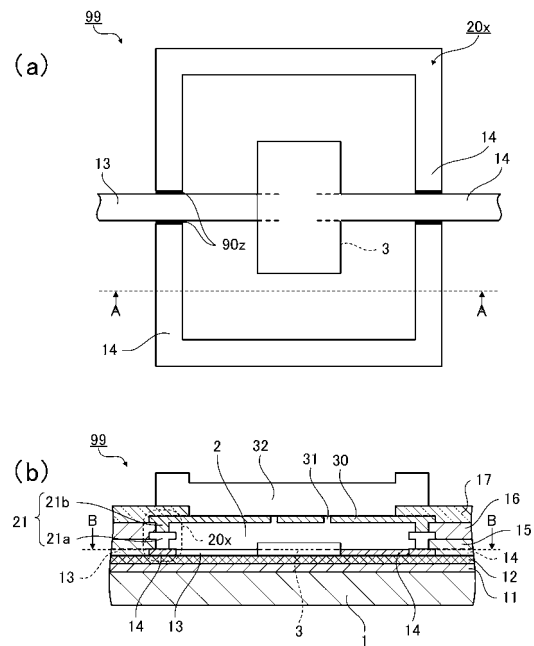
50

2 酸化膜、16 ... 第3酸化膜、17 ... 保護膜、20 ... 側壁部、21 ... 配線層、21a ... 第1配線層、21b ... 第2配線層、30 ... 第1被覆層、31 ... 開口、32 ... 第2被覆層、50 ... 電気接続部、100 ... MEMS素子。

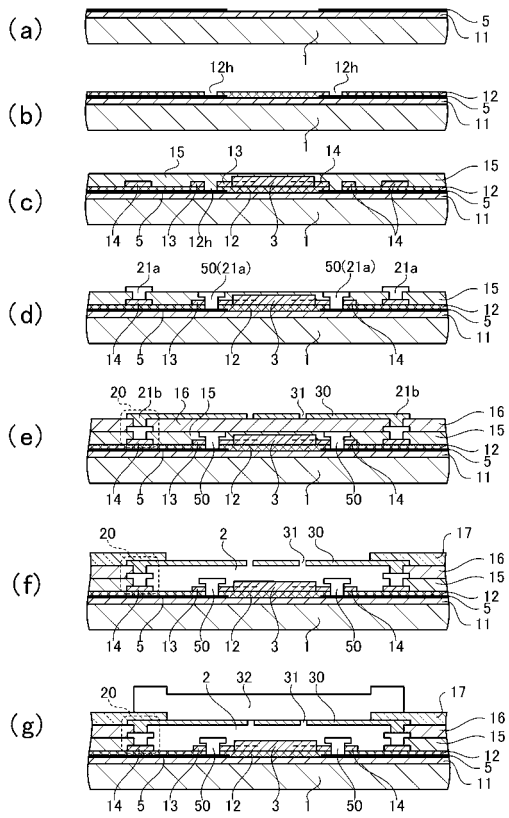
【 図 1 】



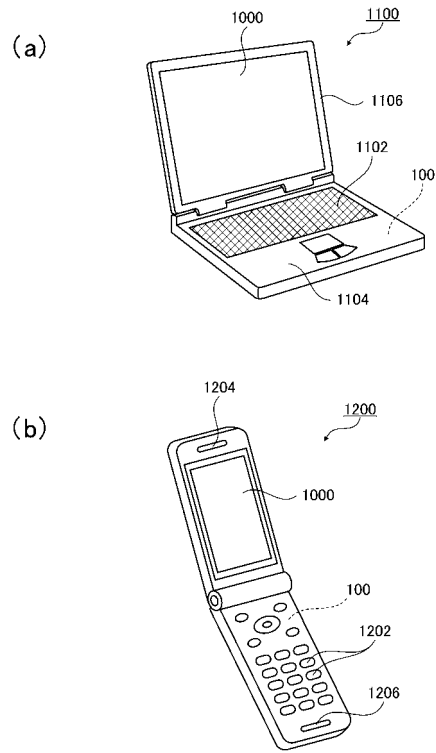
【 図 2 】



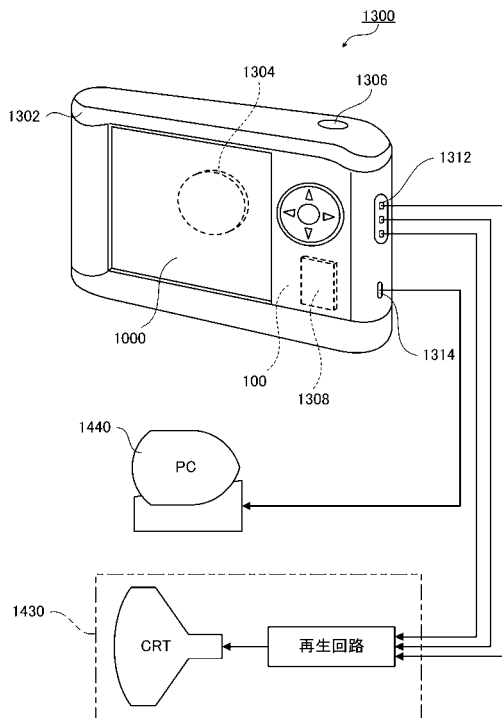
【 図 3 】



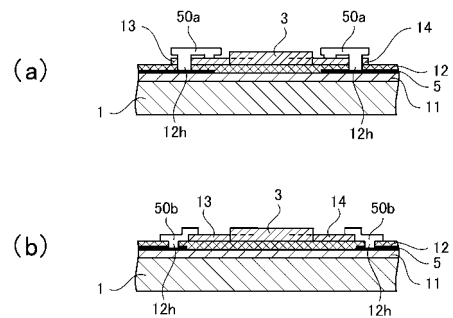
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

Fターム(参考) 3C081 AA18 BA30 BA32 BA43 BA48 CA03 CA15 CA29 EA02 EA22
5J108 BB08