



(12) 发明专利

(10) 授权公告号 CN 108536325 B

(45) 授权公告日 2024.04.09

(21) 申请号 201810161623.5

(51) Int.CI.

(22) 申请日 2018.02.26

G06F 3/041 (2006.01)

(65) 同一申请的已公布的文献号

G06F 3/044 (2006.01)

申请公布号 CN 108536325 A

H03M 1/12 (2006.01)

(43) 申请公布日 2018.09.14

H03H 17/06 (2006.01)

(30) 优先权数据

15/449878 2017.03.03 US

(56) 对比文件

CN 104007874 A, 2014.08.27

(73) 专利权人 辛纳普蒂克斯公司

CN 105915241 A, 2016.08.31

地址 美国加利福尼亚州

CN 1223754 A, 1999.07.21

(72) 发明人 P.单 D.索贝尔 S.L.莫林

CN 1494335 A, 2004.05.05

(74) 专利代理机构 中国专利代理(香港)有限公司 72001

US 5079734 A, 1992.01.07

专利代理人 秦琳 郑冀之

CN 1945979 A, 2007.04.11
US 2015277621 A1, 2015.10.01

审查员 冷超莹

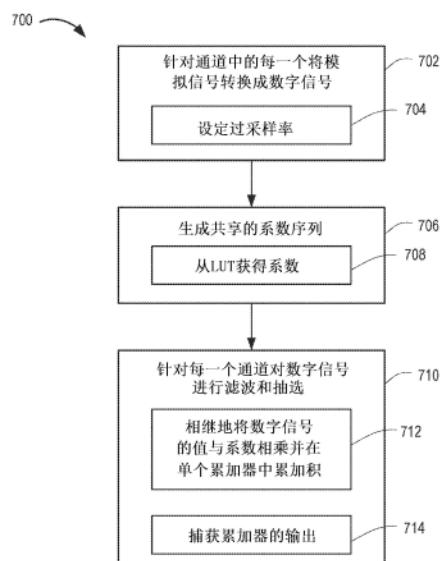
权利要求书2页 说明书11页 附图8页

(54) 发明名称

具有并行模数转换器通道的系统中的抽取滤波

(57) 摘要

本发明涉及具有并行模数转换器通道的系统中的抽取滤波。示例电路包括：多个模数转换器(ADC)，其接收相应的多个模拟信号并输出相应的多个数字信号；系数生成器电路，其输出系数信号；以及多个抽取滤波器，其均包括接收多个数字信号中的相应的一个数字信号的第一输入和接收系数信号的第二输入，多个抽取滤波器中的每一个包括具有乘法器和单个累加器的有限冲激响应(FIR)滤波器。



1.一种电路,包括:

多个模数转换器ADC,其接收相应的多个模拟信号并输出相应的多个数字信号;

系数生成器电路,其输出系数信号;以及

多个抽取滤波器,其均包括接收所述多个数字信号中的相应的一个数字信号的第一输入和接收所述系数信号的第二输入,所述多个抽取滤波器中的每一个包括具有乘法器和单个累加器的有限冲激响应FIR滤波器,其中所述乘法器包括组合逻辑,所述组合逻辑具有接收所述抽取滤波器的第一输入和第二输入的输入,并且其中所述单个累加器包括:

加法器,其具有耦合到所述组合逻辑的输出的第一输入和第二输入;以及

存储电路,其具有耦合到所述加法器的输出的输入和耦合到所述加法器的第二输入的输出。

2.根据权利要求1所述的电路,其中所述多个数字信号中的每一个具有一比特宽度,并且其中所述系数信号具有Q比特宽度,其中Q是大于一的整数。

3.根据权利要求2所述的电路,其中所述组合逻辑包括2输入逻辑门的Q单元阵列,所述逻辑门中的每一个的第一输入被配置成接收数字信号,并且所述逻辑门中的每一个的第二输入被配置成接收所述系数信号的Q比特中的相应的一个比特。

4.根据权利要求1所述的电路,其中所述系数生成器电路包括存储多个系数的查找表LUT,并且其中所述系数信号包括所述多个系数的重复序列。

5.根据权利要求4所述的电路,其中所述多个ADC中的每一个具有为N的过采样率OSR,其中N是大于一的整数,并且其中所述多个系数是N个系数。

6.根据权利要求1所述的电路,其中所述系数生成器包括:

存储L个值的序列的查找表LUT,其中L是大于一的整数;

耦合到所述LUT的输出的1:M上采样保持器电路,其中M是大于L的整数;以及

耦合到所述1:M上采样保持器电路的输出的累加器。

7.根据权利要求6所述的电路,其中所述系数生成器还包括耦合到所述累加器的输出的至少一个正规化器。

8.根据权利要求6所述的电路,其中所述多个ADC中的每一个具有为N的过采样率OSR,其中N是大于一的整数,并且其中N是L和M的积。

9.一种处理系统,包括:

多个接收器,其被配置成输出多个模拟信号;

多个模数转换器ADC,其被配置成接收多个模拟信号并输出多个数字信号;系数生成器电路,其被配置成输出系数信号;

多个抽取滤波器,其均包括接收所述多个数字信号中的相应的一个数字信号的第一输入和接收所述系数信号的第二输入,所述多个抽取滤波器中的每一个包括具有乘法器和单个累加器的有限冲激响应FIR滤波器,其中所述乘法器包括组合逻辑,所述组合逻辑具有接收所述抽取滤波器的第一输入和第二输入的输入,并且其中所述单个累加器包括:

加法器,其具有耦合到所述组合逻辑的输出的第一输入和第二输入;以及

存储电路,其具有耦合到所述加法器的输出的输入和耦合到所述加法器的第二输入的输出;以及

数字信号处理器,其被配置成处理所述多个抽取滤波器的输出。

10. 根据权利要求9所述的处理系统,其中所述系数生成器电路包括存储多个系数的查找表LUT,并且其中所述系数信号包括所述多个系数的重复序列。

11. 根据权利要求9所述的处理系统,其中所述系数生成器包括:

存储L个值的序列的查找表LUT,其中L是大于一的整数;

耦合到所述LUT的输出的1:M上采样保持器电路,其中M是大于L的整数;以及

耦合到所述1:M上采样保持器电路的输出的累加器。

12. 根据权利要求9所述的处理系统,其中所述多个接收器耦合到输入设备的多个传感器电极,并且其中所述多个接收器中的每一个被配置成测量所述多个传感器电极中的相应的一个传感器电极上的电荷或电流。

13. 根据权利要求12所述的处理系统,其中所述数字信号处理器被配置成基于所述多个抽取滤波器的输出来确定所述输入设备的感测区中的电容的改变。

14. 一种处理多个模拟信号的方法,包括:

使用多个模数转换器ADC将所述多个模拟信号转换成多个数字信号;

生成系数序列;以及

在具有乘法器和单个累加器的有限冲激响应FIR滤波器中,通过相继地将所述数字信号的值乘以所述系数序列中的每一个系数并累加乘法的积来对所述多个数字信号中的每一个数字信号进行滤波,其中相继地将所述数字信号乘以所述系数序列的步骤包括将所述数字信号的值和所述系数序列应用于组合逻辑的输入。

15. 根据权利要求14所述的方法,其中转换的步骤包括使用为N的过采样率OSR来对所述多个模拟信号进行过采样,其中N是大于一的整数,并且其中所述系数序列包括N个系数。

16. 根据权利要求15所述的方法,其中生成的步骤包括从查找表LUT获得所述N个系数。

17. 根据权利要求15所述的方法,其中生成的步骤包括:

从查找表LUT获得L个值的序列,其中L是大于一的整数;

对所述L个值的序列进行上采样并保持所述L个值的序列以生成M个值的序列,其中M是大于L的整数;以及

对所述M个值的序列进行积分以生成所述系数序列。

具有并行模数转换器通道的系统中的抽取滤波

技术领域

[0001] 公开的实施例总体上涉及电子电路，并且更特别地涉及具有并行模数转换器通道的系统中的抽取滤波。

背景技术

[0002] 包括接近传感器设备(通常也称为触摸板或触摸传感器设备)的输入设备被广泛地用在多种电子系统中。接近传感器设备可以包括常常通过表面来区分的感测区，在其中接近传感器设备确定一个或多个输入对象的存在、位置和/或运动。接近传感器设备可以用于为电子系统提供界面。例如，接近传感器设备常常被用作用于较大计算系统的输入设备(诸如集成在笔记本或台式计算机中或者在其外围的不透明触摸板)。接近传感器设备也常常被用在较小计算系统中(诸如集成在蜂窝电话中的触摸屏)。接近传感器可以包括用于处理从触摸感测操作产生的信号的大量并行通道。因此，每个通道的复杂性和成本是关键的。

发明内容

[0003] 在实施例中，一种电路包括：多个模数转换器(ADC)，其接收相应的多个模拟信号并输出相应的多个数字信号；系数生成器电路，其输出系数信号；以及多个抽取滤波器，其均包括接收多个数字信号中的相应的一个数字信号的第一输入和接收系数信号的第二输入，多个抽取滤波器中的每一个包括具有乘法器和单个累加器的有限冲激响应(FIR)滤波器。

[0004] 在另一实施例中，一种处理系统包括：多个接收器，其被配置成输出多个模拟信号；多个模数转换器(ADC)，其被配置成接收多个模拟信号并输出多个数字信号；系数生成器电路，其被配置成输出系数信号；多个抽取滤波器，其均包括接收多个数字信号中的相应的一个数字信号的第一输入和接收系数信号的第二输入，多个抽取滤波器中的每一个包括具有乘法器和单个累加器的有限冲激响应(FIR)滤波器；以及数字信号处理器，其被配置成处理多个抽取滤波器的输出。

[0005] 在另一实施例中，一种处理多个模拟信号的方法包括：使用多个模数转换器(ADC)将多个模拟信号转换成多个数字信号；生成系数序列；以及在具有乘法器和单个累加器的有限冲激响应(FIR)滤波器中，通过相继地将数字信号的值乘以系数序列中的每一个系数并累加乘法的积来对多个数字信号中的每一个数字信号进行滤波。

附图说明

[0006] 为了本公开的以上记载的特征能够被详细地理解所用的方式，可以通过参照实施例来得到以上简要地概述的本公开的更详细的描述，所述实施例中的一些实施例在附图中图示。然而，要注意的是，由于本公开可以容许其它同样有效的实施例，所以附图仅图示本公开的一些实施例，并且因此将不被认为限制其范围。

[0007] 图1是根据本文中描述的一个实施例的示例性输入设备的框图。

- [0008] 图2是描绘了根据实施例的图1的输入设备的一部分的框图。
- [0009] 图3是描绘了根据实施例的处理系统的接收器的框图。
- [0010] 图4是描绘了根据实施例的有限冲激响应(FIR)滤波器的框图。
- [0011] 图5是描绘了根据实施例的被配置成执行乘法操作的组合逻辑的框图。
- [0012] 图6是描绘了根据实施例的系数生成器的框图。
- [0013] 图7是描绘了根据实施例的处理多个模拟信号的方法的流程图。
- [0014] 图8是描绘了根据另一实施例的系数生成器的框图。
- [0015] 图9A-9C是描绘了由图8的系数生成器生成的各种序列的图表。
- [0016] 图10是描绘了根据实施例的生成用于滤波器的系数的方法的流程图。
- [0017] 为了促进理解,已经在可能的情况下使用了相同的附图标记来标明为附图所共有的相同的元件。要预期到的是,一个实施例中公开的元件可以被有益地用在其它实施例上而无需特定记载。这些附图不应被理解为按比例绘制,除非具体指明。而且,为了呈现和解释的清楚性,附图可以被简化并且细节或部件可以被省略。附图和讨论用来解释下面讨论的原理,其中相似的标记表示相似的元件。

具体实施方式

[0018] 图1是根据本公开的实施例的示例性输入设备100的框图。输入设备100可以被配置成提供到电子系统(未示出)的输入。如本文档中所使用的那样,术语“电子系统”(或“电子设备”)宽泛地指代能够电子地处理信息的任何系统。电子系统的一些非限制性示例包括所有大小和形状的个人计算机,诸如台式计算机、膝上型计算机、上网本计算机、平板计算机、网络浏览器、电子书阅读器以及个人数字助理(PDA)。附加示例电子系统包括复合输入设备,诸如包括输入设备100和分离的操纵杆或按键开关的物理键盘。另外的示例电子系统包括外围设备,诸如数据输入设备(包括遥控装置和鼠标)以及数据输出设备(包括显示屏和打印机)。其它示例包括远程终端、信息站以及视频游戏机(例如,视频游戏控制台、便携式游戏设备等等)。其它示例包括通信设备(包括蜂窝电话,诸如智能电话)以及媒体设备(包括记录器、编辑器以及播放器,诸如电视、机顶盒、音乐播放器、数码相框以及数码相机)。另外,电子系统可以是输入设备的主设备或从设备。

[0019] 输入设备100能够被实现为电子系统的物理部分,或者能够与电子系统在物理上分离。视情况而定,输入设备100可以使用以下中的任何一个或多个来与电子系统的部分通信:总线、网络和其它有线或无线互连件。示例包括I²C、SPI、PS/2、通用串行总线(USB)、蓝牙、RF以及IRDA。

[0020] 在图1中,将输入设备100示出为被配置成在感测区120中感测由一个或多个输入对象140提供的输入的接近传感器设备(常常也称为“触摸板”或“触摸传感器设备”)。示例输入对象包括手指和触针,如图1中所示。

[0021] 感测区120涵盖输入设备100上方、周围、其中和/或附近的任何空间,在其中输入设备100能够检测用户输入(例如,由一个或多个输入对象140提供的用户输入)。特定感测区的大小、形状和位置可以因实施例而很大地不同。在一些实施例中,感测区120从输入设备100的表面沿一个或多个方向延伸到空间中,直到信噪比阻碍充分准确的对象检测。在各种实施例中,该感测区120沿特定方向延伸到的距离可以大约为小于一毫米、数毫米、数厘

米或更大，并且可以随所使用的感测技术的类型和所期望的精度而显著地变化。因此，一些实施例感测输入，其包括没有与输入设备100的任何表面的接触、与输入设备100的输入表面(例如，触摸表面)的接触、以某个量的施加力或压力耦合的与输入设备100的输入表面的接触和/或其组合。在各种实施例中，输入表面可以由传感器电极位于其中的壳体的表面、由应用在传感器电极或任何壳体之上的面板等提供。在一些实施例中，感测区120在被投影到输入设备100的输入表面上时具有矩形形状。

[0022] 输入设备100可以利用传感器部件和感测技术的任何组合来检测感测区120中的用户输入。输入设备100包括用于检测用户输入的一个或多个感测元件。作为若干个非限制性示例，输入设备100可以使用电容性技术、弹性技术、电阻性技术、电感性技术、磁性技术、声学技术、超声技术和/或光学技术。

[0023] 一些实现方式被配置成提供横跨一维、二维、三维或更高维空间的图像。一些实现方式被配置成提供输入沿着特定轴或平面的投影。

[0024] 在输入设备100的一些电容性实现方式中，施加电压或电流以创建电场。附近的输入对象引起电场的改变，并且产生电容性耦合的可检测改变，其可以作为电压、电流等的改变而被检测。

[0025] 一些电容性实现方式利用电容性感测元件的阵列或其它规则或非规则图案来创建电场。在一些电容性实现方式中，分离感测元件可以欧姆地短接在一起以形成更大的传感器电极。一些电容性实现方式利用电阻片，其可以是均匀电阻性的。

[0026] 一些电容性实现方式利用基于传感器电极与输入对象之间的电容性耦合的改变的“自电容”(或“绝对电容”)感测方法。在各种实施例中，靠近传感器电极的输入对象更改靠近传感器电极的电场，因此改变所测量的电容性耦合。在一种实现方式中，绝对电容感测方法通过关于参考电压(例如，系统接地)调制传感器电极和通过检测传感器电极与输入对象之间的电容性耦合来进行操作。

[0027] 一些电容性实现方式利用基于传感器电极之间的电容性耦合的改变的“互电容”(或“跨电容”)感测方法。在各种实施例中，靠近传感器电极的输入对象更改传感器电极之间的电场，因此改变所测量的电容性耦合。在一种实现方式中，跨电容性感测方法通过检测一个或多个发射器传感器电极(也就是“发射器电极”或“发射器”)与一个或多个接收器传感器电极(也就是“接收器电极”或“接收器”)之间的电容性耦合来进行操作。可以相对于参考电压(例如，系统接地)调制发射器传感器电极以发射发射器信号。接收器传感器电极可以相对于参考电压被保持基本上恒定以促进作为结果的信号的接收。作为结果的信号可以包括对应于一个或多个发射器信号和/或对应于一个或多个环境干扰源(例如，其它电磁信号)的(一种或多种)影响。传感器电极可以是专用的发射器或接收器，或者可以被配置成既发射又接收。

[0028] 在图1中，处理系统110被示出为输入设备100的部分。处理系统110被配置成操作输入设备100的硬件以检测感测区120中的输入。处理系统110包括一个或多个集成电路(IC)和/或其它电路部件中的部分或全部。例如，用于互电容传感器设备的处理系统可以包括被配置成利用发射器传感器电极发射信号的发射器电路和/或被配置成利用接收器传感器电极接收信号的接收器电路。在一些实施例中，处理系统110还包括电子可读指令，诸如固件代码、软件代码等等。在一些实施例中，将构成处理系统110的部件定位在一起，诸如靠

近输入设备100的(一个或多个)感测元件。在其它实施例中,处理系统110的部件在物理上分离,其中一个或多个部件接近于输入设备100的(一个或多个)感测元件,而一个或多个部件在其它位置处。例如,输入设备100可以是耦合到台式计算机的外围设备,并且处理系统110可以包括被配置成在台式计算机的中央处理单元上运行的软件以及与该中央处理单元分离的一个或多个IC(可能具有关联的固件)。作为另一示例,输入设备100可以在物理上被集成在电话中,并且处理系统110可以包括作为电话的主处理器的部分的电路和固件。在一些实施例中,处理系统110专用于实现输入设备100。在其它实施例中,处理系统110也执行其它功能,诸如操作显示屏、驱动触觉致动器等。

[0029] 处理系统110可以被实现为处理处理系统110的不同功能的模块集合。每一个模块可以包括作为处理系统110的一部分的电路、固件、软件或其组合。在各种实施例中,可以使用模块的不同组合。示例模块包括用于操作诸如传感器电极和显示屏之类的硬件的硬件操作模块、用于处理诸如传感器信号和位置信息之类的数据的数据处理模块、以及用于报告信息的报告模块。另外的示例模块包括被配置成操作(一个或多个)感测元件以检测输入的传感器操作模块、被配置成识别诸如模式改变手势之类的手势的识别模块、以及用于改变操作模式的模式改变模块。

[0030] 在一些实施例中,处理系统110通过引起一个或多个动作而直接响应于感测区120中的用户输入(或没有用户输入)。示例动作包括改变操作模式以及诸如光标移动、选择、菜单导航和其它功能之类的GUI动作。在一些实施例中,处理系统110向电子系统的某个部分(例如,向与处理系统110分离的电子系统的中央处理系统,如果这样的分离中央处理系统存在的话)提供关于输入(或没有输入)的信息。在一些实施例中,电子系统的某个部分处理从处理系统110接收的信息以作用于用户输入,诸如促进完整范围的动作,包括模式改变动作和GUI动作。

[0031] 例如,在一些实施例中,处理系统110操作输入设备100的(一个或多个)感测元件以产生指示感测区120中的输入(或没有输入)的电信号。处理系统110可以在产生提供给电子系统的信息中对电信号执行任何适当量的处理。例如,处理系统110可以对从传感器电极获得的模拟电信号进行数字化。作为另一示例,处理系统110可以执行滤波或其它信号调整。作为又一示例,处理系统110可以减去或以其它方式计及基线,使得信息反映电信号与基线之间的差。作为又另外的示例,处理系统110可以确定位置信息、识别作为命令的输入、识别笔迹等。

[0032] 如本文中所使用的“位置信息”宽泛地涵盖绝对位置、相对位置、速度、加速度和其它类型的空间信息。示例性“零维”位置信息包括近/远或接触/无接触信息。示例性“一维”位置信息包括沿轴的位置。示例性“二维”位置信息包括平面中的运动。示例性“三维”位置信息包括空间中的瞬时或平均速度。另外的示例包括空间信息的其它表示。也可以确定和/或存储关于一个或多个类型的位置信息的历史数据,包括例如随时间追踪位置、运动或瞬时速度的历史数据。

[0033] 在一些实施例中,利用由处理系统110或由某个其它处理系统操作的附加输入部件来实现输入设备100。这些附加输入部件可以提供用于感测区120中的输入的冗余功能性或某个其它功能性。图1示出了能够被用于促进使用输入设备100来选择项目的靠近感测区120的按钮130。其它类型的附加输入部件包括滑块、球、轮、开关等。相反地,在一些实施例

中,可以不利用其它输入部件来实现输入设备100。

[0034] 在一些实施例中,输入设备100包括触摸屏界面,并且感测区120重叠显示屏的激活区域的至少一部分。例如,输入设备100可以包括覆盖显示屏的基本上透明的传感器电极并且为关联的电子系统提供触摸屏界面。显示屏可以是能够向用户显示视觉界面的任何类型的动态显示器,并且可以包括任何类型的发光二极管(LED)、有机LED(OLED)、阴极射线管(CRT)、液晶显示器(LCD)、等离子体、电致发光(EL)或其它显示技术。输入设备100和显示屏可以共享物理元件。例如,一些实施例可以利用相同的电学部件中的一些以用于显示和感测。作为另一示例,显示屏可以由处理系统110部分地或全部地操作。

[0035] 应当理解的是,尽管在完全发挥作用的装置的上下文中描述了本公开的许多实施例,但是本公开的机制能够以多种形式作为程序产品(例如,软件)被分发。例如,本公开的机制可以被实现和分发为可被电子处理器读取的信息承载介质(例如,可被处理系统110读取的非瞬态计算机可读和/或可记录/可写信息承载介质)上的软件程序。另外,本公开的实施例同样适用,不管被用于执行该分发的介质的特定类型如何。非瞬态、电子可读介质的示例包括各种盘、存储棒、存储卡、存储模块等。电子可读介质可以基于闪速存储技术、光学存储技术、磁性存储技术、全息存储技术或任何其它存储技术。

[0036] 图2是描绘了根据实施例的输入设备100的一部分的框图。处理系统110耦合到多个传感器电极202。传感器电极202被设置在输入设备100(图1)的感测区120中,并且可以被布置成各种图案,诸如条形和带形图案、矩阵图案等等。传感器电极202可以被形成在一个或多个基板216上。在一些触摸屏实施例中,传感器电极202的全部或一部分是在更新显示中使用的显示面板的显示电极,诸如“Vcom”电极的一个或多个段(公共电极)、栅极电极、源极电极、阳极电极和/或阴极电极。这些显示电极可以设置在适当的显示屏基板上。例如,显示电极可以设置在一些显示屏(例如,共面切换(IPS)或面线切换(PLS)有机发光二极管(OLED))中的透明基板(玻璃基板、TFT玻璃或任何其它透明材料)上,可以设置在一些显示屏(例如,图案垂直对齐(PVA)或多域垂直对齐(MVA))的滤色玻璃的底部上,可以设置在放射性层(OLED)之上等等。显示电极也可以称为“公共电极”,因为显示电极执行显示更新和电容性感测的功能。

[0037] 处理系统110包括传感器电路208,所述传感器电路208操作传感器电极202以接收作为结果的信号。传感器电路208通过接口209耦合到传感器电极202。接口209可以包括通过电气连接215将传感器电路208耦合到传感器电极202的各种开关、复用器等。传感器电路208包括多个接收器(RX)206和控制逻辑212。在一些实施例中,传感器电路208还包括一个或多个发射器(TX)210。控制逻辑212被配置成控制接收器206和发射器210(如果存在的話)。

[0038] 在实施例中,传感器电路208操作用于绝对电容性感测的传感器电极。在这样的情况下,接收器206通过接口209耦合到传感器电极202。每一个传感器电极202具有相对于系统接地的自电容并且形成用于检测感测区120中的(一个或多个)对象的触摸节点。当对象靠近传感器电极202时,可以在传感器电极202与对象之间形成相对于接地的附加电容。附加电容导致传感器电极202的至少一部分的自电容的净增加。接收器206测量传感器电极202的自电容并且响应于此而生成作为结果的信号。

[0039] 在实施例中,传感器电路208操作用于跨电容性感测的传感器电极。在这样的情况

下,(一个或多个)发射器210通过接口209耦合到传感器电极202的一个或多个发射器电极。接收器206耦合到传感器电极202的接收器电极。接收器电极通过交叉或邻接来与(一个或多个)发射器电极形成互电容。(一个或多个)发射器210驱动(一个或多个)发射器电极上的交流(AC)波形,所述(一个或多个)发射器电极通过互电容耦合到接收器电极。靠近传感器电极202的对象导致互电容的净减小和耦合到接收器电极的至少一部分的AC波形的减小。接收器206测量接收器电极上的AC波形并且响应于此而生成作为结果的信号。

[0040] 处理器220从传感器电路208接收作为结果的信号。处理器220被配置成根据由传感器电路208接收到的作为结果的信号来确定电容性测量结果。处理器220还可以根据电容性测量结果来确定针对(一个或多个)输入对象的位置信息。

[0041] 在实施例中,处理系统110包括诸如专用集成电路(ASIC)的单个集成控制器,具有传感器电路208、处理器220以及(一个或多个)任何其它电路。在另一实施例中,处理系统110可以包括多个集成电路,其中传感器电路208、处理器220以及(一个或多个)任何其它电路可以在这些集成电路之间被划分。例如,传感器电路208可以在一个集成电路上,并且处理器220以及(一个或多个)任何其它电路可以是一个或多个其它集成电路。在一些实施例中,传感器电路208的第一部分可以在一个集成电路上并且传感器电路208的第二部分可以在第二集成电路上。

[0042] 用于并行ADC通道的抽取滤波

[0043] 图3是描绘了根据实施例的接收器206的框图。接收器206包括K个通道,其中K是大于零的整数。在一些触摸屏实施例中,K可以大。例如,对于大显示和触摸感测系统,K可以大约是400。接收器206包括模拟前端(AFE) $302_1 \cdots \cdots 302_K$ (统称为多个AFE 302或一个AFE 302)、模数转换器(ADC) $304_1 \cdots \cdots 304_K$ (统称为多个ADC 304或一个ADC 304)、以及抽取滤波器电路(“抽取滤波器 $306_1 \cdots \cdots 306_K$ ”,统称为多个抽取滤波器306或一个抽取滤波器306)。抽取滤波器 $306_1 \cdots \cdots 306_K$ 包括有限冲激响应(FIR)滤波器电路(“FIR滤波器 $308_1 \cdots \cdots 308_K$ ”,统称为多个FIR滤波器308或一个FIR滤波器308)和捕获电路 $310_1 \cdots \cdots 310_K$ (统称为多个捕获电路310或一个捕获电路310)。接收器206还包括在全部K个通道之间共享的系数生成器电路(“系数生成器312”)。

[0044] 对于每一个通道,AFE 302的输出耦合到ADC 304的输入。ADC 304的输出耦合到FIR滤波器308的输入。FIR滤波器308的输出耦合到捕获电路310的输入。系数生成器312的输出耦合到每一个FIR滤波器 $308_1 \cdots \cdots 308_K$ 的输入。

[0045] 对于每一个通道,AFE 302耦合到至少一个传感器电极202并生成模拟信号作为输出。AFE 302可以包括被配置成测量(一个或多个)传感器电极202上的电荷或电流的电荷积分器、电流运送器等。AFE 302将所测量的电荷或电流转换成模拟电压。

[0046] 对于每一个通道,ADC 304根据由AFE 302输出的模拟信号来生成数字信号。如本文中所使用的那样,模拟信号是连续时间信号。数字信号是离散时间、离散幅度信号。具有 2^X 位势离散幅度的数字信号具有X比特($X > 0$)的宽度。数字信号可以包括一系列X比特值(字、样本等)。ADC 304生成具有J比特宽度的数字信号,其中J是大于零的整数。在特定实施例中,ADC 304生成1比特数字信号(即,J=1)。ADC 304可以是西格玛-德尔塔ADC或者类似类型电路。在实施例中,ADC 304具有为N的过采样率(OSR),其中N是大于一的整数。例如,1比特ADC可以具有N=3600的OSR。ADC 304的OSR可以由控制逻辑212来设定。

[0047] 对于每一个通道,FIR滤波器308是具有长度N(N-1阶)的离散时间FIR滤波器。FIR滤波器308的输出序列可以表达为:

$$[0048] \quad y[n] = \sum_{i=0}^{N-1} h[n] \cdot x[n-i],$$

[0049] 其中x[n]是由ADC 304输出的序列,y[n]是FIR滤波器308的输出序列,并且h[n]是系数序列。在实施例中,FIR滤波器308使用乘法器和单个累加器来实现。乘法器具有一个J比特操作数和一个Q比特操作数。乘法器相继地将输入序列(即,由ADC 304输出的J比特值)中的值x[n]乘以由系数生成器312提供的Q比特系数h[n]。累加器累加在N个乘法操作内的N个积以生成输出值y[n]。FIR滤波器308₁……308_K共享由系数生成器312输出的系数。下面关于图4描述FIR滤波器308的实施例。

[0050] 对于每一个通道,捕获电路310捕获FIR滤波器308的输出值y[n]。FIR滤波器308输出P比特宽的数字信号,其中P是大于或等于由系数生成器312输出的系数信号的宽度Q的整数。捕获电路310输出R比特宽的数字信号,其中R是大于零的整数。在实施例中,R等于P。可替换地,R可以小于P。也就是说,捕获电路310可以将FIR滤波器308的P比特输出减小至具有比P比特输出更粗糙的分辨率的R比特输出(例如,通过移除多个最低有效比特 LSB 或执行某种其它技术来减小FIR滤波器输出的宽度)。由捕获电路310输出的R比特值具有如由ADC 304输出的J比特值的N分之一的采样率。因此,抽取滤波器306具有N:1下采样率。

[0051] 系数生成器312输出具有宽度Q的数字信号(称为“系数信号”),其中Q是大于零的整数。系数生成器312生成N个系数的重复序列(例如,序列h[n]),其表示每一个FIR滤波器308的冲激响应。在实施例中,系数集基于窗函数,尽管可以使用其它函数。通常,由系数生成器312输出的系数是量化成具有Q比特宽度的字并且由具有Q比特宽度的字表示的正值或负值或零值。在一个实施例中,由系数生成器312输出的系数是正值或零值,这避免了对执行带符号算术的需要。下面进一步描述系数生成器312的实施例。

[0052] 图4是描绘了根据实施例的FIR滤波器308的框图。FIR滤波器308包括组合逻辑电路(“组合逻辑402”)和累加器电路(“累加器406”)。组合逻辑402包括多个逻辑门404。累加器406包括加法器电路(“加法器”)408和存储电路410。组合逻辑402的第一输入接收由ADC 304输出的数字信号。组合逻辑402的第二输入接收由系数生成器312输出的系数信号。组合逻辑402的输出耦合到加法器408的第一输入。加法器408的输出耦合到存储电路410的输入。存储电路410的输出耦合到加法器408的第二输入。

[0053] 在数学上,FIR滤波器308是乘法累加器(MAC)。可以通过利用每一个ADC 304的输出具有小宽度(例如,J=1)的事实来减小每一个通道中的乘法的复杂性。例如,如果J=1,则可以通过由ADC数据比特对系数进行门控(即,如果ADC数据为0则输出=0;如果ADC数据为1则输出=系数)来实现1比特乘Q比特乘法操作。可替换地,1比特ADC输出可以被映射到+1和-1,而不是0和1。可以通过以下来实现1比特乘Q比特乘法操作:如果ADC数据为+1则输出+系数,而如果ADC数据为-1则输出-系数。在这样的情况下,在FIR滤波器输出中没有归因于解释ADC输出代码的方式的系统性DC偏离。在其它示例中,J可以是多于1比特。例如,给定3级的ADC输出(例如,J=2),则ADC输出可以被映射到-1、0、+1或0、1、2。在这样的情况下,可以通过以下来实现乘法操作:分别输出-系数、零、+系数、或零、系数、以及2*系数。

[0054] 图5是描绘了根据实施例的组合逻辑402的框图,由ADC 304输出的数字信号具有1

比特宽度(例如,J=1)。组合逻辑402包括逻辑门 $404_1 \cdots \cdots 404_Q$ 。逻辑门 $404_1 \cdots \cdots 404_Q$ 中的每一个是“与”门。每一个逻辑门 $404_1 \cdots \cdots 404_Q$ 包括接收由ADC 302输出的数字信号的第一输入(由值 $x[n]$ 表示)。逻辑门 $404_1 \cdots \cdots 404_Q$ 的第二输入接收Q比特系数信号的比特0到Q-1(由值 $h[n]<0>$ 到 $h[n]<Q-1>$ 表示)。逻辑门 $404_1 \cdots \cdots 404_Q$ 的输出被集体地作为Q比特输入提供给加法器408。

[0055] 返回到图4,由组合逻辑402执行的乘法操作可以是无符号的,这简化了实现方式。以该方式,乘法和累加操作没有其中将ADC数据映射成带符号的样本值然后使用利用乘法器的带符号的乘法来处理的方案那样复杂。在实施例中,ADC输出可以多于一比特宽。在这样的实施例中,组合逻辑402的复杂性随着ADC输出宽度的增加而缩放。然而,与采用跟随有多个累加器和差分级的带符号的逐多比特乘法器的FIR滤波器相比,当ADC输出具有小宽度(例如,三个或更少比特)时,FIR滤波器308仍然展现出减小的复杂性。

[0056] 累加器406累加由组合逻辑402输出的积。FIR滤波器308的长度通过系数序列的长度(即,N)来规定。存储电路410具有宽度P。宽度P可以被设定为避免由加法器408执行的加法操作的溢出。例如,存储电路410可以使用P D类型触发器来实现。存储电路410可以包括接收重置信号的输入,所述重置信号用于将由存储电路410存储的值重置为零。重置信号可以由控制信号或由捕获电路310在捕获到输出值 $y[n]$ 之后提供、或者由其组合提供。

[0057] 图6是描绘了根据实施例的系数生成器312的框图。系数生成器312包括查找表(LUT)604和地址生成器电路(“地址生成器602”)。LUT 604可以使用任何类型的存储电路(例如,随机存取存储器(RAM)、只读存储器(ROM)等)来实现,并且被配置成存储系数序列606。LUT 604具有宽度Q和深度N。地址生成器602生成用于LUT 604的地址,使得LUT 604输出N个系数的重复序列。

[0058] 图7是描绘了根据实施例的处理多个模拟信号的方法700的流程图。方法700总结了如以上所描述的通道的操作。方法700在步骤702处开始,其中ADC 302针对通道中的每一个将模拟信号转换成数字信号。在步骤704处,控制逻辑212设定每一个ADC 302的OSR。在步骤706处,系数生成器312生成共享系数序列。在实施例中,在步骤708处,系数生成器312从LUT 604获得系数。下面进一步描述可以在步骤706中使用的用于生成系数的可替换实施例。

[0059] 在步骤710处,每一个通道中的抽取滤波器306对数字信号进行滤波和抽取。在实施例中,在步骤712处,FIR滤波器308相继地将数字信号的N个值与系数序列的N个系数相乘以生成N个积。FIR滤波器308在单个累加器中累加N个积。在步骤714处,捕获电路310捕获FIR滤波器308的输出,其具有如至FIR滤波器308的输入的N分之一的采样率。

[0060] 已经关于电容性感测设备(诸如图1-2中示出的电容性感测设备)的通道描述了抽取滤波技术。然而,要理解的是,图3中示出的结构可以被实现在具有并行ADC通道的其它类型的应用中。抽取滤波器可以被设计为多级、多速率处理路径(例如,跟随有FIR抽取滤波级的级联积分梳状(CIC)抽取滤波级,所述级联积分梳状(CIC)抽取滤波级以较高采样率操作,所述FIR抽取滤波级以较低采样率操作)。然而,对于多通道系统,这样的多级、多速率抽取滤波器的复杂性随着通道数目而缩放。本文中实施例中描述的抽取滤波技术展现出每通道的低复杂性并因此特别适于具有大量并行ADC通道的应用。

[0061] 在实施例中,抽取滤波器306可以连同模拟域中的ADC 304一起被实现。这免除了

以下需要：在长距离范围内将大量高速ADC输出信号从模拟集成电路块路由到数字集成电路块。

[0062] 在以上各种示例中，ADC输出的宽度是一比特（例如， $J=1$ ）。如果ADC输出多于一比特，也可以采用本文中描述的抽取滤波技术。然而，FIR滤波器308的复杂性随着ADC输出的宽度而缩放。因此，当ADC输出是一比特宽或少量比特宽（例如，2或3比特）时，可以实现具有低复杂性的FIR滤波器308。

[0063] 由系数生成器312生成的系数序列可以相对长，这取决于ADC 302的OSR。因此，系数生成器312可以包括相对大的LUT以存储整个系数序列。对于具有大量并行ADC通道的系统而言，用于存储系数序列的大LUT的额外复杂性由大量通道共享。可以使用下面描述的用于生成系数序列的技术来进一步减小系数生成器312的复杂性。

[0064] 系数序列生成

[0065] 图8是描绘了根据实施例的系数生成器800的框图。在实施例中，系数生成器800可以用作以上在图3中描述的接收器206中的系数生成器312。然而，系数生成器800可以在其它应用中使用。通常，系数生成器800可以用于生成用于具有一个或多个级852且具有长度N的滤波器850的系数。

[0066] 在实施例中，系数生成器800包括LUT 802、地址生成器电路（“地址生成器806”）、上采样保持器电路（“上采样保持器808”）以及累加器810。在一些实施例中，系数生成器800还包括正规化器电路（“正规化器812”）。在实施例中，正规化器812包括比特移位器电路（“比特移位器814”）。在其它实施例中，正规化器812包括比特移位器814和乘法器电路（“乘法器816”）二者。

[0067] LUT 802的输入耦合到地址生成器806的输出。LUT 802的输出耦合到上采样保持器808的输入。上采样保持器808的输出耦合到累加器810的输入。累加器810的输出可以供应系数信号。在具有正规化器812的实施例中，累加器810的输出耦合到比特移位器814的输入。比特移位器814的输出可以供应系数信号。在具有乘法器816的实施例中，比特移位器814的输出耦合到乘法器816的输入。乘法器816的输出可以供应系数信号。系数信号是具有Q比特宽度的数字信号，其中Q是大于零的整数。

[0068] 在实施例中，LUT 802存储差分序列804。差分序列804可以包括L个值，其中L是大于一的整数。差分序列804的L个值表示滤波器850的冲激响应的一阶导数。LUT 802的输出是具有宽度S的数字信号，其中S是大于一的整数。在实施例中，LUT 802的宽度S小于系数生成器800的输出的宽度Q。地址生成器806生成用于LUT 802的地址以相继地输出L个值的序列。

[0069] 在实施例中，窗函数被设计为对称偶函数。在这样的情况下，差分序列是对称奇函数。在实施例中，LUT 802可以仅存储差分序列的前一半的L/2个值。LUT 802可以包括用于输出所存储的差分序列的后一半的值的负版本的电路。如果要存储的长度L的差分序列替代地是偶函数，则LUT 802可以仍然仅存储差分序列的前一半的L/2个值。地址生成器806然后可以以后向方式生成地址以从LUT 802输出差分序列的后一半。

[0070] 图9A是描绘了可以存储在LUT 802中的差分序列902的图表。图表的x轴表示样本数（n）并且图表的y轴表示差分序列值（称为 $X_c[n]$ ）。

[0071] 返回到图8，上采样保持器808以因子M对由LUT 802输出的数字信号进行上采样，

其中M是大于零的整数。上采样保持器808输出在由LUT 802输出的序列中的每一个值的M个实例。上采样保持器808输出数字信号,所述数字信号具有宽度S并包括长度N=M*L的序列,其中N是滤波器850的冲激响应的长度。上采样保持器808可以包括被配置成接收控制信号(“设定M”)以设定M的值(即,设定上采样率)的输入。

[0072] 图9B是图示了如由上采样保持器808输出的经上采样的差分序列904的图表。图表的x轴表示样本数(n),并且图表的y轴表示经上采样的差分序列值(称为 $X_c'[n]$)。如细节908中示出的那样,经上采样的差分序列904的每一个“台阶”包括M个值。

[0073] 返回到图8,累加器810对由上采样保持器808输出的经上采样的差分序列进行积分。例如,累加器810可以是具有转移函数 $1/(1-z^{-1})$ 的滤波器。累加器810输出具有宽度Q的数字信号。累加器810的输出是表示滤波器850的冲激响应的N个值的重复序列。

[0074] 图9C是图示了如由累加器810输出的经积分的序列906的图表。图表的x轴表示样本数(n)并且图表的y轴表示经积分的序列值(称为 $Y_c[n]$)。与图9A中示出的差分序列902相比,经积分的序列906可以包括大量样本。如由细节910示出的那样,经积分的序列是离散值(总共N个值)的序列。系数生成器800的一个示例配置是L=32、M=100以及N=32*100=3200。无数种配置中的任何其它配置是可能的。

[0075] 返回到图8,在实施例中,系数生成器800包括正规化器812。正规化器812可以用于当上采样率从标称值改变时(即,当M在上采样保持器808处改变时)维持冲激响应的幅值。在实施例中,目标滤波器长度是具有公比二的等比序列(例如,800、1600、3200、6400等)的元素。在这样的实施例中,正规化器812可以使用比特移位器814来实现。比特移位器814包括用于接收移位控制信号的输入,所述移位控制信号可以由控制逻辑212提供。例如,如果M标称地为100以生成长度N=3200的系数序列,则将M改变为200生成长度N=6400的系数序列。例如,为了维持冲激响应的幅值,比特移位器814可以执行右移位以将累加器810输出的经积分的序列除以二。如果期望目标滤波器长度的更精细粒度和小于两倍的系数幅值的变化(6dB),则正规化器812可以包括乘法器816。乘法器816可以是正则带符号数(CSD)乘法器等。乘法器816包括用于接收乘法控制信号的输入,所述乘法控制信号可以由控制逻辑212提供。正规化器812可以以其它方式将冲激响应正规化以维持其它参数(例如,正规化以维持FIR滤波器的DC增益)。

[0076] 在图8的示例中,差分序列被存储在LUT 802中。在另一示例中,冲激响应的L个样本或L/2个样本可以被存储在LUT 802中,并且系数生成器800可以包括耦合在LUT 802与上采样保持器808之间的差分电路,所述差分电路输出差分序列。在图8的示例中,存在单个差分和积分级。在其它示例中,系数生成器800可以包括多于一个差分和积分级。例如,LUT 802可以存储高于一阶的差分序列并且系数生成器800可以包括多于一个累加器810。在另一示例中,LUT 802可以存储冲激响应,并且系数生成器800可以在上采样保持器808之前包括多个差分器电路并在上采样保持器808之后包括多于一个累加器810。

[0077] 图10是描绘了根据实施例的生成用于滤波器的系数的方法1000的流程图。方法1000在步骤1002处开始,其中系数生成器800生成差分序列。例如,在步骤1004处,LUT 802可以输出差分序列的L个值。在步骤1006处,上采样保持器808使用1:M上采样率对差分序列进行上采样并保持差分序列以生成经上采样的差分序列。在步骤1008处,控制逻辑212设定上采样率(例如,设定M的值)。在步骤1010处,累加器810对经上采样的序列进行积分以生成

经积分的序列。经积分的序列包括与滤波器850的期望长度对应的 $N=M*L$ 个值。在可选步骤1012处，正规化器812将经积分的序列正规化以维持系数的期望幅值。在步骤1014处，控制逻辑112设定正规化因子。例如，控制逻辑112可以设定用于比特移位器814的移位控制值。在另一示例中，控制逻辑112可以设定用于比特移位器814的移位控制值和用于乘法器816的乘法控制值二者。

[0078] 以上关于图8-10描述的系数生成的技术涵盖内插短LUT以生成适于实时硬件中的高效实现的长系数序列。从较小可编程LUT生成长系数集实现了较低系统成本，同时维持可编程系数函数和窗口形状的灵活性。通过以下来实现低成本实现方式：1) 使用少量数字电路块来实现内插操作，所述少量数字电路块执行上采样/保持、累加以及可选地正规化；2) 通过使用差分序列而不是系数函数本身在经由内插的深度和宽度方面充分地减小LUT大小；以及3) 通过改变内插率，在不改变LUT的大小或不对LUT重新编程的情况下生成用于系数集的各种长度。

[0079] 可以在各种系统中采用系数生成技术，所述系统诸如是具有滤波器的过采样系统，所述滤波器使用长系数集来产生经处理的结果。在实施例中，系数生成器800用作输入设备100的接收器206中的系数生成器312。

[0080] 呈现了本文中所阐述的实施例和示例以解释根据本技术及其特定应用的实施例并且由此使得本领域技术人员能够做出和使用本公开。然而，本领域技术人员将认识到的是，仅仅出于说明和示例的目的，已经呈现了前面的描述和示例。如所阐述的描述不意在是详尽的或者将本公开限制于所公开的确切形式。

[0081] 鉴于以上内容，本公开的范围由所附权利要求确定。

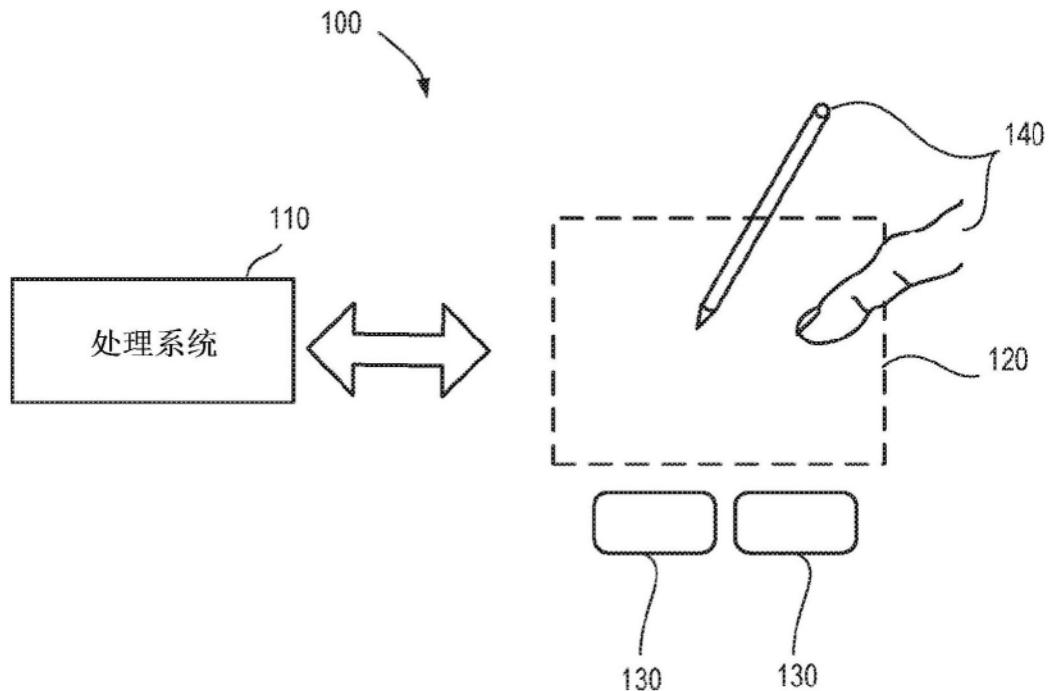


图1

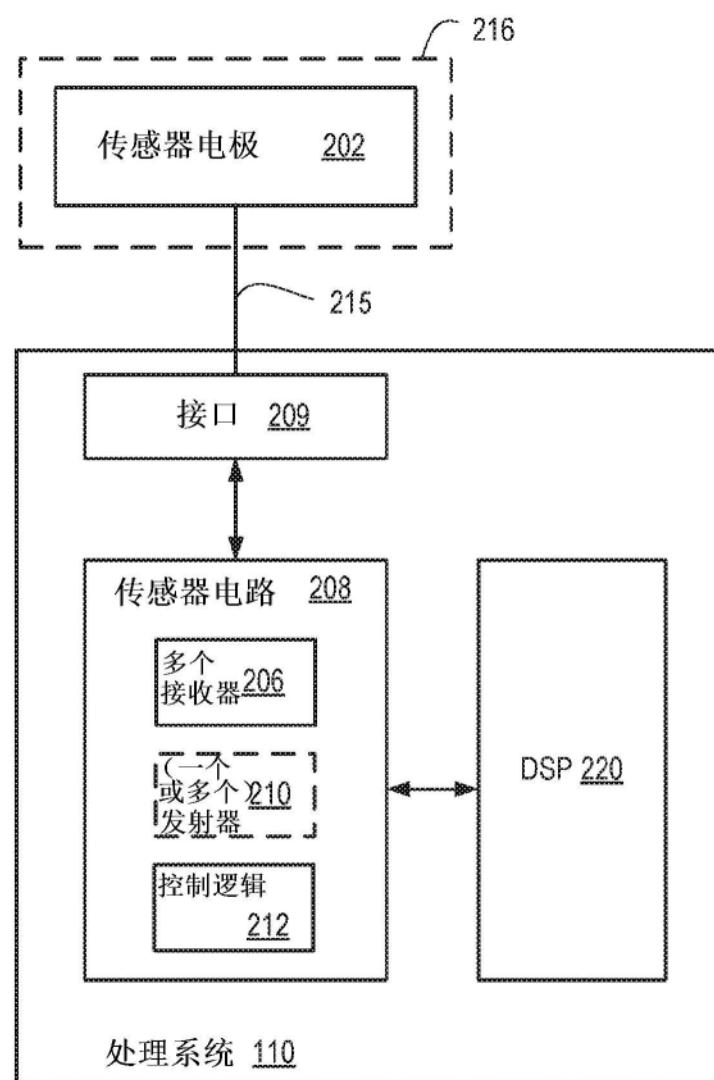


图2

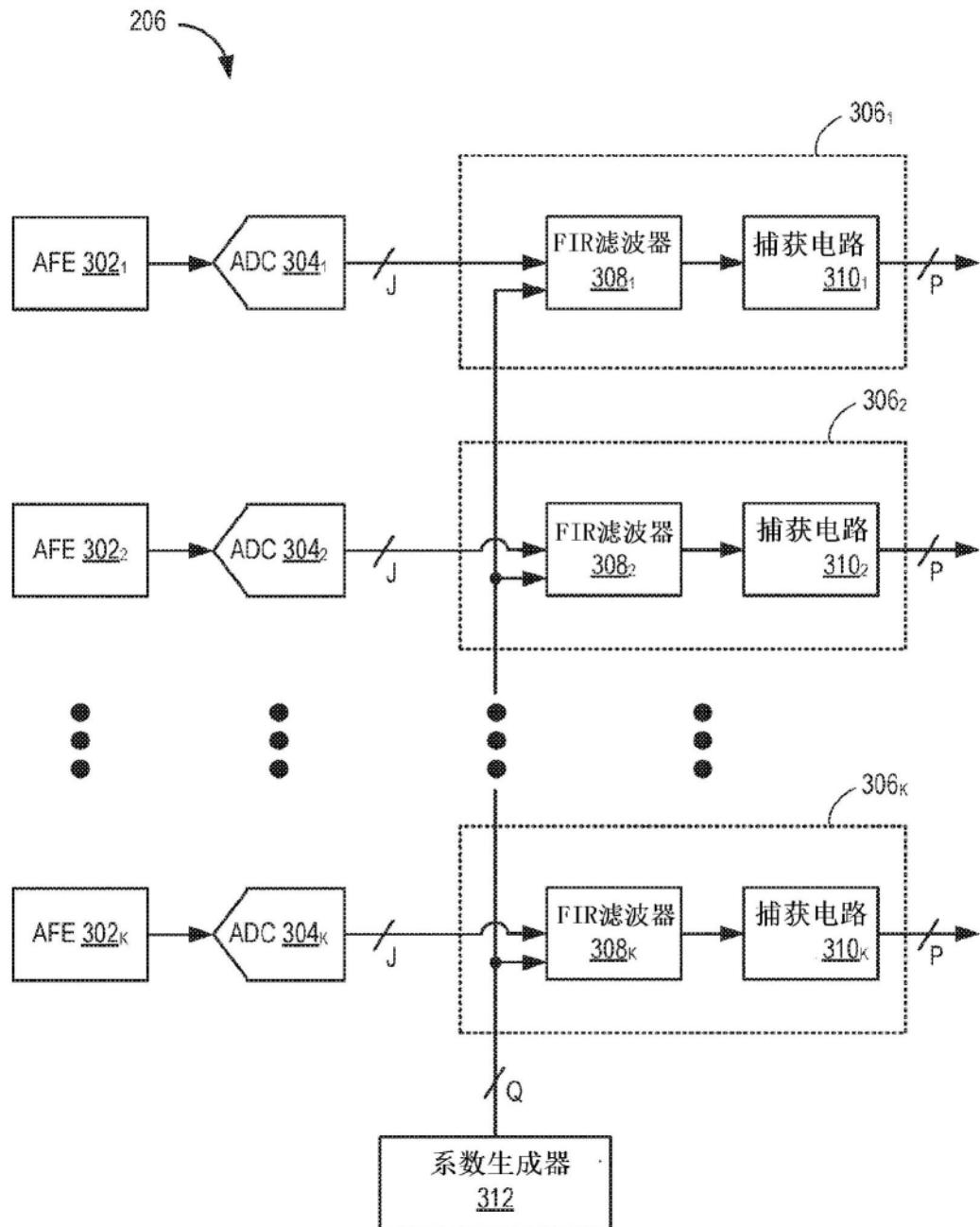


图3

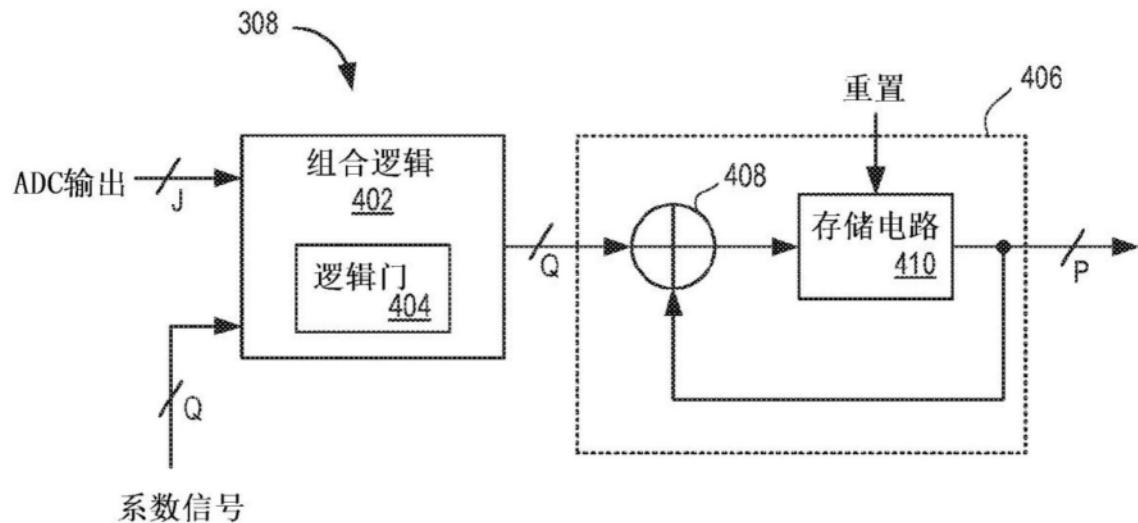


图4

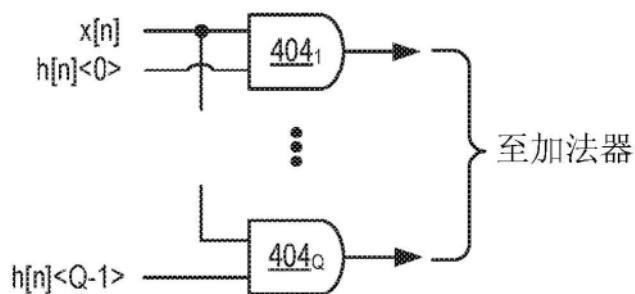


图5

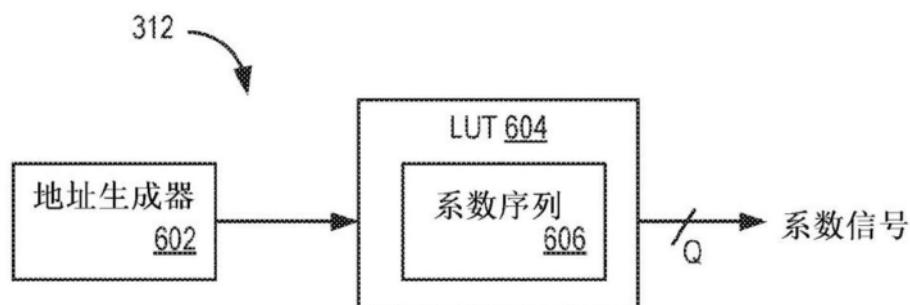


图6

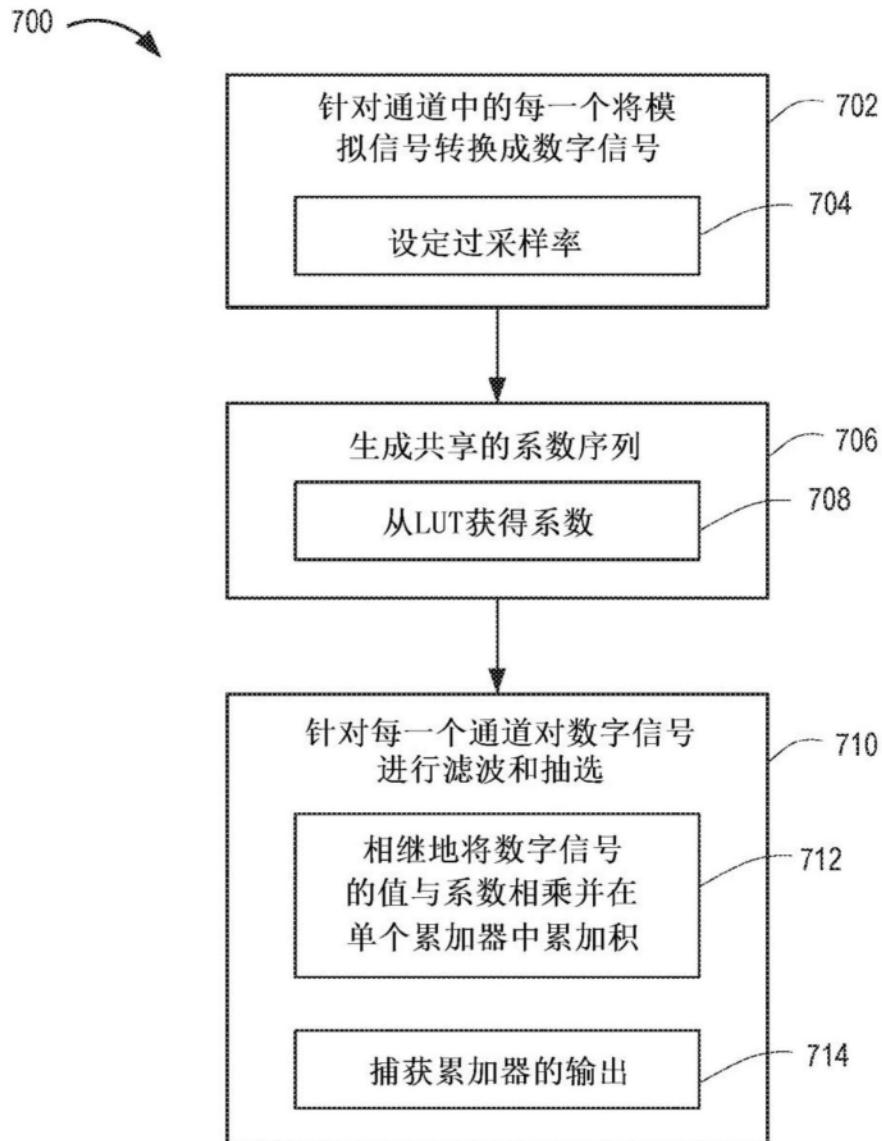


图7

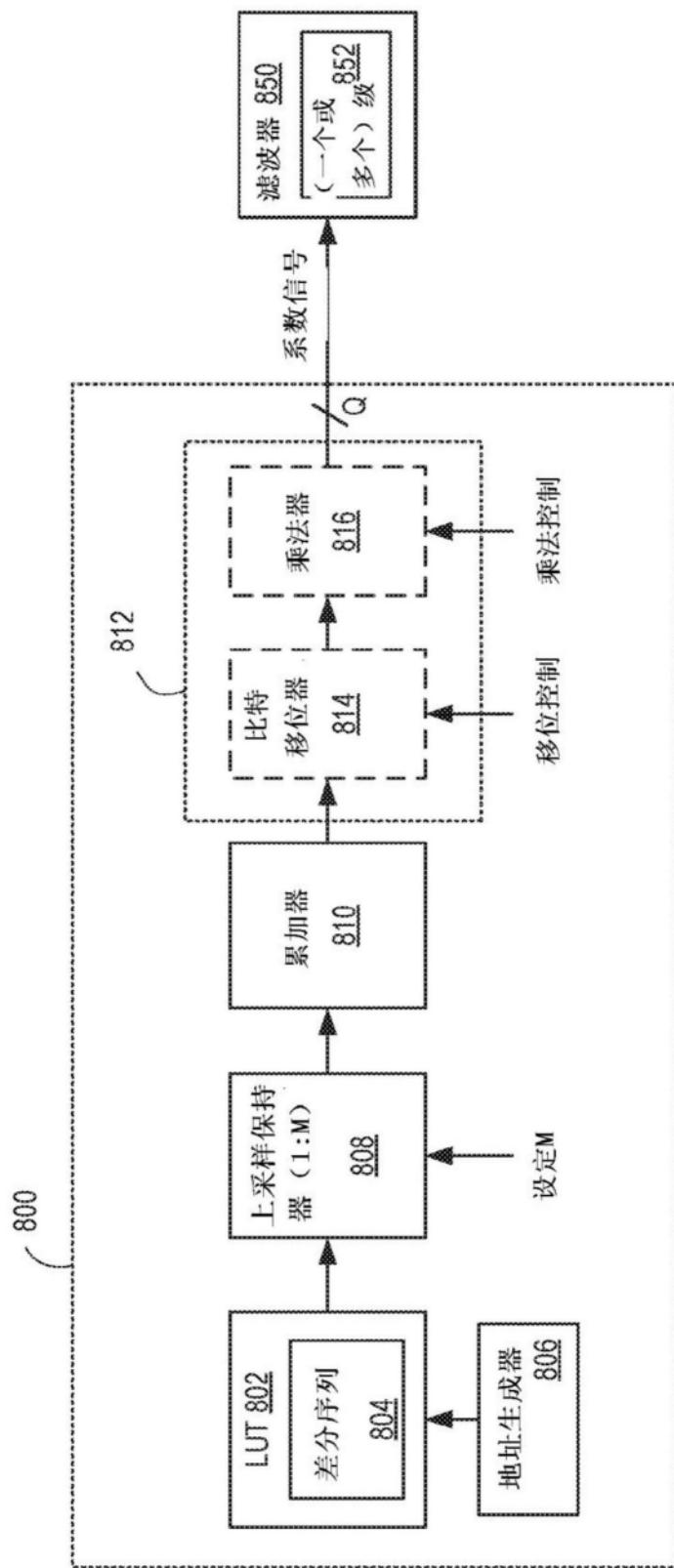


图8

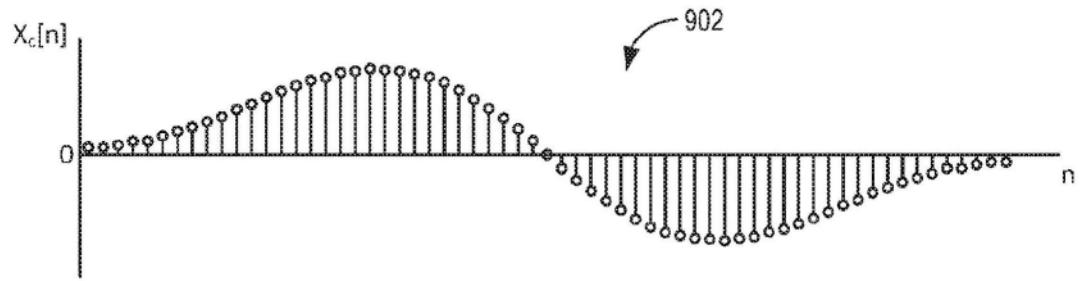


图9A

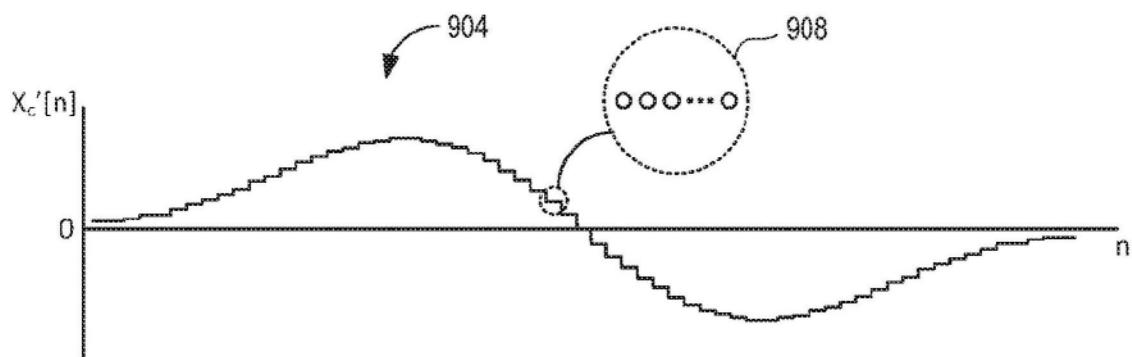


图9B

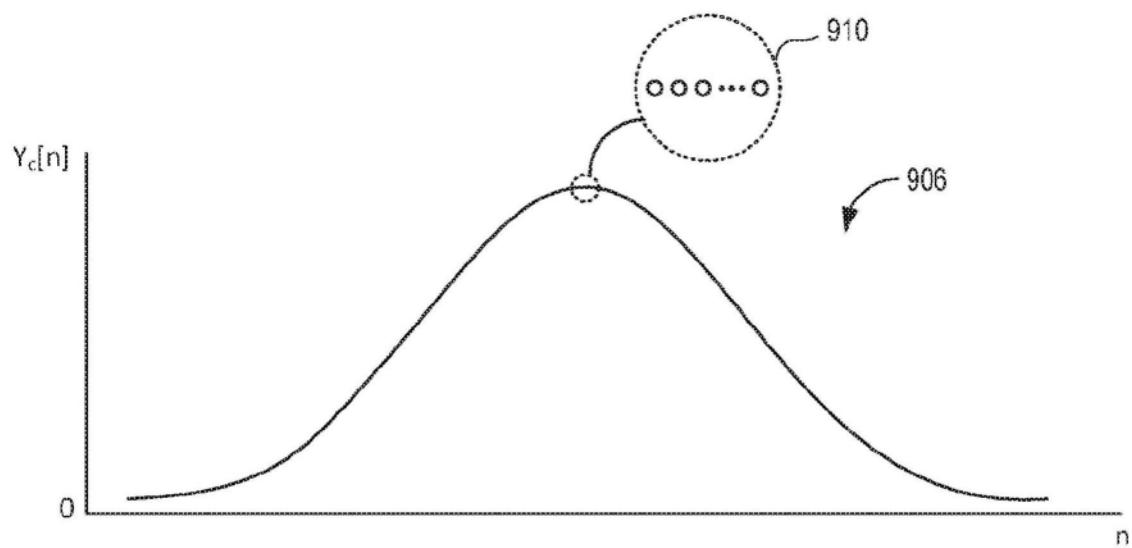


图9C

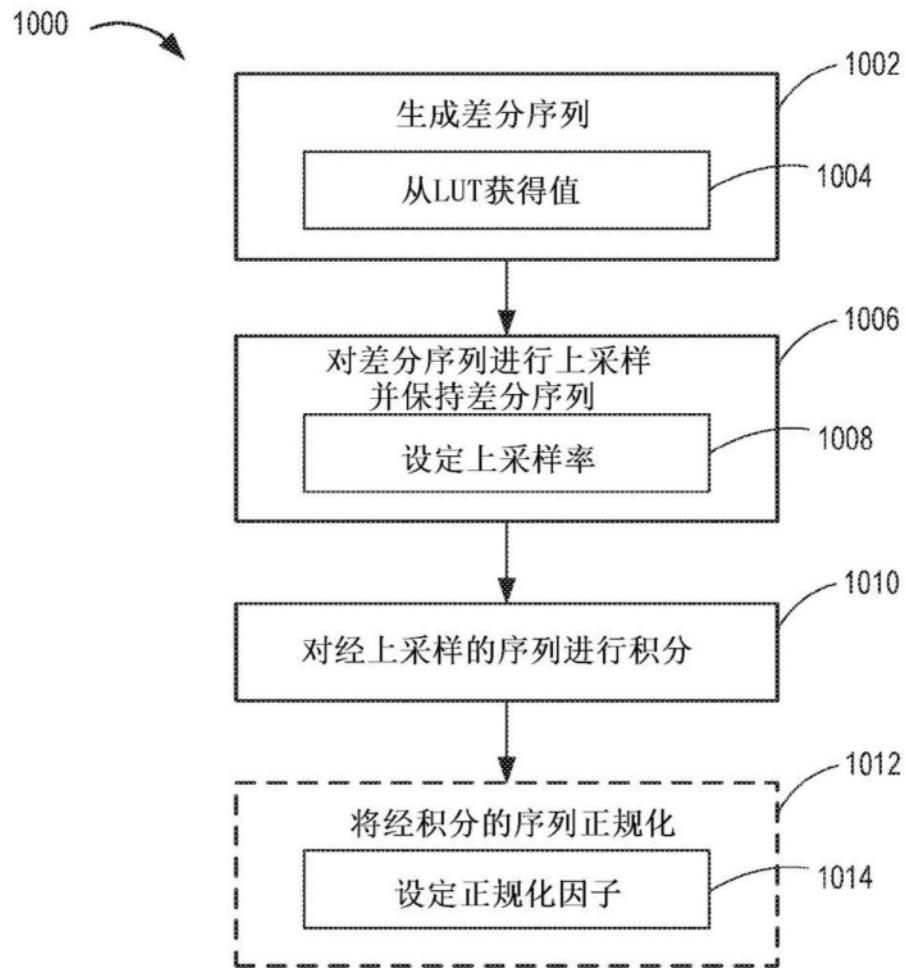


图10