

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020年10月1日 (01.10.2020)

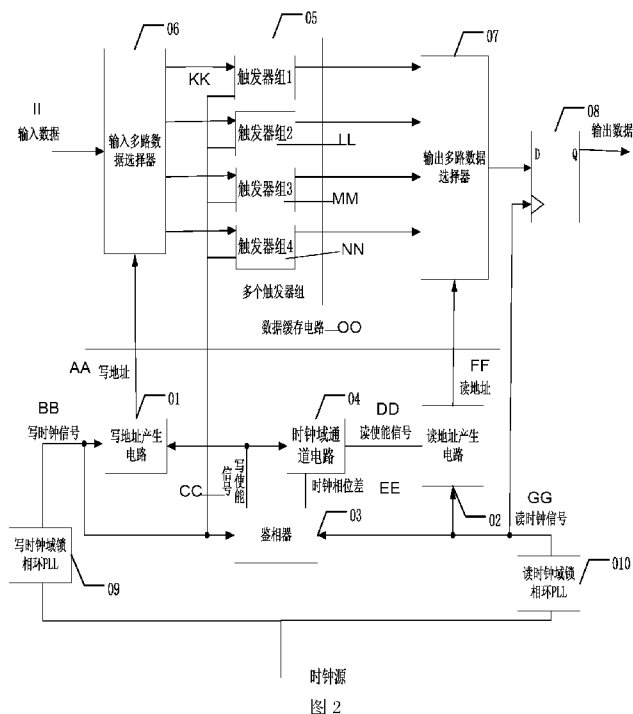


(10) 国际公布号
WO 2020/191611 A1

- (51) 国际专利分类号:
H03K 19/00 (2006.01)
- (21) 国际申请号: PCT/CN2019/079663
- (22) 国际申请日: 2019年3月26日 (26.03.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 白玉晶 (BAI, Yujing); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (74) 代理人: 深圳市深佳知识产权代理事务所 (普通合伙) (SHENPAT INTELLECTUAL PROPERTY AGENCY); 中国广东省深圳市罗湖区南湖街道春风路庐山大厦B座18C2、18D、18E、18E2, Guangdong 518001 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: CROSS-CLOCK DOMAIN SYNCHRONIZATION CIRCUIT AND METHOD

(54) 发明名称: 跨时钟域同步电路以及方法



- 01 WRITE ADDRESS GENERATING CIRCUIT
- 02 READ ADDRESS GENERATING CIRCUIT
- 03 PHASE DISCRIMINATOR
- 04 CLOCK DOMAIN CHANNEL CIRCUIT
- 05 PLURALITY OF TRIGGER GROUPS
- 06 INPUT MULTI-PATH DATA SELECTOR
- 07 OUTPUT MULTI-PATH DATA SELECTOR
- 08 WRITE CLOCK DOMAIN PHASE LOCKED LOOP (PLL)
- 09 READ CLOCK DOMAIN PHASE LOCKED LOOP (PLL)
- AA WRITE ADDRESS
- BB WRITE CLOCK SIGNAL
- CC WRITE ENABLE SIGNAL
- DD READ ENABLE SIGNAL
- EE CLOCK PHASE DIFFERENCE
- FF READ ADDRESS
- GG READ CLOCK SIGNAL
- HH CLOCK SOURCE
- II INPUT DATA
- JJ OUTPUT DATA
- KK TRIGGER GROUP 1
- LL TRIGGER GROUP 2
- MM TRIGGER GROUP 3
- NN TRIGGER GROUP 4
- OO DATA CACHING CIRCUIT

图 2

(57) Abstract: Disclosed is a cross-clock domain synchronization circuit. The cross-clock domain synchronization circuit of the present application comprises a clock domain channel circuit, a write address generating circuit, a read address generating circuit, and a data caching circuit; the write address generating circuit is used for obtaining a write address according to a write enable signal, wherein the write address is used for controlling the data caching circuit to receive input data, and the input data is in a write clock domain; the clock domain channel circuit is used for sampling the write enable signal to obtain a plurality of sampling results, and selecting a

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

sampling result from the plurality of sampling results according to a clock phase difference as a read enable signal, wherein the clock phase difference is a phase difference between a write clock signal in the write clock domain and a read clock signal in a read clock domain; the read address generating circuit is used for obtaining a read address according to the read enable signal, wherein the read address is used for controlling the data caching circuit to generate output data, and the output data is in the read clock domain; and the data caching circuit is used for caching the input data and generating the output data according to the write address and the read address.

(57) 摘要: 本申请实施例公开了一种跨时钟域同步电路, 本申请跨时钟域同步电路包括时钟域通道电路、写地址产生电路、读地址产生电路和数据缓存电路, 写地址产生电路用于根据写使能信号得到写地址, 写地址用于控制数据缓存电路接收输入数据, 输入数据处于写时钟域; 时钟域通道电路用于对写使能信号进行采样以得到多个采样结果, 并根据时钟相位差从多个采样结果中选择一个采样结果作为读使能信号, 时钟相位差为处于写时钟域的写时钟信号和处于读时钟域的读时钟信号的相位差; 读地址产生电路用于根据读使能信号得到读地址, 读地址用于控制数据缓存电路产生输出数据, 输出数据处于读时钟域; 数据缓存电路用于根据写地址和读地址, 将输入数据缓存并产生输出数据。

跨时钟域同步电路以及方法

技术领域

本申请涉及电路领域，尤其涉及一种跨时钟域同步电路及其相关方法。

5 背景技术

片上系统(system-on-chip, SOC)指的是在单个芯片上集成一个完整的系统，由于芯片上承载的功能越来越多，芯片内部也会有越来越多的时钟，每个时钟的工作频率都不一样，这就导致芯片内部有多个时钟域，当多个时钟域之间通信时，需要进行时钟域的同步才能完成跨时钟域的数据交互，异步电路处理技术可以完成这一过程。

10 一种典型的异步电路处理技术是异步先进先出(fist-in-fist-out, FIFO)技术，参照图1，首先写时钟域中写地址产生逻辑电路101产生二进制的写指针，将数据写入FIFO存储电路104，读时钟域的读地址产生逻辑电路103产生二进制的读指针，将数据从FIFO存储电路104中读出来，每进行一次读或写操作，相应的指针就递增一次，指向下一个内存地址。当满/空标识产生逻辑电路102产生读空标识时，不再进行读操作，但是可以进行写操作，当满/空标识产生逻辑电路102产生写满标识时，不再进行写操作，但是可以进行读操作。读空标识的产生需要将写时钟域的写指针同步到读时钟域，首先，为了避免出现毛刺，二进制写指针要先转化为格雷码，再将格雷码利用两级寄存器执行打两拍处理，或利用多级寄存器执行打多拍处理，随后将处理得到的写指针转化为二进制，并与二进制的读指针比较，当两指针的地址位相同，状态位也相同时产生读空信号，上述过程中，由于寄存器寄存数据需要保证数据的建立时间和保持时间，建立时间时指在时钟信号上升沿到来前，数据需要提前输入寄存器的时间，保持时间是上升沿到来后数据需要维持不变的时间，利用寄存器打一拍处理需要等到一个时钟周期，那么利用寄存器执行打两拍处理，或利用多个寄存器执行打两多处理时会对应产生两个或多个时钟周期的延时，写指针由写时钟域同步到读时钟域的过程需要至少两个时钟周期的延时。同样的，写满标识的产生需要将读时钟域的读指针同步到写时钟域，同步过程需要寄存器进行打两拍或打多拍处理，也有至少两个时钟周期的延时。

可见，写时钟域的写指针同步到读时钟域得到读空信号，会产生至少两个时钟周期的延时，同样的读时钟域的读指针同步到写时钟域得到写满信号，也会产生至少两个时钟周期的延时。写满标识会控制写指针的增加，读空标识也会控制读指针的增加，读写指针又会控制数据的写入和读取，从而控制了写时钟域的数据同步到读时钟域，因此两时钟域间数据的同步也会有至少两个时钟周期的延时。由于上述因素，如图1所示的异步FIFO在进行跨时钟域处理时存在较大的延迟，因此降低了数据跨时钟域处理的效率。

发明内容

35 本申请提供了的第一方面提供了一种跨时钟域同步电路，可以将输入数据由写时钟域同步到读时钟域，该跨时钟域同步电路包括时钟域通道电路、写地址产生电路、读地址产生电路以及数据缓存电路；写地址产生电路可以在写时钟信号驱动下，根据写使能信号得

到写地址，写地址可以控制数据缓存电路接收输入数据，输入数据是写时钟域的数据；时钟域通道电路的两个输入端分别输入写使能信号和时钟相位差，时钟相位差指的是处于写时钟域的写时钟信号和处于读时钟域的读时钟信号之间的相位差，时钟域通道电路可以对写使能信号进行采样，得到采样信号集合，时钟域通道电路再根据时钟相位差从采样信号集合中选择采样信号作为读使能信号；读地址产生电路可以在读时钟信号驱动下，可以根据读使能信号得到读地址，读地址可以控制数据缓存电路产生输出数据，输出数据处于读时钟域，那么跨时钟域同步电路就完成了输入数据从写时钟域同步到读时钟域的过程。数据缓存电路根据写地址接收输入数据后缓存该输入数据，之后数据缓存电路再根据读地址产生输出数据。

10 本申请实施例具有以下优点：写地址产生电路根据写使能信号得到写地址，写地址用于控制数据数据缓存电路接收数据，数据缓存电路接收输入数据后将输入数据缓存，从而完成数据写入数据缓存电路的过程。时钟域通道电路可以将写使能信号采样得到多个采样结果，得到的多个采样结果中存在部分或全部的采样结果相对于写使能信号的延时在两个时钟周期内，其次，写时钟域的写时钟信号与读时钟域的读时钟信号之间的具有时钟相位差，根据该时钟相位差，从多个采样结果中选择一个读使能信号，选择得到的这个读使能信号与写使能信号的延时可以控制在两个时钟周期内。随后读地址产生电路可以根据读使能信号得到读地址，读地址用于控制数据缓存电路产生输出数据，从而完成数据的读取过程，那么由于读使能信号与写使能信号的延时控制在两个时钟周期内，那么两时钟域之间数据的同步也在两个时钟周期内，因此相对于现有两时钟域间数据的同步有至少两个时钟周期的延时的方案，本申请可以把数据同步的延时控制在两个时钟周期内，降低了数据同步的延时，进而提升了数据跨时钟域处理的效率。

25 在本申请的一种可选实施方式中，时钟域通道电路具体包括多个触发器，多个触发器分别在可以在读时钟信号的上升沿和下降沿对写使能信号进行采样得到采样信号集合，采样信号集合中包括至少一个采样信号，时钟域通道电路还包括多路信号选择器，多路信号选择器可以根据时钟相位差，从预先设置的时钟相位差与写使能信号的映射关系中选择目标映射关系，然后再根据目标映射关系从采样信号集合中确定采样信号，并将确定的采样信号作为读使能信号。在本实施例中，多个触发器组可以采样得到采样信号集合，同时预先设置了时钟相位差与读使能信号的映射关系，那么时钟相位差变化确定的读使能信号也会发生变化，由此可以在不同时钟相位差条件下，从采样信号集合中选择对应的采样信号作为读使能信号，这样得到的读使能信号与写使能信号的时钟延迟可以控制在两个时钟周期，同时得到的读使能信号与写使能信号的时钟延迟也可以保证足够的时间将输入数据从写时钟域同步至读时钟域。

35 在本申请的一种可选实施方式中，跨时钟域同步电路还包括鉴相器；鉴相器，可以依据接收的写时钟信号和接收的读时钟信号确定两者的时钟相位差；鉴相器，还可以根据写时钟信号产生写使能信号，并且在时钟相位差处于稳定状态时，写使能信号才有效，否则，写使能信号无效。鉴相器输出时钟相位差和写使能信号给时钟域通道电路。在本实施例中，可以通过鉴相器产生时钟相位差和写使能信号，方案结构更加完整，有利于方案实施。

在本申请的一种可选实施方式中，时钟域通道电路包括第一触发器、第二触发器、第三触发器以及第四触发器；第一触发器，接收鉴相器产生的写使能信号后，可以读时钟信号的下降沿对写使能信号采样得到第一采样信号，第二触发器，可以在读时钟信号的上升沿对第一采样信号采样得到第二采样信号；第三触发器，接收鉴相器产生的写使能信号后，可以在读时钟信号的上升沿对写使能信号采样得到第三采样信号；第四触发器，可以在读时钟信号的上升沿对第三采样信号采样得到第四采样信号，第一采样信号、第二采样信号、第三采样信号以及第四采样信号均属于采样信号集合。相对于现有技术利用寄存器进行写指针或读指针同步，寄存器需要保证数据的建立时间和保持时间，那么需要等待至少两个时钟周期，而本实施例中，用触发器对写使能信号采样得到采样信号集合，采样信号集合中的采样信号可以作为读使能信号，由于触发器在时钟信号的上升沿和下降沿均可以对信号采样，因此由写使能信号得到读使能信号可以控制在两个时钟周期内，对应的数据由写时钟域同步到读时钟域也可以控制在两个时钟周期内，相对于现有技术减小了数据同步的延时。

在本申请的一种可选实施方式中，时钟域通道电路还包括多路信号选择器，多路信号选择器的两个输入端分别输入采样信号集合和时钟相位差，输出读使能信号。多路信号选择器，用于当时钟相位差的取值范围在 $[0T, 1/4T)$ 的情况下，从采样信号集合中选择第二采样信号作为读使能信号，其中，由于写时钟的时钟周期可以与读时钟域时钟相同， T 为写时钟域的时钟周期或读时钟域的时钟周期；或，多路信号选择器，用于当时钟相位差为 $[1/4T, 1/2T)$ 的情况下，从采样信号集合中选择第二采样信号或第四采样信号作为读使能信号，这里第二采样信号和第四采样信号相对于写使能信号延迟的时钟周期是相同的，选择第二采样信号或第四采样信号均可；或，多路信号选择器，用于当时钟相位差为 $[1/2T, 3/4T)$ 的情况下，从采样信号集合中选择第四采样信号作为读使能信号；或，多路信号选择器，用于当时钟相位差的取值大于或等于 $3/4$ 个时钟周期 T 的情况下，从采样信号集合中选择第二采样信号或所述第三采样信号作为读使能信号，这里第二采样信号和第三采样信号相对于写使能信号延迟的时钟周期是相同的，选择第二采样信号或第三采样信号均可。在本实施例中，介绍了四种时钟相位差情况下选择读使能信号的具体方式，涵盖了全部可能的时钟相位差情况，有利用方案灵活实施，选择得到的读使能信号与写使能信号的时钟延迟可以控制在两个时钟周期，同时选择得到的读使能信号与写使能信号的时钟延迟也可以保证足够的时间将输入数据从写时钟域同步至读时钟域。

在本申请的一种可选实施方式中，跨时钟域同步电路还包括写时钟域锁相环和读时钟域锁相环，写时钟域锁相环和读时钟域锁相环连接在同一个时钟源上；写时钟域锁相环，可以根据时钟源信号得到写时钟信号，写时钟信号处于写时钟域；读时钟域锁相环，可以根据该时钟源信号得到读时钟信号，读时钟信号处于读时钟域。在本实施例中，写时钟域锁相环和读时钟域锁相环连接同一个时钟源，以保证写时钟域的时钟与读时钟域的时钟是同源时钟，可以保证这两个时钟没有频偏，那么得到的写时钟信号和读时钟信号频率相等或得到的写时钟信号和读时钟信号的分频比为整数倍的，同时这两个时钟信号之间相位差随机。

-4-

在本申请的一种可选实施方式中，数据缓存电路包括多个触发器组、输入多路数据选择器和输出多路数据选择器；输入数据选择器包括与多个触发器组的多个输入端一一对应连接的多个输出端口，输出多路数据选择器包括与多个触发器组的多个输出端一一对应连接的多个输入端口；输入多路数据选择器，用于获取输入数据后，根据写地址，从某一输出端口输出缓存数据，不断改变写地址，就可以从输入多路数据选择器的多个输出端口得到多路缓存数据；多个触发器组用于在写时钟信号的驱动下，接收多路缓存数据，并将从多个输入多路数据选择器输出端口输出的多路缓存数据分别在缓存不同的触发器组中；输出多路数据选择器，接收多个触发器组输出的多路缓存数据，并根据读地址，从多路缓存数据中选择一路缓存数据作为输出数据输出，读地址不同，选择得到的输出数据不同。在本实施例中，由于读使能信号是跟随时钟相位差变化的，读使能信号又可以得到读地址，那么不同时钟相位差条件下，读地址也不同，读地址作为携带地址信息的读地址，可见读地址有多种可能的情况，那么本申请在数据同步上通过输入多路数据选择器得到多路缓存数据，多路缓存数据缓存于多个触发器组的不同触发器组中，读地址变化时就可以选择多个触发器组中对应触发器组的缓存数据作为输出数据。可见时钟相位差变化，读地址变化，选择得到的输出数据也变化，那么本申请的方案可以满足不同时钟相位差条件下数据同步的需求。

在本申请的一种可选实施方式中，跨时钟域同步电路还包括第五 D 触发器；第五 D 触发器，用于在读时钟信号的驱动下，接收输出多路数据选择器选择的输出数据，缓存并输出该输出数据。在本实施例中，利用第五 D 触发器对输出多路数据选择器选择的输出数据缓存并输出，第五 D 触发器可以防止数据传输过程中，外来干扰对数据传输正确性的影响。

本申请第二方面提供了一种跨时钟域同步方法，该方法包括：根据写使能信号得到写地址，写地址携带地址信息，可以根据写地址的控制来接收输入数据，并缓存该输入数据，从而完成数据的写入过程，这里的输入数据处于写时钟域，同时可以对写使能信号进行采样以得到多个采样结果，并根据时钟相位差从多个采样结果中选择一个采样结果作为读使能信号，其中，时钟相位差为处于写时钟域的写时钟信号和处于读时钟域的读时钟信号的相位差；根据读使能信号得到读地址，根据读地址的控制将缓存的输入数据输出，从而产生输出数据，以完成数据的读取过程，输出数据处于读时钟域。

本实施例具有以下优点：根据写使能信号得到写地址，可以根据写地址的控制来接收并缓存输入数据，从而完成数据的写入过程。由写使能信号采样得到多个采样结果，得到的多个采样结果中存在部分或全部的采样结果相对于写使能信号的延时在两个时钟周期内，其次，写时钟域的写时钟信号与读时钟域的读时钟信号之间的具有时钟相位差，根据该时钟相位差，从多个采样结果中选择一个读使能信号，选择得到的这个读使能信号与写使能信号的延时可以控制在两个时钟周期内。随后根据读使能信号得到读地址，根据读地址的控制将缓存的输入数据输出以产生输出数据，完成数据读取过程，那么由于读使能信号与写使能信号的延时控制在两个时钟周期内，那么两时钟域之间数据的同步也在两个时钟周期内，因此相对于现有两时钟域间数据的同步有至少两个时钟周期的延时的方案，本申请可以把数据同步的延时控制在两个时钟周期内，降低了数据同步的延时，进而提升了

数据跨时钟域处理的效率。

在本申请的一种可选实施方式中，所述对所述写使能信号进行采样以得到多个采样结果包括：在读时钟信号的上升沿对写使能信号进行采样，同时在读时钟信号的下降沿对写使能信号进行采样，可以得到多个采样结果。在本实施例中，相对于现有技术利用寄存器进行写指针或读指针同步，寄存器需要保证数据的建立时间和保持时间，那么需要等待至少两个时钟周期，而本实施例中，在读时钟信号的上升沿和下降沿均可以对信号采样，采样得到的信号可以控制在两个时钟周期内，对应的数据由写时钟域同步到读时钟域也可以控制在两个时钟周期内，相对于现有技术减小了数据同步的延时。

在本申请的一种可选实施方式中，在读时钟信号的上升沿和下降沿分别对写使能信号进行采样，以得到多个采样结果具体包括：在读时钟信号的下降沿对写使能信号进行采样，可以得到第一采样信号；在读时钟信号的上升沿对第一采样信号进行采样，可以得到第二采样信号；在读时钟信号的上升沿对写使能信号进行采样，可以得到第三采样信号；在读时钟信号的上升沿对第三采样信号进行采样，可以得到第四采样信号，多个采样结果具体为得到的第一采样信号、第二采样信号、第三采样信号以及第四采样信号。在本实施例中，相对于现有技术利用寄存器进行写指针或读指针同步，寄存器需要保证数据的建立时间和保持时间，那么需要等待至少两个时钟周期，而本实施例中，在读时钟信号的上升沿和下降沿均可以对信号采样，采样得到的信号可以控制在两个时钟周期内，对应的数据由写时钟域同步到读时钟域也可以控制在两个时钟周期内，相对于现有技术减小了数据同步的延时。

在本申请的一种可选实施方式中，根据时钟相位差从多个采样结果中选择一个采样结果作为读使能信号包括：在时钟相位差的取值范围在 $[0T, 1/4T)$ 的情况下，从多个采样结果中选择第二采样信号作为读使能信号，其中，由于写时钟域的时钟信号和读时钟域的时钟信号由同一时钟源产生，写时钟域的时钟周期或读时钟域的时钟周期相同， T 可以为写时钟域的时钟周期或读时钟域的时钟周期；或，在时钟相位差的取值范围在 $[1/4T, 1/2T)$ 的情况下，从多个采样结果中选择第二采样信号或第四采样信号作为读使能信号；或，在时钟相位差的取值范围在 $[1/2T, 3/4T)$ 的情况下，从多个采样结果中选择第四采样信号作为读使能信号；或，在时钟相位差的取值大于或等于 $3/4$ 个时钟周期 T 的情况下，从多个采样结果中选择第二采样信号或第三采样信号作为读使能信号。在本实施例中，介绍了四种时钟相位差情况下选择读使能信号的具体方式，涵盖了全部可能的时钟相位差情况，有利用方案灵活实施，选择得到的读使能信号与写使能信号的时钟延迟可以控制在两个时钟周期，同时选择得到的读使能信号与写使能信号的时钟延迟也可以保证足够的时间将输入数据从写时钟域同步至读时钟域。

在本申请的一种可选实施方式中，所述方法还包括：根据写时钟信号写时钟信号和读时钟域的读时钟信号确定两时钟信号之间的时钟相位差；根据写时钟信号产生写使能信号，其中，当写时钟信号与读时钟信号之间的时钟相位差处于稳定状态时，写使能信号有效，当写时钟信号与读时钟信号之间的时钟相位差不处于稳定状态时，写使能信号无效。在本实施例中，可以介绍了时钟相位差以及写使能信号的获取方式，写使能信号可以用于本申

请的数据同步过程，在时钟相位差稳定时写使能信号才有效，可以避免时钟相位差不稳定时数据同步发生错误。

本申请第三方面提供了一种芯片，该芯片包括本申请第一方面以及其任一种实现方式所述的跨时钟域同步电路。

5 本申请实施例具有以下优点：写地址产生电路根据写使能信号得到写地址，写地址用于控制数据缓存电路接收数据，数据缓存电路接收输入数据后将输入数据缓存，从而完成数据写入数据缓存电路的过程。时钟域通道电路可以将写使能信号采样得到多个采样结果，得到的多个采样结果中存在部分或全部的采样结果相对于写使能信号的延时在两个时钟周期内，其次，写时钟域的写时钟信号与读时钟域的读时钟信号之间的具有时钟相位
10 差，根据该时钟相位差，从多个采样结果中选择一个读使能信号，选择得到的这个读使能信号与写使能信号的延时可以控制在两个时钟周期内。随后读地址产生电路可以根据读使能信号得到读地址，读地址用于控制数据缓存电路产生输出数据，从而完成数据的读取过程，那么由于读使能信号与写使能信号的延时控制在两个时钟周期内，那么两时钟域之间数据的同步也在两个时钟周期内，因此相对于现有两时钟域间数据的同步有至少两个时钟
15 周期的延时的方案，本申请可以把数据同步的延时控制在两个时钟周期内，降低了数据同步的延时，进而提升了数据跨时钟域处理的效率。

附图说明

图 1 为现有异步 FIFO 的结构图；
20 图 2 为本申请跨时钟域同步电路的结构图；
图 3 为本申请时钟域通道电路的结构图；
图 4 (a) 为本申请读写时钟域的一种相位关系；
图 4 (b) 为本申请读写时钟域的另一钟相位关系；
图 4 (c) 为本申请读写时钟域的另一钟相位关系；
25 图 4 (d) 为本申请读写时钟域的另一钟相位关系；
图 5 (a) 为本申请的一种信号采样结果；
图 5 (b) 为本申请的另一钟信号采样结果；
图 5 (c) 为本申请的另一钟信号采样结果；
图 5 (d) 为本申请的另一钟信号采样结果。

30

具体实施方式

本申请提供了一种跨时钟域同步电路，可以应用于现场可编程门阵 (field-programmable gate array, FPGA)，也可以应用于专用集成电路 (application specific integrated circuits, ASIC) 芯片，还可以应用于其他设备，此处不作限定。

35 参照图 2，本申请的跨时钟域同步电路包括写地址产生电路 01、读地址产生电路 02 以及数据缓存电路，其中数据缓存电路包括电路多个触发器组 05、输入多路数据选择器 06 (multiplexer, MUX) 以及输出多路数据选择器 07，跨时钟域同步电路还包括第五 D 触发

器 08、鉴相器 03、时钟域通道电路 04、写时钟域锁相环 09 (phase locked loop, PLL) 和读时钟域锁相环 010。

首先，写时钟域锁相环 09 可以产生写时钟域的写时钟信号，读时钟域锁相环 010 可以产生读时钟域的读时钟信号，写时钟域锁相环 09 的输入端和读时钟域锁相环 010 的输入端连接同一个时钟源，以保证写时钟域的时钟与读时钟域的时钟是同源时钟，其目的是确保这两个时钟没有频偏，产生频率相等的写时钟信号和读时钟信号，或产生分频比为整数倍的写时钟信号和读时钟信号，同时写时钟信号和读时钟信号之间时钟相位差随机。

写地址产生电路 01：可以在写时钟域的写时钟信号的驱动下，当写使能信号有效时，连续产生写指针，写地址可以作为写地址，其中，写使能信号可以由鉴相器 03 产生。写地址产生电路 01 的一个输入端口与写时钟域锁相环 09 的输出端口连接，可以接收写时钟信号，写地址产生电路 01 的另一个输入端口与鉴相器 03 的第一输出端口连接，可以接收写使能信号，写地址产生电路 01 的输出端口与输入多路数据选择器 06 的输入端口连接，可以输出写地址。

数据缓存电路包括输入多路数据选择器 06、多个触发器组 05 以及输出多路数据选择器 07，数据缓存电路可以根据写地址接收输入数据，随后缓存输入数据，数据缓存电路也可以根据读地址产生输出数据，具体过程为：

写地址输入至输入多路数据选择器 06，输入多路数据选择器 06 获取输入数据后，可以根据写地址所指示的地址信息，从输入多路数据选择器 06 的某一输出端口输出缓存数据，从而将缓存数据写入多个触发器组 05 的某一触发器组中，写地址所指示的地址信息可以指示将缓存数据写入多个触发器组 05 的特定触发器组，某一触发器组与某一输出端口是相对应的。写地址指示的地址信息是可变的，那么输入多路数据选择器 06 可以根据写地址的指示，分别从输入多路数据选择器 06 的多个端口输出缓存数据，多个端口输出的缓存数据分别对应进入多个触发器组 05。输入多路数据选择器 06 的两个数据端分别接收输入数据和写地址产生电路 01 产生的写地址，多个触发器组 05 的多个输入端口与输入数据多路选择器 06 的多个输出端口一一对应连接，可以接收缓存数据，多个触发器组 05 的多个输出端口与输出多路数据选择器 07 的多个输入端口一一对应连接，可以输出缓存数据。

进一步的，关于上述多个触发器组 05，图 2 中以 4 组 D 触发器组为例，每组触发器组中 D 触发器的个数由输入数据的位宽决定，四组 D 触发器组的触发输入端口连接到写时钟信号，在写时钟信号驱动下，输入多路数据选择器 06 处理得到的四路缓存数据分别输入到四组 D 触发器组。

多个触发器组 05 缓存多路缓存数据，随后将多路缓存数据输出至输出多路数据选择器 07，输出多路数据选择器 07，可以根据读指针的指示从多路缓存数据中选择一路缓存数据作为输出数据输出，具体的读指针可以作为读地址，读地址携带有地址信息，读地址所指示的地址信息可以指示输出多路数据选择器 07 输出从多个触发器组 05 的特定 D 触发器组中获取到的缓存数据，读地址不同，输出多路数据选择器 07 选择输出的缓存数据不同。输出多路数据选择器 07 一个输入端口与多个触发器组 05 的输出端口连接，可以接收缓存数据，输出多路数据选择器 07 的另一个输入端口与读地址产生电路 02 的输出端口连接，可

以接收读地址。

输出多路数据选择器 07 产生的输出数据输入至第五 D 触发器 08，在读时钟信号驱动下，第五 D 触发器 08 可以缓存并输出数据缓存电路产生的输出数据，第五 D 触发器 08 可以防止数据传输过程中，外来干扰对数据传输正确性的影响。

5 鉴相器 03 (phase detector, PD)，可以计算写时钟域的写时钟信号和读时钟域的读时钟信号之间的时钟相位差，当写时钟域和读时钟域稳定后，鉴相器 03 进入工作状态，经过若干个时钟周期后，鉴相器 03 产生稳定的时钟相位差输出至时钟域通道电路 04。同时鉴相器 03 还可以对写时钟域的写时钟信号进行处理得到写使能信号，并将写使能信号输出至写地址产生电路 01 和时钟域通道电路 04，写使能信号作为鉴相器 03 稳定输出时钟相位差的
10 状态指示，当时钟相位差处于稳定状态时，写使能信号有效，否则写使能信号无效。鉴相器 03 的一个输入端连接到写时钟域锁相环 09，以便接收写时钟信号，鉴相器 03 的另一个输入端连接到写时读时钟域锁相环 010，以便接收读时钟信号，鉴相器 03 的第一输出端口连接到写地址产生电路 01 的另一个输入端口以及时钟域通道电路 04 的第一输入端口，可以输出写使能信号，鉴相器 03 的第二输出端口连接到时钟域通道电路 04 的第二输入端口，
15 可以输出时钟相位差。

时钟域通道电路 04 电路：时钟域通道电路 04 可以根据时钟相位差的四种状态将写使能由写时钟域同步到读时钟域，得到读使能信号，然后读使能信号输出至读地址产生电路 02，读地址产生电路 02 可以在读时钟域的读时钟信号的驱动下，当读使能信号有效时，连续产生读指针，作为读地址输出至多路数据选择器 07。时钟域通道电路 04 的输出端口连接到读地址产生电路 02 的一个输入端口，可以输出读使能信号，读地址产生电路 02 的另一个输入端口连接读时钟域锁相环 010 的输出端口，可以接收读时钟信号，读地址产生电路 02 的输出端口连接到输出多路数据选择器 07 的另一个输入端口，可以输出读地址。
20

基于上述结构，写地址产生电路 01 产生写地址，将数据写入数据缓存电路，时钟域通道电路 04 可以根据写使能信号和时钟相位差得到读使能信号，从而将写使能信号从写时钟域同步到了读时钟域，读地址产生电路 02 根据读使能信号得到读地址，将数据从数据缓存电路中读出来，从而实现了输入数据从写时钟域同步到读时钟域。
25

同时，由于读使能信号是跟随时钟相位差变化的，读使能信号又可以得到读指针，那么不同时钟相位差条件下，读指针也不同，读地址变化，输出多路数据选择器 07 选择得到的输出数据也变化，因此本申请的方案设置四路缓存数据可以满足不同时钟相位差条件下
30 数据同步的需求。

基于上述时钟域通道电路 04 的功能，下面具体描述读地址的产生过程：

图 3 为本申请时钟域通道电路 04 的具体结构，时钟域通道电路 04 包括第一触发器 041、第二触发器 042、第三触发器 043 和第四触发器 044 以及多路信号选择器 045，鉴相器 03 的第一输出端口具体与第一触发器 041 的输入端口连接，第一触发器 041 的输出端口与第二触发器 042 的输入端口连接，鉴相器 03 的第一输出端口具体还与第三触发器 043 的输入端口连接，第三触发器 043 的输出端口与第四触发器 044 的输入端口连接，第一触发器 041 的输出端口、第二触发器 042 的输出端口、第三触发器 043 的输出端口、以及第四触发器
35

044 的输出端口与多路数据选择器的另一个输入端口连接，多路信号选择器 045 的输出端口与读地址产生电路 02 的输入端口连接，参照图 3，以写时钟域与读时钟域是同源同频异步时钟为例，写时钟信号与读时钟信号之间频率相同，时钟相位差随机，本申请时钟域通道电路 04 将写使能信号由写时钟域同步到读时钟域的具体过程为：

5 如上所述，鉴相器 03 产生写使能信号，写使能信号进入写地址产生电路 01，同时写使能信号也进入时钟域通道电路 04，具体的：

写使能信号进入第一触发器 041，以读时钟信号作为采样脉冲，第一触发器 041 在读时钟信号的下降沿对写使能信号进行采样，得到第一采样信号，随后，第一采样信号进入第二触发器 042，同样读时钟信号作为采样脉冲，在读时钟信号的上升沿对第一采样信号
10 进行采样，得到第二采样信号，写时钟域的写使能信号也进入第三触发器 043，以读时钟信号作为采样脉冲，第三触发器 043 在读时钟信号的下降沿对写使能信号进行采样，得到第三采样信号，随后，第三采样信号进入第四触发器 044，同样读时钟信号作为采样脉冲，在读时钟信号的上升沿对第三采样信号进行采样，得到第四采样信号。第一采样信号、第二采样信号、第三采样信号以及第四采样信号属于采样信号集合，第一采样信号、第二采
15 样信号、第三采样信号以及第四采样信号分别输出至多路信号选择器 045，鉴相器 03 的鉴相得到的时钟相位差也输入多路信号选择器 045，多路信号选择器 045 根据鉴相器 03 的鉴相得到的时钟相位差，选择一路采样信号作为写使能信号输出至读地址产生电路 02 即可产生读地址。

相对于现有技术利用寄存器进行写指针同步或读指针同步，寄存器需要保证数据的建
20 立时间和保持时间，那么需要等待至少两个时钟周期，而本实施例中，用触发器对写使能信号采样得到采样信号集合，采样信号集合中的采样信号可以作为读使能信号，由于触发器在时钟信号的上升沿和下降沿均可以对信号采样，因此由写使能信号得到采样信号集合中全部或部分的采样信号可以控制在两个时钟周期内，对应的数据由写时钟域同步到读时钟域也可以控制在两个时钟周期内，相对于现有技术减小了数据同步的延时。

25 本申请鉴相器 03 的时钟相位差有四种可能的情况，选择得到的读使能信号也有四种可能的情况，选择的总体思想是确保写使能信号不会出现亚稳态，下面对四种情况进行说明：

首先时钟相位差指的是写时钟域写时钟信号和读时钟域读时钟信号之间的相位差。本申请预置有时钟相位差和读使能信号的映射关系，时钟相位差不同，读使能信号不同，具体的：

30 一、鉴相器 03 鉴相得到的时钟相位差为：时钟相位差的属于 $[0T, 1/4T)$ ， T 为写时钟域的时钟周期，如图 4 (a) 所示，以写时钟信号与读时钟信号之间时钟相位差为 $1/8T$ 为例，对应图 4 (a) 的时钟相位差，如图 5 (a) 所示，利用读时钟信号按照上面所描述的方式对写使能信号采样，采样得到的第三采样信号会出现亚稳态，第四采样信号也可能会出现亚稳态，但是第一采样信号和第二采样信号不会出现亚稳态，为了保证一定的数据同步
35 延时，从而保证有足够的时间读取数据，但是数据同步延时也不能太大，一般在 2 个时钟周期内，多路信号选择器 045 选择第二采样信号作为读使能信号并产生读地址，读地址比写地址约晚 1.25 个时钟周期，那么从到读时钟域到写时钟域的数据同步延时约为 1.25 个

时钟周期。

二、鉴相器 03 鉴相得到的时钟相位差为：写时钟域与读时钟域间时钟相位差的属于 $[1/4T, 1/2T)$ ， T 为写时钟域的时钟周期，如图 4 (b) 所示，以写时钟信号与读时钟信号间时钟相位差为 $3/8T$ 为例，对应图 4 (b) 的时钟相位差，如图 5 (b) 所示，利用读时钟信号按照上面所描述的方式对写使能信号采样，采样得到的第一采样信号、第二采样信号、第三采样信号以及第四采样信号不会出现亚稳态，为了保证一定的数据同步延时，从而保证有足够的时间读取数据，但是数据同步延时也不能太大，一般在 2 个时钟周期内，多路信号选择器 045 选择第二采样信号或第四采样信号作为读使能信号并产生读地址，这里第二采样信号和第四采样信号相对于写使能信号延迟的时钟周期是相同的，读地址比写地址约晚 1.5 个时钟周期，那么从到读时钟域到写时钟域的数据同步延时约为 1.5 个时钟周期。

三、鉴相器 03 鉴相得到的时钟相位差为：写时钟域与读时钟域间时钟相位差的属于 $[1/2T, 3/4T)$ ， T 为写时钟域的时钟周期，如图 4 (c) 所示，以写时钟信号与读时钟信号间时钟相位差为 $5/8T$ 为例，对应图 4 (c) 的时钟相位差，如图 5 (c) 所示，利用读时钟信号按照上面所描述的方式对写使能信号采样，采样得到的第一采样信号以及第二采样信号出现亚稳态，第三采样信号以及第四采样信号不会出现亚稳态，为了保证一定的数据同步延时，从而保证有足够的时间读取数据，但是数据同步延时也不能太大，一般在 2 个时钟周期内，多路信号选择器 045 选择第四采样信号作为读使能信号并产生读地址，读地址比写地址约晚 1.5 个时钟周期，那么从到读时钟域到写时钟域的数据同步延时约为 1.5 个时钟周期。

四、鉴相器 03 鉴相得到的时钟相位差为：写时钟域与读时钟域间相位差的取值大于或等于 $3/4$ 个时钟周期 T ， T 为写时钟域的时钟周期，如图 4 (d) 所示，以写时钟信号与读时钟信号间时钟相位差为 $7/8T$ 为例对应图 4 (d) 的时钟相位差，如图 5 (d) 所示，利用读时钟信号按照上面所描述的方式对写使能信号采样，采样得到的第一采样信号、第二采样信号、第三采样信号以及第四采样信号不会出现亚稳态，为了保证一定的数据同步延时，从而保证有足够的时间读取数据，但是数据同步延时也不能太大，一般在 2 个时钟周期内，多路信号选择器 045 选择第二采样信号或第三采样信号作为读使能信号并产生读地址，这里第二采样信号和第三采样信号相对于写使能信号延迟的时钟周期是相同的，读地址比写地址约晚 1 个时钟周期，那么从到读时钟域到写时钟域的数据同步延时约为 1 个时钟周期。

基于上述跨时钟域同步电路，时钟域通道电路 04 可以将写使能信号采样得到多个采样结果，得到的多个采样结果中存在部分或全部的采样结果相对于写使能信号的延时在两个时钟周期内，其次，写时钟域的写时钟信号与读时钟域的读时钟信号之间的具有时钟相位差，根据该时钟相位差，从多个采样结果中选择一个读使能信号，选择得到的这个读使能信号与写使能信号的延时可以控制在两个时钟周期内。两时钟域之间数据的同步也在两个时钟周期内，因此相对于现有两时钟域间数据的同步有至少两个时钟周期的延时的方案，本申请实现数据同步的延时较小。

本申请还提供了一种跨时钟域同步方法，该方法可以应用于上述跨时钟域同步电路，以实现上述跨时钟域同步电路的功能。

通过以上的实施方式的描述，所属领域的技术人员可以清楚地了解到本申请可借助软件加必需的通用硬件的方式来实现，当然也可以通过专用硬件包括专用集成电路、专用 CPU、专用存储器、专用元器件等来实现。一般情况下，凡由计算机程序完成的功能都可以很容易地用相应的硬件来实现，而且，用来实现同一功能的具体硬件结构也可以是多种多样的，
5 例如模拟电路、数字电路或专用电路等。但是，对本申请而言更多情况下软件程序实现是更佳的实施方式。基于这样的理解，本申请的技术方案本质上或者说对现有技术做出贡献的部分可以以软件产品的形式体现出来，该计算机软件产品存储在可读取的存储介质中，如计算机的软盘、U 盘、移动硬盘、只读存储器（read-only memory, ROM）、随机存取存储器（random access memory, RAM）、磁碟或者光盘等，包括若干指令用以使得一台计算
10 机设备（可以是个人计算机或服务器等）执行本申请各个实施例所述的方法。

在上述实施例中，可以全部或部分地通过软件、硬件、固件或者其任意组合来实现。当使用软件实现时，可以全部或部分地以计算机程序产品的形式实现。

所述计算机程序产品包括一个或多个计算机指令。在计算机上加载和执行所述计算机程序指令时，全部或部分地产生按照本申请实施例所述的流程或功能。所述计算机可以是
15 通用计算机、专用计算机、计算机网络、或者其他可编程装置。所述计算机指令可以存储在计算机可读存储介质中，或者从一个计算机可读存储介质向另一计算机可读存储介质传输，例如，所述计算机指令可以从一个网站站点、计算机、服务器或数据中心通过有线（例如同轴电缆、光纤、数字用户线（DSL））或无线（例如红外、无线、微波等）方式向另一个网站站点、计算机、服务器或数据中心进行传输。所述计算机可读存储介质可以是计算
20 机能够存储的任何可用介质或者是包含一个或多个可用介质集成的服务器、数据中心等数据存储设备。所述可用介质可以是磁性介质，（例如，软盘、硬盘、磁带）、光介质（例如，DVD）、或者半导体介质（例如固态硬盘 Solid State Disk(SSD)）等。

权利要求

1、一种跨时钟域同步电路，其特征在于，所述跨时钟域同步电路包括时钟域通道电路、写地址产生电路、读地址产生电路以及数据缓存电路，其中：

5 所述写地址产生电路用于根据写使能信号得到写地址，所述写地址用于控制所述数据缓存电路接收所述输入数据，所述输入数据处于写时钟域；

所述时钟域通道电路用于对所述写使能信号进行采样以得到多个采样结果，并根据时钟相位差从所述多个采样结果中选择一个采样结果作为读使能信号，其中，所述时钟相位差为处于所述写时钟域的写时钟信号和处于读时钟域的读时钟信号的相位差；

10 所述读地址产生电路用于根据所述读使能信号得到读地址，所述读地址用于控制所述数据缓存电路产生输出数据，所述输出数据处于所述读时钟域；

所述数据缓存电路用于根据所述写地址和所述读地址，将所述输入数据缓存并产生所述输出数据。

2、根据权利要求 1 所述的跨时钟域同步电路，其特征在于，所述时钟域通道电路包括：多个触发器，用于在所述读时钟信号的上升沿和下降沿分别对所述写使能信号进行采样，
15 以得到所述多个采样结果；

多路信号选择器，用于根据所述时钟相位差从所述多个采样结果中选择一个采样结果，作为所述读使能信号。

3、根据权利要求 2 所述的跨时钟域同步电路，其特征在于，所述多个触发器包括第一触发器、第二触发器、第三触发器以及第四触发器；

20 所述第一触发器，用于在所述读时钟信号的下降沿对所述写使能信号进行采样，得到第一采样信号；

所述第二触发器，用于在所述读时钟信号的上升沿对所述第一采样信号进行采样，得到第二采样信号；

25 所述第三触发器，用于在所述读时钟信号的上升沿对所述写使能信号进行采样，得到第三采样信号；

所述第四触发器，用于在所述读时钟信号的上升沿对所述第三采样信号进行采样，得到第四采样信号，其中，所述第一采样信号、所述第二采样信号、所述第三采样信号以及所述第四采样信号为所述多个采样结果。

30 4、根据权利要求 2 或 3 所述的跨时钟域同步电路，其特征在于，所述多路信号选择器具体用于：

在所述时钟相位差为 $[0T, 1/4T)$ 的情况下，从所述多个采样结果中选择所述第二采样信号作为所述读使能信号，其中，所述 T 为所述写时钟域的时钟周期或读时钟域的时钟周期；

或，

35 在所述时钟相位差为 $[1/4T, 1/2T)$ 的情况下，从所述多个采样结果中选择所述第二采样信号或所述第四采样信号作为所述读使能信号；

或，

在所述时钟相位差为 $[1/2T, 3/4T)$ 的情况下，从所述多个采样结果中选择所述第四采样信号作为所述读使能信号；

或，

在所述时钟相位差的取值大于或等于 $3/4$ 个所述时钟周期 T 的情况下，从所述多个采样结果中选择所述第二采样信号或所述第三采样信号作为所述读使能信号。

5、根据权利要求1至4任一项所述的跨时钟域同步电路，其特征在于，所述跨时钟域同步电路还包括鉴相器；

所述鉴相器，用于根据所述写时钟信号和所述读时钟信号确定所述时钟相位差；

所述鉴相器，还用于根据所述写时钟信号产生所述写使能信号，其中，当所述写时钟信号与所述读时钟信号之间的所述时钟相位差处于稳定状态时，所述写使能信号有效。

6、根据权利要求1至5任一项所述的跨时钟域同步电路，其特征在于，所述跨时钟域同步电路还包括第五D触发器；

所述第五D触发器，用于在所述读时钟信号的驱动下，缓存并输出所述数据缓存电路产生的所述输出数据。

7、根据权利要求1至6任一项所述的跨时钟域同步电路，其特征在于，所述跨时钟域同步电路还包括写时钟域锁相环和读时钟域锁相环；

所述写时钟域锁相环，用于根据时钟源信号得到所述写时钟信号；

所述读时钟域锁相环，用于根据所述时钟源信号得到所述读时钟信号。

8、根据权利要求1至7任一项所述的跨时钟域同步电路，其特征在于，所述数据缓存电路包括多个触发器组、输入多路数据选择器和输出多路数据选择器，所述输入数据选择器包括与所述多个触发器组的多个输入端一一对应连接的多个输出端口，所述输出多路数据选择器包括与所述多个触发器组的多个输出端一一对应连接的多个输入端口；

所述输入多路数据选择器，用于接收所述输入数据，并根据所述写地址，从所述输入多路数据选择器的所述多个输出端口中选择一个输出端口输出缓存数据，所述缓存数据由所述输入数据得到；

所述多个触发器组，用于在所述写时钟信号的驱动下，缓存所述缓存数据；

所述输出多路数据选择器，用于接收所述多个触发器组输出的多个所述缓存数据，并根据所述读地址从所述多个所述缓存数据中选择一路缓存数据作为所述输出数据输出。

9、一种跨时钟域同步方法，其特征在于，所述方法包括：

根据写使能信号得到写地址，根据所述写地址的控制来接收并缓存输入数据，所述输入数据处于写时钟域；

对所述写使能信号进行采样以得到多个采样结果，并根据时钟相位差从所述多个采样结果中选择一个采样结果作为读使能信号，其中，所述时钟相位差为处于所述写时钟域的写时钟信号和处于读时钟域的读时钟信号的相位差；

根据所述读使能信号得到读地址，根据所述读地址的控制将缓存的所述输入数据输出以产生输出数据，所述输出数据处于所述读时钟域。

10、根据权利要求9所述的方法，其特征在于，所述对所述写使能信号进行采样以得

到多个采样结果包括：

在所述读时钟信号的上升沿和下降沿分别对所述写使能信号进行采样，以得到所述多个采样结果。

5 11、根据权利要求 10 所述的方法，其特征在于，在所述读时钟信号的上升沿和下降沿分别对所述写使能信号进行采样，以得到所述多个采样结果包括：

在所述读时钟信号的下降沿对所述写使能信号进行采样，得到第一采样信号；

在所述读时钟信号的上升沿对所述第一采样信号进行采样，得到第二采样信号；

在所述读时钟信号的上升沿对所述写使能信号进行采样，得到第三采样信号；

10 在所述读时钟信号的上升沿对所述第三采样信号进行采样，得到第四采样信号，其中，所述第一采样信号、所述第二采样信号、所述第三采样信号以及所述第四采样信号为所述多个采样结果。

12、根据权利要求 9 至 11 中任一项所述的方法，其特征在于，所述根据所述时钟相位差从所述多个采样结果中选择一个采样结果作为所述读使能信号包括：

15 在所述时钟相位差为 $[0T, 1/4T)$ 的情况下，从所述多个采样结果中选择所述第二采样信号作为所述读使能信号，其中，所述 T 为所述写时钟域的时钟周期或读时钟域的时钟周期；

或，

在所述时钟相位差为 $[1/4T, 1/2T)$ 的情况下，从所述多个采样结果中选择所述第二采样信号或所述第四采样信号作为所述读使能信号；

20 或，

在所述时钟相位差为 $[1/2T, 3/4T)$ 的情况下，从所述多个采样结果中选择所述第四采样信号作为所述读使能信号；

或，

25 在所述时钟相位差的取值大于或等于 $3/4$ 个所述时钟周期 T 的情况下，从所述多个采样结果中选择所述第二采样信号或所述第三采样信号作为所述读使能信号。

13、根据权利要求 9 至 12 中任一项所述的方法，其特征在于，所述方法还包括：

根据所述写时钟信号和所述读时钟信号确定所述时钟相位差；

根据所述写时钟信号产生所述写使能信号，其中，当所述写时钟信号与所述读时钟信号之间的所述时钟相位差处于稳定状态时，所述写使能信号有效。

30

35

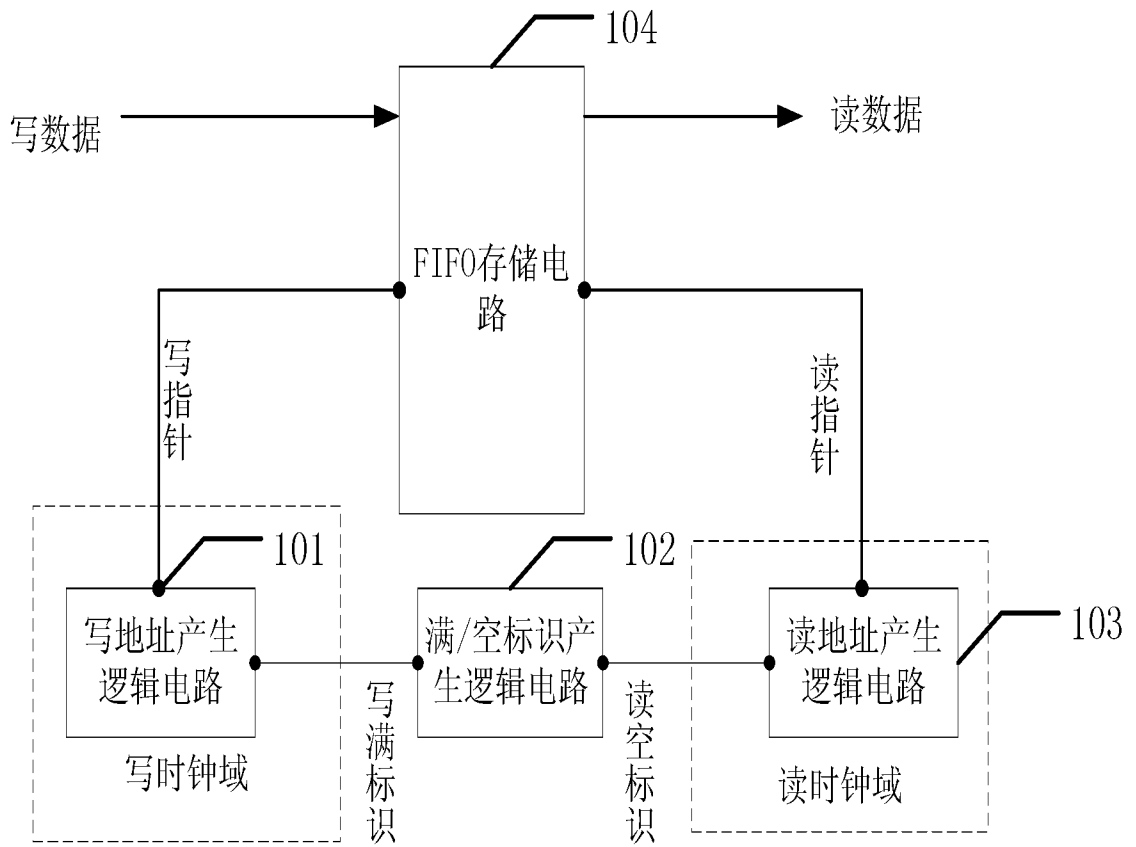


图 1

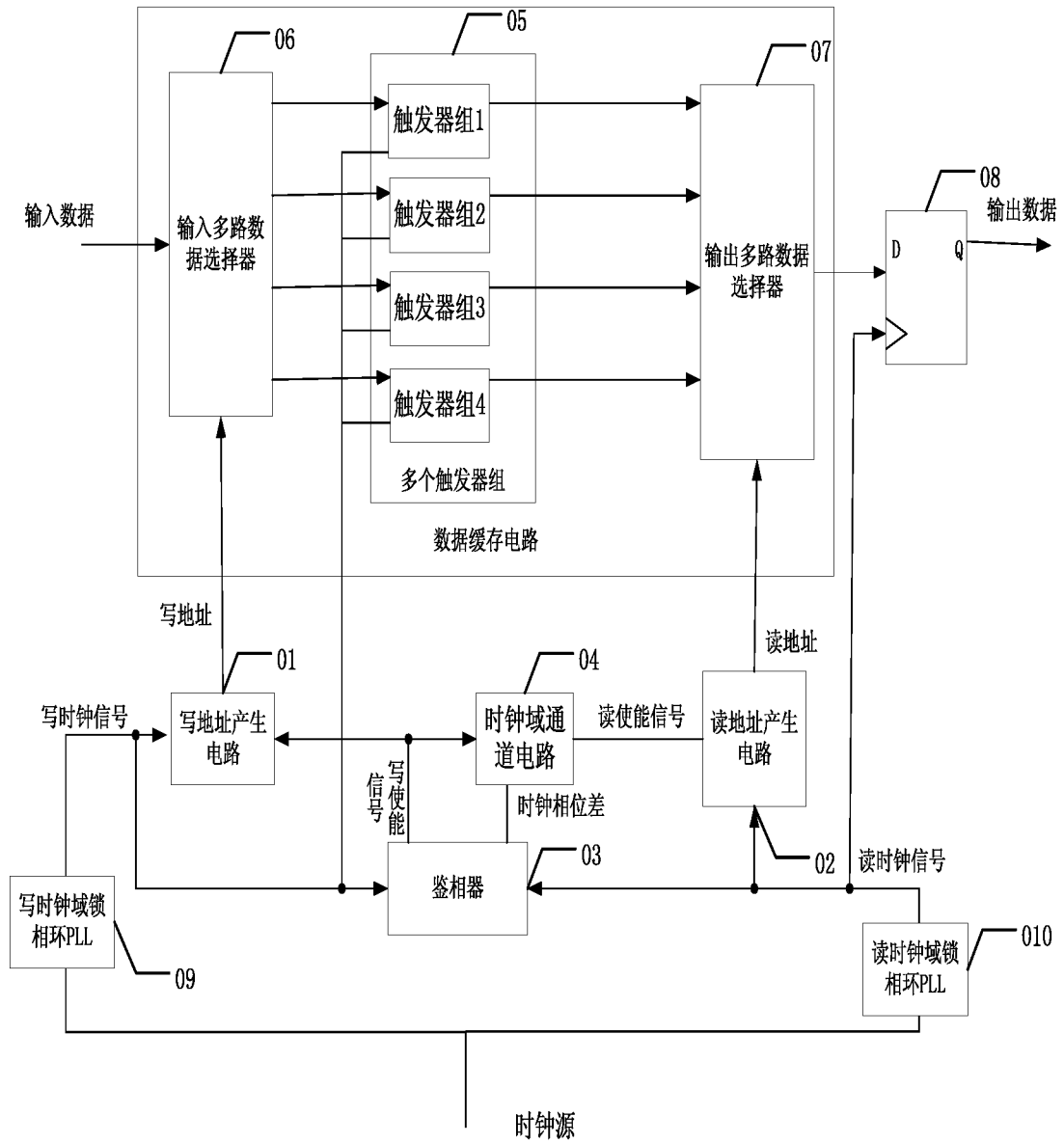


图 2

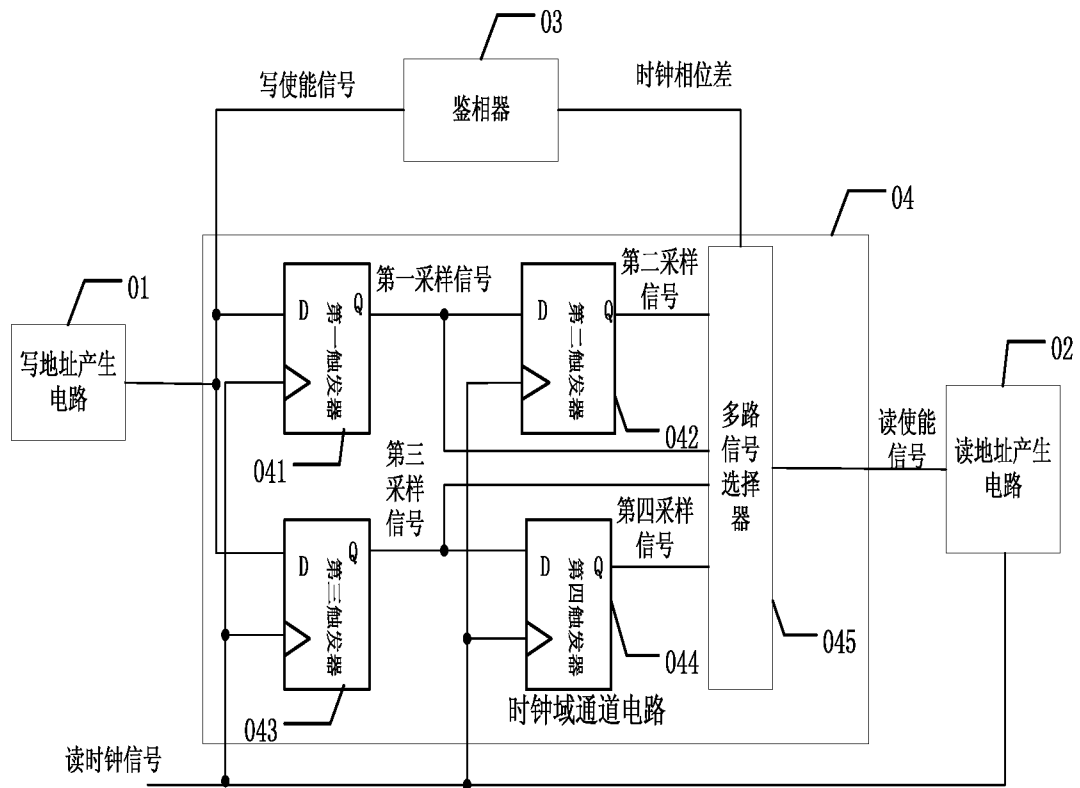


图 3

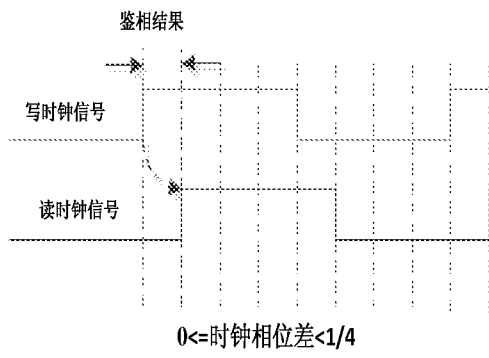


图4 (a)

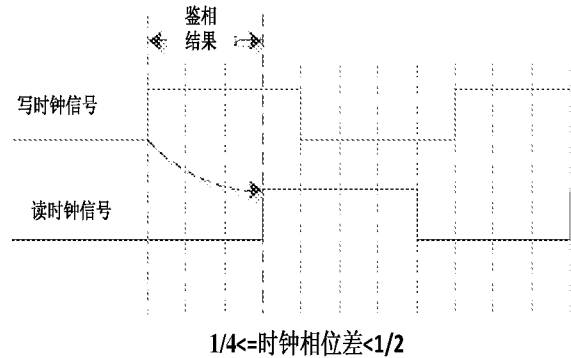


图4 (b)

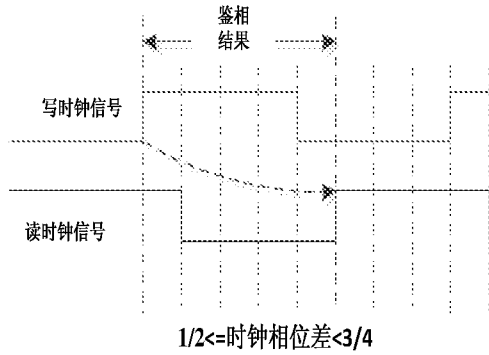


图4 (c)

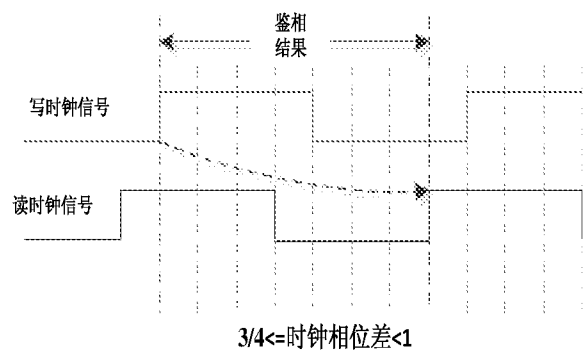


图4 (d)

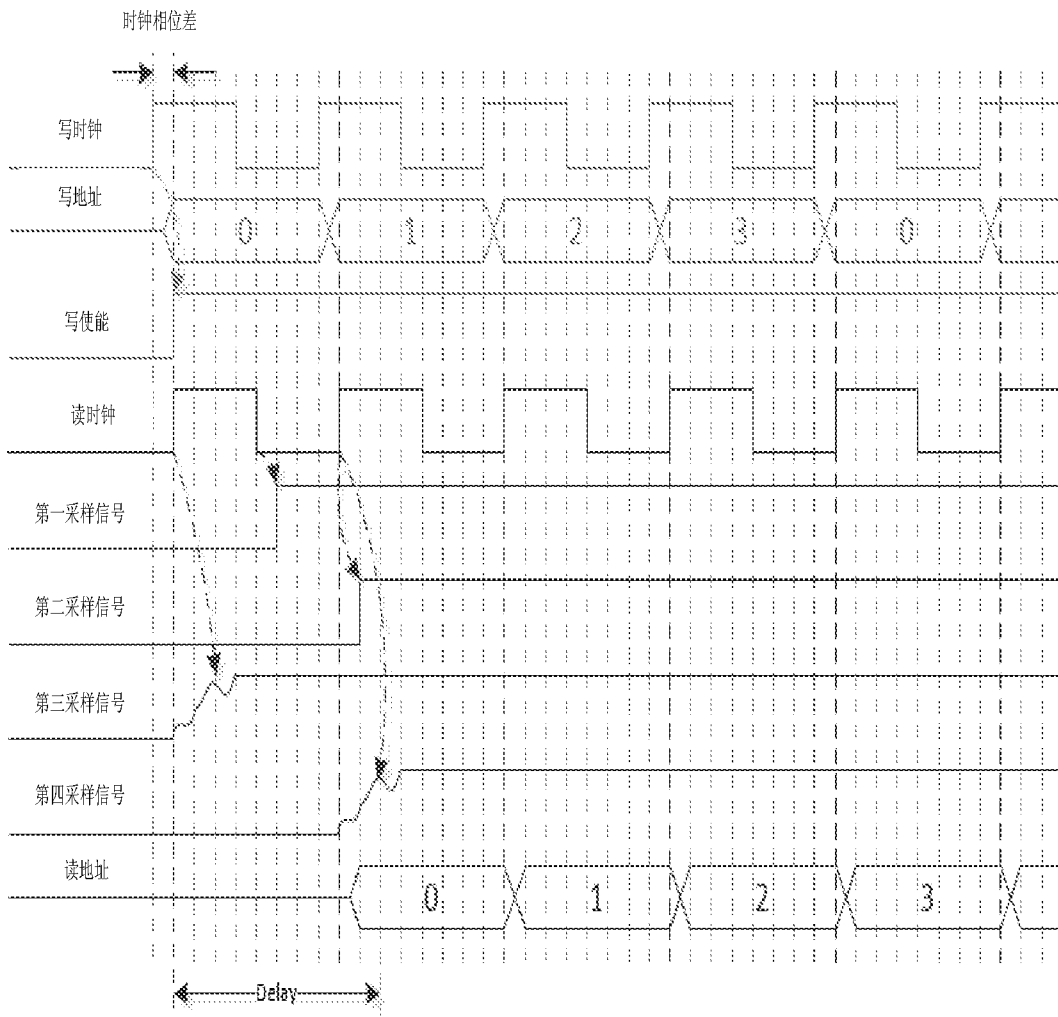


图 5 (a)

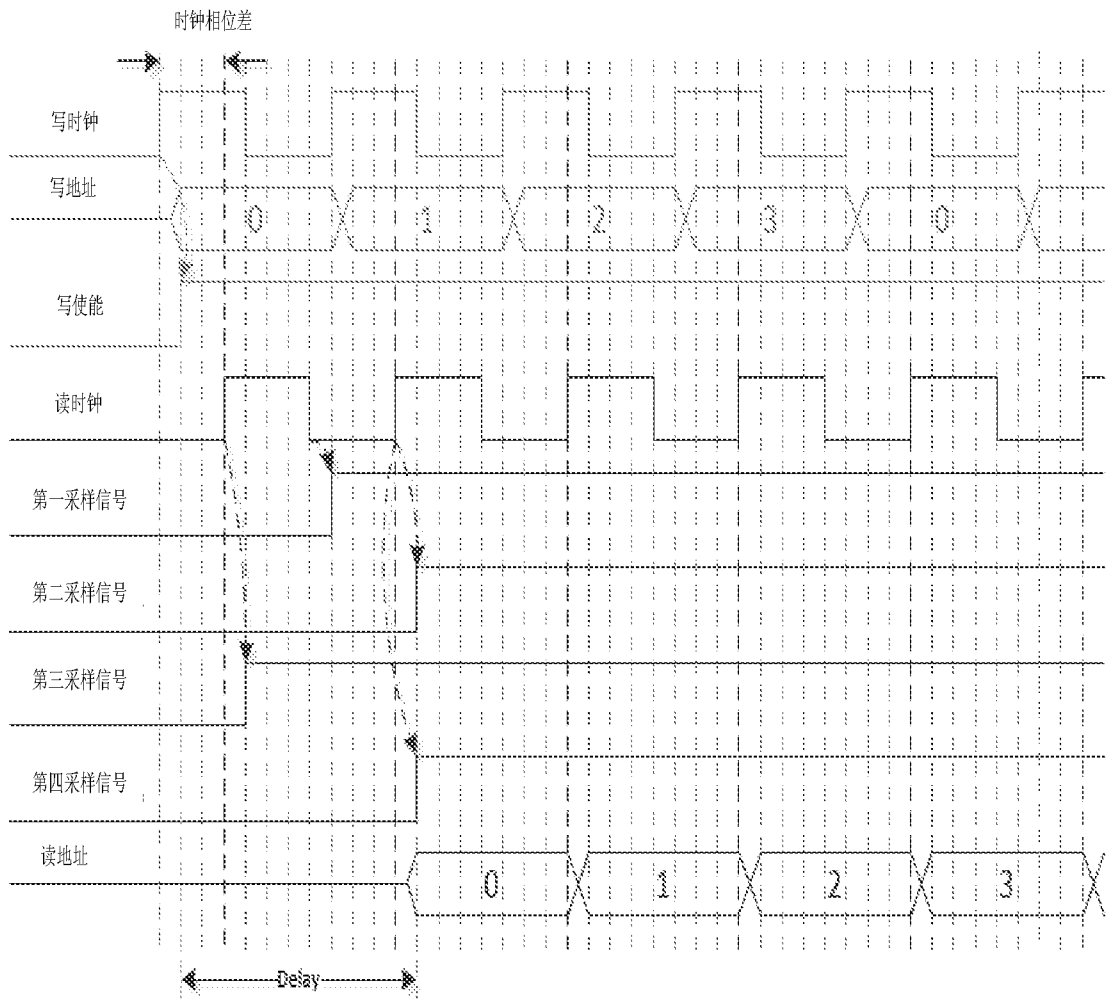


图 5 (b)

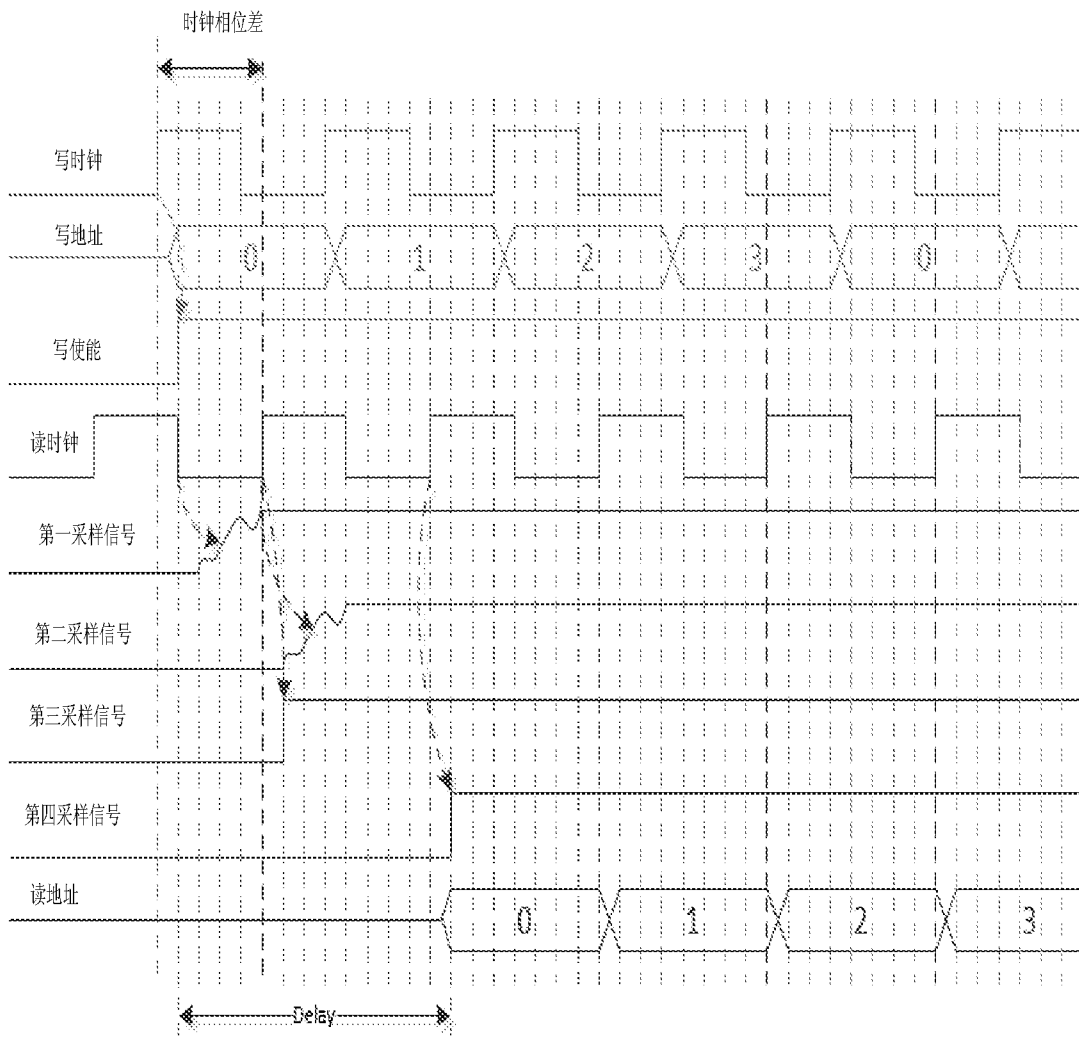


图 5 (c)

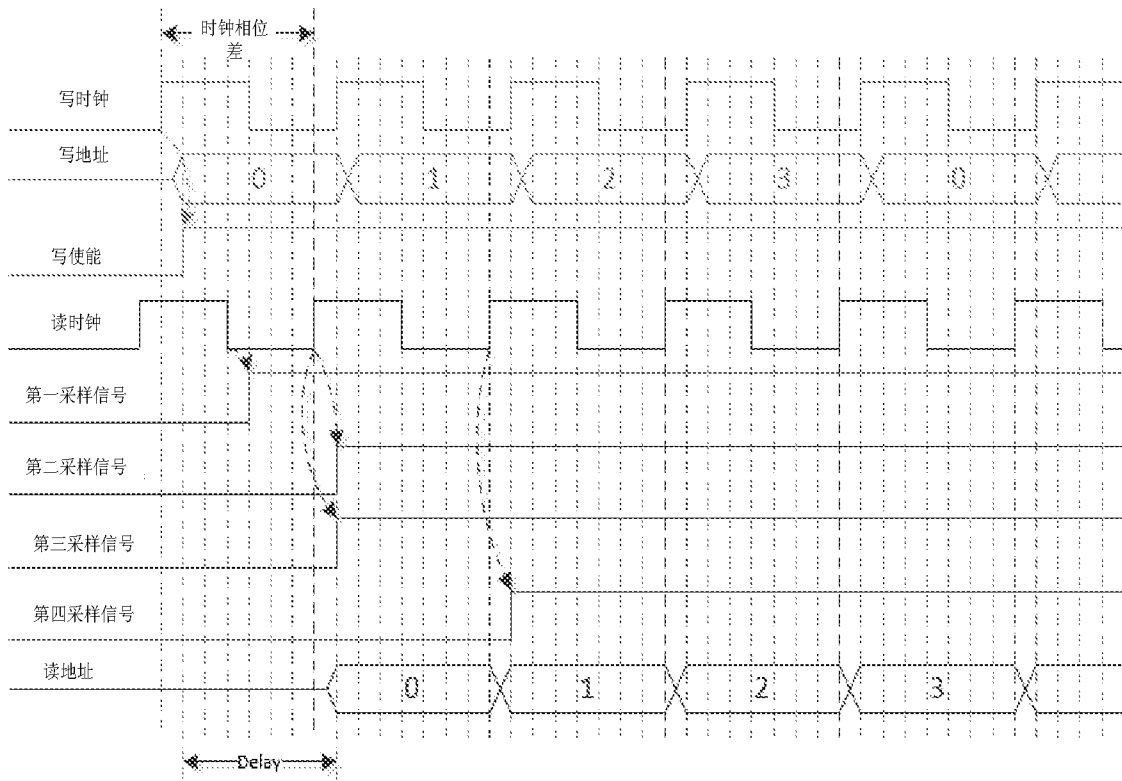


图 5 (d)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/079663

A. CLASSIFICATION OF SUBJECT MATTER		
H03K 19/00(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
H03K; H04J; H04L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
CNABS; DWPI; SIPOABS; CNKI: 跨时钟域, 异步, 写, 同步, 跨时钟域同步, 采样, 时钟域, 读, asynchronous, clock domain, synchronize, sample		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101009487 A (HUAWEI TECHNOLOGIES CO., LTD.) 01 August 2007 (2007-08-01) entire document	1-13
A	CN 107911102 A (CYG SUNRI CO., LTD.) 13 April 2018 (2018-04-13) entire document	1-13
A	CN 1199967 A (NEC CORPORATION) 25 November 1998 (1998-11-25) entire document	1-13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>		
Date of the actual completion of the international search		Date of mailing of the international search report
15 October 2019		08 January 2020
Name and mailing address of the ISA/CN		Authorized officer
China National Intellectual Property Administration No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China		
Facsimile No. (86-10)62019451		Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No. PCT/CN2019/079663

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 101009487 A	01 August 2007	None	
CN 107911102 A	13 April 2018	None	
CN 1199967 A	25 November 1998	CN 1154290 C	16 June 2004
		DE 69832552 D1	05 January 2006
		US 6526106 B1	25 February 2003
		EP 0877505 A3	10 October 2001
		EP 0877505 A2	11 November 1998
		JP H10308729 A	17 November 1998
		JP 2993463 B2	20 December 1999
		EP 0877505 B1	30 November 2005

国际检索报告

国际申请号

PCT/CN2019/079663

<p>A. 主题的分类</p> <p>H03K 19/00 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>														
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H03K; H04J; H04L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS; DWPI; SIPOABS; CNKI:跨时钟域, 异步, 写, 同步, 跨时钟域同步, 采样, 时钟域, 读, asynchronous, clock domain, synchronize, sample</p>														
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 101009487 A (华为技术有限公司) 2007年 8月 1日 (2007 - 08 - 01) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 107911102 A (长园深瑞继保自动化有限公司) 2018年 4月 13日 (2018 - 04 - 13) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 1199967 A (日本电气株式会社) 1998年 11月 25日 (1998 - 11 - 25) 全文</td> <td>1-13</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 101009487 A (华为技术有限公司) 2007年 8月 1日 (2007 - 08 - 01) 全文	1-13	A	CN 107911102 A (长园深瑞继保自动化有限公司) 2018年 4月 13日 (2018 - 04 - 13) 全文	1-13	A	CN 1199967 A (日本电气株式会社) 1998年 11月 25日 (1998 - 11 - 25) 全文	1-13
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
A	CN 101009487 A (华为技术有限公司) 2007年 8月 1日 (2007 - 08 - 01) 全文	1-13												
A	CN 107911102 A (长园深瑞继保自动化有限公司) 2018年 4月 13日 (2018 - 04 - 13) 全文	1-13												
A	CN 1199967 A (日本电气株式会社) 1998年 11月 25日 (1998 - 11 - 25) 全文	1-13												
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>														
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>														
<p>国际检索实际完成的日期</p> <p>2019年 10月 15日</p>		<p>国际检索报告邮寄日期</p> <p>2020年 1月 8日</p>												
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局(ISA/CN)</p> <p>中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>马驰</p> <p>电话号码 62412168</p>												

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2019/079663

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101009487	A	2007年 8月 1日	无			
CN	107911102	A	2018年 4月 13日	无			
CN	1199967	A	1998年 11月 25日	CN	1154290	C	2004年 6月 16日
				DE	69832552	D1	2006年 1月 5日
				US	6526106	B1	2003年 2月 25日
				EP	0877505	A3	2001年 10月 10日
				EP	0877505	A2	1998年 11月 11日
				JP	H10308729	A	1998年 11月 17日
				JP	2993463	B2	1999年 12月 20日
				EP	0877505	B1	2005年 11月 30日