

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 6 月 2 日 (2005.6.2)

【公開番号】特開 2000-286387(P2000-286387A)

【公開日】平成 12 年 10 月 13 日 (2000.10.13)

【出願番号】特願 平 11-87747

【国際特許分類第 7 版】

H 0 1 L 27/04

H 0 1 L 21/822

H 0 1 L 21/82

H 0 1 L 21/8234

H 0 1 L 27/088

【F I】

H 0 1 L 27/04 D

H 0 1 L 21/82 F

H 0 1 L 27/08 1 0 2 B

【手続補正書】

【提出日】平成 16 年 8 月 18 日 (2004.8.18)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上に形成された、

複数個の M I S F E T で共有された第一の基板導電体領域と、

複数個の M I S F E T で共有された第二の基板導電体領域と、

複数個の M I S F E T で共有された第三の基板導電体領域と、

前記第一の基板導電体領域に出力が接続された第一の電源ノードと、

前記第二の基板導電体領域に出力が接続された第二の電源ノードと、

前記第三の基板導電体領域に出力が接続された第三の電源ノードとを具備し、

前記複数個の M I S F E T は同一の導電型を有し、

前記第一の基板導電体領域と、前記第二の基板導電体領域と、前記第三の基板導電体領域とは、互いに電氣的に分離され、

前記第一の電源ノードの電圧は、前記第二の電源ノードの電圧よりも低く、前記第二の電源ノードの電圧は、前記第三の電源ノードの電圧よりも低く、前記第二の基板導電体領域の全面積は、前記第一の基板導電体領域の全面積よりも大きく、前記第二の基板導電体領域の全面積は、前記第三の基板導電体領域の全面積よりも大きいことを特徴とする半導体装置。

【請求項 2】

前記第二の基板導電体領域は、複数個の基板導電体領域を含み、前記複数個の基板導電体領域は前記第二の電源ノードからの配線によって接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第一の電源ノードを流れる電流の直流成分が、前記第二の電源ノードを流れる電流の直流成分よりも小さく、前記第三の電源ノードを流れる電流の直流成分が、前記第二の電源ノードを流れる電流の直流成分よりも小さいことを特徴とする請求項 1 に記載の半導

体装置。

【請求項 4】

前記 M I S F E T は、しきい値が減少すると、ドレインのリーク電流が増加することを特徴とする請求項 1 に記載の半導体装置。

【請求項 5】

前記第一の基板導電体領域と、前記第二の基板導電体領域と、前記第三の基板導電領域は、第一の導電型からなり、前記第一の導電型と異なる第二の導電型を有する半導体基板上に形成されたウェルからなることを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記複数の M I S F E T は、部分空乏化 S O I - M I S F E T からなり、

前記第一の基板導電体領域と、前記第二の基板導電体領域と、前記第三の基板導電体領域は、前記 S O I - M I S F E T のボディ電極となることを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記複数の M I S F E T は、完全空乏化 S O I - M I S F E T からなり、

前記第一の基板導電体領域と、前記第二の基板導電体領域と、前記第三の基板導電体領域は、前記 S O I - M I S F E T のバックゲート電極となることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

半導体基板上に形成された、

複数の M I S F E T で共有された第一の基板導電体領域と、

複数の M I S F E T で共有された第二の基板導電体領域と、

第一の電源ノードと、

第二の電源ノードと、

前記第一の基板導電体領域と前記第一の電源ノードとの間に形成された第一のヒューズ素子と、

前記第二の基板導電体領域と前記第二の電源ノードとの間に形成された第二のヒューズ素子と、

前記第一の基板導電体領域と前記第二の電源ノードとの間に形成された第三のヒューズ素子と、

前記第二の基板導電体領域と前記第一の電源ノードとの間に形成された第四のヒューズ素子とを具備し、

前記複数の M I S F E T は同一の導電型を有し、

前記第一の基板導電体領域と前記第二の基板導電体領域とは、互いに電氣的に分離され、前記第三のヒューズ素子の抵抗は、前記第一及び第二のヒューズ素子の抵抗よりも大きく、前記第四のヒューズ素子の抵抗は、前記第一及び第二のヒューズ素子の抵抗よりも大きいことを特徴とする半導体装置。

【請求項 9】

半導体基板上に形成された、

第一の M I S F E T と第二の M I S F E T からなる回路ブロックと、

第一の電圧ノードと、

第二の電圧ノードと、

第三の電圧ノードとを具備し、

前記第一の M I S F E T のドレイン電極は前記第一の電圧ノードと接続され、前記第二の M I S F E T のソース電極と前記第一の M I S F E T のゲート電極は前記第二の電圧ノードに接続され、前記第二の M I S F E T のゲート電極は前記第三の電圧ノードに接続され、前記第一の M I S F E T のソース電極は前記第二の M I S F E T のドレイン電極に接続され、前記第一、第二及び第三の電圧ノードに前記回路ブロックが複数個接続されていることを特徴とする半導体装置。

【請求項 10】

半導体基板上に形成された、

第一のMISFETと第二のMISFETからなる第一の回路ブロックと、

第一のMISFETと第二のMISFETからなる第二の回路ブロックと、

第一のMISFETと第二のMISFETからなる第三の回路ブロックと、

第一の電圧ノードと、

第二の電圧ノードと、

第三の電圧ノードと、

第四の電圧ノードと、

第五の電圧ノードとを具備し、

前記第一のMISFETのドレイン電極は前記第一の電圧ノードと接続され、前記第二のMISFETのソース電極と前記第一のMISFETのゲート電極は前記第二の電圧ノードに接続され、前記第二のMISFETのゲート電極は前記第三の電圧ノードに接続され、前記第一のMISFETのソース電極は前記第二のMISFETのドレイン電極に接続され、前記第一、第二及び第三の電圧ノードに前記第一及び第二の回路ブロックが接続され、前記第四の電圧ノードの電圧は、前記第五の電圧ノードの電圧と異なり、前記第一の回路ブロックと前記第二の回路ブロックのMISFETの基板電極は、前記第四の電圧ノードに接続され、前記第三の回路ブロックのMISFETの基板電極は、前記第五の電圧ノードに接続されることを特徴とする半導体装置。