

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 27/115

(45) 공고일자 2000년01월 15일
(11) 등록번호 10-0238199
(24) 등록일자 1999년10월 13일

(21) 출원번호	10-1996-0031531	(65) 공개번호	특1998-0013095
(22) 출원일자	1996년07월30일	(43) 공개일자	1998년04월30일

(73) 특허권자 삼성전자주식회사 윤종용
 경기도 수원시 팔달구 매탄3동 416학교법인 포항공과대학교 정명식
 경상북도 포항시 남구 효자동 산 31번지

(72) 발명자 김대만
 경상북도 포항시 남구 지곡동 756 교수아파트 9동1201호
 조명관

(74) 대리인 경기도 용인시 기흥읍 농서리 산24번지
 권석흠, 이영필, 정상빈

심사관 : 임동우

(54) 플래쉬 이이피롬(EEPROM) 장치 및 그 제조방법

요약

플래쉬 이이피롬 장치에 관하여 개시한다. 본 발명은 제1 도전형의 반도체 기판 표면 근방의 채널 영역을 사이에 두고 그 양 옆에 형성되고, 상기 제1 도전형과 반대의 제2 도전형의 불순물이 도핑된 소오스 영역 및 드레인 영역과, 상기 소오스 영역과 인접한 상기 채널 영역에 형성되고, 상기 제1 도전형의 불순물이 상기 반도체 기판보다 높은 농도로 도핑된 제1 불순물 영역과, 상기 드레인 영역과 인접한 상기 채널 영역에 형성되고, 상기 제2 도전형의 불순물이 상기 소오스 및 드레인 영역보다 낮은 농도로 도핑된 제2 불순물 영역과, 상기 채널 영역 상의 전면에 걸쳐 균일한 두께로 형성된 게이트 절연막과, 상기 게이트 절연막 상의 전면에 걸쳐 형성된 플로팅 게이트와, 상기 플로팅 게이트 상에 순차적으로 형성된 층간절연막 및 조절 게이트를 포함한다. 이에 따라, 본 발명의 플래쉬 EEPROM 장치의 셀은 집적도를 향상시킬 수 있고, 프로그램 효율을 향상시킬 수 있다.

대표도

도2

명세서

도면의 간단한 설명

도 1은 종래의 플래쉬 EEPROM장치의 분리형 게이트 셀의 구조와 프로그램시 채널 횡방향 전계(channel lateral electric field)를 도시한 도면이다.

도 2는 본 발명에 의한 플래쉬 EEPROM 장치의 셀 구조의 일 예를 도시한 단면도이다.

도 3은 본 발명에 의한 플래쉬 EEPROM 장치의 셀 구조의 다른 예를 도시한 단면도이다.

도 4는 본 발명의 EEPROM 장치의 셀 프로그램시 채널 횡방향 전계를 도시한 도면이다.

도 5는 종래의 적층형 셀과 본 발명의 셀을 갖는 플래쉬 EEPROM 장치의 프로그램 속도를 비교한 그래프이다.

도 6은 종래의 적층형 셀과 본 발명의 셀을 갖는 플래쉬 EEPROM 장치의 플로팅 게이트 전류와 드레인 전류의 비(Ig/Id)를 비교한 그래프이다.

도 7 내지 도 11은 본 발명에 의한 플래쉬 EEPROM 장치의 셀 제조방법의 제1 실시예를 도시한 단면도들이다.

도 12 및 도 13은 본 발명에 의한 플래쉬 EEPROM 장치의 셀 제조방법의 제2 실시예를 도시한 단면도이다.

도 14 및 도 15는 본 발명에 의한 플래쉬 EEPROM 장치의 셀 제조방법의 제3 실시예를 도시한 단면도이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 플래쉬 이이피롬(Electrically Erasable Programmable Read Only Memory: 이하, 'EEPROM'이라 함) 장치(device) 및 그 제조방법에 관한 것으로, 특히 프로그램 효율을 향상시킬 수 있는 플래쉬 EEPROM 장치 및 그 제조방법에 관한 것이다.

반도체 메모리 장치 중에서 RAM(random access memory)종류의 메모리 장치는 전원 공급이 중단되면 기억된 정보가 소멸되는 특성을 갖는 반면, ROM(read only memory)종류의 기억장치는 외부로부터 전원공급이 중단되어도 기억된 정보를 그대로 유지하는 특성을 갖는다. 따라서 이러한 ROM 종류의 기억장치는 불휘발성 메모리 장치라 불린다.

이들 불휘발성 메모리 장치중 전기적으로 정보를 소멸시키거나 기입(프로그램) 할 수 있는 플래쉬(Flash) EEPROM 장치는 여러 종류의 셀이 제안되어 있다. 그 중에서 적층형 게이트 셀(stacked gate cell)은 1980년 5월 13일자로 발명된 미합중국 특허 제4,253,158호(발명자: Frohman-Bentchkowsky et al., 발명의 명칭: electrically programmable and erasable MOS floating gate memory device employing tunneling and method of fabricating same) 및 1987년 10월 6일자로 발명된 미합중국 특허 제4,698,787호(발명자: Mukherjee et al., 발명의 명칭: single transistor electrically programmable memory device and method)에 설명된 바와 같이 소오스/드레인(source/drain) 영역, 플로팅 게이트(floating gate)와 조절 게이트(control gate)로 구성된 하나의 트랜지스터가 하나의 메모리 셀을 구성한다. 상기 플로팅 게이트는 데이터를 저장하는 역할을 하고 조절 게이트는 플로팅 게이트를 제어하는 역할을 한다.

이러한 적층형 게이트 셀의 동작은 소오스에 0V의 전압을 인가하고, 드레인 및 조절 게이트에 각각 8V 및 12V를 인가함으로써 드레인측의 채널영역에서 발생하는 핫 전자를 플로팅 게이트에 주입시켜 셀의 문턱전압을 증가시키는 프로그램 동작과, 드레인을 플로팅시키고 소오스 및 조절 게이트에 각각 0V 및 12V의 전압을 인가함으로써 플로팅 게이트로부터 소오스로 파울러 노드하임 터널링(Fowler Nordeim tunneling)방법으로 전자를 빼내어 셀의 문턱전압(threshold voltage)을 저하시키는 소거 동작과, 그리고 셀의 소거상태와 프로그램 상태를 판독하는 읽기 동작으로 이루어진다.

그러나, 상기 적층형 게이트 셀은 데이터를 프로그램하기 위해서 높은 전압이 필요하고, 프로그램 속도가 낮은 단점이 있다.

구체적으로 설명하면, 프로그램 속도는 플로팅 게이트로 주입되는 전자의 플럭스(flux)에 비례하는 데, 적층형 게이트 셀의 드레인측 핫전자 주입은 핫전자를 발생시키기 위하여 높은 횡방향 전계(high lateral electric field)가 필요하고, 생성된 핫전자를 플로팅 게이트로 주입하기 위하여는 낮은 횡방향 전계와 높은 종방향전계(high normal field)가 필요하다. 따라서, 핫 전자의 발생 조건과 생성된 핫전자를 플로팅 게이트로 주입하는 조건은 상충된다. 결과적으로, 종래의 적층형 게이트 셀은 프로그램 속도를 향상시키는 데 매우 불리하다.

또한, 종래의 적층형 게이트 셀은 빠른 프로그램을 위해서 드레인 및 조절게이트에 각각 높은 전압, 예컨대 6V 및 12V 수준의 전압이 인가된다. 이때 칩에 인가되는 외부전원은 5V 또는 3.3V이기 때문에 6V 및 12V의 전압을 내부에서 생성시키는 별도의 회로가 필요하고 이는 회로 구성의 복잡성과 함께 칩 면적의 증가를 수반하는 문제점이 있다.

상술한 적층형 게이트 셀의 프로그램시 높은 전압이 필요하고 프로그램 속도가 낮은 문제점을 해결하기 위하여 측벽 게이트(sidewall gate)를 갖는 분리형 게이트 셀(split gate cell)이 제안되었다(IEEE ELECTRON DEVICE LETTERS, VOL. EDL-7, NO.9, 1986, 제목: A Source-Side Injection Erasable Programmable Read-Only-Memory Device, 발명자: A.T.WU et al.). 상기 분리형 게이트 셀을 도 1을 참조하여 설명한다.

도 1은 종래의 플래쉬 EEPROM장치의 분리형 게이트 셀의 구조와 프로그램시 채널 횡방향 전계(channel lateral electric field)를 도시한 도면이다.

구체적으로, 소오스 영역(3) 및 드레인 영역(5)이 형성된 반도체 기판(1) 상에 플로팅 게이트(7) 및 조절 게이트(9)가 형성되어 있고, 상기 플로팅 게이트(7) 및 조절 게이트(9)의 일 측에 측벽 게이트(11)가 형성되어 있다. 상기 측벽 게이트(11)는 선택 게이트로 작용하고, 상기 조절게이트(9)는 센스 트랜지스터로 작용한다. 따라서, 상기 분리형 게이트 셀은 종래의 적층형 게이트 셀에 선택트랜지스터가 더 도입된 구조이다.

상기 도 1의 분리형 게이트 셀은 프로그램시 센스 트랜지스터의 조절게이트에 15V를 인가하여 채널을 강한 반전상태로 만들고 선택 트랜지스터의 측벽 게이트에 문턱전압보다 약 1V 높은 2V의 전압을 인가하고, 드레인에 5V의 전압을 인가한다. 이렇게 되면, 센스 트랜지스터는 선형영역에서 작동되고, 선택 트랜지스터는 포화영역에서 작동된다. 따라서, 분리형 게이트 셀에 있어서 채널 횡방향 전계(Ey: electric field)의 최대값은 도 1의 채널 길이(Y)에 따라 도시된 바와 같이 센스 트랜지스터의 소스측에 형성되어 핫 전자의 발생률이 높은 조건인 높은 채널 횡방향 전계를 만족한다. 그리고, 센스 트랜지스터의 소스측에 형성된 핫전자가 드레인측으로 이동하는 도중 인가된 높은 조절 게이트 전압에 의하여 형성된 채널 종방향 전계는 플로팅 게이트로 주입되는 핫 전자의 확률을 증가시킨다. 결과적으로, 분리형 게이트 셀은 프로그램 효율을 증대시킬 수 있다.

그러나, 상술한 분리형 게이트 셀은 다음과 같은 문제점이 있다.

첫 번째, 분리형 게이트 셀의 채널길이는 적층형 게이트 셀의 센스 트랜지스터 채널길이와 선택트랜지스터의 채널길이의 합이므로, 종래의 적층형 셀보다 분리형 게이트 셀은 셀 면적이 증가되기 때문에 집적화에 불리하다.

두 번째, 제조공정상의 문제로써 분리형 게이트 셀은 선택 트랜지스터의 형성을 위한 센스 트랜지스터의 게이트 절연막의 식각시, 센스 트랜지스터의 게이트 절연막의 손상이 발생한다. 또한, 분리형 게이트 셀

은 제조시 배치별로 선택 트랜지스터의 채널길이를 정밀하게 조절하기가 어려운 단점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 프로그램 효율이 높으면서도 집적화에 유리한 플래쉬 EEPROM 장치를 제공하는 데 있다.

또한, 본 발명의 다른 목적은 상기 플래쉬 EEPROM 장치 제조하는 데 적합한 플래쉬 EEPROM 장치의 제조방법을 제공하는 데 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여, 본 발명은 제1 도전형의 반도체 기판과, 상기 반도체 기판 표면 근방의 채널 영역을 사이에 두고 그 양 옆에 형성되고, 상기 제1 도전형과 반대의 제2 도전형의 불순물이 도핑된 소오스 영역 및 드레인 영역과, 상기 소오스 영역과 인접한 상기 채널 영역에 형성되고, 상기 제1 도전형의 불순물이 상기 반도체 기판보다 높은 농도로 도핑된 제1 불순물 영역과, 상기 드레인 영역과 인접한 상기 채널 영역에 형성되고, 상기 제2 도전형의 불순물이 상기 소오스 및 드레인 영역보다 낮은 농도로 도핑된 제2 불순물 영역과, 상기 채널 영역 상의 전면에 걸쳐 균일한 두께로 형성된 게이트 절연막과, 상기 게이트 절연막 상의 전면에 걸쳐 형성된 플로팅 게이트와, 상기 플로팅 게이트 상에 순차적으로 형성된 층간절연막 및 조절 게이트를 구비하는 것을 특징으로 플래쉬 이이피롬(EEPROM) 장치를 제공한다.

상기 제1 도전형은 P형 또는 N형으로 구성할 수 있다.

또한, 본 발명은 제1 도전형의 반도체 기판과, 상기 반도체 기판 표면 근방의 채널 영역을 사이에 두고 그 양 옆에 형성되고, 상기 제1 도전형과 반대의 제2 도전형의 불순물이 도핑된 소오스 영역 및 드레인 영역과, 상기 소오스 영역과 인접한 상기 채널 영역에 형성되고, 상기 제1 도전형의 불순물이 상기 반도체 기판보다 높은 농도로 도핑된 제1 불순물 영역과, 상기 드레인 영역과 인접한 상기 채널 영역에 형성되고, 상기 제1 불순물 영역보다 낮은 농도로 도핑된 제2 불순물 영역과, 상기 채널 영역 상의 전면에 걸쳐 균일한 두께로 형성된 게이트 절연막과, 상기 게이트 절연막 상의 전면에 걸쳐 형성된 플로팅 게이트와, 상기 플로팅 게이트 상에 순차적으로 형성된 층간절연막 및 조절 게이트를 구비하는 것을 특징으로 플래쉬 이이피롬(EEPROM) 장치를 제공한다.

상기 제1 도전형은 P형 또는 N형으로 구성할 수 있다.

상기 다른 목적을 달성하기 위하여, 본 발명은 제1 도전형의 반도체 기판 상에 희생 절연막을 형성하는 단계와, 상기 희생 절연막이 형성된 반도체 기판의 전면에 제1 도전형의 불순물을 이온주입하여 상기 반도체 기판보다 불순물 농도가 높은 제1 불순물 영역을 형성하는 단계와, 상기 희생 절연막을 제거하는 단계와, 상기 제1 불순물 영역이 형성된 반도체 기판의 전면에 균일한 두께로 제1 절연막을 형성하는 단계와, 상기 제1 절연막 상에 제1 폴리실리콘막, 제2 절연막 및 제2 폴리실리콘막을 형성하는 단계와, 상기 제2 폴리실리콘막, 제2 절연막, 제1 폴리실리콘막 및 제1 절연막을 순차적으로 패터닝하여 각각 조절 게이트, 층간절연막, 플로팅 게이트 및 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막에 인접된 반도체 기판의 표면 일부를 노출하는 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 마스크로 상기 반도체 기판의 전면에 제2 도전형의 불순물을 이온주입하는 단계와, 상기 포토레지스트 패턴을 제거하는 단계와, 상기 이온주입된 반도체 기판을 열처리를 행하여 상기 게이트 절연막 하부의 반도체 기판의 표면 근방에 제2 불순물 영역을 형성하는 단계와, 상기 반도체 기판의 전면에 제2 도전형의 불순물을 상기 제2 불순물 영역보다 높은 농도로 이온주입하여 상기 반도체 기판 표면 근방에 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플래쉬 이이피롬 장치의 제조방법을 제공한다.

상기 제1 불순물 영역은 보론(B)으로 형성하며, 상기 제2 불순물 영역은 인(P)으로 형성한다. 상기 제1 도전형은 P형 또는 N형이다.

또한, 본 발명은 제1 도전형의 반도체 기판의 전면에 균일한 두께로 제1 절연막을 형성하는 단계와, 상기 제1 절연막 상에 제1 폴리실리콘막, 제2 절연막 및 제2 폴리실리콘막을 형성하는 단계와, 상기 제2 폴리실리콘막, 제2 절연막, 제1 폴리실리콘막 및 제1 절연막을 순차적으로 패터닝하여 조절 게이트, 층간절연막, 플로팅 게이트 및 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막에 인접한 상기 반도체 기판의 표면 일부를 노출하는 제1 포토레지스트 패턴을 형성하는 단계와, 상기 제1 포토레지스트 패턴을 마스크로 상기 반도체 기판의 수직 방향과 소정의 각도로 제2 도전형의 불순물을 이온주입하는 단계와, 상기 제1 포토레지스트 패턴을 제거하는 단계와, 상기 이온주입된 반도체 기판을 열처리하여 상기 게이트 절연막 하부의 반도체 기판의 표면 근방에 제2 불순물 영역을 형성하는 단계와, 상기 제2 불순물 영역을 덮으면서 상기 게이트 절연막에 인접한 반도체 기판의 표면 일부를 노출하는 제2 포토레지스트 패턴을 형성하는 단계와, 상기 제2 포토레지스트 패턴을 마스크로 상기 반도체 기판의 수직방향과 소정의 각도로 제1 도전형의 불순물을 상기 반도체 기판보다 농도가 높게 이온주입하는 단계와, 상기 제2 포토레지스트 패턴을 제거하는 단계와, 상기 제1 도전형의 불순물이 이온주입된 반도체 기판을 열처리하여 상기 게이트 절연막 하부의 반도체 기판의 표면 근방에 제1 불순물 영역을 형성하는 단계와, 상기 반도체 기판의 전면에 제2 도전형의 불순물을 상기 제2 불순물 영역보다 높은 농도로 이온주입하여 상기 반도체 기판의 표면 근방에 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플래쉬 이이피롬 장치의 제조방법을 제공한다.

상기 제2 불순물 영역은 인(P)으로 형성하며, 상기 제1 불순물 영역은 보론(B)으로 형성한다.

또한, 본 발명은 제1 도전형의 반도체 기판 상에 희생 절연막을 형성하는 단계와, 상기 희생절연막이 형성된 반도체 기판의 전면에 제2 도전형의 불순물을 이온주입하여 제2 불순물 영역을 형성하는 단계와, 상기 희생 절연막을 제거하는 단계와, 상기 제2 불순물 영역이 형성된 반도체 기판의 전면에 제1 절연막을 형성하는 단계와, 상기 제1 절연막 상에 제1 폴리실리콘막, 제2 절연막 및 제2 폴리실리콘막을 형성하는 단계와, 상기 제2 폴리실리콘막, 제2 절연막, 제1 폴리실리콘막 및 제1 절연막을 순차적으로 패터닝하여

조절 게이트, 충전절연막, 플로팅 게이트 및 게이트 절연막을 형성하는 단계와, 상기 게이트 절연막에 인접한 반도체 기판의 표면 일부를 노출하는 포토레지스트 패턴을 형성하는 단계와, 상기 포토레지스트 패턴을 마스크로 상기 반도체 기판과 수직방향으로 소정의 각도로 제1 도전형의 불순물을 상기 반도체 기판보다 농도가 높게 이온주입하는 단계와, 상기 포토레지스트 패턴을 제거하는 단계와, 상기 이온주입된 반도체 기판을 열처리를 행하여 상기 게이트 절연막 하부의 반도체 기판의 표면 근방에 제1 불순물 영역을 형성하는 단계와, 상기 반도체 기판의 전면에 제2 도전형의 불순물을 상기 제2 불순물 영역보다 높은 농도로 이온주입하여 상기 반도체 기판의 표면 근방에 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플래쉬 이이피롬 장치의 제조방법을 제공한다.

상기 제2 불순물 영역은 인(P)으로 형성하며, 상기 제1 불순물 영역은 보론(B)으로 형성한다.

본 발명의 플래쉬 EEPROM 장치의 셀을 이용하면, 집적도를 향상시킬 수 있고 프로그램 효율을 향상시킬 수 있다.

이하, 첨부도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.

도 2는 본 발명에 의한 플래쉬 EEPROM 장치의 셀 구조의 일예를 도시한 단면도이다.

구체적으로, 소오스 영역(23) 및 드레인 영역(25)이 형성된 P형 반도체 기판(21) 상에 플로팅 게이트(27) 및 조절 게이트(29)가 형성되어 있다. 상기 소오스 영역 및 드레인 영역은 N^+ 불순물 영역으로 구성한다. 특히, 본 발명의 EEPROM 장치의 셀은 상기 소오스 영역(23) 및 드레인 영역(25) 사이에 위치하는 채널영역에 새로운 불순물 영역이 형성되어 있다. 즉, 채널영역중 소오스 영역측은 기판보다 높은 농도의 P^+ 불순물 영역(31)이 형성되어 있고, 채널영역중 드레인 영역측은 기판과 반대 도전형의 N^- 불순물 영역(33)이 형성되어 있다. 본 발명은 채널영역에 P^+ 불순물 영역(31)과 N^- 불순물 영역(33)을 형성함으로써 후술되는 바와 같이 프로그램 효율을 증가시킬 수 있다.

도 3은 본 발명에 의한 플래쉬 EEPROM 장치의 셀 구조의 다른 예를 도시한 단면도이다. 도 3에서, 상기 도 2와 동일한 참조번호는 동일한 부재를 나타낸다.

구체적으로, 도 3의 플래쉬 EEPROM 장치의 셀은 도 2와 마찬가지로 채널영역중 소오스 영역측은 기판(21)보다 높은 농도의 P^+ 불순물 영역(31)이 형성되어 있고, 채널영역의 드레인측은 상기 P^+ 불순물 영역(31)보다 낮은 농도의 P^- 불순물 영역(35)이 형성되어 있다. 본 발명의 EEPROM 장치의 셀은 채널영역에 P^+ 불순물 영역(31)과 P^- 불순물 영역(35)을 형성함으로써 후술되는 바와 같이 프로그램 효율을 증가시킬 수 있다.

다음에, 상기 도 1 및 도 2에 도시한 본 발명의 EEPROM 장치의 셀 동작을 설명한다.

먼저, 소거 동작은 드레인(25)과 조절 게이트(29)에 각각 5V 및 -12V의 전압을 인가하고, 소오스(23)는 플로팅시키고 기판(21)은 0V의 전압을 인가함으로써 플로팅 게이트로부터 채널로 파울러 노드하임 터널링(Fowler Nordeim tunneling) 전자를 빼내어 문턱전압을 높임으로써 수행한다.

다음에, 프로그램 동작을 도 4를 이용하여 설명한다.

도 4는 본 발명의 EEPROM 장치의 셀 프로그램시 채널 횡방향 전계를 도시한 도면이다. 도 4에서, X축은 채널 길이(μm)를 나타내며, Y축은 횡방향 전계(V/cm)를 나타낸다.

구체적으로, 프로그램 동작은 드레인(25)에 적층형 게이트 셀에 적용된 전압보다 낮은 5V 또는 그 이하의 전압을 인가하고, 조절 게이트(29)에 10V 혹은 그 이하의 전압을 인가하고 소오스(23)와 기판(21)에는 0V를 인가함으로써 채널영역에서 발생하는 핫 전자를 플로팅 게이트에 주입시켜 문턱전압을 높임으로써 수행한다. 이때, 음의 문턱전압을 나타내게 하는 N^- 불순물 영역(33) 또는 P^- 불순물 영역(35)은 트랜지스터의 선택영역에서 동작하므로 상술한 분리형 게이트 셀의 센스 트랜지스터와 동일한 역할을 하며, 비교적 큰 양의 문턱전압을 나타내게 하는 P^+ 불순물 영역은 트랜지스터의 포화영역에서 작동하므로 상술한 분리형 게이트 셀의 선택 트랜지스터와 동일한 역할을 한다. 또한, 드레인 전압의 대부분은 P^+ 불순물 영역(31)과 N^- 불순물 영역(33) 또는 P^+ 불순물 영역(31)과 P^- 불순물 영역(35)의 접합에 걸리고 이에 의한 횡방향 전계 값은 도 4에 도시한 바와 같이 채널영역의 중간, 즉 접합영역에서 최고치를 이룬다. 결과적으로, 높은 전계영역에서 생성된 핫전자가 드레인 쪽으로 이동하면서 분리형 게이트 셀과 같이 조절 게이트(29)의 전압에 의하여 형성된 채널 종방향 전계에 의하여 플로팅 게이트로 주입될 확률이 높아진다.

다음에, 독출동작은 셀의 문턱전압에 따라 소거상태와 프로그램 상태를 판독하여 수행한다.

도 5는 종래의 적층형 셀과 본 발명의 셀을 갖는 플래쉬 EEPROM 장치의 프로그램 속도를 비교한 그래프이다. 도 5에서, X축은 프로그램시간(μsec)을 나타내며, Y축은 문턱전압(V)을 나타낸다.

구체적으로, 본 발명의 셀을 갖는 플래쉬 EEPROM 장치는 상술한 바와 같이 조절 게이트 및 드레인에 각각 10V 및 5V를 인가하여 프로그램 하였고(a), 종래의 적층형 게이트 셀을 갖는 플래쉬 EEPROM 장치는 조절 게이트 및 드레인에 6V 및 12V 인가하여 프로그램 하였다(b). 도 5에 보듯이, 본 발명의 셀을 갖는 플래쉬 EEPROM 장치는 종래의 적층형 셀보다 낮은 전압조건하에서도 더 빠르게 프로그램 됨을 알 수 있다.

도 6은 종래의 적층형 셀과 본 발명의 셀을 갖는 플래쉬 EEPROM 장치의 플로팅 게이트 전류와 드레인 전류의 비(I_g/I_d)를 비교한 그래프이다. 도 6에서, X축은 플로팅 게이트에 인가되는 전압을 나타낸다.

구체적으로, 게이트 전류와 드레인 전류의 비(I_g/I_d)를 본 발명의 셀과 적층형 게이트 셀을 갖는 플래쉬 EEPROM 장치에 대하여 비교하였다. 상기 게이트 전류와 드레인 전류의 비는 프로그램의 효율을 정량화시키는 중요한 값으로써, 본 발명의 I_g/I_d 값(c)이 종래의 적층형 게이트 셀의 값(d) 보다 10배 또는 그 이상으로 큼을 알 수 있다. 결과적으로, 본 발명은 종래의 적층형 게이트 셀보다 프로그램 효율이 향상됨을

알 수 있다.

이하, 본 발명에 의한 플래쉬 EEPROM 장치의 셀 제조방법을 설명한다.

(제1실시예)

도 7 내지 도 11은 본 발명에 의한 플래쉬 EEPROM 장치의 셀 제조방법의 제1 실시예를 도시한 단면도들이다.

도 7은 P⁺ 불순물 영역(45) 및 제1 절연막(43)을 형성하는 단계를 나타낸다. 구체적으로, 제1 도전형의 반도체 기판, 예컨대 P형 실리콘 기판(41)에 희생 절연막(도시 안함)을 형성한다. 이어서, 상기 희생절연막이 형성된 실리콘 기판(41)의 전면에 BF₂를 50KeV의 에너지와 5E13/cm²의 도즈로 이온주입하여 기판보다 농도가 높은 제1 도전형의 P⁺ 불순물 영역(45)을 형성한다. 계속하여, 상기 P⁺ 불순물 영역(45)이 형성된 실리콘 기판(41)의 전면에 제1 절연막(43)을 형성한다.

도 8은 플로팅 게이트용 제1 폴리실리콘막(47), 제2 절연막(49) 및 조절게이트용 제2 폴리실리콘막(51)을 형성하는 단계를 나타낸다. 구체적으로, 상기 제1 절연막(43) 상에 플로팅 게이트용 제1 폴리실리콘막(47)을 형성한 후, 상기 제1 폴리실리콘막(47) 상에 실리콘 산화막, 실리콘 질화막 및 실리콘 산화막으로 구성된 제2 절연막(49)을 형성한다. 계속하여, 상기 제2 절연막(49) 상에 조절 게이트용 제2 폴리실리콘막(51)을 형성한다.

도 9는 게이트 절연막(43a), 플로팅 게이트(47a), 층간절연막(49a) 및 조절 게이트(51a)를 형성하는 단계를 나타낸다. 구체적으로, 상기 제2 폴리실리콘막(51), 제2 절연막(49), 제1 폴리실리콘막(47) 및 제1 절연막(43)을 패터닝하여 조절 게이트(51a), 층간절연막(49a), 플로팅 게이트(47a) 및 게이트 절연막(43a)을 형성한다.

도 10은 N⁻ 불순물 영역(55)을 형성하는 단계를 나타낸다. 구체적으로, 후에 형성되는 드레인 영역이 개구된 포토레지스트 패턴(53)을 형성한다. 상기 포토레지스트 패턴(53)을 마스크로 P를 80KeV의 에너지와 5.0E14/cm²의 도즈량으로 이온주입한다. 계속하여, 상기 포토레지스트 패턴(53)을 제거한 후 이온주입된 실리콘 기판(41)을 950°C에서 열처리를 행하여 상기 플로팅 게이트(47)의 하부에 위치하는 실리콘 기판(41)에 제2 도전형의 N⁻ 불순물 영역(55)을 형성한다.

도 11은 소오스 영역(57) 및 드레인 영역(59)을 형성하는 단계를 나타낸다. 구체적으로, 기판의 전면에 As를 70KeV의 에너지와 5.0E15 cm²의 도즈량으로 이온주입하여 제2 도전형의 소오스 영역(57) 및 드레인 영역(59)을 형성한다. 계속하여, 상기 조절 게이트(51a)를 덮고 소오스 영역(57) 및 드레인 영역(59)을 오픈하는 콘택홀을 갖는 절연막(도시 안함)과 배선공정(도시 안함)을 완성하여 본 발명의 플래쉬 EEPROM 장치의 셀을 완성한다.

(제2실시예)

도 12 및 도 13은 본 발명에 의한 플래쉬 EEPROM 장치의 셀 제조방법의 제2 실시예를 도시한 단면도이다. 제2 실시예에서 상기 제1 실시예와 동일한 참조번호는 동일한 부재를 나타내며, 상기 제1 실시예의 P⁺ 불순물 영역(67) 및 N⁻ 불순물 영역(63)의 형성방법을 제외하고는 동일하다.

먼저, 상기 제1 실시예의 도 8 내지 도 9의 단계에 설명된 바와 같이 P형 실리콘 기판에 게이트 절연막(43a), 플로팅 게이트(47a), 층간절연막(49a) 및 조절 게이트(51a)를 형성한다. 다음에, 도 12 및 도 13의 단계를 순차적으로 진행한다.

도 12는 N⁻ 불순물 영역을 형성하는 단계를 나타낸다.

구체적으로, 후에 형성되는 드레인 영역이 개구된 제1 포토레지스트 패턴(61)을 형성한다. 계속하여, 상기 제1 포토레지스트 패턴(61)을 마스크로 P를 80KeV의 에너지와 5.0E14/cm²의 도즈량으로 기판의 수직방향과 소정각도(θ) 경사지게 하여 이온주입한다. 계속하여, 상기 제1 포토레지스트 패턴(61)을 제거한 후, 이온주입된 실리콘 기판(41)을 950°C에서 열처리를 행하여 상기 플로팅 게이트(47a)의 하부에 위치하는 실리콘 기판(41)에 N⁻ 불순물 영역(63)을 형성한다. 열처리 시간 및 온도는 형성하고자 하는 N⁻ 불순물 영역(63)의 길이에 따라 조절 가능하다.

도 13은 P⁺ 불순물 영역(67)을 형성하는 단계를 나타낸다. 먼저, 이어서, 후에 형성되는 소오스 영역이 개구된 제2 포토레지스트 패턴(65)을 형성한다. 상기 제2 포토레지스트 패턴(65)을 마스크로 B를 60KeV의 에너지와 5.0E13/cm²의 도즈량으로 기판의 수직방향과 소정각도(θ)로 하여 이온주입한다. 이때, 이온주입 각도(θ)는 후에 형성하고자 하는 P⁺ 불순물 영역의 길이에 따라 조절한다. 계속하여, 상기 제2 포토레지스트 패턴(65)을 제거한 후 이온주입된 실리콘 기판을 950°C에서 열처리를 행하여 상기 플로팅 게이트(47a)의 하부에 위치하는 실리콘 기판(41)에 P⁺ 불순물 영역(67)을 형성한다. 이때 열처리 시간 및 온도는 형성하고자 하는 P⁺ 불순물 영역(67)의 길이에 따라 조절 가능하다. 상기 제2 실시예에서 N⁻ 불순물 영역(63) 및 P⁺ 불순물 영역(67)의 형성 순서를 바꾸어도 무방하다.

다음에, 상기 제1 실시예와 동일하게 소오스 영역, 드레인 영역 및 배선공정을 완성하여 본 발명의 플래쉬 EEPROM 장치의 셀을 완성한다.

(제3실시예)

도 14 및 도 15는 본 발명에 의한 플래쉬 EEPROM 장치의 셀 제조방법의 제3 실시예를 도시한 단면도이다. 제3 실시예에서 상기 제1 실시예 및 제2 실시예와 동일한 참조번호는 동일한 부재를 나타내며, 상기 제1 실시예 및 제2 실시예의 P⁺ 불순물 영역 및 N⁻ 불순물 영역의 형성방법을 제외하고는 동일하다.

도 14는 N⁻ 불순물 영역(69) 및 제1 절연막(43)을 형성하는 단계를 나타낸다. 구체적으로, 제1 도전형의 반도체 기판, 예컨대 P형 실리콘 기판(41)에 제1 절연막(43)을 형성한다. 이어서, 상기 제1 절연막(43)이 형성된 실리콘 기판(41)의 전면에 P를 40Kev의 에너지와 1E15/cm²의 도즈로 이온주입하여 기판보다 농도가 높은 제2 도전형의 N⁻ 불순물 영역(69)을 형성한다.

이어서, 제1 실시예의 도 8 내지 도 9의 단계에 설명된 바와 같이 P형 실리콘 기판(41)에 게이트 절연막(43a), 플로팅 게이트(47a), 층간절연막(49a) 및 조절 게이트(51a)를 형성한다. 계속하여, 상기 제2 실시예의 도 14의 단계를 진행하여 상기 실리콘 기판(41)에 상기 N⁻ 불순물 영역(69)과 인접한 P⁺ 불순물 영역(71)을 형성한다. 다음에, 상기 제1 실시예와 동일하게 소오스 영역(57), 드레인 영역(59) 및 배선공정을 완성하여 본 발명의 플래쉬 EEPROM 장치의 셀을 완성한다.

본 발명의 플래쉬 EEPROM 장치의 셀은 P형 실리콘 기판을 이용하여 제조하였으나, N형 실리콘 기판을 이용하여 제조할 수도 있다. 이렇게 되면, 소오스영역, 드레인 영역 및 채널의 사이에 형성되는 P⁺ 불순물 영역 및 N⁻ 불순물 영역의 극성도 바뀌어야 한다. 또한, 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

발명의 효과

본 발명의 플래쉬 EEPROM 장치의 셀은 적층형 셀과 동일한 면적으로 제조할 수 있기 때문에 종래의 분리형 게이트 셀에 비해 집적도를 향상시킬 수 있다. 또한, 본 발명의 플래쉬 EEPROM 장치의 셀은 종래의 적층형 게이트 셀에 비해 월등하게 프로그램 효율을 향상시킬 수 있다.

(57) 청구의 범위

청구항 1

제1 도전형의 반도체 기판;

상기 반도체 기판 표면 근방의 채널 영역을 사이에 두고 그 양 옆에 형성되고, 상기 제1 도전형과 반대의 제2 도전형의 불순물이 도핑된 소오스 영역 및 드레인 영역;

상기 소오스 영역과 인접한 상기 채널 영역에 형성되고, 상기 제1 도전형의 불순물이 상기 반도체 기판보다 높은 농도로 도핑된 제1 불순물 영역;

상기 드레인 영역과 인접한 상기 채널 영역에 형성되고, 상기 제2 도전형의 불순물이 상기 소오스 및 드레인 영역보다 낮은 농도로 도핑된 제2 불순물 영역;

상기 채널 영역 상의 전면에 걸쳐 균일한 두께로 형성된 게이트 절연막;

상기 게이트 절연막 상의 전면에 걸쳐 형성된 플로팅 게이트; 및

상기 플로팅 게이트 상에 순차적으로 형성된 층간절연막 및 조절 게이트를 구비하는 것을 특징으로 플래쉬 이이피롬(EEPROM) 장치.

청구항 2

제1항에 있어서, 상기 제1 도전형은 P형 또는 N형인 것을 특징으로 하는 플래쉬 이이피롬 장치.

청구항 3

제1 도전형의 반도체 기판;

상기 반도체 기판 표면 근방의 채널 영역을 사이에 두고 그 양 옆에 형성되고, 상기 제1 도전형과 반대의 제2 도전형의 불순물이 도핑된 소오스 영역 및 드레인 영역;

상기 소오스 영역과 인접한 상기 채널 영역에 형성되고, 상기 제1 도전형의 불순물이 상기 반도체 기판보다 높은 농도로 도핑된 제1 불순물 영역;

상기 드레인 영역과 인접한 상기 채널 영역에 형성되고, 상기 제1 불순물 영역보다 낮은 농도로 도핑된 제2 불순물 영역;

상기 채널 영역 상의 전면에 걸쳐 균일한 두께로 형성된 게이트 절연막;

상기 게이트 절연막 상의 전면에 걸쳐 형성된 플로팅 게이트; 및

상기 플로팅 게이트 상에 순차적으로 형성된 층간절연막 및 조절 게이트를 구비하는 것을 특징으로 플래쉬 이이피롬(EEPROM) 장치.

청구항 4

제3항에 있어서, 상기 제1 도전형은 P형 또는 N형인 것을 특징으로 하는 플래쉬 이이피롬 장치.

청구항 5

제1 도전형의 반도체 기판 상에 희생 절연막을 형성하는 단계;

상기 희생 절연막이 형성된 반도체 기판의 전면에 제1 도전형의 불순물을 이온주입하여 상기 반도체 기판보다 불순물 농도가 높은 제1 불순물 영역을 형성하는 단계;

상기 희생 절연막을 제거하는 단계;

상기 제1 불순물 영역이 형성된 반도체 기판의 전면에 균일한 두께로 제1 절연막을 형성하는 단계;

상기 제1 절연막 상에 제1 폴리실리콘막, 제2 절연막 및 제2 폴리실리콘막을 형성하는 단계;

상기 제2 폴리실리콘막, 제2 절연막, 제1 폴리실리콘막 및 제1 절연막을 순차적으로 패터닝하여 각각 조절 게이트, 충전절연막, 플로팅 게이트 및 게이트 절연막을 형성하는 단계;

상기 게이트 절연막에 인접된 반도체 기판의 표면 일부를 노출하는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 상기 반도체 기판의 전면에 제2 도전형의 불순물을 이온주입하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 이온주입된 반도체 기판을 열처리를 행하여 상기 게이트 절연막 하부의 반도체 기판의 표면 근방에 제2 불순물 영역을 형성하는 단계; 및

상기 반도체 기판의 전면에 제2 도전형의 불순물을 상기 제2 불순물 영역보다 높은 농도로 이온주입하여 상기 반도체 기판 표면 근방에 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 이미피롬 장치의 제조방법.

청구항 6

제5항에 있어서, 상기 제1 불순물 영역은 보론(B)으로 형성하는 것을 특징으로 하는 플래시 이미피롬 장치의 제조방법.

청구항 7

제5항에 있어서, 상기 제2 불순물 영역은 인(P)으로 형성하는 것을 특징으로 하는 플래시 이미피롬 장치의 제조방법.

청구항 8

제5항에 있어서, 상기 제1 도전형은 P 형 또는 N 형인 것을 특징으로 하는 플래시 이미피롬 장치의 제조방법.

청구항 9

제1 도전형의 반도체 기판의 전면에 균일한 두께로 제1 절연막을 형성하는 단계;

상기 제1 절연막 상에 제1 폴리실리콘막, 제2 절연막 및 제2 폴리실리콘막을 형성하는 단계;

상기 제2 폴리실리콘막, 제2 절연막, 제1 폴리실리콘막 및 제1 절연막을 순차적으로 패터닝하여 조절 게이트, 충전절연막, 플로팅 게이트 및 게이트 절연막을 형성하는 단계;

상기 게이트 절연막에 인접한 상기 반도체 기판의 표면 일부를 노출하는 제1 포토레지스트 패턴을 형성하는 단계;

상기 제1 포토레지스트 패턴을 마스크로 상기 반도체 기판의 수직 방향과 소정의 경사 각도로 제2 도전형의 불순물을 이온주입하는 단계;

상기 제1 포토레지스트 패턴을 제거하는 단계;

상기 이온주입된 반도체 기판을 열처리하여 상기 게이트 절연막 하부의 반도체 기판의 표면 근방에 제2 불순물 영역을 형성하는 단계;

상기 제2 불순물 영역을 덮으면서 상기 게이트 절연막에 인접한 반도체 기판의 표면 일부를 노출하는 제2 포토레지스트 패턴을 형성하는 단계;

상기 제2 포토레지스트 패턴을 마스크로 상기 반도체 기판의 수직방향과 소정의 각도로 제1 도전형의 불순물을 상기 반도체 기판보다 농도가 높게 이온주입하는 단계;

상기 제2 포토레지스트 패턴을 제거하는 단계;

상기 제1 도전형의 불순물이 이온주입된 반도체 기판을 열처리하여 상기 게이트 절연막 하부의 반도체 기판의 표면 근방에 제1 불순물 영역을 형성하는 단계; 및

상기 반도체 기판의 전면에 제2 도전형의 불순물을 상기 제2 불순물 영역보다 높은 농도로 이온주입하여 상기 반도체 기판의 표면 근방에 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플래시 이미피롬 장치의 제조방법.

청구항 10

제9항에 있어서, 상기 제2 불순물 영역은 인(P)으로 형성하는 것을 특징으로 하는 플래시 이미피롬 장치의 제조방법.

청구항 11

제9항에 있어서, 상기 제1 불순물 영역은 보론(B)으로 형성하는 것을 특징으로 하는 플래쉬 이이피롬 장치의 제조방법.

청구항 12

제1 도전형의 반도체 기판 상에 희생 절연막을 형성하는 단계;

상기 희생절연막이 형성된 반도체 기판의 전면에 제2 도전형의 불순물을 이온주입하여 제2 불순물 영역을 형성하는 단계;

상기 희생 절연막을 제거하는 단계;

상기 제2 불순물 영역이 형성된 반도체 기판의 전면에 제1 절연막을 형성하는 단계;

상기 제1 절연막 상에 제1 폴리실리콘막, 제2 절연막 및 제2 폴리실리콘막을 형성하는 단계;

상기 제2 폴리실리콘막, 제2 절연막, 제1 폴리실리콘막 및 제1 절연막을 순차적으로 패터닝하여 조절 게이트, 층간절연막, 플로팅 게이트 및 게이트 절연막을 형성하는 단계;

상기 게이트 절연막에 인접한 반도체 기판의 표면 일부를 노출하는 포토레지스트 패턴을 형성하는 단계;

상기 포토레지스트 패턴을 마스크로 상기 반도체 기판과 수직방향으로 소정의 각도로 제1 도전형의 불순물을 상기 반도체 기판보다 농도가 높게 이온주입하는 단계;

상기 포토레지스트 패턴을 제거하는 단계;

상기 이온주입된 반도체 기판을 열처리를 행하여 상기 게이트 절연막 하부의 반도체 기판의 표면 근방에 제1 불순물 영역을 형성하는 단계; 및

상기 반도체 기판의 전면에 제2 도전형의 불순물을 상기 제2 불순물 영역보다 높은 농도로 이온주입하여 상기 반도체 기판의 표면 근방에 소오스 영역 및 드레인 영역을 형성하는 단계를 포함하는 것을 특징으로 하는 플래쉬 이이피롬 장치의 제조방법.

청구항 13

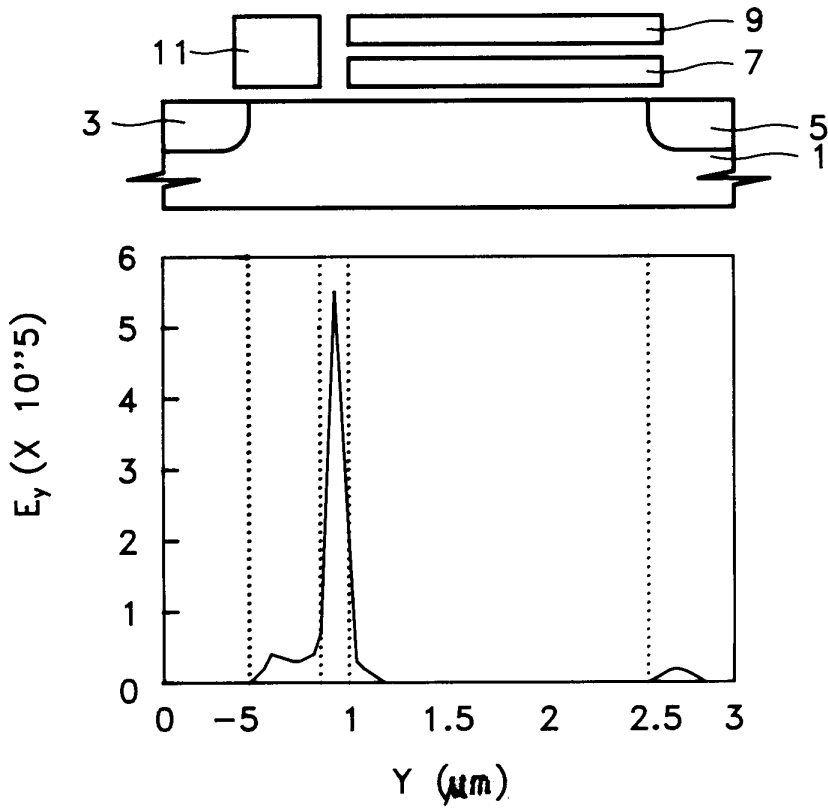
제12항에 있어서, 상기 제2 불순물 영역은 인(P)으로 형성하는 것을 특징으로 하는 플래쉬 이이피롬 장치의 제조방법.

청구항 14

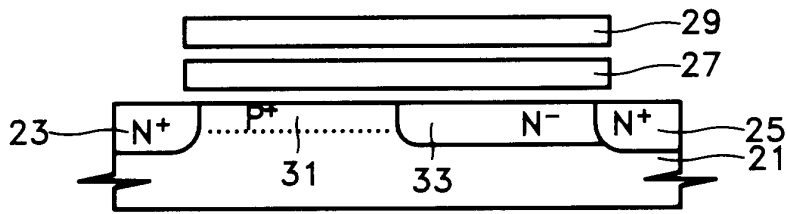
제12항에 있어서, 상기 제1 불순물 영역은 보론(B)으로 형성하는 것을 특징으로 하는 플래쉬 이이피롬 장치의 제조방법.

도면

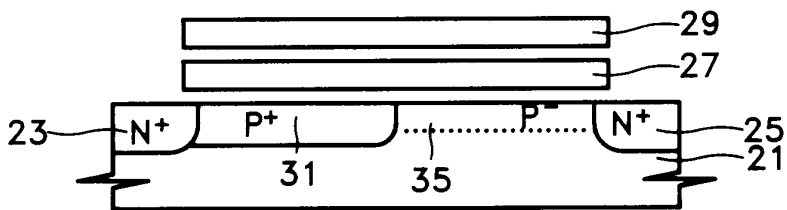
도면1



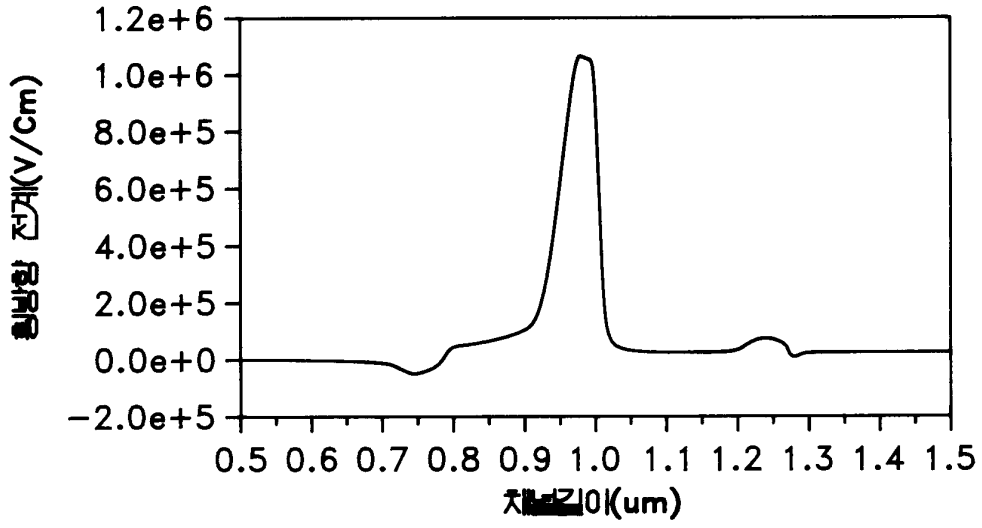
도면2



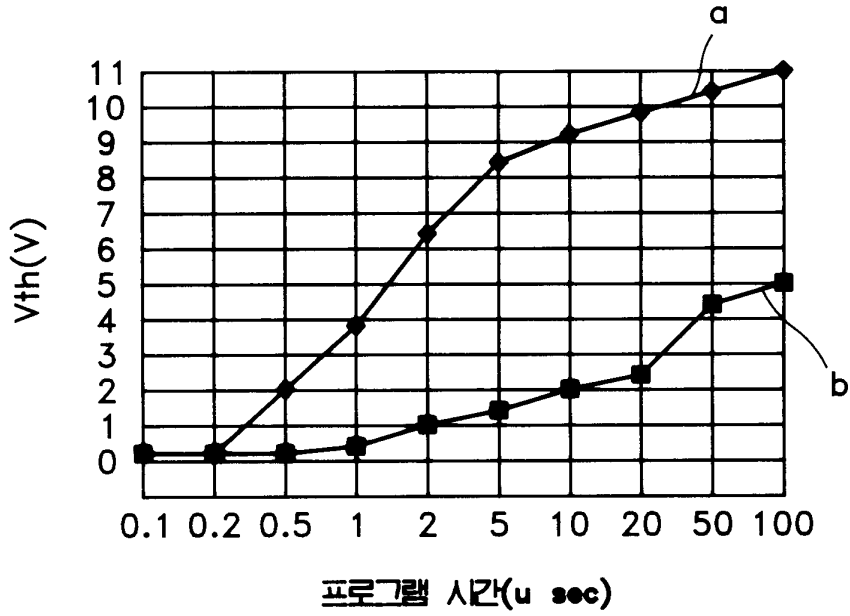
도면3



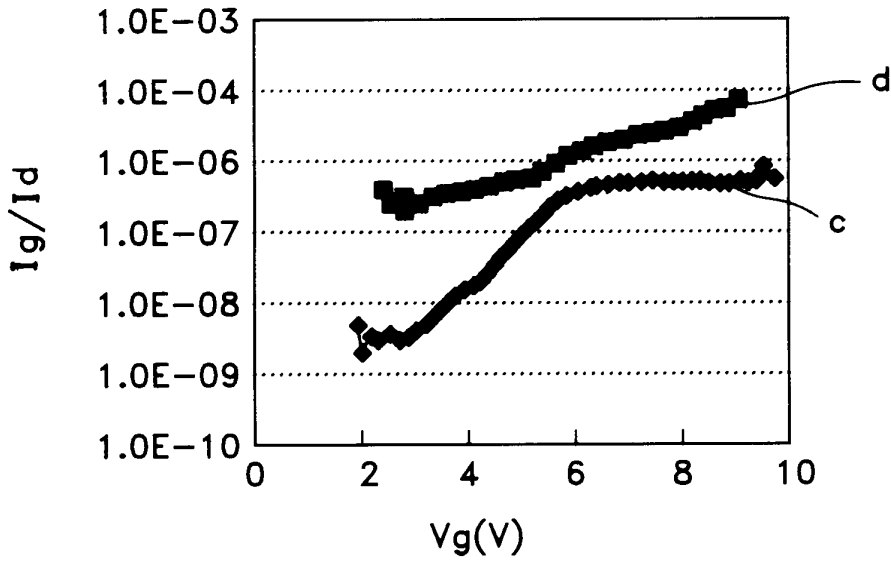
도면4



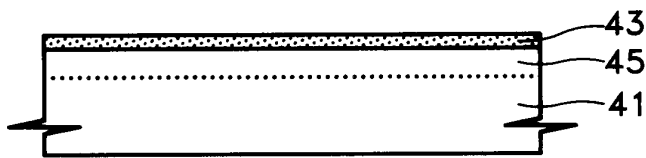
도면5



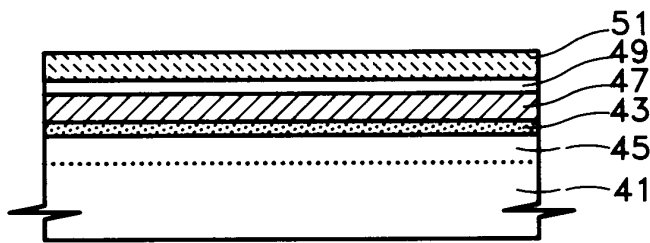
도면6



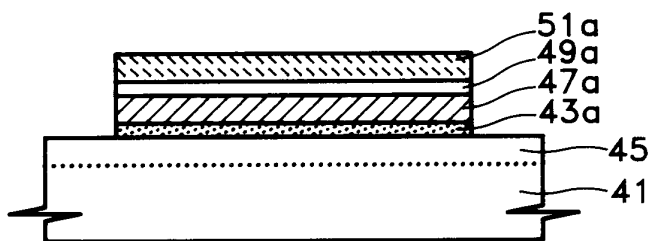
도면7



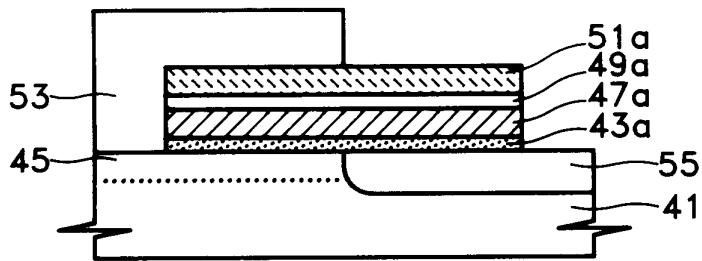
도면8



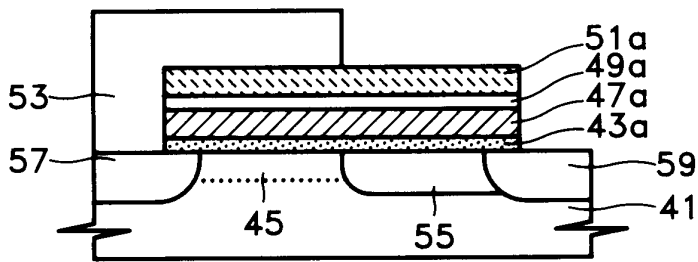
도면9



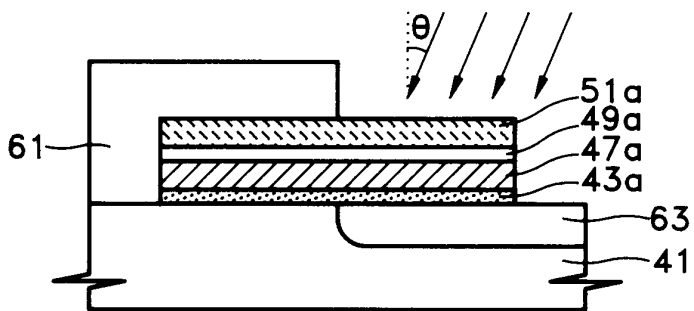
도면10



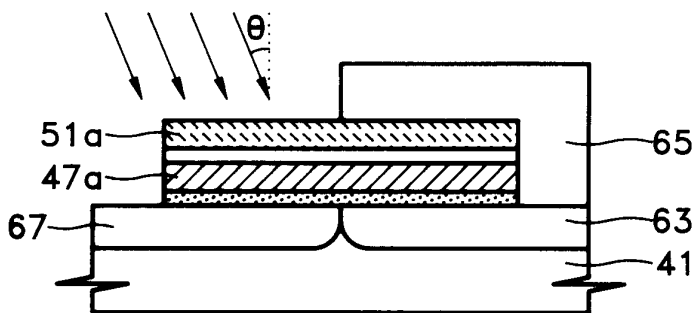
도면11



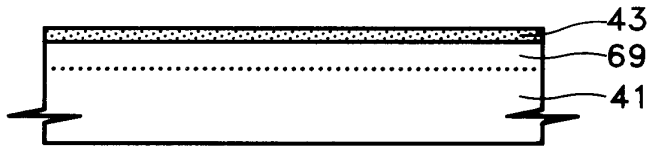
도면12



도면13



도면14



도면15

