

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月20日(20.09.2018)



(10) 国際公開番号

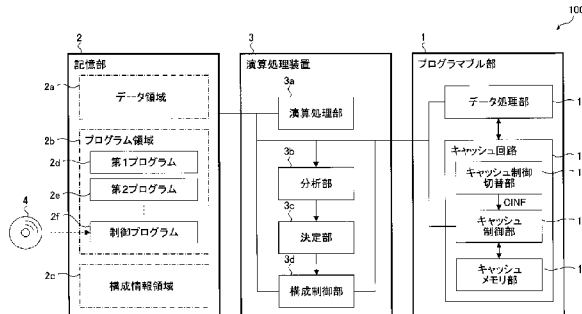
WO 2018/168264 A1

- (51) 国際特許分類:
G06F 12/12 (2016.01) H03K 19/177 (2006.01)
G06F 12/08 (2016.01)
- (21) 国際出願番号: PCT/JP2018/004181
- (22) 国際出願日: 2018年2月7日(07.02.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-047223 2017年3月13日(13.03.2017) JP
- (71) 出願人: 富士通株式会社 (FUJITSU LIMITED)
[JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (72) 発明者: 清水 貴志 (SHIMIZU, Takashi);
〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
渡部 康弘 (WATANABE, Yasuhiro); 〒2118588
神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 向山 直樹 (MUKOUYAMA Naoki);
〒2118588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,

(54) Title: INFORMATION PROCESSING DEVICE, CONTROL METHOD OF INFORMATION PROCESSING DEVICE, AND CONTROL PROGRAM OF INFORMATION PROCESSING DEVICE

(54) 発明の名称: 情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラム

情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの一実施形態を示す図
AA



- 1 Programmable unit
1a Data processing unit
1b Cache circuit
1c Cache control switching unit
1d Cache control unit
1e Cache memory unit
2 Storage unit
2a Data region
2b Program region
2c Configuration information region
2d First program
2e Second program
2f Control program
3 Calculation processing device
3a Calculation processing unit
3b Analyzing unit
3c Determination unit
3d Configuration control unit
AA Diagram illustrating embodiment of information processing device, control method of information processing device, and control program of information processing device

(57) Abstract: [Problem] To optimize cache efficiency according to the characteristics of a memory access by a data processing unit that is programmed by a programmable unit. [Solution] This information processing device includes: a storage unit which stores data; a programmable unit by which a data processing unit, a cache control switching unit, a cache control unit and a cache memory unit are programmed; an analyzing unit; a determination unit; and a configuration



HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

control unit. The analyzing unit analyzes the pattern of an access address included in a memory access request issued by the data processing unit. The determination unit determines, on the basis of the analyzed pattern of the access address, logic of the cache control switching unit programmed by the programmable unit. The configuration control unit programs, by means of the programmable unit, the data processing unit, the cache memory unit and the cache control unit, and programs, by means of the programmable unit, the cache control switching unit determined by the determination unit.

(57) 要約: 【課題】 プログラマブル部にプログラムされるデータ処理部によるメモリアクセスの特徴に応じて、キャッシュ効率を最適化する。【解決手段】 情報処理装置は、データを記憶する記憶部と、データ処理部、キャッシュ制御切替部、キャッシュ制御部およびキャッシュメモリ部がプログラムされるプログラマブル部と、分析部と、決定部と、構成制御部とを有する。分析部は、データ処理部が発行するメモリアクセス要求に含まれるアクセスアドレスのパターンを分析する。決定部は、分析したアクセスアドレスのパターンに基づいて、プログラマブル部にプログラムするキャッシュ制御切替部の論理を決定する。構成制御部は、データ処理部、キャッシュメモリ部およびキャッシュ制御部をプログラマブル部にプログラムするとともに、決定部が決定したキャッシュ制御切替部をプログラマブル部にプログラムする。

明 細 書

発明の名称：

情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラム

技術分野

[0001] 本発明は、情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムに関する。

背景技術

[0002] 近時、論理を動的に再構成可能な F P G A (Field-Programmable Gate Array) 等のプ

ログラマブルデバイスをアクセラレータとして機能させる情報処理装置が注目されている。この種の情報処理装置において、処理をソフトウェアまたはハードウェアのいずれで実行するかを判断し、ハードウェアで実行する場合、F P G A に論理を構築して処理を実行する手法が知られている（例えば、特許文献 1 参照）。

[0003] 例えば、F P G A に構築する論理は、高級言語で記述されたソースファイルを制御フローグラフ表現、制御データフローグラフ表現に順次変換し、制御データフローグラフ表現をハードウェア記述言語に変換することで生成される（例えば、特許文献 2 参照）。また、ソースファイルのうち、ソフトウェアで実行する部分とハードウェアで実行する部分とを、コンパイラによって判定する手法が知られている（例えば、特許文献 3 参照）。

[0004] 一方、演算処理を並列に実行する複数の演算器を含むデータ処理装置では、プログラムの実行によりデータのアクセスパターンが予め解析され、解析結果に基づいて、複数の演算器で処理するデータが特定される。複数の演算器にキャッシュメモリがそれぞれ接続される場合、特定されたデータは、データを処理する演算器に対応するキャッシュメモリに格納される（例えば、特許文献 4 参照）。

先行技術文献

特許文献

[0005] 特許文献1：特開2004-21426号公報

特許文献2：特表2006-505055号公報

特許文献3：特表2005-535055号公報

特許文献4：特開2011-8485号公報

発明の概要

発明が解決しようとする課題

[0006] ところで、特定のアプリケーション用のデータ処理を実行するデータ処理部をFPGAに搭載するドメイン指向型の情報処理装置では、FPGAに搭載するデータ処理部によるメモリアクセスのパターンは、アプリケーション毎に相違する。このため、汎用のキャッシュメモリを使用する場合、キャッシュヒット率等のキャッシュ効率が低下する場合がある。例えば、キャッシュメモリに保持されたデータは、LRU（Least Recently Used）方式にしたがって入れ替えられる。しかしながら、ドメイン指向型の情報処理装置が実行する各種アプリケーションは、メモリアクセスの特徴がそれぞれ異なるため、LRU方式が全てのアプリケーションに適するとは限らない。しかしながら、ドメイン指向型の情報処理装置において、アプリケーション毎にキャッシュ効率を最適化する手法は提案されていない。

[0007] 1つの側面では、本発明は、プログラマブル部にプログラムされるデータ処理部によるメモリアクセスの特徴に応じて、キャッシュ効率を最適化することを目的とする。

課題を解決するための手段

[0008] 一つの実施態様では、情報処理装置は、データを記憶する記憶部と、記憶部が記憶するデータを処理するデータ処理部と、データ処理部で使用するデータが格納されるキャッシュメモリ部と、データ処理部が記憶部から読み出すデータをキャッシュメモリ部に格納するかをキャッシュ制御情報に基づい

て決定するキャッシュ制御部と、データ処理部が発行するメモリアクセス要求に基づいてキャッシュ制御情報を生成するキャッシュ制御切替部とがプログラムされるプログラマブル部と、プログラマブル部にプログラムされるデータ処理部が発行するメモリアクセス要求に含まれるアクセスアドレスのパターンを分析する分析部と、分析部が分析したアクセスアドレスのパターンに基づいて、プログラマブル部にプログラムするキャッシュ制御切替部の論理を決定する決定部と、データ処理部、キャッシュメモリ部およびキャッシュ制御部をプログラマブル部にプログラムするとともに、決定部が決定したキャッシュ制御切替部をプログラマブル部にプログラムする構成制御部とを備える。

発明の効果

- [0009] 1つの側面では、本発明は、プログラマブル部にプログラムされるデータ処理部によるメモリアクセスの特徴に応じて、キャッシュ効率を最適化することができる。

図面の簡単な説明

- [0010] [図1]情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの一実施形態を示す図である。
- [図2]図1に示す情報処理装置の動作フローの一例を示す図である。
- [図3]図1に示す情報処理装置の動作の一例を示す図である。
- [図4]情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの別の実施形態を示す図である。
- [図5]図4に示すプログラマブル部のチップ構成の一例を示す図である。
- [図6]図4に示すプログラマブル部にプログラムされるデータ処理部の一例を示す図である。
- [図7]図6に示す第2プログラムを実行する環境を構築する処理の一例を示す図である。
- [図8]図7に示すステップS24で生成されるキャッシュ制御切替部を含むキャッシュ回路の動作の一例を示す図である。

[図9]図 7 に示すステップ S 2 2 で使用する特徴抽出テーブルの一例を示す図である。

[図10]図 7 に示すステップ S 2 2 の処理の一例を示す図である。

[図11]情報処理装置の別の実施形態における第 2 プログラムを実行する環境を構築する処理の一例を示す図である。

[図12]図 1 1 に示すステップ S 2 4 で生成されたキャッシュ制御切替部を含むキャッシュ回路の動作の一例を示す図である。

[図13]情報処理装置の別の実施形態における第 2 プログラムを実行する環境を構築する処理の一例を示す図である。

[図14]情報処理装置の別の実施形態における第 2 プログラムを実行する環境を構築する処理の一例を示す図である。

[図15]情報処理装置の別の実施形態における第 2 プログラムを実行する環境を構築する処理の一例を示す図である。

発明を実施するための形態

[0011] 以下、図面を用いて実施形態を説明する。

[0012] 図 1 は、情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの一実施形態を示す。図 1 に示す情報処理装置 1 0 0 は、例えば、ドメイン指向サーバであり、F P G A 等のプログラマブル部 1、メモリモジュール等の記憶部 2 および C P U (Central Processing Unit) 等の演算処理装置 3 を有する。情報処理装置 1 0 0 は、図 1 に示す要素以外に、H D D (Hard Disk Drive) および通信インタフェース等を有してもよい。

[0013] プログラマブル部 1 には、例えば、特定のアプリケーションで使用するデータを処理するデータ処理部 1 a およびキャッシュ回路 1 b 等の回路がプログラムされる。キャッシュ回路 1 b は、キャッシュ制御切替部 1 c、キャッシュ制御部 1 d およびキャッシュメモリ部 1 e を有する。キャッシュメモリ部 1 e には、データ処理部 1 a で使用するデータが格納される。キャッシュ制御部 1 d は、データ処理部 1 a が発行するメモリアクセス要求に基づいて、記憶部 2 にアクセスする制御を実行する。また、キャッシュ制御部 1 d は

、データ処理部 1 a が記憶部 2 から読み出すデータをキャッシュメモリ部 1 e に格納するか否かをキャッシュ制御情報 C I N F に基づいて決定する。キャッシュ制御切替部 1 c は、データ処理部 1 a が発行するメモリアクセス要求（リードアクセス要求またはライトアクセス要求）に基づいてキャッシュ制御情報 C I N F を生成する。

[0014] 例えば、データ処理部 1 a が記憶部 2 から読み出すデータを、キャッシュメモリ部 1 e に保持させる場合、キャッシュ制御切替部 1 c は、リードアクセス要求に基づいて” S ”（ S h a r e d ）を示すキャッシュ制御情報 C I N F を生成する。データ処理部 1 a が記憶部 2 から読み出すデータを、キャッシュメモリ部 1 e に保持させない場合、キャッシュ制御切替部 1 c は、リードアクセス要求に基づいて” I ”（ I n v a l i d ）を示すキャッシュ制御情報 C I N F を生成する。

[0015] キャッシュ制御部 1 d は、リードアクセス要求に対応して受けるキャッシュ制御情報 C I N F が” S ”の場合、記憶部 2 にリードアクセス要求を出力する。そして、キャッシュ制御部 1 d は、記憶部 2 から読み出されるデータを、キャッシュメモリ部 1 e に格納するとともに、データ処理部 1 a に出力する。なお、記憶部 2 からの読み出し対象のデータが、キャッシュメモリ部 1 e に既に保持されている場合、キャッシュ制御部 1 d は、記憶部 2 にリードアクセス要求を出力することなく、キャッシュメモリ部 1 e に保持されたデータをデータ処理部 1 a に出力する。キャッシュ制御部 1 d は、リードアクセス要求に対応して受けるキャッシュ制御情報 C I N F が” I ”の場合、記憶部 2 にリードアクセス要求を出力する。そして、キャッシュ制御部 1 d は、記憶部 2 から読み出されるデータを、キャッシュメモリ部 1 e に格納することなく、データ処理部 1 a に出力する。

[0016] なお、キャッシュ制御部 1 d は、データ処理部 1 a が記憶部 2 にデータを書き込むライトアクセス要求を発行する場合に、キャッシュ制御情報 C I N F を生成してもよい。例えば、データ処理部 1 a から出力される書き込みデータをキャッシュメモリ部 1 e に保持する場合、キャッシュ制御切替部 1 c

は、ライトアクセス要求に基づいて” M” (Modified) を示すキャッシュ制御情報C I N Fを生成する。データ処理部 1 aが記憶部 2に書き込むデータを、キャッシュメモリ部 1 eに保持させない場合、キャッシュ制御切替部 1 cは、ライトアクセス要求に基づいて” I” を示すキャッシュ制御情報C I N Fを生成する。

[0017] キャッシュ制御部 1 dは、ライトアクセス要求に対応して受けるキャッシュ制御情報C I N Fが” M” の場合、データ処理部 1 aから出力されるデータを、キャッシュメモリ部 1 eに格納し、記憶部 2に書き込まない。キャッシュ制御部 1 dは、ライトアクセス要求に対応して受けるキャッシュ制御情報C I N Fが” I” の場合、データ処理部 1 aから出力されるデータを、キャッシュメモリ部 1 eに格納することなく、記憶部 2に書き込む。データ処理部 1 aが発行するライトアクセス要求に対応して生成される” M” または” I” を示すキャッシュ制御情報C I N Fは、第 1 情報の一例である。

[0018] 記憶部 2は、S D R A M (Synchronous Dynamic Random Access Memory)、S R A M、またはフラッシュメモリ等の半導体メモリを含む。記憶部 2は、データ領域 2 a、プログラム領域 2 bおよび構成情報領域 2 cを有する。データ領域 2 aは、データ処理部 1 aで処理するデータおよび演算処理装置 3で使用するデータ等を保持する。プログラム領域 2 bは、第 1 プログラム 2 d、第 2 プログラム 2 eおよび制御プログラム 2 f等を保持する。第 1 プログラム 2 dは、データ処理部 1 aを使用せずに所定のデータ処理を実行する場合に使用される。例えば、第 1 プログラム 2 dは、データ処理部 1 aに実行させる処理と等価な処理を含むソースプログラムである。

[0019] 第 2 プログラム 2 eは、データ処理部 1 aを使用して所定のデータ処理を実行する場合に使用される。例えば、第 2 プログラム 2 eは、第 1 プログラム 2 dからデータ処理部 1 aが実行する処理と等価な処理を削除し、データ処理部 1 aを呼び出す処理を追加することで生成される。このため、第 1 プログラム 2 dが実行するデータ処理と、第 2 プログラム 2 eの指示によりデータ処理部 1 aが実行するデータ処理は、互いに等価である。第 1 プログラ

ム 2 d は、処理プログラムの一例である。第 1 プログラム 2 d および第 2 プログラム 2 e による動作の例は、図 3 に示される。

[0020] 制御プログラム 2 f は、演算処理部 3 a により実行されることで、分析部 3 b、決定部 3 c および構成制御部 3 d の機能を実現する。なお、制御プログラム 2 f は、C D - R O M (Compact Disc Read Only Memory)、D V D (Digital Versatile Disc)、U S B (Universal Serial Bus) メモリ等のコンピュータにより読み取り可能な記録媒体 4 に格納されてもよい。この場合、記録媒体 4 に格納された制御プログラム 2 f は、情報処理装置 1 0 0 に設けられる図示しない入出力インタフェースを介して記録媒体 4 からプログラム領域 2 b に転送される。なお、制御プログラムは、記録媒体 4 から図示しない H D D に転送された後、H D D からプログラム領域 2 b に転送されてもよい。

[0021] 構成情報領域 2 c は、プログラマブル部 1 にプログラムされる様々な回路の構成情報を保持する。構成情報は、予め生成されてもよく、情報処理装置 1 0 0 に要求される処理性能に合わせて、演算処理装置 3 により生成されてもよい。なお、構成情報は、情報処理装置 1 0 0 の記憶部 2 以外の記憶領域に記憶されてもよく、情報処理装置 1 0 0 の外部の記憶領域に記憶されてもよい。

[0022] 演算処理装置 3 は、C P U コア等の演算処理部 3 a と、制御プログラム 2 f の実行により実現される分析部 3 b、決定部 3 c および構成制御部 3 d とを有する。なお、分析部 3 b、決定部 3 c および構成制御部 3 d の少なくともいずれかは、ハードウェア（回路）として、情報処理装置 1 0 0 に搭載されてもよい。この場合、分析部 3 b、決定部 3 c および構成制御部 3 d の少なくともいずれかは、プログラマブル部 1 を使用して実現されてもよい。

[0023] 演算処理部 3 a は、第 1 プログラム 2 d、第 2 プログラム 2 e および制御プログラム 2 f 等のプログラムを実行することで、演算処理を実行し、情報処理装置 1 0 0 の機能を実現する。

[0024] 分析部 3 b は、演算処理部 3 a による第 1 プログラム 2 d の実行に基づい

て、データ処理部 1 a を動作させることなく、データ処理部 1 a が発行するメモリアクセス要求を間接的に検出し、メモリアクセス要求に含まれるアクセスアドレスのパターンを分析する。

[0025] 決定部 3 c は、分析部 3 b が分析したアクセスアドレスのパターンに基づいて、データ処理部 1 a によるメモリアクセスに最適なキャッシュ制御切替部 1 c の構成情報を生成することで、プログラマブル部 1 にプログラムするキャッシュ制御切替部 1 c を決定する。決定部 3 c により生成されるキャッシュ制御切替部 1 c の構成情報は、構成情報領域 2 c に格納される。なお、決定部 3 c は、構成情報領域 2 c に既に格納済みの複数のキャッシュ制御切替部 1 c の構成情報の中から、プログラマブル部 1 にプログラムする構成情報を選択することで、プログラマブル部 1 にプログラムするキャッシュ制御切替部 1 c を決定してもよい。

[0026] 構成制御部 3 d は、決定部 3 c が生成したキャッシュ制御切替部 1 c の構成情報を、構成情報領域 2 c から読み出してプログラマブル部 1 にプログラムする制御を実行する。

[0027] 図 2 は、図 1 に示す情報処理装置 100 の動作フローの一例を示す。図 2 に示すフローは、演算処理部 3 a で実行するデータ処理の一部をデータ処理部 1 a に実行させる指示を、情報処理装置 100 を管理する管理者または情報処理装置 100 を使用するユーザから受信したことに基づいて開始される。

[0028] まず、ステップ S 1 において、情報処理装置 100 は、データ処理部 1 a を使用せずに所定のデータ処理を実行する第 1 プログラム 2 d の実行を開始する。次に、ステップ S 2 において、情報処理装置 100 の分析部 3 b は、第 1 プログラム 2 d の実行に基づいて、データ処理部 1 a が発行するメモリアクセス要求を間接的に検出し、メモリアクセス要求に含まれるアクセスアドレスのパターンを分析する。第 1 プログラムを使用することで、データ処理部 1 a およびキャッシュ回路 1 b をプログラマブル部 1 にプログラムする前に、アクセスアドレスのパターンを分析することができる。

[0029] 次に、ステップS 3において、情報処理装置100は、分析部3bによるアクセスアドレスのパターンの分析が完了した場合、処理をステップS 4に移行し、アクセスアドレスのパターンの分析が完了していない場合、処理をステップS 2に移行する。例えば、分析部3bは、データ処理部1aが発行するメモリアクセス要求に含まれるアクセスアドレスのパターンの特徴が判明した場合、アクセスアドレスのパターンの分析を完了する。

[0030] ステップS 4において、情報処理装置100の決定部3cは、分析部3bが分析したアクセスアドレスのパターンに基づいてキャッシュ制御切替部1cの構成情報を生成することで、プログラマブル部1にプログラムするキャッシュ制御切替部1cを決定する。

[0031] 次に、ステップS 5において、情報処理装置100の構成制御部3dは、決定部3cが決定したキャッシュ制御切替部1cを、データ処理部1a、キャッシュ制御部1dおよびキャッシュメモリ部1eとともにプログラマブル部1にプログラムする。ステップS 2からステップS 5までの処理は、情報処理装置100の制御方法の一例および情報処理装置100の制御プログラムの一例を示す。

[0032] 次に、ステップS 6において、情報処理装置100は、第1プログラム2dの実行を停止し、実行を停止した個所に対応する個所から第2プログラム2eの実行を開始する。これにより、データ処理を重複または欠落させることなく、第1プログラム2dから第2プログラム2eに切り替えることができる。

[0033] 図3は、図1に示す情報処理装置100の動作の一例を示す。すなわち、図2は、情報処理装置100の制御方法の一例を示す。図3において、白抜き矩形は、演算処理部3aで実行される処理を示す。斜線の矩形は、データ処理部1aで実行されるデータ処理と等価なデータ処理、またはデータ処理部1aで実行されるデータ処理を示す。網掛けの矩形は、キャッシュ制御切替部1cで実行される処理を示す。

[0034] まず、情報処理装置100は、データ処理部1aを使用せずに所定のデー

タ処理を実行する第1プログラム2 dの実行を開始する(図3 (a))。第1プログラム2 dは、データ処理部1 aが実行するデータ処理と等価なデータ処理を実行する(図3 (b))。換言すれば、第1プログラム2 dは、データ処理部1 aがデータ処理で使用するデータと同じデータを用いてデータ処理を実行する。データ処理部1 aが実行するデータ処理は、第1データ処理の一例である。第1プログラム2 dが実行するデータ処理は、第2データ処理の一例である。なお、図3の左端の括弧内は、第1プログラム2 dによりデータ処理を継続した場合の動作の例を示す。

[0035] 分析部3 bは、等価なデータ処理によるデータ領域2 aのアクセス(すなわち、メモリアクセス要求)をモニタし、アクセスアドレスのパターンを分析する(図3 (c))。すなわち、分析部3 bは、第1プログラム2 dによりデータ処理の一部を実行させた場合の記憶部2 へのアクセスに基づいてアクセスアドレスのパターンを分析する。ここで、データ処理部1 aがデータ処理で使用するデータと同じデータを用いて、第1プログラム2 dがデータ処理を実行するため、分析部3 bは、データ処理部1 aによるメモリアクセスの特徴を分析することができる。

[0036] 決定部3 cは、分析部3 bが分析したアクセスアドレスのパターンの特徴に基づいて、キャッシュ制御切替部1 cの構成情報を生成することを決定し、生成したキャッシュ制御切替部1 cをプログラマブル部1 にプログラムすることを決定する(図3 (d))。構成制御部3 dは、決定部3 cが生成したキャッシュ制御切替部1 cを、データ処理部1 a、キャッシュ制御部1 dおよびキャッシュメモリ部1 eとともにプログラマブル部1 にプログラムする(図3 (e))。なお、データ処理部1 a、キャッシュ制御部1 dおよびキャッシュメモリ部1 eは、キャッシュ制御切替部1 cが生成される前(すなわち、図3の動作の開始前)にプログラマブル部1 にプログラムされてもよい。

[0037] キャッシュ制御切替部1 cがプログラマブル部1 にプログラムされた後、情報処理装置1 0 0は、第1プログラム2 dの実行を停止し、実行を停止し

た個所に対応する個所から第2プログラム2 eの実行を開始する(図3 (f))。そして、第2プログラム2 eは、データ処理部1 aを呼び出し、第1プログラム2 dが実行していたデータ処理のうち、未実行の処理を、データ処理部1 aに実行させる(図3 (g))。

[0038] データ処理部1 aが動作中、データ処理部1 aが発行するメモリアクセス要求に基づいて、キャッシュ制御切替部1 c、キャッシュ制御部1 dおよびキャッシュメモリ部1 eが動作する(図3 (h))。キャッシュ制御切替部1 cは、メモリアクセス要求に基づいて、キャッシュ制御情報C I N Fを生成し、キャッシュ制御部1 dは、キャッシュ制御情報C I N Fに基づいて動作する。ここで、キャッシュ制御情報C I N Fは、データ処理部1 aのメモリアクセス特性に合わせて生成されるため、他のキャッシュ制御切替部を使用する場合に比べて、キャッシュ回路1 bのキャッシュヒット率を向上することができる。また、キャッシュヒット率の向上により、新たなデータを格納する記憶領域を確保するためにキャッシュメモリ部1 eからデータをデータ領域2 aに書き戻す追い出し処理の頻度は低下する。この結果、データ領域2 aへの無駄なメモリアクセスを低減することでキャッシュ効率を向上することができる、情報処理装置1 0 0の処理性能を向上することができる。

[0039] なお、データ処理部1 aによるデータ処理は、プログラマブル部1にプログラムされたハードウェアにより実行される。このため、データ処理部1 aによるデータ処理の効率は、第1プログラム2 d (ソフトウェア)によるデータ処理の効率に比べて高い。したがって、データ処理部1 aによるデータ処理は、データ処理部1 aで実行されるデータ処理と等価なデータ処理を第1プログラム2 dにより実行する場合に比べて、早く完了する(図3 (i))。

[0040] データ処理部1 aによるデータ処理が完了した後、第2プログラム2 eは、ソフトウェアによる処理を実行する(図3 (j))。この後、第2プログラム2 eは、データ処理部1 aにデータ処理を実行させるため、データ処理部1 aを呼び出し、データ処理部1 aは、データ処理を実行する(図3 (k))。

))。上述と同様に、データ処理部1aによるデータ処理は、第1プログラム2dによりデータ処理に比べて、早く完了する(図3(1))。そして、データ処理部1aによるデータ処理が完了した後、第2プログラム2eは、ソフトウェアによる処理を実行し、全体の処理が完了する(図3(m))。図3に示すように、データ処理部1aによるデータ処理を含む第2プログラム2eにより実行される全体の処理は、第1プログラム2dにより実行される全体の処理に比べて早く完了する。

[0041] 以上、図1から図3に示す実施形態では、情報処理装置100は、データ処理部1aが出力するメモリアクセス要求に含まれるアクセスアドレスのパターンを分析し、分析結果に基づいたキャッシュ制御情報CINFを出力するキャッシュ制御切替部1cを生成する。例えば、情報処理装置100が実行する第1プログラム2dは、データ処理部1aがデータ処理で使用するデータと同じデータを用いてデータ処理を実行する。このため、分析部3bは、データ処理部1aを動作させることなく、データ処理部1aによるメモリアクセスの特徴を分析することができる。これにより、プログラマブル部1に搭載される前のデータ処理部1aのメモリアクセスの特徴に合わせて、キャッシュ回路1bのキャッシュヒット率等のキャッシュ効率を最適化することができる。この結果、データ領域2aへの無駄なメモリアクセスを低減してキャッシュ効率を向上することができ、情報処理装置100の処理性能を向上することができる。

[0042] 情報処理装置100は、データ処理部1aに実行させる処理を含むソースプログラムである第1プログラムを使用することで、データ処理部1aおよびキャッシュ回路1bをプログラマブル部1に搭載する前に、アクセスアドレスのパターンを分析することができる。アクセスアドレスのパターンの分析が完了した場合に、第1プログラムによる処理の続きを第2プログラムに実行させることで、同じ処理を第1プログラムと第2プログラムとで重複して実行する無駄を省くことができる。アクセスアドレスのパターンの分析結果に基づいてキャッシュ制御切替部1cの論理を生成することで、複数種の

キャッシュ制御切替部 1 c の論理を予め準備することなく、プログラマブル部 1 にキャッシュ制御切替部 1 c をプログラムすることができる。

[0043] 図 4 は、情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの別の実施形態を示す。図 1 から図 3 に示す実施形態で説明した要素と同一または同様の要素については、同一の符号を付し、これ等については、詳細な説明は省略する。図 4 に示す情報処理装置 100A は、例えば、ドメイン指向サーバである。情報処理装置 100A は、FPGA 等のプログラマブル部 10、メインメモリ 20、CPU 等の演算処理装置 30、入出力インタフェース 40、HDD 50 および通信インタフェース 60 を有する。

[0044] プログラマブル部 10 には、特定のアプリケーションで使用するデータを処理するデータ処理部 10a およびキャッシュ回路 10b 等の回路がプログラムされる。データ処理部 10a は、CPU コア 30a が実行するアプリケーションプログラム（第 2 プログラム）の制御に基づいて動作し、CPU コア 30a の代わりにデータ処理を実行する。データ処理部 10a は、データを処理するデータ処理部の一例である。データ処理部 10a が実行するデータ処理は、第 1 データ処理の一例である。データ処理部 10a によるメインメモリ 20 へのアクセス（データのリードまたはデータのライト）は、キャッシュ回路 10b および LLC（Last Level Cache）30b を介して実行される。

[0045] キャッシュ回路 10b は、図 1 に示すキャッシュ回路 1b と同様に、キャッシュ制御切替部 10c、キャッシュ制御部 10d およびキャッシュメモリ部 10e を有する。キャッシュ制御切替部 10c は、データ処理部 10a が発行するメモリアクセス要求（リードアクセス要求またはライトアクセス要求）に基づいて、キャッシュ制御部 10d に出力するキャッシュヒントおよびバースト長を決定する。キャッシュヒントは、データ処理部 10a がリードアクセス要求を発行した場合、リードアクセス要求に基づいて、LLC 30b から受信したデータをキャッシュメモリ部 10e に保持するか否かの情

報を含む。また、キャッシュヒントは、データ処理部10aがライトデータとともにライトアクセス要求を発行した場合、ライトデータをキャッシュメモリ部10eに書き込むか、LLC30bに出力するかを示す情報を含む。

[0046] バースト長は、データ処理部10aがリードアクセス要求を発行した場合、LLC30bから受信するデータの長さを示す情報を含む。キャッシュヒントおよびバースト長は、キャッシュ制御切替部10cが出力するキャッシュ制御情報の一例である。バースト長は、キャッシュ制御情報のうちの第2情報の一例である。

[0047] 例えば、キャッシュ回路10bは、MESI (Modified, Exclusive, Shared, Invalid) プロトコルを用いて、データの一貫性を維持する制御を実行する。MESIプロトコルにおいて、“Modified”は、キャッシュメモリ部10eに保持されたデータが更新され（書き替えられ）、LLC30bまたはメインメモリ20が保持するデータと異なる状態を示す。“Exclusive”は、アクセス対象のデータが、キャッシュメモリ部10eのみに保持され、データが更新されていない状態を示す。“Shared”は、アクセス対象のデータが例えばLLC30bとキャッシュメモリ部10eとに保持され、データが更新されていない状態を示す。“Invalid”は、キャッシュメモリ部10eに保持されたデータが無効であることを示す。

[0048] キャッシュ制御部10dは、データ処理部10aからリードアクセス要求を受信した場合、アクセスの対象データがキャッシュメモリ部10eに保持されているか否かを判定する。キャッシュ制御部10dは、対象データがキャッシュメモリ部10eに保持されている場合（キャッシュヒット）、キャッシュメモリ部10eからデータを読み出し、読み出したデータをデータ処理部10aに出力する。

[0049] キャッシュ制御部10dは、対象データがキャッシュメモリ部10eに保持されていない場合（キャッシュミス）、LLC30bにリードアクセス要求を発行し、LLC30bから出力されるデータを受信する。この後、キャ

ッシュ制御部10dは、リードアクセス要求に対応してキャッシュ制御切替部10cから受信するキャッシュヒントに応じて、以下のように動作する。

[0050] キャッシュヒントが” S” の場合、キャッシュ制御部10dは、LLC30bから受信したデータをデータ処理部10aに出力するとともにキャッシュメモリ部10eに格納する。キャッシュメモリ部10eにデータを格納する空き領域がない場合、キャッシュ制御部10dは、キャッシュメモリ部10eが保持するデータのいずれかをLLC30bに書き戻す追い出し処理を実行する。追い出し処理は、データをLLC30bに書き戻すためのライトアクセス要求を含む。

[0051] キャッシュヒントが” I” の場合、キャッシュ制御部10dは、LLC30bから受信したデータをキャッシュメモリ部10eに格納せずにデータ処理部10aに出力する。なお、キャッシュミスの発生時、キャッシュ制御部10dは、リードアクセス要求に対応してキャッシュ制御切替部10cから出力されるバースト長に対応する長さのデータをLLC30bから読み出すリードアクセス要求をLLC30bに発行する。

[0052] 一方、キャッシュ制御部10dは、データ処理部10aからライトデータとともにライトアクセス要求を受信した場合、アクセスの対象データがキャッシュメモリ部10eに保持されているか否かを判定する。キャッシュ制御部10dは、対象データがキャッシュメモリ部10eに保持されている場合（キャッシュヒット）、ライトアクセス要求に対応してキャッシュ制御切替部10cから受信するキャッシュヒントに応じて、以下のように動作する。

[0053] キャッシュヒントが” M” の場合、キャッシュ制御部10dは、キャッシュメモリ部10eが保持するキャッシュヒットの対象データをライトデータで上書きし、LLC30bにライトアクセス要求を発行しない。キャッシュヒントが” I” の場合、キャッシュ制御部10dは、キャッシュメモリ部10eが保持するキャッシュヒットの対象データを削除し、ライトデータをLLC30bに書き込むライトアクセス要求をLLC30bに発行する。キャッシュ制御部10dがライトアクセス要求に基づいて出力する” M” または

” 1 ” のキャッシュヒントは、第 1 情報の一例である。

[0054] キャッシュ制御部 10d は、対象データがキャッシュメモリ部 10e に保持されていない場合（キャッシュミス）、ライトアクセス要求に対応してキャッシュ制御切替部 10c から受信するキャッシュヒントに応じて、以下のように動作する。

[0055] キャッシュヒントが ” M ” の場合、キャッシュ制御部 10d は、ライトデータに対応するデータの読み出し要求を LLC30b に発行し、LLC30b から受信するデータをライトデータに置き換え、キャッシュメモリ部 10e に格納する。ここで、ライトデータのビット幅が LLC30b から受信するデータのビット幅より小さい場合、LLC30b から受信するデータの一部がライトデータで置き換えられる。キャッシュヒントが ” 1 ” の場合、キャッシュ制御部 10d は、ライトデータを LLC30b に書き込むライトアクセス要求を LLC30b に発行する。

[0056] キャッシュメモリ部 10e は、データの入出力の単位である複数のエントリ（キャッシュライン）を有し、LLC30b に対するデータの入出力は、キャッシュライン単位で実行される。また、バースト長が ” 1 ” の場合、1 つのキャッシュラインに対応するデータがアクセスされる。バースト長が ” 2 ” の場合、2 つのキャッシュラインに対応するデータがアクセスされる。バースト長が ” 4 ” の場合、4 つのキャッシュラインに対応するデータがアクセスされる。

[0057] メインメモリ 20 は、例えば、複数の SDRAM が搭載されたメモリモジュールであり、データ領域 20a、プログラム領域 20b および構成情報領域 20c を有する。メインメモリ 20 は、記憶部の一例である。データ領域 20a は、データ処理部 10a で処理するデータおよび演算処理装置 30 で使用するデータ等を保持する。

[0058] プログラム領域 20b は、OS、管理プログラムおよびアプリケーションプログラム等の各種プログラム 20d と、制御プログラム 20e 等を保持する。例えば、アプリケーションプログラムのいずれかは、データ処理部 10

aを使用せずに所定のデータ処理を実行する第1プログラムである。第1プログラムは、データ処理部10aが実行するデータ処理と等価なデータ処理を実行する機能を含む処理プログラムの一例である。第1プログラムが実行するデータ処理は、第2データ処理の一例である。

[0059] アプリケーションプログラムの他のいずれかは、データ処理部10aを使用して所定のデータ処理を実行する第2プログラムである。例えば、プログラム領域20bに格納される各種プログラム20dと制御プログラム20eとは、CD-ROM、DVD、USBメモリ等のコンピュータにより読み取り可能な記録媒体70またはネットワークNWを介してHDD50に格納される。この後、各種プログラム20dと制御プログラム20eとは、HDD50からメインメモリ20に転送される。

[0060] 構成情報領域20cは、プログラマブル部10にプログラムされる様々な回路の構成情報を保持する。構成情報がプログラマブル部10に書き込まれることで、プログラマブル部10は、データ処理部10aおよびキャッシュ回路10b等の機能を実現する。構成情報は、予め生成されてもよく、情報処理装置100Aに要求される処理性能に合わせて、演算処理装置30が実行する論理合成用のプログラム等により生成されてもよい。なお、構成情報は、メインメモリ20以外の記憶領域に記憶されてもよく、情報処理装置100Aの外部の記憶領域に記憶されてもよい。

[0061] 演算処理装置30は、各種プログラムを並列に実行可能な複数のCPUコア30a、LLC30bおよびMMU (Memory Management Unit) 30cを有する。プログラマブル部10は、バスBUS1を介して演算処理装置30のLLC30bに接続され、メインメモリ20は、バスBUS2を介して演算処理装置30のMMU30cに接続される。

[0062] 演算処理装置30は、CPUコア30aによりOS (Operating System) および管理プログラムを実行することで情報処理装置100Aの全体の動作を制御する。また、演算処理装置30は、CPUコア30aによりアプリケーションプログラムを実行することで、ドメイン指向サーバとして機能する

。

[0063] さらに、演算処理装置 30 は、CPU コア 30 a が制御プログラム 20 e を実行することで、分析部 30 d、決定部 30 e および構成制御部 30 f として機能する。なお、分析部 30 d、決定部 30 e および構成制御部 30 f は、ハードウェア（回路）として、情報処理装置 100 A に搭載されてもよい。

[0064] LLC 30 b は、キャッシュメモリの一種であり、CPU コア 30 a から最も離れた（すなわち、メインメモリ 20 に最も近い）キャッシュメモリである。MMU 30 c は、メインメモリ 20 に対するメモリアクセスを管理する。例えば、MMU 30 c は、CPU コア 30 a が出力する仮想アドレスを、メインメモリ 20 に割り当てられた物理アドレスに変換する。

[0065] 分析部 30 d、決定部 30 e および構成制御部 30 f のそれぞれの機能は、図 1 から図 3 で説明した分析部 3 b、決定部 3 c および構成制御部 3 d のそれぞれの機能と同様である。分析部 30 d、決定部 30 e および構成制御部 30 f の動作は、図 7 から図 10 で説明される。

[0066] 入出力インタフェース 40 の 1 つは、DVD 等の記録媒体 70 が装着される光学ドライブ装置に接続され、あるいは、USB メモリ等が装着されるコネクタを有する。他の入出力インタフェース 40 は、図示しないマウスおよびキーボード等の入力装置と、図示しないディスプレイ等の出力装置にそれぞれ接続される。

[0067] HDD 50 は、メインメモリ 20 に格納するプログラムおよび構成情報等を記憶する。通信インタフェース 60 は、インターネットまたはイントラネット等のネットワーク NW に接続され、ネットワーク NW との間で情報を入力する。入出力インタフェース 40、HDD 50 および通信インタフェース 60 は、バス BUS 3 を介して演算処理装置 30 に接続される。

[0068] 図 5 は、図 4 に示すプログラマブル部 10 のチップ構成の一例を示す。プログラマブル部 10 は、網掛けの矩形で示す複数の入出力端子 IO、白抜きで示す複数の ALM (Adaptive Logic Module)、複数のメモリ M1、

複数のメモリM2および複数のDSP (Digital Signal Processor) を有する。ALMには、プログラマブル部10に転送される構成情報に基づいて論理がプログラムされる。特に限定されないが、メモリM1、M2の記憶素子と、DSPの内部回路は、プログラマブル部10に予め構築されており、構成情報の転送により、接続配線が構築される。

[0069] 例えば、図4に示すデータ処理部10aは、所定数の入出力端子IO、所定数のALM、所定数のメモリM1および所定数のDSPを使用してプログラマブル部10上に構築される。キャッシュメモリ部10eは、所定数のALMおよび所定数のメモリM1、M2を使用してプログラマブル部10上に構築される。キャッシュ制御部10dおよびキャッシュ制御切替部10cの各々は、所定数のALM、所定数のメモリM1および所定数のDSPを使用してプログラマブル部10上に構築される。

[0070] 図6は、図4に示すプログラマブル部10にプログラムされるデータ処理部10aの一例を示す。データ処理部10aは、CPUコア30aのみでデータ処理が完結する第1プログラムの中から、プログラマブル部10に実行させるデータ処理の部分を論理合成し、構成情報を生成する。例えば、プログラマブル部10に実行させるデータ処理は、破線で囲った部分であり、他のデータ処理に比べて時間が掛かるデータ処理であり、かつ、反復性を有するデータ処理である。データ処理部10aは、構成情報がプログラマブル部10にプログラムされることで、プログラマブル部10に構築される。すなわち、CPUコア30aがプログラムにより実行するデータ処理の一部が、プログラマブル部10にオフロードされる。

[0071] そして、論理合成したデータ処理部10aによるデータ処理部分を第1プログラムから除き、データ処理部10aの呼び出し処理を追加した第2プログラムが、データ処理部10aがプログラマブル部10にプログラムされた後に実行される。これにより、プログラマブル部10は、演算処理装置30のアクセラレータとして動作し、演算処理装置30とプログラマブル部10とによりデータ処理が実行される。

- [0072] 図7は、図6に示す第2プログラムを実行する環境を構築する処理の一例を示す。まず、事前準備として、ステップS10において、キャッシュ制御部10dおよびキャッシュメモリ部10eが論理合成され、構成情報が生成される。ステップS12において、第1プログラムの中でプログラマブル部10に処理させる部分が、データ処理部10aとして論理合成され、構成情報が生成される。
- [0073] ステップS14において、論理合成したデータ処理部10aにデータ処理を実行させる第2プログラム（ソースプログラム）が生成される。そして、ソースプログラムをコンパイルすることにより、CPUコア30aで実行可能な第2プログラムのオブジェクトファイルが生成される。ステップS16において、第1プログラム（ソースプログラム）がコンパイルされ、第1プログラムのオブジェクトファイルが生成される。
- [0074] なお、ステップS12、S14が順次実行されることを除き、ステップS10、S12、S14、S16は、図7に示す順序以外で実行されてもよい。また、事前準備は、情報処理装置100Aで実行されてもよく、他のツールを使用して実行されてもよい。
- [0075] 事前準備が完了した後、データ処理部10aを使用してデータ処理を実行するための環境を情報処理装置100A上に構築する構築処理が実行される。構築処理は、CPUコア30aで実行するデータ処理の一部をデータ処理部10aに実行させる指示を、情報処理装置100Aを管理する管理者または情報処理装置100Aを使用するユーザから受信したことに基づいて開始される。まず、ステップS20において、情報処理装置100Aは、演算処理装置30に第1プログラムの実行を開始させる。
- [0076] 次に、ステップS22において、情報処理装置100Aの分析部30dは、第1プログラムにおいてデータ処理部10aの動作に相当する命令を分析し、メモリアクセス命令の特徴を抽出する。ここで、データ処理部10aの動作に相当する命令は、図6に示した第1プログラムのうち、破線で囲った部分に含まれる命令である。

- [0077] 次に、ステップS 2 4 において、情報処理装置 1 0 0 A の決定部 3 0 e は、ステップS 2 2 で抽出した特徴に基づいて、キャッシュ制御切替部 1 0 c の論理を生成することで、プログラマブル部 1 0 にプログラムするキャッシュ制御切替部 1 0 c を決定する。
- [0078] 次に、ステップS 2 6 において、情報処理装置 1 0 0 A の構成制御部 3 0 f は、キャッシュ回路 1 0 b の構成情報とデータ処理部 1 0 a の構成情報とを、プログラマブル部 1 0 にプログラムする。キャッシュ回路 1 0 b は、キャッシュ制御切替部 1 0 c、キャッシュ制御部 1 0 d およびキャッシュメモリ部 1 0 e を含む。すなわち、情報処理装置 1 0 0 A は、事前に準備したキャッシュ制御部 1 0 d、キャッシュメモリ部 1 0 e およびデータ処理部 1 0 a の構成情報と、ステップS 2 4 で生成したキャッシュ制御切替部 1 0 c の構成情報とを、プログラマブル部 1 0 にプログラムする。そして、データ処理部 1 0 a を使用してデータ処理を実行するための環境を構築する構築処理が完了する。これにより、第2プログラムの実行が可能になる。
- [0079] ステップS 2 2 からステップS 2 6 までの処理は、情報処理装置 1 0 0 A の制御方法の一例および情報処理装置 1 0 0 A の制御プログラムの一例を示し、図 3 (a) から図 3 (e) に示した処理に対応する。換言すれば、図 3 の右端のデータ処理部をデータ処理部 1 0 a に置き換え、各要素の符号を付け替えることで、図 3 は、情報処理装置 1 0 0 A の動作の例を示す。
- [0080] 例えば、分析部 3 0 d は、CPU コア 3 0 a が実行する第1プログラムによりデータ処理の一部を実行させた場合のメインメモリ 2 0 へのアクセスに基づいてアクセスアドレスのパターンを分析する。決定部 3 0 e は、分析部 3 0 d が分析したアクセスアドレスのパターンの特徴に基づいて、キャッシュ制御切替部 1 0 c を生成し、生成したキャッシュ制御切替部 1 c をプログラマブル部 1 0 にプログラムすることを決定する。構成制御部 3 0 f は、決定部 3 0 e が生成したキャッシュ制御切替部 1 0 c を、データ処理部 1 0 a、キャッシュ制御部 1 0 d およびキャッシュメモリ部 1 0 e とともにプログラマブル部 1 0 にプログラムする。

[0081] キャッシュ制御切替部 10c がプログラマブル部 1 にプログラムされた後、情報処理装置 100A は、第 1 プログラムの実行を停止し、実行を停止した個所に対応する個所から第 2 プログラムの実行を開始する。そして、第 2 プログラムは、データ処理部 10a を呼び出し、第 1 プログラムが実行していたデータ処理のうち、未実行の処理を、データ処理部 10a に実行させる。データ処理部 10a が動作中、データ処理部 10a が発行するメモリアクセス要求に基づいて、キャッシュ制御切替部 10c、キャッシュ制御部 10d およびキャッシュメモリ部 10e が動作する。キャッシュ制御切替部 10c は、メモリアクセス要求に基づいて、キャッシュヒントおよびバースト長を生成し、キャッシュ制御部 10d は、キャッシュヒントおよびバースト長に基づいて動作する。

[0082] なお、キャッシュ制御部 10d、キャッシュメモリ部 10e およびデータ処理部 10a の構成情報は、ステップ S20 の処理を開始する前に、プログラマブル部 10 にプログラムされてもよい。この場合、事前準備において、データ処理部 10a とキャッシュ制御切替部 10c とを互いに接続するインタフェース仕様と、キャッシュ制御切替部 10c とキャッシュ制御部 10d とを互いに接続するインタフェース仕様とが決められる。そして、決定部 30e は、事前準備で決められたインタフェース仕様にしたがって、キャッシュ制御切替部 10c の論理を生成する。

[0083] 図 8 は、図 7 に示すステップ S24 で生成されるキャッシュ制御切替部 10c を含むキャッシュ回路の動作の一例を示す。左側の欄は、データ処理部 10a で実行する処理と等価な命令群（ソースプログラム）とその行番号を示す。図 8 に示す命令群は、図 6 の第 1 プログラムの破線の枠内で実行される命令の一例を示す。例えば、命令群は、3つのプロセス A、B、C の処理を含む。

[0084] "LD" はロード命令を示し、"ST" はストア命令を示し、"EXE" が付く命令は演算命令を示し、"BR" は分岐命令を示す。例えば、1行目の "LD A1, Da1" は、アドレス A1 のメモリ領域からデータを読み

出してレジスタD a 1に格納することを示す。4行目の” S T A 3, D a 3” は、レジスタD a 3に保持されたデータをアドレスA 3のメモリ領域に格納することを示す。3行目の” E X E 1 D a 3 (D a 1, D a 2)” は、レジスタD a 1、D a 2に保持されたデータを演算し、演算結果をレジスタD a 3に格納することを示す。5行目の” B R D a 3 B C” は、レジスタD a 3に格納された値に応じて6行目または21行目に分岐することを示す。” B”、” C” は、ラベルを示す。

[0085] 中央の欄は、キャッシュ回路10bの動作の例を示し、キャッシュヒントとバースト長は、メモリアクセス要求（ロード命令L Dまたはストア命令S T）毎にキャッシュ制御切替部10cにより生成される。右側の欄は、キャッシュ制御切替部10cを持たない他のキャッシュ回路の動作の例を示し、キャッシュヒントは” S”（リードアクセス）と” M”（ライトアクセス）に固定され、バースト長は” 1” に固定される。中央の欄および右側の欄において、” ミス” は、キャッシュミスの発生を示し、” ヒット” は、キャッシュヒットの発生を示し、” 追い出しの発生” に示す数字は、データを追い出すキャッシュラインの数を示す。

[0086] キャッシュ回路10bの動作において、1行目のロード命令L Dに対応してデータ処理部10aが実行するリードアクセス（アドレスA 1）では、キャッシュ制御切替部10cは、キャッシュヒント（＝” 1”）をキャッシュ制御部10dに出力する。データ処理部10aが、この後、リードアクセス（アドレスA 1）を実行しない場合、リードアクセスに基づいてL C C 3 0 bから出力されるデータは、キャッシュメモリ部10eに保持しなくてよい。

[0087] この場合、キャッシュヒントを” 1” に設定することで、キャッシュメモリ部10eからキャッシュラインが無駄に追い出されることを抑止することができる。これに対して、他のキャッシュ回路の動作では、1行目のロード命令L Dに対応してデータ処理部10aが実行するリードアクセス（アドレスA 1）では、キャッシュヒントが” S” のため、キャッシュラインの無駄

な追い出しが発生する。

[0088] 2行目のロード命令LDに対応してデータ処理部10aが実行するリードアクセス（アドレスA2）では、キャッシュ制御切替部10cは、キャッシュヒント（＝”S”）をキャッシュ制御部10dに出力する。ロード命令LD（アドレスA2）は、22行目でも実行される。データ処理部10aが、同じアドレスのリードアクセスを複数回実行する場合、最初のリードアクセスのキャッシュヒントを”S”にすることで、2回目以降のリードアクセスをキャッシュヒットさせることができる。

[0089] 4行目のストア命令STに対応してデータ処理部10aが実行するライトアクセス（アドレスA3）では、キャッシュ制御切替部10cは、キャッシュヒント（＝”M”）とバースト長（＝”1”）をキャッシュ制御部10dに出力する。ストア命令ST（アドレスA3）は、25行目でも実行される。データ処理部10aが、同じアドレスのライトアクセスを複数回実行する場合、ライトアクセスのキャッシュヒントを”M”にすることで、LLC30bに発行するライトアクセス要求の頻度を下げることができる。

[0090] 7行目のロード命令LDに対応してデータ処理部10aが実行するリードアクセス（アドレスB1）では、キャッシュ制御切替部10cは、キャッシュヒント（＝”S”）とバースト長（＝”2”）をキャッシュ制御部10dに出力する。8行目のロード命令LDに対応してデータ処理部10aが実行するリードアクセスのアドレスB2は、アドレスB1に連続する。この場合、バースト長を”2”に設定することで、リードアクセス（アドレスB2）をキャッシュヒットさせることができ、LLC30bへのアクセス要求の頻度を減らすことができる。

[0091] これに対して、他のキャッシュ回路の動作では、7行目のロード命令LDに対応してデータ処理部10aが実行するリードアクセス（アドレスB1）のバースト長が”1”に設定される。このため、8行目のロード命令LDに対応してデータ処理部10aが実行するリードアクセス（アドレスB2）でキャッシュミスが発生し、キャッシュ制御部10dは、LLC30bに無駄

なりリードアクセス要求を発行する。

[0092] 10行目のストア命令STに対応してデータ処理部10aが実行するライトアクセス（アドレスB3）では、キャッシュ制御切替部10cは、キャッシュヒント（＝”1”）とバースト長（＝”1”）をキャッシュ制御部10dに出力する。データ処理部10aが、この後、ライトアクセス（アドレスB3）を実行しない場合、ライトアクセスとともにデータ処理部10aが出力するライトデータは、キャッシュメモリ部10eに保持しなくてよい。この場合、キャッシュヒントを”1”に設定し、ライトデータをLLC30bに直接書き込むことで、キャッシュメモリ部10eからキャッシュラインが無駄に追い出されることを抑止することができる。

[0093] これに対して、他のキャッシュ回路の動作では、10行目のストア命令STに対応してデータ処理部10aが実行するライトアクセス（アドレスB3）のキャッシュヒントが”M”に設定される。このため、その後のアクセスで使用されない無駄なデータがキャッシュメモリ部10eに保持され、キャッシュラインの無駄な追い出しが発生する。

[0094] 23行目のロード命令LDに対応してデータ処理部10aが実行するリードアクセス（アドレスC1）では、1行目と同様に、キャッシュ制御切替部10cは、キャッシュヒント（＝”1”）をキャッシュ制御部10dに出力する。データ処理部10aが、この後、リードアクセス（アドレスC1）を実行しない場合、キャッシュヒントを”1”に設定することで、キャッシュメモリ部10eからキャッシュラインが無駄に追い出されることを抑止することができる。

[0095] このように、データ処理部10aのアクセスアドレスのパターンの特徴に基づいて生成されたキャッシュ制御切替部10cにより、キャッシュ回路10bは、無駄な追い出し処理および無駄なLLC30bへのアクセス要求が発生することを抑止することができる。この結果、他のキャッシュ回路に比べて、図4に示すバスBUS1の使用効率を向上することができ、情報処理装置100Aの処理性能を向上することができる。

- [0096] 図9は、図7に示すステップS22で使用する特徴抽出テーブルTBLの一例を示す。特徴抽出テーブルTBLは、分析部30dが抽出したメモリアクセス命令の特徴を記録するために使用される。特徴抽出テーブルTBLは、アクセス種別、アクセスアドレス、キャッシュヒントおよびバースト長を格納する領域を含む複数のエントリを有する。
- [0097] アクセス種別の領域には、特徴を抽出したメモリアクセス命令がリード命令である場合、リードを示す情報が格納され、特徴を抽出したメモリアクセス命令がライト命令である場合、ライトを示す情報が格納される。アクセスアドレスの領域には、特徴を抽出したメモリアクセス命令に含まれるアドレスが格納される。
- [0098] キャッシュヒントの領域には、キャッシュ制御部10dが使用するキャッシュヒントが格納される。キャッシュヒントは、“Shared”を示す“S”、“Modified”を示す“M”、“Invalid”を示す“I”、または“Exclusive”を示す“E”が格納される。
- [0099] アクセス種別がリードの場合、キャッシュヒントは、リード命令に相当するリードアクセス要求に基づいて、キャッシュ制御部10dが、LLC30bから受信したデータをキャッシュメモリ部10eに保持するか否かを示す。アクセス種別がライトの場合、キャッシュヒントは、ライト命令に相当するライトアクセス要求に基づいて、キャッシュ制御部10dが、ライトアクセス要求に含まれるライトデータをキャッシュメモリ部10eに格納するか、LLC30bに出力するかを示す。
- [0100] バースト長の領域には、メモリアクセス命令によりキャッシュメモリ部10eに入力されるデータの数を示すバースト長が格納される。なお、バースト長は、キャッシュメモリ部10eのアクセスの単位であるキャッシュラインのアクセス数を示す。
- [0101] 分析部30dは、メモリアクセス命令の特徴が抽出できるまで、メモリアクセス命令毎に、アクセス種別とアクセスアドレスとを特徴抽出テーブルTBLに順次格納する。そして、メモリアクセス命令の特徴が抽出しながら、

各エントリに格納したメモリアクセス要求に最適なキャッシュヒントとバースト長とを判定し、判定したキャッシュヒントとバースト長とを各エントリに格納する。

[0102] 図10は、図7に示すステップS22の処理の一例を示す。まず、ステップS222において、分析部30dは、特徴抽出テーブルTBLを初期化する。例えば、アクセス種別とアクセスアドレスの領域には、無効な値が格納される。キャッシュヒントの領域には、“1”が格納され、バースト長の領域には、“1”が格納される。

[0103] 次に、ステップS224において、分析部30dは、順次実行される命令の中からメモリアクセス命令を検出する。なお、検出対象のメモリアクセス命令は、図6に示す第1プログラムの中で、データ処理部10aに処理させる破線で囲った部分に含まれるメモリアクセス命令である。

[0104] 次に、ステップS226において、分析部30dは、検出したメモリアクセス命令がストア命令の場合、処理をステップS228に移行し、検出したメモリアクセス命令がストア命令でない場合、ロード命令であるため、処理をステップS232に移行する。

[0105] ステップS228において、分析部30dは、今回検出したストア命令に含まれるアドレスが、以前に検出したストア命令に含まれるアドレスと同じ場合、処理をステップS230に移行する。分析部30dは、検出したストア命令に含まれるアドレスが、以前に検出したストア命令に含まれるアドレスと異なる場合、処理をステップS240に移行する。

[0106] ステップS230において、分析部30dは、アドレスが互いに同じストア命令に対応して、特徴抽出テーブルTBLに、ライトを示す情報と、アドレスの値と、キャッシュヒント=“M”とを格納し、処理をステップS240に移行する。

[0107] 一方、ステップS232において、分析部30dは、今回検出したロード命令に含まれるアドレスが、以前に検出したロード命令に含まれるアドレスと同じ場合、処理をステップS234に移行する。分析部30dは、検出し

たロード命令に含まれるアドレスが、以前に検出したロード命令に含まれるアドレスと異なる同じ場合、処理をステップS 2 3 6に移行する。

[0108] ステップS 2 3 4において、分析部3 0 dは、アドレスが互いに同じロード命令に対応して、特徴抽出テーブルT B Lに、リードを示す情報と、アドレスの値と、キャッシュヒント=” S” とを格納し、処理をステップS 2 3 6に移行する。

[0109] ステップS 2 3 6において、分析部3 0 dは、現在のロード命令と直前のロード命令とのアドレスが互いに同じ場合、処理をステップS 2 3 8に移行し、現在のロード命令と直前のロード命令とのアドレスが互いに異なる場合、処理をステップS 2 4 0に移行する。ステップS 2 3 8において、分析部3 0 dは、直前のロード命令とアドレスが互いに同じロード命令に対応して、特徴抽出テーブルT B Lに、リードを示す情報と、アドレスの値と、キャッシュヒント=” S” と、バースト長=” 2” とを格納する。この後、処理は、ステップS 2 4 0に移行される。

[0110] ステップS 2 4 0において、分析部3 0 dは、メモリアクセス命令の特徴が抽出され、特徴抽出テーブルT B Lに格納した情報に基づいてキャッシュメモリ部1 0 eのキャッシュヒット率を向上できると判断した場合、処理を終了する。分析部3 0 dは、メモリアクセス命令の特徴の抽出が不十分であると判定した場合、処理をステップS 2 2 4に戻し、メモリアクセス命令の特徴の抽出を続行する。このように、分析部3 0 dは、第1プログラムの実行により発生する、メモリアクセス命令を利用して、データ処理部1 0 aから発行されるメモリアクセス要求命令の特徴を抽出する。

[0111] 例えば、メモリアクセス命令の特徴が格納された特徴抽出テーブルT B Lは、キャッシュ制御切替部1 0 cの一部として、プログラマブル部1 0内のメモリM 1（図5）にプログラムされる。なお、メモリアクセス命令の特徴が格納された特徴抽出テーブルT B Lは、キャッシュ制御切替部1 0 cの一部として、プログラマブル部1 0内のA L Mにプログラムされてもよい。

[0112] 以上、図4から図1 0に示す実施形態においても、図1から図3に示す実

施形態と同様の効果を得ることができる。例えば、データ処理部 10a のメモリアクセスの特徴に合わせて、キャッシュ回路 10b のキャッシュ効率を最適化することができ、情報処理装置 100A の処理性能を向上することができる。データ処理部 10a およびキャッシュ回路 10b をプログラマブル部 10 に搭載する前に、アクセスアドレスのパターンを分析することができる。第 1 プログラムと第 2 プログラムとで同じ処理を重複して実行する無駄を省くことができ、あるいは、処理が欠落することを抑止することができる。

[0113] 図 11 は、情報処理装置の別の実施形態における第 2 プログラムを実行する環境を構築する処理の一例を示す。図 7 と同一の要素については、詳細な説明は省略する。図 11 では、図 7 のステップ S 22 の代わりに、ステップ S 22A が実行される。ステップ S 22A を除く処理は、図 7 と同じである。

[0114] ステップ S 22A、S 24、S 26 に示す処理は、情報処理装置が実行する制御プログラムにより実行される。すなわち、ステップ S 22A、S 24、S 26 に示す処理は、情報処理装置の制御方法の一例および情報処理装置の制御プログラムの一例を示す。

[0115] ステップ S 20、S 22A、S 24、S 26 を実行する情報処理装置は、図 4 に示した制御プログラム 20e が異なることを除き、図 4 に示す情報処理装置 100A と同様である。換言すれば、ステップ S 20、S 22A、S 24、S 26 を実行する情報処理装置は、図 4 に示す分析部 30d と決定部 30e が実行する処理が異なることを除き、図 4 に示す情報処理装置 100A と同様である。

[0116] ステップ S 22A において、情報処理装置 100A の分析部 30d は、第 1 プログラムにおいてデータ処理部 10a の動作に相当する命令を分析し、分岐命令において、分岐する確率が他より高い分岐先を検出する。そして、分析部 30d は、分岐する確率が他より高い分岐先で実行されるメモリアクセスの特徴を抽出する。すなわち、分析部 30d は、図 12 に示す複数のプ

プロセスA、B、Cのうち、実行頻度が他のプロセスよりも高いプロセスによるアクセスアドレスのパターンを分析する。次に、ステップS24において、決定部30eは、ステップS22Aで抽出した特徴に基づいて、キャッシュ制御切替部10cの論理を生成する。

[0117] 図12は、図11に示すステップS24で生成されたキャッシュ制御切替部10cを含むキャッシュ回路10bの動作の一例を示す。図8と同一または同様の要素については、詳細な説明は省略する。左側の欄に示すデータ処理部10aで実行する処理と等価な命令群（ソースプログラム）は、図8と同じである。

[0118] 中央の欄は、5行目のブランチ命令BRにおいて、プロセスBで実行されるメモリアクセスの特徴の抽出に基づいて生成されたキャッシュ制御切替部を含むキャッシュ回路の動作を示す。すなわち、中央の欄は、ラベルBに分岐する確率が他に分岐する確率より高い場合に合わせて生成されたキャッシュ制御切替部を含むキャッシュ回路の動作を示す。

[0119] 右側の欄は、5行目のブランチ命令BRにおいて、プロセスCで実行されるメモリアクセスの特徴の抽出に基づいて生成されたキャッシュ制御切替部を含むキャッシュ回路の動作を示す。すなわち、右側の欄は、ラベルCに分岐する確率が他に分岐する確率より高い場合に合わせて生成されたキャッシュ制御切替部を含むキャッシュ回路の動作を示す。

[0120] 5行目のブランチ命令BRにおいて、ラベルBに分岐する確率が高い場合、7行目のロード命令LDに対応してデータ処理部10aが実行するリードアクセス（アドレスB1）のバースト長が”2”に設定される。これにより、次のリードアクセス（アドレスB2）をキャッシュヒットさせることができ、LLC30bへのアクセス要求の頻度を減らすことができる。この例では、プロセスBでのキャッシュ効率が高くなるように、全てのリードアクセスにおいて、キャッシュヒントは”S”に設定され、バースト長は”2”に設定される。

[0121] 一方、5行目のブランチ命令BRにおいて、ラベルCに分岐する確率が高

い場合、例えば、22行目のロード命令LD（アドレスA2）のアクセス効率を向上するため、2行目のロード命令（アドレスA2）のキャッシュヒントが”S”に設定される。また、1行目のロード命令LD（アドレスA1）と8行目のロード命令（アドレスB2）は、プロセスCでは実行されないため、キャッシュヒントが”I”に設定される。

[0122] さらに、7行目のロード命令LD（アドレスB1）が実行された後に、プロセスCにおいて、アドレスB1のリードアクセスが実行されるため（図示せず）、7行目のロード命令のキャッシュヒントが”S”に設定される。23行目のロード命令LD（アドレスC1）で読み出されたデータは、その後のプロセスCの処理で使用されないため、23行目のロード命令LDのキャッシュヒントは”I”に設定される。

[0123] これにより、22行目のロード命令LDをキャッシュヒットさせることができ、23行目のロード命令LDに基づいてキャッシュラインの無駄な追出しが発生することを抑止することができる。また、プロセスCに関連する処理を実行する他のプロセス（1行目、8行目）においても、キャッシュラインの無駄な追出しが発生することを抑止することができる。

[0124] なお、図12に示す動作では、ストア命令STに対応してデータ処理部10aが実行するライトアクセスは、図8の右側の欄と同様に、キャッシュヒントは”M”に設定され、バースト長は”1”に設定される。

[0125] 以上、図11および図12に示す実施形態においても、図1から図3に示す実施形態と同様の効果を得ることができる。例えば、データ処理部10aのメモリアクセスの特徴に合わせて、キャッシュ回路10bのキャッシュ効率を最適化することができ、情報処理装置100Aの処理性能を向上することができる。データ処理部10aおよびキャッシュ回路10bをプログラマブル部10に搭載する前に、アクセスアドレスのパターンを分析することができる。第1プログラムと第2プログラムとで同じ処理を重複して実行する無駄を省くことができ、あるいは、処理が欠落することを抑止することができる。

- [0126] さらに、図 1 1 および図 1 2 に示す実施形態では、実行頻度が他より高い処理のアクセスアドレスのパターンの特徴に合わせて、キャッシュ回路 1 0 b のキャッシュ効率を最適化することができる。これにより、例えば、プロセス C または プロセス C に特化して、キャッシュ回路 1 0 b のキャッシュ効率を最適化することができる。
- [0127] 図 1 3 は、情報処理装置の別の実施形態における第 2 プログラムを実行する環境を構築する処理の一例を示す。図 7 と同一の要素については、詳細な説明は省略する。図 1 3 では、事前準備において、複数のキャッシュ制御切替部を論理合成するステップ S 1 1 B が、図 7 に対して追加される。また、図 7 のステップ S 2 4 の代わりに、ステップ S 2 4 B が実行される。その他の処理は、図 7 と同じである。
- [0128] ステップ S 2 2、S 2 4 B、S 2 6 に示す処理は、情報処理装置が実行する制御プログラムにより実行される。すなわち、ステップ S 2 2、S 2 4 B、S 2 6 に示す処理は、情報処理装置の制御方法の一例および情報処理装置の制御プログラムの一例を示す。ステップ S 2 0、S 2 2、S 2 4 B、S 2 6 を実行する情報処理装置は、図 4 に示す制御プログラム 2 0 e が異なることを除き、図 4 に示す情報処理装置 1 0 0 A と同様である。換言すれば、ステップ S 2 0、S 2 2、S 2 4 B、S 2 6 を実行する情報処理装置は、図 4 に示す決定部 3 0 e が実行する処理が異なることを除き、図 4 に示す情報処理装置 1 0 0 A と同様である。
- [0129] ステップ S 1 1 B において、様々なメモリアクセスの特徴に合わせた複数種のキャッシュ制御切替部が論理合成され、構成情報が生成される。なお、事前準備は、情報処理装置 1 0 0 A で実行されてもよく、他のツールを使用して実行されてもよい。ステップ S 1 1 B は、事前準備のフローにおいて、他の個所に配置されてもよい。
- [0130] ステップ S 2 4 B において、情報処理装置 1 0 0 A の決定部 3 0 e は、ステップ S 2 2 で抽出した特徴に基づいて、ステップ S 1 1 B で生成された複数種のキャッシュ制御切替部の中からメモリアクセス効率が他より高くなる

キャッシュ制御切替部 10c を選択する。なお、ステップ S 22 の代わりに図 11 に示したステップ S 22A が実行され、ステップ S 24B において、決定部 30e が、ステップ S 22A で抽出した特徴に基づいて、メモリアクセス効率が他より高くなるキャッシュ制御切替部 10c を選択してもよい。

[0131] 決定部 30e は、事前準備で生成されたキャッシュ制御切替部の構成情報を使用できるため、アクセスアドレスのパターンの分析結果に基づいてキャッシュ制御切替部 10c を生成する処理を省略することができる。これにより、プログラマブル部 10 にプログラムするキャッシュ制御切替部 10c を準備するまでに実行される第 1 プログラムの命令数を最小限にすることができる。この結果、情報処理装置 100A が実行するデータ処理に使用されるデータ処理部 10a の動作率を向上することができ、データ処理の処理性能を向上することができる。

[0132] 以上、図 13 に示す実施形態においても、図 1 から図 3 に示す実施形態と同様の効果を得ることができる。例えば、データ処理部 10a のメモリアクセスの特徴に合わせて、キャッシュ回路 10b のキャッシュ効率を最適化することができる。情報処理装置 100A の処理性能を向上することができる。データ処理部 10a およびキャッシュ回路 10b をプログラマブル部 10 に搭載する前に、アクセスアドレスのパターンを分析することができる。第 1 プログラムと第 2 プログラムとで同じ処理を重複して実行する無駄を省くことができ、あるいは、処理が欠落することを抑止することができる。

[0133] さらに、図 13 に示す実施形態では、事前準備で生成されたキャッシュ制御切替部の構成情報を使用することで、プログラマブル部 10 にプログラムするキャッシュ制御切替部 10c を準備するまでに実行される第 1 プログラムの命令数を最小限にすることができる。この結果、情報処理装置 100A が実行するデータ処理に使用されるデータ処理部 10a の動作率を向上することができ、データ処理の処理性能を向上することができる。

[0134] 図 14 は、情報処理装置の別の実施形態における第 2 プログラムを実行する環境を構築する処理の一例を示す。図 7 と同一の要素については、詳細な

説明は省略する。図14では、図7のステップS24の代わりに、ステップS24Cが実行され、図7のステップS22の後にステップS23Cが追加される。ステップS23C、S24Cを除く処理は、図7と同じである。

[0135] ステップS22、S23C、S24C、S26に示す処理は、情報処理装置が実行する制御プログラムにより実行される。すなわち、ステップS22、S23C、S24C、S26に示す処理は、情報処理装置の制御方法の一例および情報処理装置の制御プログラムの一例を示す。ステップS20、S22、S23C、S24C、S26を実行する情報処理装置は、図4に示す制御プログラム20eが異なることを除き、図4に示す情報処理装置100Aと同様である。換言すれば、S20、S22、S23C、S24C、S26を実行する情報処理装置は、図4に示す決定部30eが実行する処理が異なることを除き、図4に示す情報処理装置100Aと同様に動作する。

[0136] ステップS23Cにおいて、決定部30eは、プログラマブル部10において、キャッシュ制御切替部をプログラム可能な空き領域を検出する。例えば、決定部30eは、図5に示したプログラマブル部10において、未使用のALMの数、未使用のメモリM1の数および未使用のDSPの数を検出する。

[0137] 次に、ステップS24Cにおいて、決定部30eは、ステップS22で抽出された特徴に基づいて、空き領域にプログラム可能な規模のキャッシュ制御切替部10cの論理を生成する。すなわち、決定部30eは、未使用のALM、メモリM1、DSPを使用して搭載可能な回路規模のキャッシュ制御切替部10cを生成する。

[0138] キャッシュ制御切替部10cの性能は、回路規模が大きいほど高くなり、回路規模が小さいほど低くなる。ここで、キャッシュ制御切替部10cの性能は、キャッシュヒット率が高いほど高く、キャッシュラインの追い出し頻度が少ないほど高い。このように、ステップS23C、S24Cにより、プログラマブル部10の空き領域に応じて最適な性能のキャッシュ制御切替部10cをプログラマブル部10に搭載することができる。また、空き領域の

制限により、キャッシュ制御切替部 10c がプログラマブル部 10 にプログラムされない不具合を解消することができる。

[0139] なお、図 11 に示すステップ S22A と同様に、分析部 30d は、分岐する確率が他より高い分岐先で実行されるメモリアクセスの特徴を抽出してもよい。また、図 13 に示すステップ S24B と同様に、決定部 30e は、キャッシュ制御切替部 10c の論理を生成する代わりに、予め生成された複数のキャッシュ制御切替部の中から、メモリアクセス効率が他より高くなるキャッシュ制御切替部を選択してもよい。この場合、決定部 30e は、プログラマブル部 10 の空き領域に合わせてキャッシュ制御切替部を選択する。さらに、決定部 30e がメモリアクセス効率が他より高くなるキャッシュ制御切替部を選択することに加えて、図 11 に示したように、分析部 30d が分岐する確率が他より高い分岐先でのメモリアクセスの特徴を抽出してもよい。

[0140] 以上、図 14 に示す実施形態においても、図 1 から図 3 に示す実施形態と同様の効果を得ることができる。例えば、データ処理部 10a のメモリアクセスの特徴に合わせて、キャッシュ回路 10b のキャッシュ効率を最適化することができる。情報処理装置 100A の処理性能を向上することができる。データ処理部 10a およびキャッシュ回路 10b をプログラマブル部 10 に搭載する前に、アクセスアドレスのパターンを分析することができる。第 1 プログラムと第 2 プログラムとで同じ処理を重複して実行する無駄を省くことができ、あるいは、処理が欠落することを抑止することができる。

[0141] さらに、図 14 に示す実施形態では、プログラマブル部 10 の空き領域に応じた最適な性能のキャッシュ制御切替部 10c をプログラマブル部 10 に搭載することができる。また、空き領域の制限により、キャッシュ制御切替部 10c がプログラマブル部 10 にプログラムされない不具合を解消することができる。

[0142] 図 15 は、情報処理装置の別の実施形態における第 2 プログラムを実行する環境を構築する処理の一例を示す。図 7 と同一の要素については、詳細な

説明は省略する。図15では、事前準備において、複数のキャッシュ制御切替部を論理合成するステップS11D、S13D、17Dが、図7に対して追加される。また、図7のステップS20、S22、S24、S26の代わりに、ステップS20D、S22D、S24D、S26Dが実行される。その他の処理は、図7と同じである。

[0143] ステップS22D、S24D、S26Dに示す処理は、情報処理装置が実行する制御プログラムにより実行される。すなわち、ステップS22D、S24D、S26Dに示す処理は、情報処理装置の制御方法の一例および情報処理装置の制御プログラムの一例を示す。ステップS20D、S22D、S24D、S26Dを実行する情報処理装置は、図4に示す制御プログラム200eが異なることと、分析部30dがプログラマブル部10に配置されることを除き、図4に示す情報処理装置100Aと同様である。換言すれば、ステップS20D、S22D、S24D、S26Dを実行する情報処理装置は、図4に示す決定部30eが実行する処理が異なることを除き、図4に示す情報処理装置100Aと同様に動作する。

[0144] ステップS11Dにおいて、標準的なキャッシュヒントとバースト長とを生成するデフォルトのキャッシュ制御切替部が論理合成され、構成情報が生成される。ステップS13Dにおいて、図4に示すデータ処理部10aのメモリアクセスの特徴を分析する分析回路が論理合成され、構成情報が生成される。ステップS14の後、ステップS17Dにおいて、データ処理部10a、キャッシュ制御部10d、キャッシュメモリ部10e、デフォルトのキャッシュ制御切替部および分析回路がプログラマブル部10にプログラムされる。なお、ステップS11D、S13Dは、事前準備のフローにおいて、他の個所に配置されてもよい。事前準備は、情報処理装置100Aで実行されてもよく、他のツールを使用して実行されてもよい。

[0145] 事前準備が完了した後、ステップS20Dにおいて、情報処理装置100Aは、演算処理装置30に第2プログラムの実行を開始させる。次に、ステップS22Dにおいて、プログラマブル部10にプログラムされた分析部3

0 dは、第2プログラムに呼び出されて動作するデータ処理部10 aが出力するメモリアクセス要求の特徴を抽出する。すなわち、分析部30 dをプログラマブル部10内に搭載することで、第1プログラムを実行することなく、第2プログラムで呼び出されるデータ処理部10 aのメモリアクセスの特徴を直接分析することができる。データ処理部10 a（ハードウェア）が出力するメモリアクセス要求を直接分析できるため、メモリアクセス要求の特徴の抽出に掛かる時間を、図7に示した手法に比べて短縮することができる。なお、図11に示すステップS22 Aと同様に、分析部30 dは、分岐する確率が他より高い分岐先で実行されるメモリアクセスの特徴を抽出してもよい。

[0146] 次に、ステップS24 Dにおいて、決定部30 eは、プログラマブル部10上の分析部30 dが抽出した特徴に基づいて、キャッシュ制御切替部10 cの論理を生成する。なお、図14に示すステップS24 Dと同様に、決定部30 eは、ステップS22 Dで抽出された特徴に基づいて、空き領域にプログラム可能な規模のキャッシュ制御切替部10 cの論理を生成してもよい。さらに、分岐する確率が他より高い分岐先でのメモリアクセスの特徴を分析部30 dが抽出し、かつ、空き領域にプログラム可能な規模のキャッシュ制御切替部10 cの論理を決定部30 eが生成してもよい。

[0147] また、図13に示すステップS24 Bと同様に、決定部30 eは、キャッシュ制御切替部10 cの論理を生成する代わりに、予め生成された複数のキャッシュ制御切替部の中から、メモリアクセス効率が他より高くなるキャッシュ制御切替部を選択してもよい。この場合、分岐する確率が他より高い分岐先でのメモリアクセスの特徴を分析部30 dが抽出してもよく、空き領域にプログラム可能な規模のキャッシュ制御切替部10 cの論理を決定部30 eが生成してもよい。さらに、分岐する確率が他より高い分岐先でのメモリアクセスの特徴を分析部30 dが抽出し、かつ、空き領域にプログラム可能な規模のキャッシュ制御切替部10 cの論理を決定部30 eが生成してもよい。

[0148] 次に、ステップS 2 6 Dにおいて、構成制御部3 0 fは、プログラマブル部1 0にプログラムされたデフォルトのキャッシュ制御切替部を、ステップS 2 4 Dで生成されたキャッシュ制御切替部1 0 cに置き換える。そして、情報処理装置1 0 0 Aは、第2プログラムの実行を継続する。

[0149] 以上、図1 5に示す実施形態においても、図1 から図3に示す実施形態と同様の効果を得ることができる。例えば、データ処理部1 0 aのメモリアクセスの特徴に合わせて、キャッシュ回路1 0 bのキャッシュ効率を最適化することができる、情報処理装置1 0 0 Aの処理性能を向上することができる。

[0150] さらに、図1 5に示す実施形態では、分析部3 0 dをプログラマブル部1 0内に搭載することで、第1プログラムを実行することなく、第2プログラムで呼び出されるデータ処理部1 0 aのメモリアクセスの特徴を直接分析することができる。データ処理部1 0 a（ハードウェア）が出力するメモリアクセス要求を直接分析できるため、メモリアクセス要求の特徴の抽出に掛かる時間を、図7による手法に比べて短縮することができる。

[0151] 以上の図1 から図1 0に示す実施形態に関し、さらに以下の付記を開示する。

（付記1）

データを記憶する記憶部と、

前記記憶部が記憶するデータを処理するデータ処理部と、前記データ処理部で使用するデータが格納されるキャッシュメモリ部と、前記データ処理部が前記記憶部から読み出すデータを前記キャッシュメモリ部に格納するかをキャッシュ制御情報に基づいて決定するキャッシュ制御部と、前記データ処理部が発行するメモリアクセス要求に基づいて前記キャッシュ制御情報を生成するキャッシュ制御切替部とがプログラムされるプログラマブル部と、

前記プログラマブル部にプログラムされる前記データ処理部が発行する前記メモリアクセス要求に含まれるアクセスアドレスのパターンを分析する分析部と、

前記分析部が分析した前記アクセスアドレスのパターンに基づいて、前記

プログラマブル部にプログラムする前記キャッシュ制御切替部の論理を決定する決定部と、

前記データ処理部、前記キャッシュメモリ部および前記キャッシュ制御部を前記プログラマブル部にプログラムするとともに、前記決定部が決定した前記キャッシュ制御切替部を前記プログラマブル部にプログラムする構成制御部と

を備えることを特徴とする情報処理装置。

(付記 2)

前記データ処理部が実行する第 1 データ処理と等価な第 2 データ処理を実行する機能を含む処理プログラムを実行する演算処理部を備え、

前記分析部は、前記処理プログラムによる前記第 2 データ処理の実行により発生する前記記憶部へのアクセスに基づいて前記アクセスアドレスのパターンを分析することを特徴とする付記 1 記載の情報処理装置。

(付記 3)

前記処理プログラムによる前記第 2 データ処理の実行中に前記分析部による前記アクセスアドレスのパターンの分析が完了した場合、

前記構成制御部は、前記決定部が決定した前記キャッシュ制御切替部を前記プログラマブル部にプログラムし、

前記演算処理部は、前記第 2 データ処理のうち未実行の処理を、前記第 1 データ処理の一部として前記データ処理部に実行させることを特徴とする付記 2 記載の情報処理装置。

(付記 4)

前記分析部は、前記プログラマブル部にプログラムされ、

前記構成制御部は、前記データ処理部、前記分析部およびデフォルトのキャッシュ制御切替部を前記プログラマブル部にプログラムし、前記データ処理部が発行する前記メモリアクセス要求に基づいて前記分析部が前記アクセスアドレスのパターンを分析した後、前記デフォルトのキャッシュ制御切替部を、前記決定部が決定した前記キャッシュ制御切替部に置き換えることを

特徴とする付記 1 記載の情報処理装置。

(付記 5)

前記データ処理部が実行するデータ処理は、複数のプロセスを含み、

前記分析部は、前記複数のプロセスのうち、実行頻度が他のプロセスよりも高いプロセスによる前記アクセスアドレスのパターンを分析することを特徴とする付記 1 ないし付記 4 のいずれか 1 項記載の情報処理装置。

(付記 6)

前記決定部は、前記分析部が分析した前記アクセスアドレスのパターンに基づいて決定した前記キャッシュ制御切替部の構成情報を生成し、

前記構成制御部は、前記決定部が生成した前記キャッシュ制御切替部の構成情報を前記プログラマブル部にプログラムすることを特徴とする付記 1 ないし付記 5 のいずれか 1 項記載の情報処理装置。

(付記 7)

前記決定部は、複数種の前記アクセスアドレスのパターンにそれぞれ対応する複数種の前記キャッシュ制御切替部の構成情報のいずれかを、前記分析部が分析した前記アクセスアドレスのパターンに基づいて選択し、

前記構成制御部は、前記決定部が選択した前記キャッシュ制御切替部の構成情報を前記プログラマブル部にプログラムすることを特徴とする付記 1 ないし付記 5 のいずれか 1 項記載の情報処理装置。

(付記 8)

前記決定部は、前記分析部が分析した前記アクセスアドレスのパターンに基づいて、前記プログラマブル部の空き領域にプログラム可能な前記キャッシュ制御切替部の論理を決定することを特徴とする付記 1 ないし付記 7 のいずれか 1 項記載の情報処理装置。

(付記 9)

前記キャッシュ制御切替部が出力する前記キャッシュ制御情報は、データを前記記憶部に書き込む代わりに前記キャッシュメモリ部に格納するか否かを示す第 1 情報を含み、

前記キャッシュ制御部は、前記第 1 情報に応じて、データを前記記憶部または前記キャッシュメモリ部に書き込むことを特徴とする付記 1 ないし付記 8 のいずれか 1 項記載の情報処理装置。

(付記 10)

前記キャッシュ制御切替部が出力する前記キャッシュ制御情報は、前記データ処理部が発行する前記メモリアクセス要求に対応して転送されるデータの長さを示す第 2 情報を含み、

前記キャッシュ制御部は、前記第 2 情報に応じた長さのデータを前記記憶部から読み出すことを特徴とする付記 1 ないし付記 9 のいずれか 1 項記載の情報処理装置。

(付記 11)

データを記憶する記憶部とプログラマブル部を備え、前記プログラマブル部に、前記記憶部が記憶するデータを処理するデータ処理部と、前記データ処理部で使用するデータが格納されるキャッシュメモリ部と、前記データ処理部が前記記憶部から読み出すデータを前記キャッシュメモリ部に格納するかをキャッシュ制御情報に基づいて決定するキャッシュ制御部と、前記データ処理部が発行するメモリアクセス要求に基づいて前記キャッシュ制御情報を生成するキャッシュ制御切替部がプログラムされる情報処理装置の制御方法において、

前記情報処理装置が、

前記プログラマブル部にプログラムされる前記データ処理部が発行する前記メモリアクセス要求に含まれるアクセスアドレスのパターンを分析し、

分析した前記アクセスアドレスのパターンに基づいて、前記プログラマブル部にプログラムする前記キャッシュ制御切替部の論理を決定し、

前記データ処理部、前記キャッシュメモリ部および前記キャッシュ制御部を前記プログラマブル部にプログラムするとともに、決定した前記キャッシュ制御切替部を前記プログラマブル部にプログラムすることを特徴とする情報処理装置の制御方法。

(付記 1 2)

データを記憶する記憶部とプログラマブル部を備え、前記プログラマブル部に、前記記憶部が記憶するデータを処理するデータ処理部と、前記データ処理部で使用するデータが格納されるキャッシュメモリ部と、前記データ処理部が前記記憶部から読み出すデータを前記キャッシュメモリ部に格納するかをキャッシュ制御情報に基づいて決定するキャッシュ制御部と、前記データ処理部が発行するメモリアクセス要求に基づいて前記キャッシュ制御情報を生成するキャッシュ制御切替部がプログラムされる情報処理装置の制御プログラムにおいて、

前記プログラマブル部にプログラムされる前記データ処理部が発行する前記メモリアクセス要求に含まれるアクセスアドレスのパターンを分析し、

分析した前記アクセスアドレスのパターンに基づいて、前記プログラマブル部にプログラムする前記キャッシュ制御切替部の論理を決定し、

前記データ処理部、前記キャッシュメモリ部および前記キャッシュ制御部を前記プログラマブル部にプログラムするとともに、決定した前記キャッシュ制御切替部を前記プログラマブル部にプログラムする

処理を、前記情報処理装置に実行させるための制御プログラム。

(付記 1 3)

データを記憶する記憶部とプログラマブル部を備え、前記プログラマブル部に、前記記憶部が記憶するデータを処理するデータ処理部と、前記データ処理部で使用するデータが格納されるキャッシュメモリ部と、前記データ処理部が前記記憶部から読み出すデータを前記キャッシュメモリ部に格納するかをキャッシュ制御情報に基づいて決定するキャッシュ制御部と、前記データ処理部が発行するメモリアクセス要求に基づいて前記キャッシュ制御情報を生成するキャッシュ制御切替部がプログラムされる情報処理装置の制御プログラムを記録した記録媒体において、

前記プログラマブル部にプログラムされる前記データ処理部が発行する前記メモリアクセス要求に含まれるアクセスアドレスのパターンを分析し、

分析した前記アクセスアドレスのパターンに基づいて、前記プログラマブル部にプログラムする前記キャッシュ制御切替部の論理を決定し、

前記データ処理部、前記キャッシュメモリ部および前記キャッシュ制御部を前記プログラマブル部にプログラムするとともに、が決定した前記キャッシュ制御切替部を前記プログラマブル部にプログラムする

処理を、前記情報処理装置に実行させるための制御プログラムを記録した記録媒体。

- [0152] 以上の詳細な説明により、実施形態の特徴点および利点は明らかになるであろう。これは、請求の範囲がその精神および権利範囲を逸脱しない範囲で前述のような実施形態の特徴点および利点にまで及ぶことを意図するものである。また、当該技術分野において通常の知識を有する者であれば、あらゆる改良および変更に容易に想到できるはずである。したがって、発明性を有する実施形態の範囲を前述したものに限定する意図はなく、実施形態に開示された範囲に含まれる適当な改良物および均等物に拠ることも可能である。

符号の説明

- [0153] 1…プログラマブル部；1 a…データ処理部；1 b…キャッシュ回路；1 c…キャッシュ制御切替部；1 d…キャッシュ制御部；1 e…キャッシュメモリ部；2…記憶部；2 a…データ領域；2 b…プログラム領域；2 c…構成情報領域；2 d…第1プログラム；2 e…第2プログラム；2 f…制御プログラム；3…演算処理装置；3 a…演算処理部；3 b…分析部；3 c…決定部；3 d…構成制御部；4…記録媒体；10…プログラマブル部；10 a…データ処理部；10 b…キャッシュ回路；10 c…キャッシュ制御切替部；10 d…キャッシュ制御部；10 e…キャッシュメモリ部；20…メインメモリ；20 a…データ領域；20 b…プログラム領域；20 c…構成情報領域；20 d…プログラム；20 e…制御プログラム；30…演算処理装置；30 a…CPUコア；30 b…LLC；30 c…MMU；30 d…分析部；30 e…決定部；30 f…構成制御部；40…入出力インタフェース；50…HDD；60…通信インタフェース；70…記録媒体；100、100

A…情報処理装置；BUS 1、BUS 2、BUS 3…バス；C I N F…キャッシュ制御情報；NW…ネットワーク；T B L…特徴抽出テーブル

請求の範囲

[請求項1]

データを記憶する記憶部と、

前記記憶部が記憶するデータを処理するデータ処理部と、前記データ処理部で使用するデータが格納されるキャッシュメモリ部と、前記データ処理部が前記記憶部から読み出すデータを前記キャッシュメモリ部に格納するかをキャッシュ制御情報に基づいて決定するキャッシュ制御部と、前記データ処理部が発行するメモリアクセス要求に基づいて前記キャッシュ制御情報を生成するキャッシュ制御切替部とがプログラムされるプログラマブル部と、

前記プログラマブル部にプログラムされる前記データ処理部が発行する前記メモリアクセス要求に含まれるアクセスアドレスのパターンを分析する分析部と、

前記分析部が分析した前記アクセスアドレスのパターンに基づいて、前記プログラマブル部にプログラムする前記キャッシュ制御切替部の論理を決定する決定部と、

前記データ処理部、前記キャッシュメモリ部および前記キャッシュ制御部を前記プログラマブル部にプログラムするとともに、前記決定部が決定した前記キャッシュ制御切替部を前記プログラマブル部にプログラムする構成制御部と

を備えることを特徴とする情報処理装置。

[請求項2]

前記データ処理部が実行する第1データ処理と等価な第2データ処理を実行する機能を含む処理プログラムを実行する演算処理部を備え、

前記分析部は、前記処理プログラムによる前記第2データ処理の実行により発生する前記記憶部へのアクセスに基づいて前記アクセスアドレスのパターンを分析することを特徴とする請求項1記載の情報処理装置。

[請求項3]

前記処理プログラムによる前記第2データ処理の実行中に前記分析

部による前記アクセスアドレスのパターンの分析が完了した場合、

前記構成制御部は、前記決定部が決定した前記キャッシュ制御切替部を前記プログラマブル部にプログラムし、

前記演算処理部は、前記第2データ処理のうち未実行の処理を、前記第1データ処理の一部として前記データ処理部に実行させることを特徴とする請求項2記載の情報処理装置。

[請求項4]

前記分析部は、前記プログラマブル部にプログラムされ、

前記構成制御部は、前記データ処理部、前記分析部およびデフォルトのキャッシュ制御切替部を前記プログラマブル部にプログラムし、前記データ処理部が発行する前記メモリアクセス要求に基づいて前記分析部が前記アクセスアドレスのパターンを分析した後、前記デフォルトのキャッシュ制御切替部を、前記決定部が決定した前記キャッシュ制御切替部に置き換えることを特徴とする請求項1記載の情報処理装置。

[請求項5]

前記データ処理部が実行するデータ処理は、複数のプロセスを含み、

前記分析部は、前記複数のプロセスのうち、実行頻度が他のプロセスよりも高いプロセスによる前記アクセスアドレスのパターンを分析することを特徴とする請求項1ないし請求項4のいずれか1項記載の情報処理装置。

[請求項6]

前記決定部は、前記分析部が分析した前記アクセスアドレスのパターンに基づいて決定した前記キャッシュ制御切替部の構成情報を生成し、

前記構成制御部は、前記決定部が生成した前記キャッシュ制御切替部の構成情報を前記プログラマブル部にプログラムすることを特徴とする請求項1ないし請求項5のいずれか1項記載の情報処理装置。

[請求項7]

前記決定部は、複数種の前記アクセスアドレスのパターンにそれぞれ対応する複数種の前記キャッシュ制御切替部の構成情報のいずれか

を、前記分析部が分析した前記アクセスアドレスのパターンに基づいて選択し、

前記構成制御部は、前記決定部が選択した前記キャッシュ制御切替部の構成情報を前記プログラマブル部にプログラムすることを特徴とする請求項 1 ないし請求項 5 のいずれか 1 項記載の情報処理装置。

[請求項8] 前記決定部は、前記分析部が分析した前記アクセスアドレスのパターンに基づいて、前記プログラマブル部の空き領域にプログラム可能な前記キャッシュ制御切替部の論理を決定することを特徴とする請求項 1 ないし請求項 7 のいずれか 1 項記載の情報処理装置。

[請求項9] 前記キャッシュ制御切替部が出力する前記キャッシュ制御情報は、データを前記記憶部に書き込む代わりに前記キャッシュメモリ部に格納するか否かを示す第 1 情報を含み、

前記キャッシュ制御部は、前記第 1 情報に応じて、データを前記記憶部または前記キャッシュメモリ部に書き込むことを特徴とする請求項 1 ないし請求項 8 のいずれか 1 項記載の情報処理装置。

[請求項10] 前記キャッシュ制御切替部が出力する前記キャッシュ制御情報は、前記データ処理部が発行する前記メモリアクセス要求に対応して転送されるデータの長さを示す第 2 情報を含み、

前記キャッシュ制御部は、前記第 2 情報に応じた長さのデータを前記記憶部から読み出すことを特徴とする請求項 1 ないし請求項 9 のいずれか 1 項記載の情報処理装置。

[請求項11] データを記憶する記憶部とプログラマブル部を備え、前記プログラマブル部に、前記記憶部が記憶するデータを処理するデータ処理部と、前記データ処理部で使用するデータが格納されるキャッシュメモリ部と、前記データ処理部が前記記憶部から読み出すデータを前記キャッシュメモリ部に格納するかをキャッシュ制御情報に基づいて決定するキャッシュ制御部と、前記データ処理部が発行するメモリアクセス要求に基づいて前記キャッシュ制御情報を生成するキャッシュ制御切

替部がプログラムされる情報処理装置の制御方法において、

前記情報処理装置が、

前記プログラマブル部にプログラムされる前記データ処理部が発行する前記メモリアクセス要求に含まれるアクセスアドレスのパターンを分析し、

分析した前記アクセスアドレスのパターンに基づいて、前記プログラマブル部にプログラムする前記キャッシュ制御切替部の論理を決定し、

前記データ処理部、前記キャッシュメモリ部および前記キャッシュ制御部を前記プログラマブル部にプログラムするとともに、決定した前記キャッシュ制御切替部を前記プログラマブル部にプログラムすることを特徴とする情報処理装置の制御方法。

[請求項12]

データを記憶する記憶部とプログラマブル部を備え、前記プログラマブル部に、前記記憶部が記憶するデータを処理するデータ処理部と、前記データ処理部で使用するデータが格納されるキャッシュメモリ部と、前記データ処理部が前記記憶部から読み出すデータを前記キャッシュメモリ部に格納するかをキャッシュ制御情報に基づいて決定するキャッシュ制御部と、前記データ処理部が発行するメモリアクセス要求に基づいて前記キャッシュ制御情報を生成するキャッシュ制御切替部がプログラムされる情報処理装置の制御プログラムにおいて、

前記プログラマブル部にプログラムされる前記データ処理部が発行する前記メモリアクセス要求に含まれるアクセスアドレスのパターンを分析し、

分析した前記アクセスアドレスのパターンに基づいて、前記プログラマブル部にプログラムする前記キャッシュ制御切替部の論理を決定し、

前記データ処理部、前記キャッシュメモリ部および前記キャッシュ制御部を前記プログラマブル部にプログラムするとともに、決定した

前記キャッシュ制御切替部を前記プログラマブル部にプログラムする処理を、前記情報処理装置に実行させるための制御プログラム。

[請求項13]

データを記憶する記憶部とプログラマブル部を備え、前記プログラマブル部に、前記記憶部が記憶するデータを処理するデータ処理部と、前記データ処理部で使用するデータが格納されるキャッシュメモリ部と、前記データ処理部が前記記憶部から読み出すデータを前記キャッシュメモリ部に格納するかをキャッシュ制御情報に基づいて決定するキャッシュ制御部と、前記データ処理部が発行するメモリアクセス要求に基づいて前記キャッシュ制御情報を生成するキャッシュ制御切替部がプログラムされる情報処理装置の制御プログラムを記録した記録媒体において、

前記プログラマブル部にプログラムされる前記データ処理部が発行する前記メモリアクセス要求に含まれるアクセスアドレスのパターンを分析し、

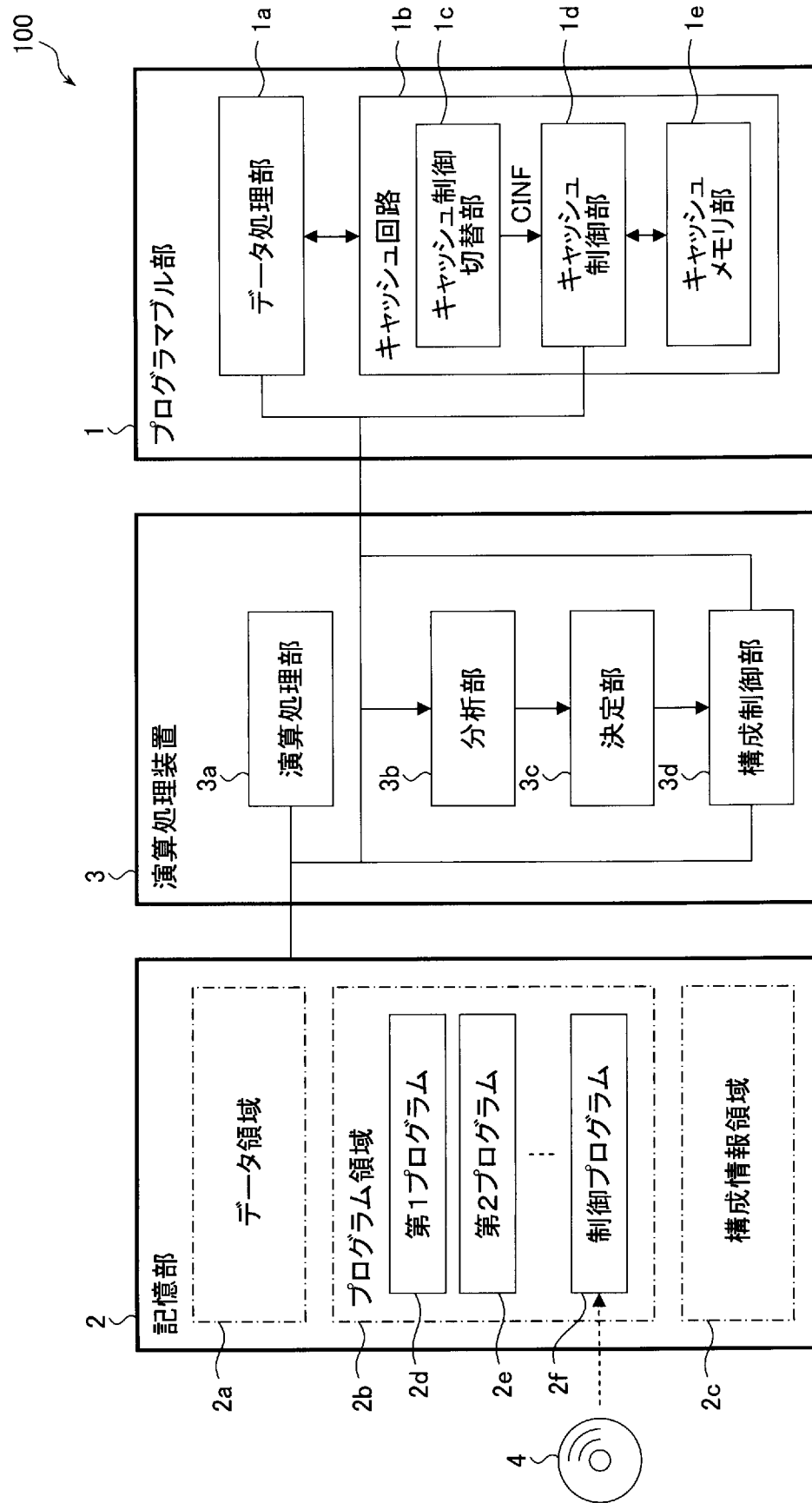
分析した前記アクセスアドレスのパターンに基づいて、前記プログラマブル部にプログラムする前記キャッシュ制御切替部の論理を決定し、

前記データ処理部、前記キャッシュメモリ部および前記キャッシュ制御部を前記プログラマブル部にプログラムするとともに、が決定した前記キャッシュ制御切替部を前記プログラマブル部にプログラムする

処理を、前記情報処理装置に実行させるための制御プログラムを記録した記録媒体。

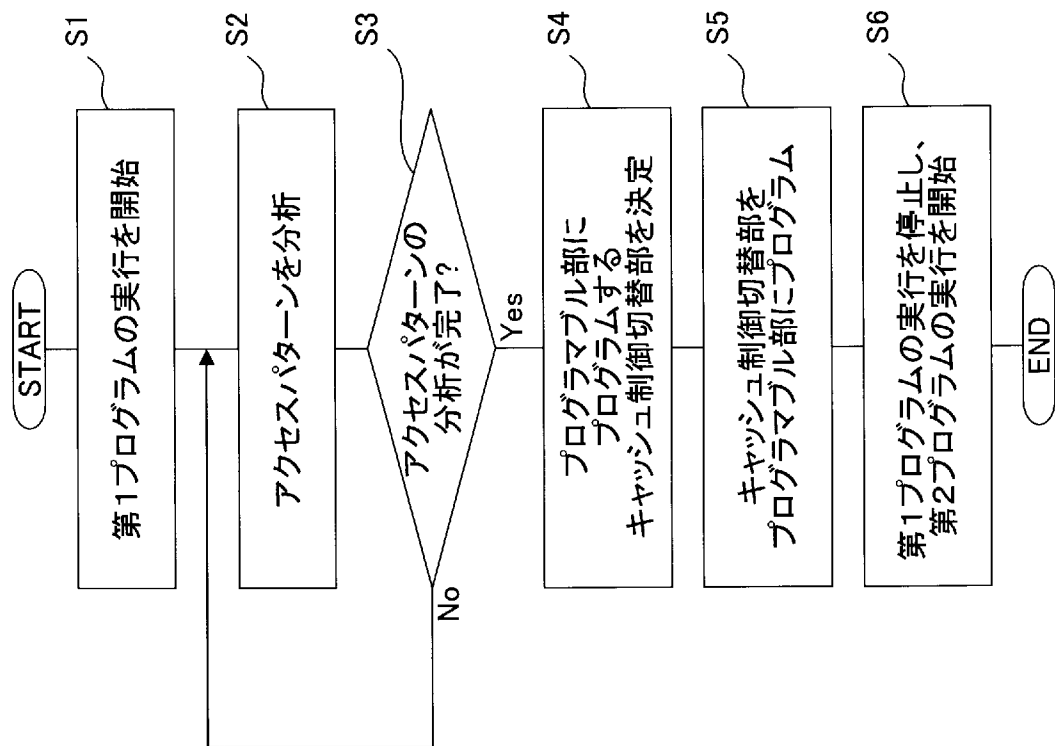
[図1]

情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの一実施形態を示す図



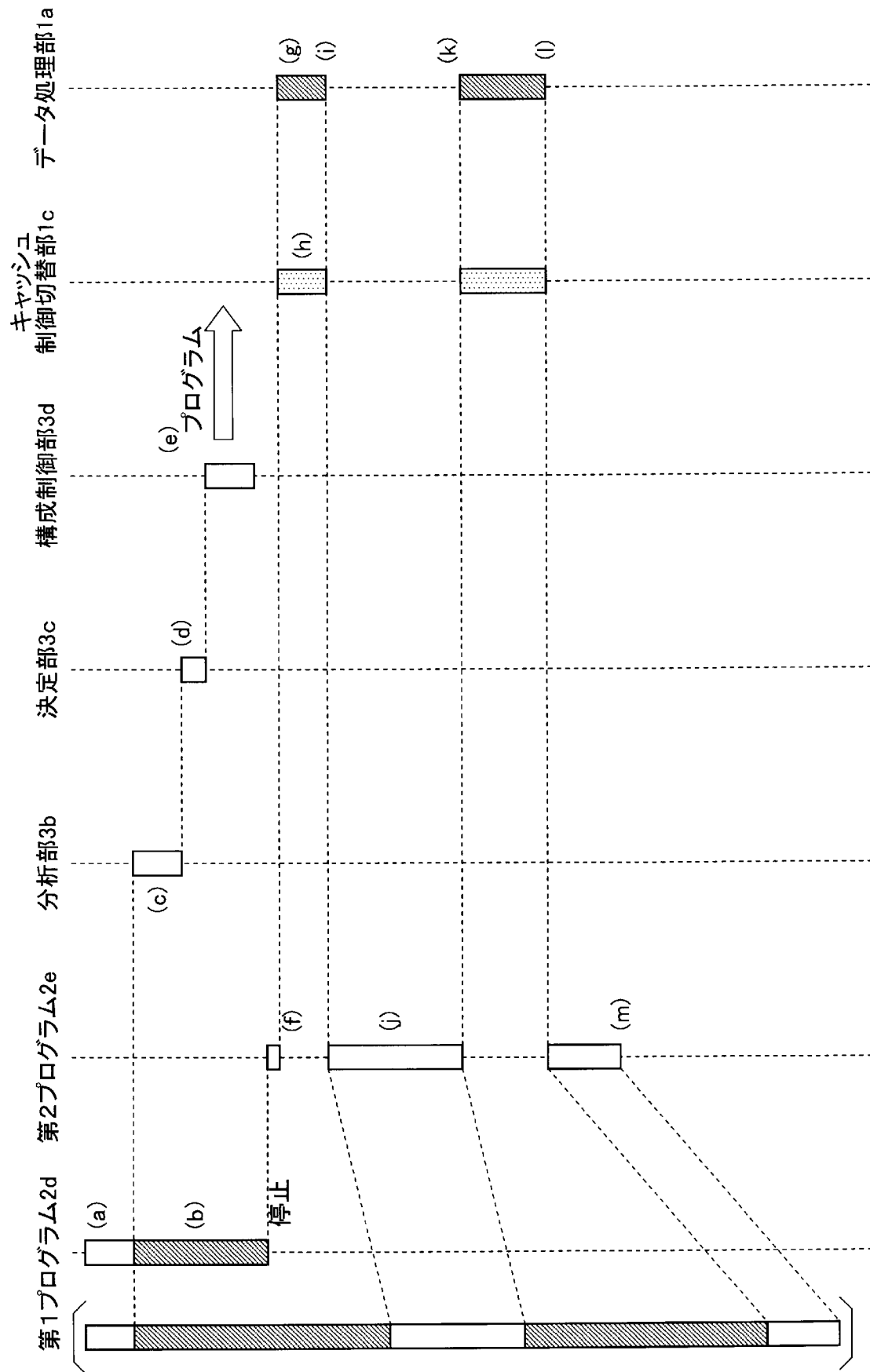
[図2]

図1に示す情報処理装置の動作フローの一例を示す図



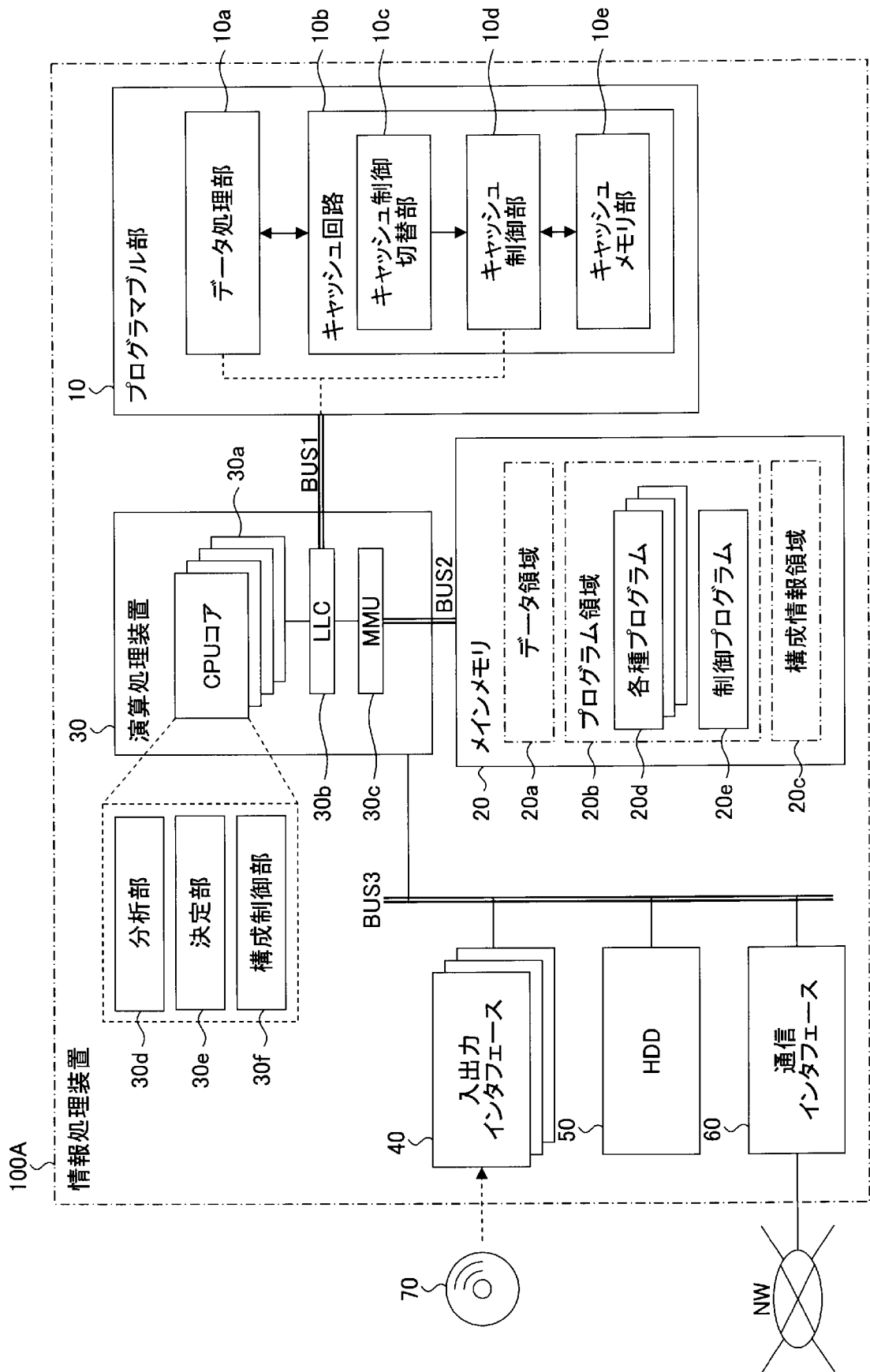
[図3]

図1に示す情報処理装置の動作の一例を示す図



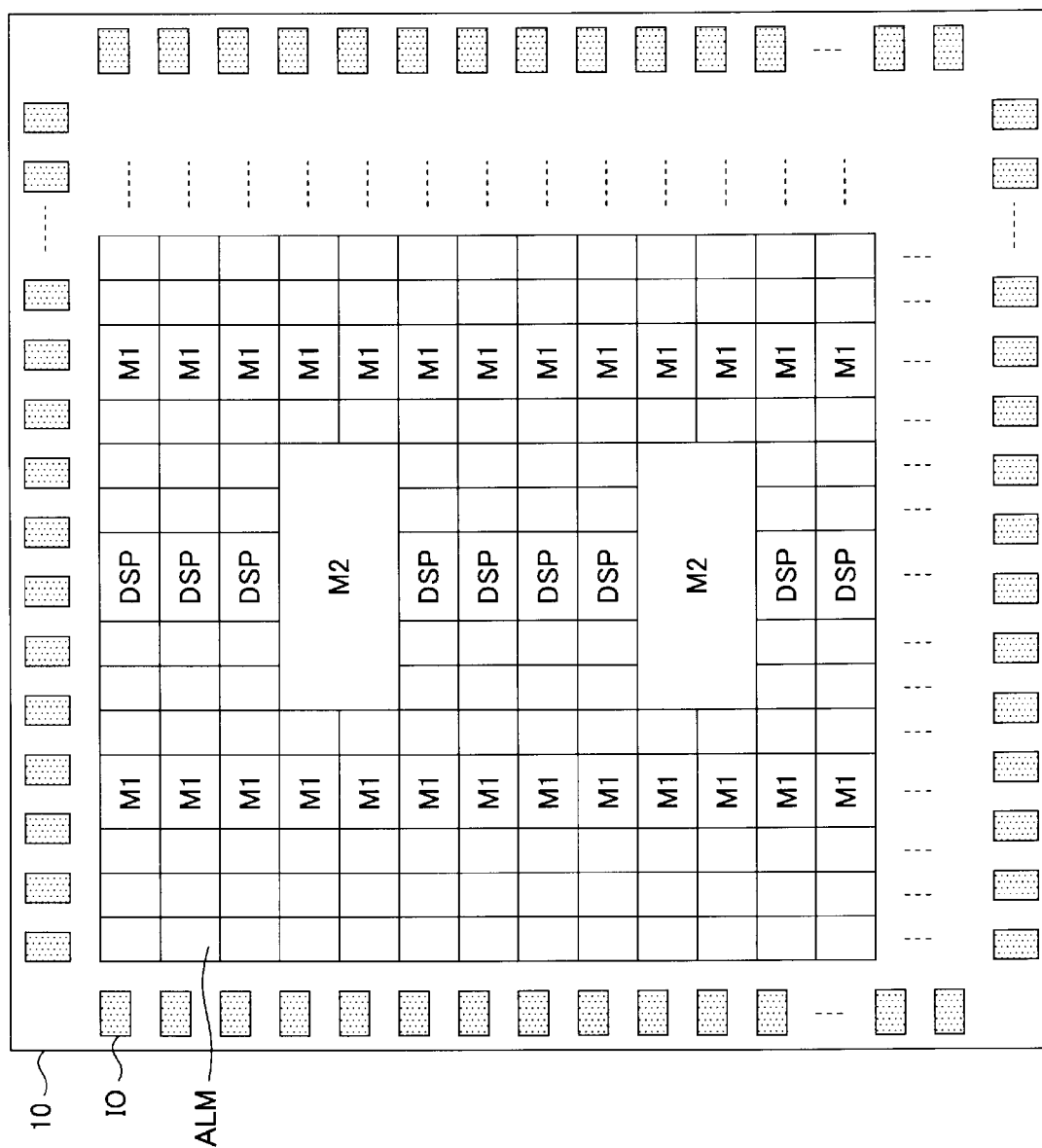
[図4]

情報処理装置、情報処理装置の制御方法および情報処理装置の制御プログラムの別の実施形態を示す図



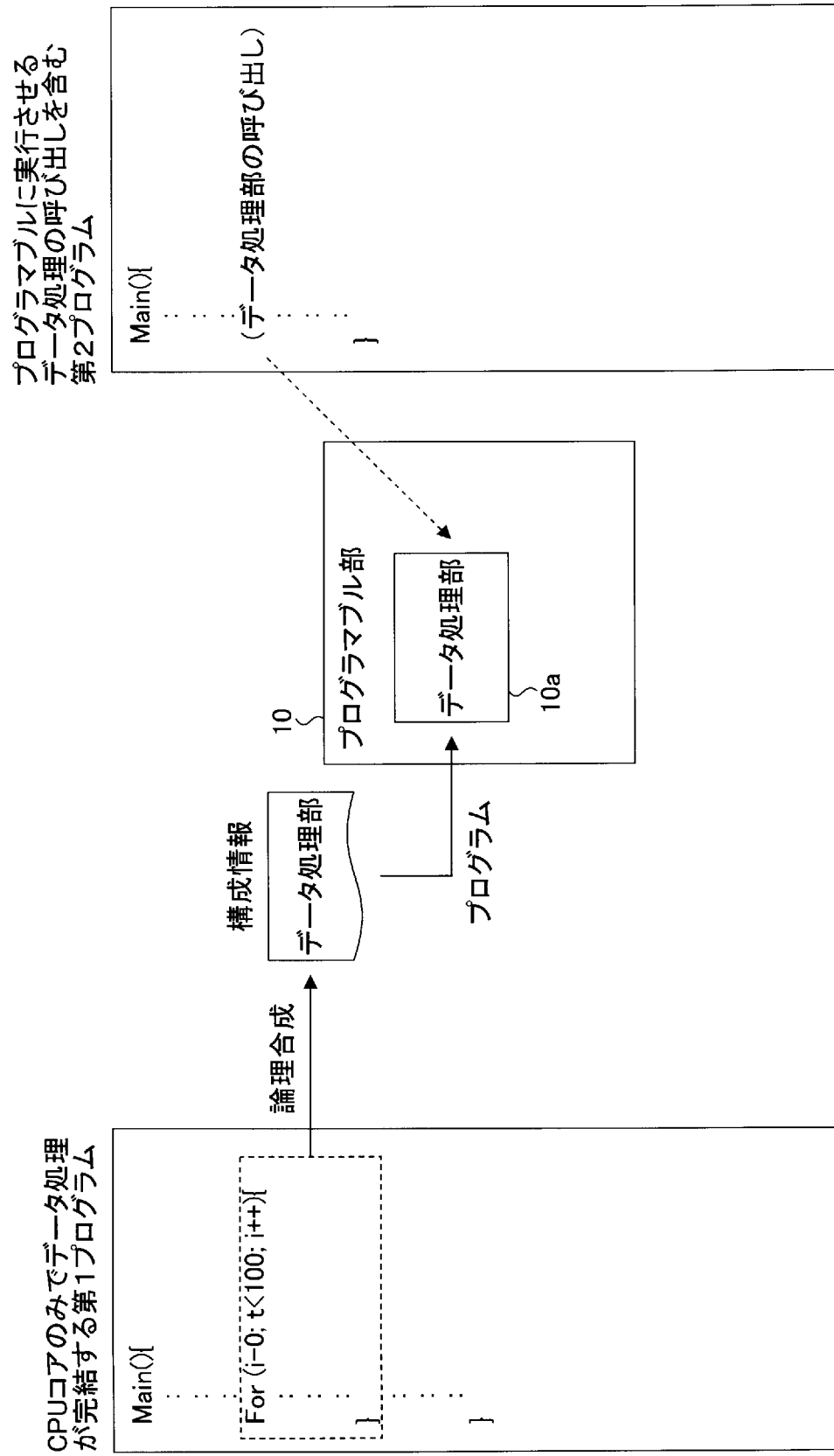
【図5】

図4に示すプログラマブル部のチップ構成の一例を示す図

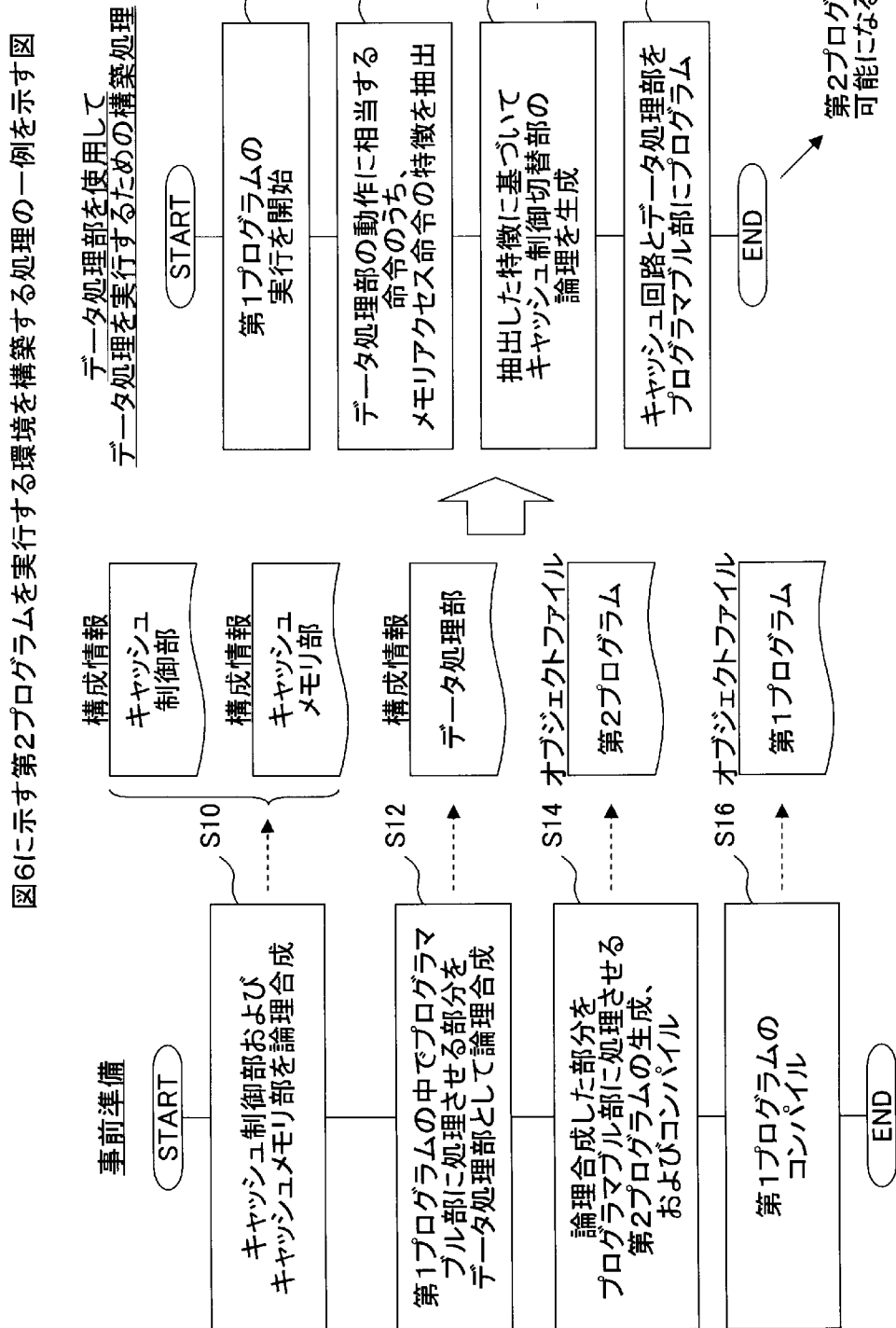


[図6]

図4に示すプログラマブル部にプログラムされるデータ処理部の一例を示す図



[図7]



[図8]

図7に示すステップS24で生成されるキャッシュ制御切替部を含むキャッシュ回路の動作の一例を示す図

行	データ処理部で実行する 処理と等価な命令群	キャッシュ回路10bの動作			他のキャッシュ回路の動作		
		キャッシュヒット /バースト長	ヒット/ミス	追いつきの発生	キャッシュヒット /バースト長	ヒット/ミス	追いつきの発生
1	LD A1, Da1	I/1	ミス	0	S/1	ミス	1
2	LD A2, Da2	S/1	ミス	1	S/1	ミス	1
3	EXE1 Da3 (Da1, Da2)						
4	ST A3, Da3	M/1	ミス	1	M/1	ミス	1
5	BR Da3 B C						
6	B:						
7	LD B1, Db1	S/2	ミス	2	S/1	ミス	1
8	LD B2, Db2	I/1	ヒット	0	S/1	ミス	1
9	EXE2 Db3 (Db1, Db2)						
10	ST B3, Db3	I/1	ミス	0	M/1	ミス	1
11	...	...	...	...	...	...	...
21	C:						
22	LD A2, Dc2	I/1	ヒット	0	S/1	ヒット	0
23	LD C1, Dc1	I/1	ミス	0	S/1	ミス	1
24	EXE3 Dc3 (Dc2, Dc1)						
25	ST A3, Dc3	M/1	ヒット	0	M/1	ミス	1

プロセスA

プロセスB

プロセスC

[図9]

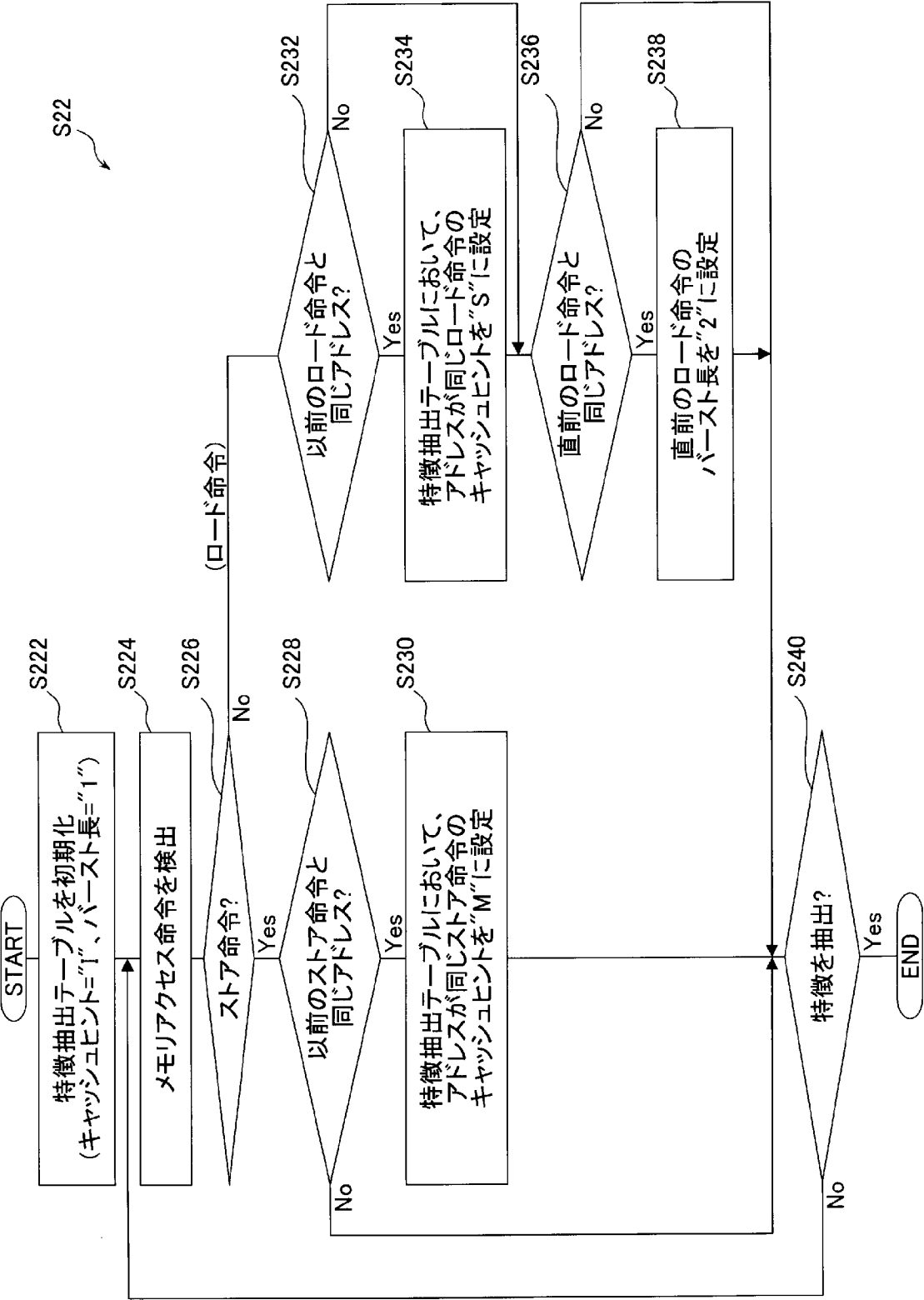
図7に示すステップS22で使用する特徴抽出テーブルの一例を示す図

TBL

アクセス 種別	アクセス アドレス	キャッシュ ヒント	バースト長
リード	A1	I	1
リード	A2	S	1
ライト	A3	M	1
リード	B1	S	2
⋮	⋮	⋮	⋮

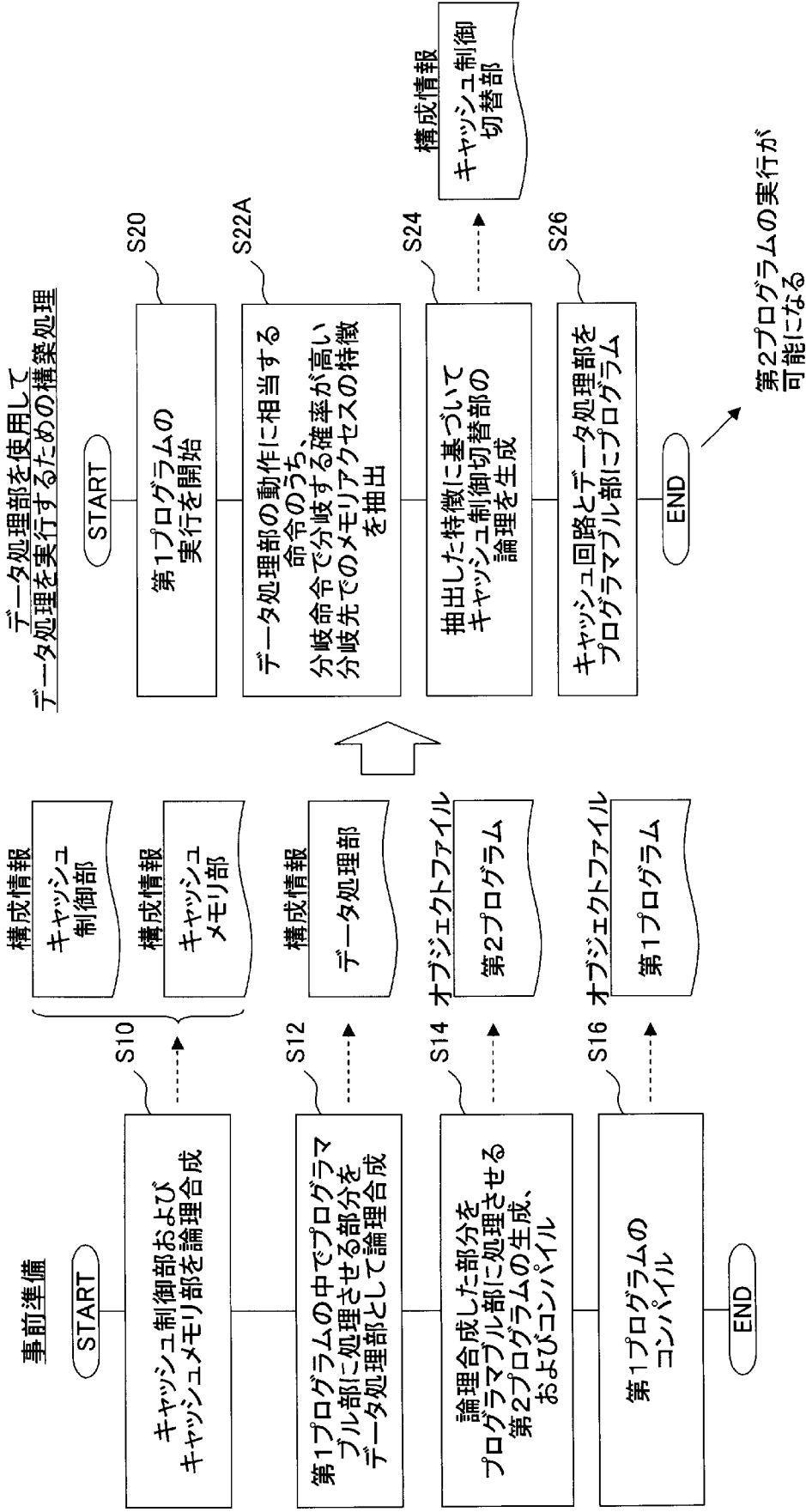
[図10]

図7に示すステップS222の処理の一例を示す図



[図11]

情報処理装置の別の実施形態における第2プログラムを実行する環境を構築する処理の一例を示す図



[図12]

図11に示すステップS24で生成されたキャッシュ制御切替部を含むキャッシュ回路の動作の一例を示す図

行	データ処理部で実行する 処理と等価な命令群	あるキャッシュ回路の動作		別のキャッシュ回路の動作	
		キャッシュヒット /バースト長	ヒット/ミス	キャッシュヒット /バースト長	ヒット/ミス
1	LD A1, Da1	S/2	ミス	I/1	ミス
2	LD A2, Da2	S/2	ミス	S/1	ミス
3	EXE1 Da3 (Da1, Da2)				
4	ST A3, Da3	M/1	ミス	M/1	ミス
5	BR Da3 B C				
6	B:				
7	LD B1, Db1	S/2	ミス	S/1	ミス
8	LD B2, Db2	S/2	ヒット	I/1	ミス
9	EXE2 Db3 (Db1, Db2)				
10	ST B3, Db3	M/1	ミス	M/1	ミス
⋮	⋮	⋮	⋮	⋮	⋮
21	C:				
22	LD A2, Dc2	S/2	ミス	I/1	ヒット
23	LD C1, Dc1	S/2	ミス	I/1	ミス
24	EXE3 Dc3 (Dc2, Dc1)				
25	ST A3, Dc3	M/1	ミス	M/1	ミス

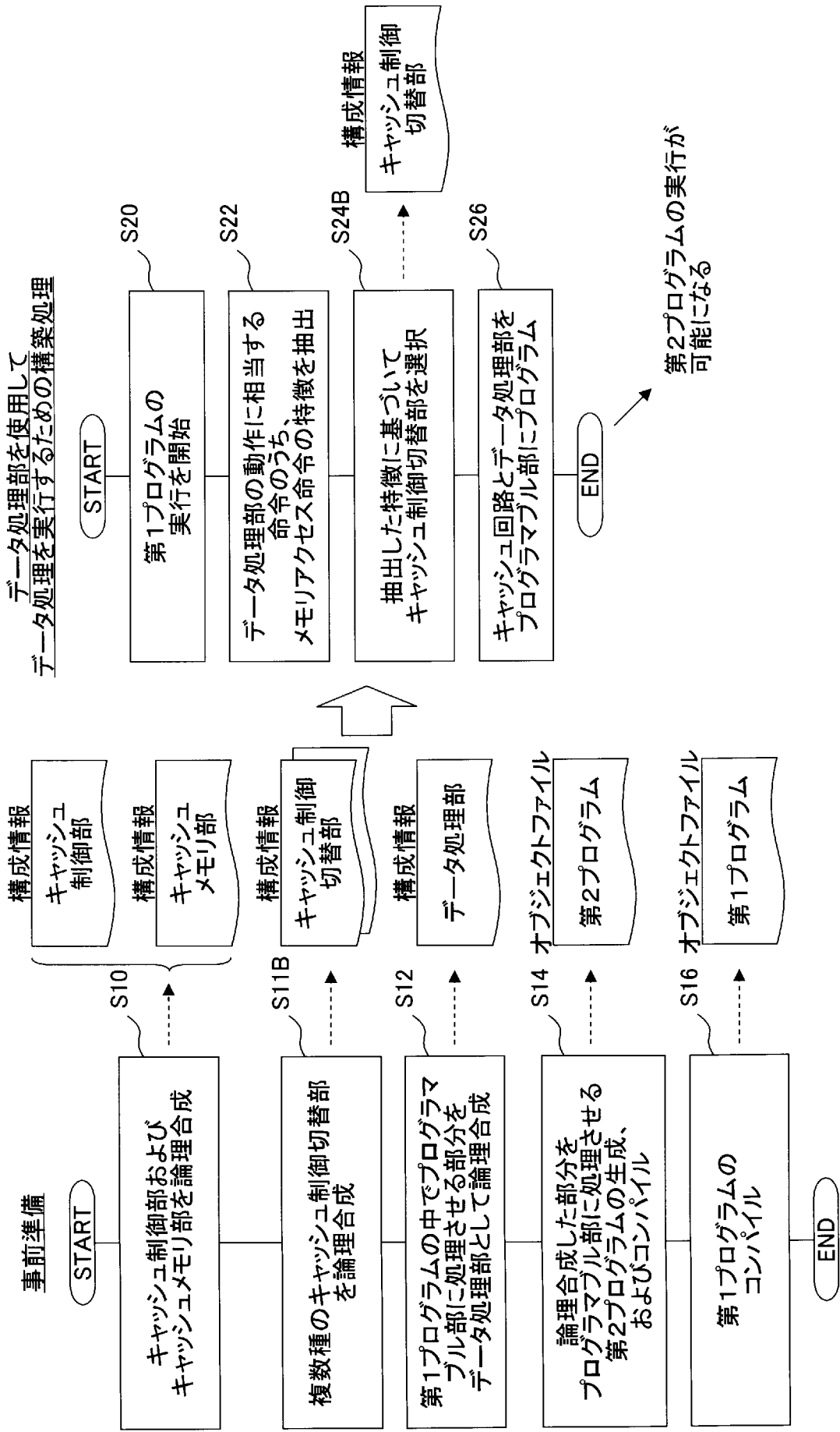
プロセスA

プロセスB

プロセスC

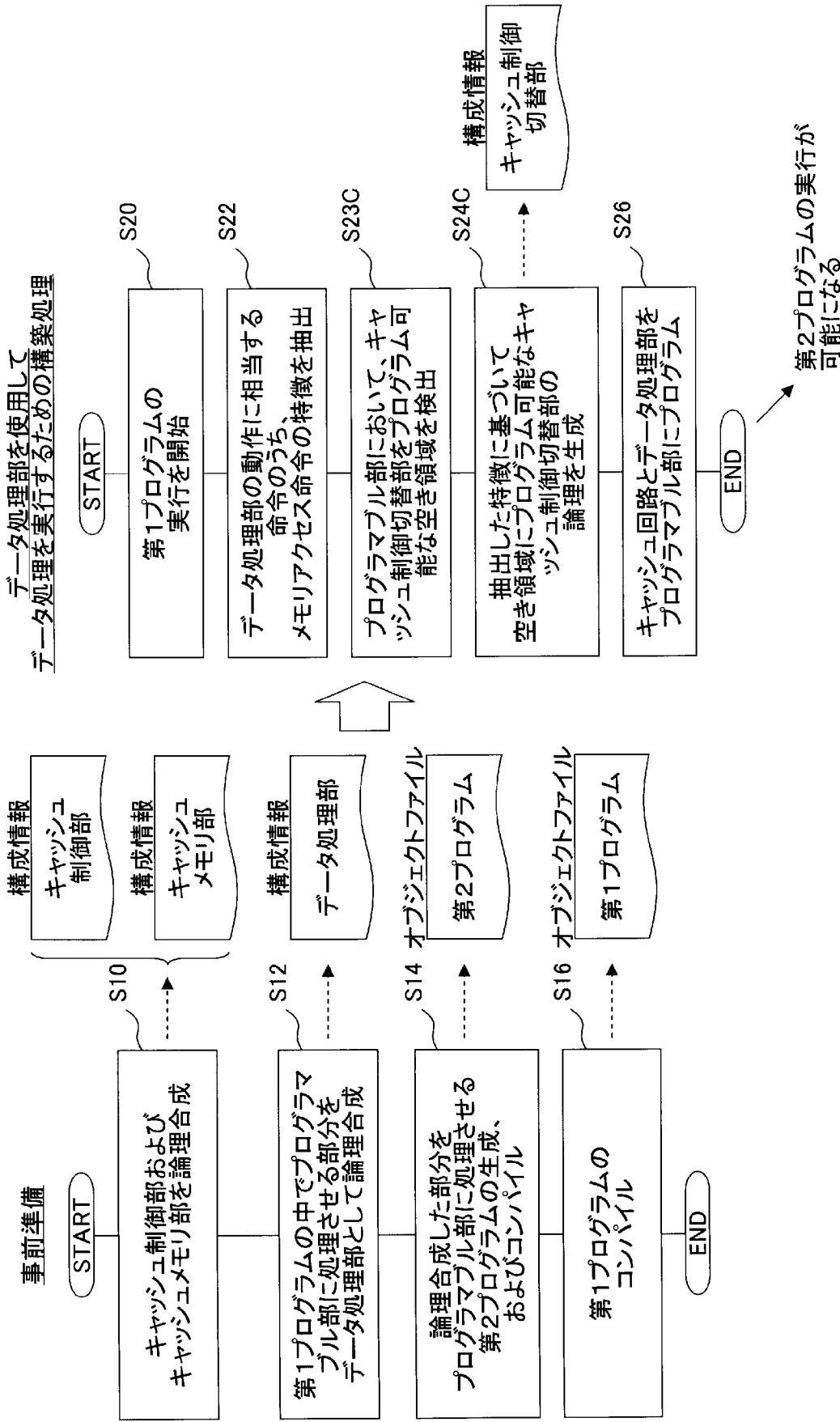
[図13]

情報処理装置の別の実施形態における第2プログラムを実行する環境を構築する処理の一例を示す図

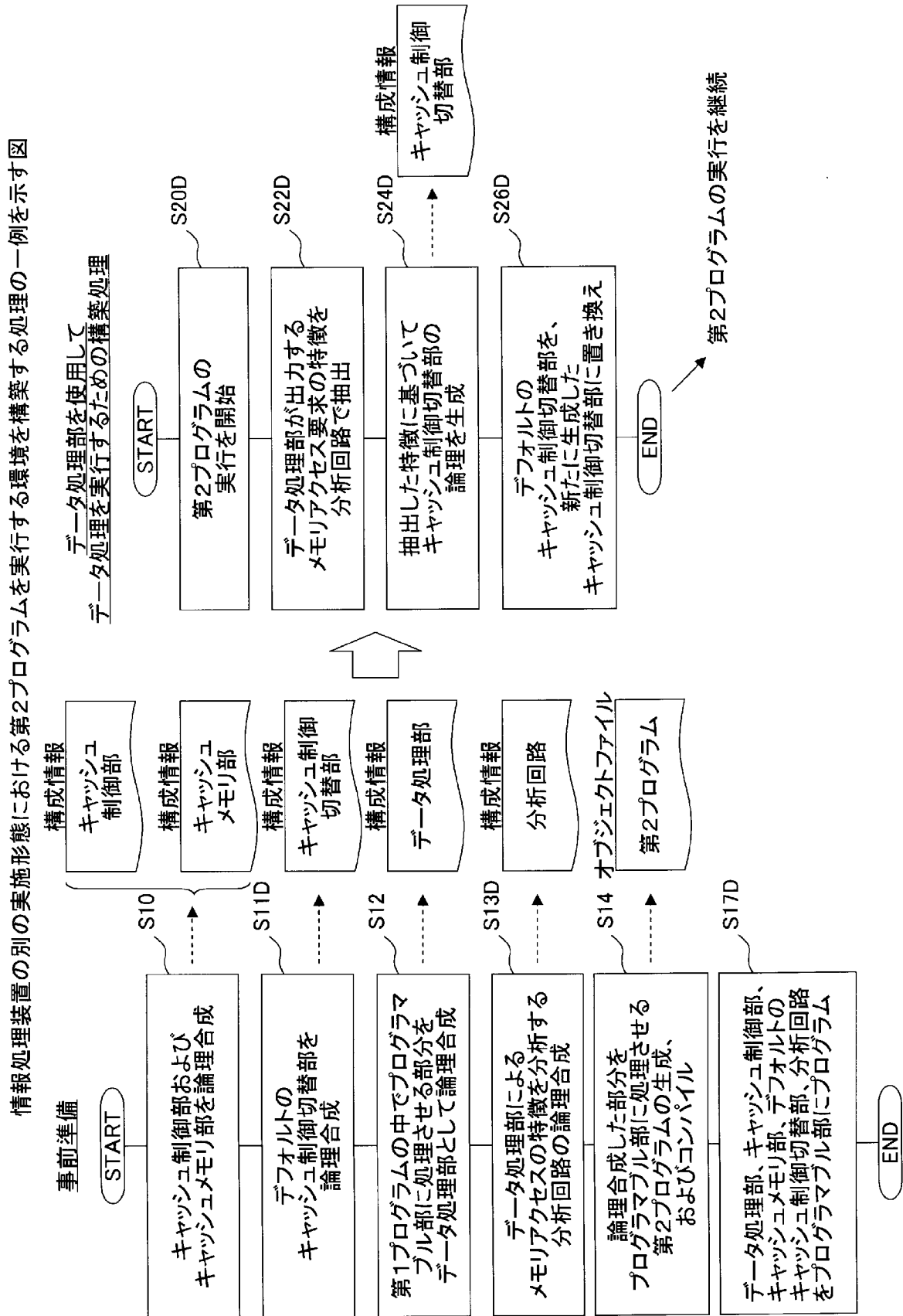


[図14]

情報処理装置の別の実施形態における第2プログラムにおける第2プログラムを実行する環境を構築する処理の一例を示す図



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/004181

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G06F12/12 (2016.01) i, G06F12/08 (2016.01) i, H03K19/177 (2006.01) n

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G06F12/12, G06F12/08, H03K19/177

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-69641 A (SAMSUNG ELECTRONICS CO., LTD.) 13 April 2015, paragraphs [0050]-[0053], [0062], [0069], fig. 2, 4, 5 & US 2015/0095589 A1, paragraphs [0056]-[0059], [0068], [0076], fig. 2, 4, 5 & EP 2854037 A1 & KR 10-2015-0037367 A & CN 104516825 A	1-13
A	JP 2002-140234 A (HITACHI, LTD.) 17 May 2002, paragraphs [0043], [0047]-[0066], fig. 1, 2 & US 2002/0053006 A1, paragraphs [0072], [0076]-[0103], fig. 1, 2	1-13
A	JP 2010-3042 A (KOYO ELECTRONICS INDUSTRIES CO., LTD.) 07 January 2010, paragraph [0018], fig. 1 (Family: none)	1-13

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
12 March 2018 (12.03.2018)

Date of mailing of the international search report
20 March 2018 (20.03.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G06F12/12(2016.01)i, G06F12/08(2016.01)i, H03K19/177(2006.01)n

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G06F12/12, G06F12/08, H03K19/177

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-69641 A（三星電子株式会社）2015.04.13, 段落[0050]-[0053], [0062], [0069], 図 2, 4, 5 & US 2015/0095589 A1, 段落[0056]-[0059], [0068], [0076], 図 2, 4, 5 & EP 2854037 A1 & KR 10-2015-0037367 A & CN 104516825 A	1-13
A	JP 2002-140234 A（株式会社日立製作所）2002.05.17, 段落[0043], [0047]-[0066], 図 1, 2 & US 2002/0053006 A1, 段落[0072], [0076]-[0103], 図 1, 2	1-13

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.03.2018

国際調査報告の発送日

20.03.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

後藤 彰

5 N

4 2 2 6

電話番号 03-3581-1101 内線 3586

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-3042 A (光洋電子工業株式会社) 2010.01.07, 段落[0018], 図1 (ファミリーなし)	1-13