

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 732 811

②1 N° d'enregistrement national :

96 04344

⑤1 Int Cl⁶ : G 11 C 7/04, 11/40

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 05.04.96.

③0 Priorité : 06.04.95 KR 9507970.

④3 Date de la mise à disposition du public de la demande : 11.10.96 Bulletin 96/41.

⑤6 Liste des documents cités dans le rapport de recherche préliminaire : *Ce dernier n'a pas été établi à la date de publication de la demande.*

⑥0 Références à d'autres documents nationaux apparentés :

⑦1 Demandeur(s) : SAMSUNG ELECTRONICS CO LTD
— KR.

⑦2 Inventeur(s) : YANG HYANG JA et PARK HEE
CHUL.

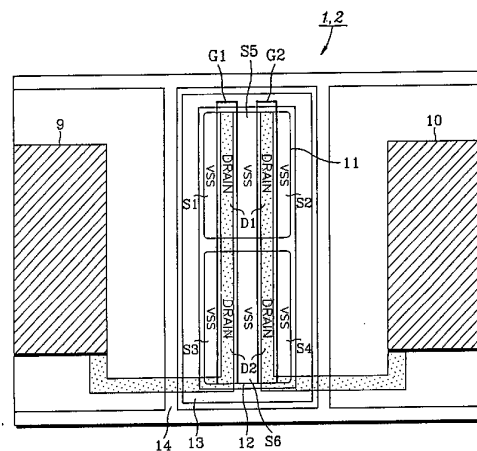
⑦3 Titulaire(s) :

⑦4 Mandataire : CABINET HERRBURGER.

⑤4 MEMOIRE SEMI-CONDUCTRICE A PUCE DE SURFACE REDUITE.

⑤7 Mémoire semi-conductrice comportant un ensemble de pattes (9, 10) recevant des signaux appliqués de l'extérieur, caractérisée en ce qu'elle comprend

- un premier et un second transistor (1, 2) de protection contre les décharges électrostatiques (DES) avec des premières bornes (D1, D2) reliées respectivement aux pattes adjacentes (9, 10) et servant de première surface active, des secondes bornes prévues avec interposition d'un film d'isolation sur la première et la seconde surface de canal de manière adjacente à la première surface active, et
- une troisième borne commune entre la première et la seconde surface de canal, et constituant une seconde surface active, reliée à une alimentation unique (VSS) pour les secondes bornes et la troisième borne commune.



FR 2 732 811 - A1



La présente invention concerne une mémoire semi-conductrice et plus particulièrement une mémoire semi-conductrice ayant une disposition permettant de réduire la surface de la puce en reliant les transistors qui sont respectivement reliés à des pattes adjacentes l'une à l'autre.

Les techniques actuelles pour réaliser les mémoires semi-conductrices très rapides à forte intégration et à faible coût de fabrication ont été étudiées continuellement dans le cadre du développement rapide de l'industrie des mémoires semi-conductrices. Ainsi la miniaturisation d'une mémoire semi-conductrice pour réduire les coûts est l'objectif principal des fabricants. Toutefois comme le nombre de broches augmente, avec la capacité de la puce de la mémoire, lorsqu'on utilise une disposition classique, cela augmente nécessairement les dimensions.

La figure 1 montre la disposition d'un transistor de protection contre les décharges électrostatiques (transistor DES) relié à une patte d'adresse classique ; les transistors de protection DES 1 et 2 sont respectivement reliés aux pattes d'adresse 9 et 10. Le transistor de protection DES 1 a des surfaces actives 3 et 4 de type N séparées l'une de l'autre par un certain intervalle T1 dans la direction verticale ; il comprend également des surfaces de source S1-S4 formées dans les surfaces actives 3 et 4 de type N. Les surfaces de drain D1, D2 sont formées respectivement entre les surfaces de source S1, S2 et S3, S4. Une porte G1 est formée sur la surface de canal entre les surfaces de drain D1, D2 et entre les surfaces de source S1-S4. Pour décharger instantanément un courant important lorsqu'une forte tension est appliquée par les surfaces de drain D1 et D2 reliées à la patte d'adresse 9, on donne à la porte G1 une largeur importante. De plus, pour un meilleur rendement, les deux surfaces actives 3 et 4 sont séparées l'une de l'autre d'un intervalle donné T1. Les surfaces de drain D1, D2 et les surfaces de source S1-S4 sont des surfaces dans lesquelles on injecte des ions d'impureté de type N sous forte densité ; les portes sont formées de manière symétrique centrées sur D1 et D2.

Le transistor de protection DES 2 est réalisé de la même manière que le transistor de protection DES 1 ; il comporte une porte de référence G2. Le transistor de protection DES 1 est protégé par une ligne de garde active 5 du type P pour éviter le verrouillage ; la ligne de garde active 5 type P est elle-même protégée par une ligne de garde active 6 de type N. De même, le transistor de protection DES 2 est protégé par une ligne de garde active 7 de type P et cette ligne de garde active 7 est elle-même protégée par une ligne de garde active 8 de type N. Comme décrit ci-dessus, chacun des transistors de protection DES 1 et 2 est protégé par les lignes de garde actives 5 à 8 de type P ; il présente une surface active de type N, c'est-à-dire la surface de source. Dans ce montage, on a ainsi l'inconvénient qu'une partie importante de la surface de la mémoire semi-conductrice soit occupée par des pattes.

La présente invention a pour but de créer une mémoire semi-conductrice ayant une disposition de pattes permettant de réduire les dimensions de la matrice.

L'invention a également pour but de créer une mémoire semi-conductrice dont la disposition des pattes soit de dimensions réduites par des lignes de garde actives formées à la périphérie d'un transistor de protection contre les décharges électrostatiques et une surface active de type N partagée par des transistors de protection DES, adjacents.

A cet effet, l'invention concerne une mémoire semi-conductrice caractérisée en ce qu'elle comprend :

- un premier et un second transistor de protection contre les décharges électrostatiques avec des premières bornes reliées respectivement aux pattes adjacentes et servant de première surface active, des secondes bornes prévues avec interposition d'un film d'isolation sur la première et la seconde surface de canal de manière adjacente à la première surface active, et
- une troisième borne commune entre la première et la seconde surface de canal, et constituant une seconde surface active, reliée à une alimentation unique pour les secondes bornes et la troisième borne commune.

La présente invention sera décrite ci-après de manière plus détaillée à l'aide des différents modes de réalisation représentés dans les dessins annexés, dans lesquels :

5 - la figure 1 montre une disposition d'une patte d'adresse connue,

- la figure 2 montre une disposition d'une patte d'adresse selon un premier mode de réalisation de l'invention,

- la figure 3 est un schéma équivalent de la figure 2,

10 - la figure 4 montre une disposition d'une patte entrée/sortie connue, avec un transistor élévateur de type P,

- la figure 5 montre une disposition d'une patte entrée/sortie avec un transistor élévateur de type P, selon un second mode de réalisation de la présente invention,

15 - la figure 6 est un schéma équivalent de la figure 5,

- la figure 7 montre une disposition d'une patte entrée/sortie connue, avec un transistor élévateur de type N,

20 - la figure 8 montre une disposition d'une patte entrée/sortie avec un transistor élévateur de type N, correspondant à un troisième mode de réalisation de la présente invention,

- la figure 9 est un schéma équivalent de la figure 8,

25 - la figure 10 est un diagramme d'une puce semi-conductrice mettant en oeuvre les caractéristiques de la présente invention.

Description détaillée du mode de réalisation préférentiel

30 La figure 2 montre la disposition d'une patte d'adresse selon un premier mode de réalisation de l'invention. A la figure 2, pour réduire la surface occupée par les transistors de protection DES 1 et 2, respectivement branchés entre les pattes d'adresse 9 et 10, ces transistors de protection DES
35 1 et 2 ont en commun les surfaces actives de type N, S5 et S6 constituant les surfaces de source et les lignes de garde actives 13 et 14. Les portes et sources des transistors de protection DES 1 et 2 sont reliées au potentiel de masse VSS et leurs

drains sont reliés aux pattes d'adresse 9 et 10. La ligne de garde active 13 de type P évitant le verrouillage est formée à la périphérie des transistors de protection DES 1 et 2 réunis par les surfaces actives de type N, S5 et S6 ; la ligne de garde active 13 de type P est protégée par la ligne de garde 14 de type N. En conséquence la surface occupée par les transistors de protection DES selon la disposition de la figure 2 est inférieure à la surface de la disposition classique représentée à la figure 1.

10 Les transistors de protection DES reliés aux pattes d'adresse 9 et 10 sont des transistors NMOS selon la présente invention. Toutefois ils peuvent également être des transistors PMOS ou autres éléments donnant les effets équivalents.

Selon la figure 3 qui est un schéma des transistors de protection reliés aux pattes d'adresse, les portes et sources des transistors de protection DES 1 et 2 sont reliées au potentiel de masse VSS ; les drains des transistors sont respectivement reliés aux pattes d'adresse 9 et 10.

La figure 4 montre un transistor élévateur de type P et un transistor abaisseur de type N reliés à une patte classique entrée/sortie (I/O). Selon la figure 4, le transistor PMOS 15 est un transistor élévateur et le transistor NMOS qui est un transistor abaisseur sont respectivement reliés aux pattes I/O 17, 18, 19. Dans la suite de la description, lorsque les transistors sont dédoublés, leur référence numérique porte en suffixe les lettres A et B dans les figures sans que ces références ne soient toujours reprises dans la description ; il en est de même des parties de ces transistors. Les transistors PMOS 15A, B sont obtenus en séparant trois surfaces actives 27, 28, 29 ; les transistors NMOS 16A, B sont obtenus en séparant deux surfaces actives 20, 21. Les surfaces de source S6-S11 sont formées dans les surfaces actives 17, 18, 19 et la surface de drain D3A, B est formée entre les surfaces de source S6, S7, entre S8, S9 et entre S10, S11 respectivement. Une porte G3A (G3B) est formée sur la surface de canal entre la surface de drain D3A, B et les surfaces de source S6-S11.

Les surfaces de source S12-S15 sont formées dans les surfaces actives 20 et 21 qui constituent les transistors

NMOS 16A, B ; la surface de drain D4A, B est formée respectivement entre les surfaces de source S12, S13 et S14, S15 ; la porte G4A, B est formée sur la surface de canal entre la surface de drain D4A, B et les surfaces de source S14 et S15.

5 Le circuit formé du transistor PMOS 15A, B et du transistor NMOS 16A, B peut être un transistor servant de circuit d'entrée/sortie de données ; il est relié chaque fois à une patte entrée/sortie (I/O). Une ligne de garde active 22 du type N évitant le verrouillage est formée à la périphérie du transistor PMOS 15 ; une ligne de garde active 23 du type P est formée pour protéger la ligne de garde active 22 de type P. La ligne de garde active 24 de type N est formée pour protéger la ligne de garde active 23 de type P. La ligne de garde active 25 de type P est formée à la périphérie du transistor NMOS 16A, B ; la ligne de garde active 26 de type N est formée pour protéger la ligne de garde active 25 de type P.

10 La figure 5 montre la disposition de la patte entrée/sortie (I/O) lorsque le transistor élévateur de type P est disposé selon le second mode de réalisation de la présente invention.

20 A la figure 5, pour réduire la surface occupée par les transistors entre les pattes I/O, 27, 28, 29, les sources des transistors 15A, 15B branchées entre deux pattes I/O 27, 28 adjacentes selon la figure 4 sont utilisées en commun comme les surfaces actives identiques S16-S18 ; les sources des transistors NMOS 16A, 16B branchées entre deux pattes I/O 28, 29 servent en commun de surfaces actives identiques S19, S20. Les sources des transistors PMOS 15A, 15B sont reliées à la tension d'alimentation VCC ; les drains de ces transistors sont reliés aux pattes d'adresse 27, 28. La ligne de garde active 22 de type N évitant le verrouillage est formée à la périphérie des transistors PMOS 15A, 15B reliés en commun par les surfaces actives S16-S18 ; la ligne de garde active 23 de type P est formée pour protéger la ligne de garde active 22 de type N ; la ligne de garde active 24 de type N est formée pour protéger la ligne de garde active 23 de type P. Ainsi la surface de la disposition de la patte I/O telle qu'expliquée ci-dessus est réduite par comparaison à celle d'une disposition de patte I/O

classique avec triple protection pour chaque transistor 15A et 15B. De la même manière que les transistors PMOS 15A et 15B décrits ci-dessus, les transistors NMOS 16A et 16B ont en commun les surfaces actives S19 et S10 et les lignes de garde actives 5 25, 26 ce qui réduit la surface de la puce.

La figure 6 est un schéma équivalent du circuit de la figure 5. Les sources des transistors PMOS 15A, 15B sont reliées à la tension d'alimentation VCC ; leurs portes G3A, G3B sont reliées à une borne de sortie d'une porte NAND (porte NON-10 ET) référencée L1. Les drains sont reliés aux pattes 27, 28, 29. De la même manière les sources des transistors NMOS sont reliées au potentiel de la masse VSS ; leurs portes G4A, G4B sont reliées à la borne de sortie d'un inverseur L3 ; les drains sont reliés aux pattes 27, 28, 29.

Une première borne d'entrée A de la porte NAND L1 15 reçoit une première sortie de données et une seconde borne d'entrée C reçoit un signal de commande pour la porte NAND L1. Par ailleurs, une première borne d'entrée B de la porte NAND L2, reçoit une seconde sortie de données ; une seconde borne 20 d'entrée C est partagée avec la première porte NAND L1. La borne de sortie de la seconde porte NAND L2 est reliée à une borne d'entrée de l'inverseur L3. La configuration de ces portes logiques constitue un circuit de commande pour piloter les transistors 15 et 16.

La figure 7 montre une disposition dans laquelle 25 les transistors PMOS 15 comme transistors élévateurs de la figure 4 sont remplacés par des transistors NMOS 30.

La figure 7 montre la disposition des transistors NMOS 30 constituant des transistors élévateurs reliés respecti- 30 vement aux pattes entrée/sortie (I/O) 27-29 et aux surfaces actives 32-34. Les surfaces de source S21-S26 sont formées dans les surfaces actives 32-34 ; la surface de drain D5A, B est formée entre les surfaces de source S21, S22, les surfaces de source S23, S24 et les surfaces de source S25, S26, respecti- 35 ves. Une porte G5A, B est formée sur la surface de canal entre la surface de drain D5A, B et les surfaces de source S21-S26. Les transistors NMOS 30A, B servent de circuit d'entraînement (pilote) d'entrée/sortie de données ; ces transistors sont res-

pectivement reliés aux pattes I/O 27, 28. En plus, pour éviter le verrouillage, une ligne de garde active 35, de type P, est formée autour de chaque transistor NMOS 30A, B ; une ligne de garde active 36 de type N, est formée pour protéger la ligne de garde active 35 de type P.

Chacun des transistors NMOS 16A, B, reliés aux transistors NMOS 30A, B, servant de transistor élévateur, effectue une action d'abaissement ; il a la même configuration qu'à la figure 4. Une telle configuration occupe une surface plus grande sur la puce.

Selon la figure 8, la configuration du transistor NMOS 16A, B fonctionnant comme transistor abaisseur est la même que celle du transistor NMOS 16A, B représenté à la figure 5 ; la configuration du transistor NMOS 30A, B, servant de transistor élévateur, est la même que celle du transistor PMOS 15A, B selon la figure 5. En d'autres termes, les sources des transistors NMOS 30A, 30B servent en commun de surfaces actives identiques S27-S29. Les sources des transistors NMOS 30A, 30B sont reliées à la tension d'alimentation VCC ; leurs drains D5A, D5B sont reliés aux pattes d'adresse 27, 28. La ligne de garde active 35 du type P qui évite le verrouillage est formée à la périphérie des transistors NMOS 30A, 30B en passant par les surfaces actives S27-S29 ; la ligne de garde active 36 du type N, est formée pour protéger la ligne de garde active 35 de type P. La surface de la disposition de la patte entrée/sortie (I/O) comme indiqué ci-dessus est réduite par comparaison avec la surface d'une disposition de patte entrée/sortie (I/O) classique, avec triple protection de chacun des transistors NMOS 30A, 30B.

La figure 9 montre les transistors branchés entre les pattes entrée/sortie (I/O) et le circuit équivalent pour commander les transistors ci-dessus ; le circuit équivalent est représenté dans un bloc en pointillés.

A la figure 9, la forme des transistors élévateur et abaisseur 30A, B et 16A, B est la même que celle des transistors élévateur/abaisseur selon la figure 6. Toutefois, comme les transistors élévateurs 30A, B sont des transistors NMOS, on ajoute un inverseur L4 entre la borne de sortie de la porte

NAND L1 et la porte des transistors éleveurs 30A, B, de manière à commander les transistors éleveur et abaisseur 30A, B et 16A, B.

5 La figure 10 montre un schéma d'une puce semi-conductrice réalisée selon les caractéristiques de la présente invention ; cela correspond à la disposition des pattes d'adresse (D1, D2, D3, D4, ..., DN) et des pattes I/O (E1, E2, E3, E4, ..., EN) correspondant aux pattes d'adresse 9 et 10 et aux pattes I/O (27, 28, 29).

10 Dans la disposition de la mémoire semi-conductrice avec des transistors de protection DES entre les pattes adjacentes selon les caractéristiques de la présente invention, on évite d'augmenter les dimensions de la matrice malgré l'augmentation du nombre de broches. De plus, on a l'avantage
15 que cette disposition puisse s'appliquer de manière souple au cours du procédé de fabrication de la puce semi-conductrice.

R E V E N D I C A T I O N S

1°) Mémoire semi-conductrice comportant un ensemble de pattes (9, 10) recevant des signaux appliqués de l'extérieur, caractérisée en ce qu'elle comprend

- 5 - un premier et un second transistor (1, 2) de protection contre les décharges électrostatiques (DES) avec des premières bornes (D1, D2) reliées respectivement aux pattes adjacentes (9, 10) et servant de première surface active, des secondes bornes prévues avec interposition d'un film d'isolation sur
10 la première et la seconde surface de canal de manière adjacente à la première surface active, et
- une troisième borne commune entre la première et la seconde surface de canal, et constituant une seconde surface active, reliée à une alimentation unique (VSS) pour les secondes bornes
15 et la troisième borne commune.

2°) Mémoire selon la revendication 1, caractérisée en ce qu'

- 20 elle comprend en outre une première ligne de garde, active, conductrice (13) protégeant la périphérie du premier et du second transistor (1, 2) ainsi qu'une seconde ligne de garde, active, conductrice (14) protégeant la première ligne de garde active conductrice (13).

25 3°) Mémoire selon la revendication 2, caractérisée en ce que

le premier et le second transistor (1, 2) sont des transistors MOS de type N (transistor NMOS).

30 4°) Mémoire selon la revendication 3, caractérisée en ce que

- la troisième borne commune au premier et second transistor (1, 2) est une source commune (S5, S6) dans le cas où les premières bornes du premier et du second transistor (1, 2) sont les
35 drains (D1, D2).

5°) Mémoire selon la revendication 2, caractérisée en ce que

la seconde ligne de garde active conductrice (14) est une ligne de garde active de type N dans le cas où la première ligne de garde active conductrice (13) est une ligne de garde active de type P.

5

6°) Mémoire selon la revendication 1, caractérisée en ce que l'ensemble des pattes comprend au moins une patte d'adresse.

10

7°) Mémoire selon la revendication 3, caractérisée en ce que les première et seconde surfaces actives sont des surfaces dans lesquelles a été injectée un ion d'impureté de type N, à forte densité.

15

8°) Mémoire selon la revendication 1, caractérisée en ce que les secondes bornes sont formées de manière symétrique centrées sur la première surface active.

20

9°) Mémoire semi-conductrice selon la revendication 1, ayant un ensemble de pattes d'adresse recevant des signaux d'adresse appliqués de l'extérieur, caractérisée en ce qu'elle comprend

25

- un premier et un second transistor MOS (15A, B, 16A, B) de protection contre les décharges électriques (transistor DES) avec les bornes de drain reliées respectivement aux pattes adjacentes l'une à l'autre, et servant de première surface active, des bornes de porte prévues avec des films d'isolation sur la première et la seconde surface de canal de manière adjacente à la première surface active et une borne de source commune entre la première et la seconde surface de canal et définissant une seconde surface active et une connexion sur une alimentation unique par les bornes de portes et la borne de source commune,

30

35

- une ligne de garde active de type P, protégeant la périphérie du premier et du second transistor,

- une ligne de garde active de type N, protégeant la ligne de garde active de type P.

10°) Mémoire selon la revendication 9,

5 caractérisée en ce que

les bornes de porte sont formées de manière symétrique centrées sur la première surface active.

11°) Mémoire semi-conductrice selon la revendication 1, avec un

10 ensemble de pattes entrée/sortie,

caractérisée par

- un premier et un second transistor élévateur servant de pilote d'entrée/sortie de données comprenant des premières bornes reliées respectivement aux pattes adjacentes à chacune des autres pattes de l'ensemble et servant de première surface active, les secondes bornes prévues avec interposition de films isolants sur la première et la seconde surface de canal de manière adjacente à la première surface active ainsi qu'une troisième borne active commune entre la première et la

15

20

active commune,

- un premier et un second transistor abaisseur servant de pilote d'entrée/sortie de données comprenant des premières bornes reliées aux pattes adjacentes l'une à l'autre dans l'ensemble des pattes et servant de troisième surface active, des secondes bornes prévues avec interposition de films isolants sur une troisième et quatrième surface de canal de manière adjacente à la troisième surface active ainsi qu'une troisième borne commune entre la troisième et la quatrième

25

30

surface de canal et constituant une surface de source commune.

12°) Mémoire selon la revendication 11,

caractérisée en ce que

35 les premier et second transistors élévateurs sont des transistors PMOS et les premier et second transistors abaisseurs sont des transistors NMOS.

- 13°) Mémoire selon la revendication 12,
caractérisée en ce qu'
elle comprend une première ligne de garde active conductrice
protégeant le premier et le second transistor élévateur, une
5 seconde ligne de garde active conductrice protégeant la pre-
mière ligne de garde active conductrice ainsi qu'une troisième
ligne de garde active conductrice, protégeant la seconde ligne
de garde active conductrice.
- 10 14°) Mémoire selon la revendication 13,
caractérisée en ce que
la troisième borne commune du premier et du second transistor
élévateur est une borne de source commune si les premières bor-
15 nes du premier et du second transistor élévateur sont des bor-
nes de drain.
- 15°) Mémoire selon la revendication 13,
caractérisée en ce que
la seconde ligne de garde active conductrice est une ligne de
20 garde active du type P si la première ligne de garde active
conductrice est une ligne de garde active du type N.
- 16°) Mémoire selon la revendication 11,
caractérisée en ce que
25 les premier et second transistors abaisseurs sont des transis-
tours PMOS si les premier et second transistors élévateurs sont
des transistors NMOS.
- 17°) Mémoire selon la revendication 16,
30 caractérisée en ce qu'
elle comprend une première ligne de garde active conductrice
protégeant la périphérie des premier et second transistors élé-
vateurs, et une seconde ligne de garde active conductrice pro-
tégeant la première ligne de garde active conductrice.
- 35 18°) Mémoire selon la revendication 17,
caractérisée en ce que

la troisième borne commune du premier et du second transistor élévateur est une borne de source commune si les première bornes du premier et du second transistor élévateur sont les bornes de drain.

5

19°) Mémoire selon la revendication 17, caractérisée en ce que

la seconde ligne de garde active conductrice est une ligne de garde active de type N si la première ligne de garde conductrice est une ligne de garde active de type P.

10

20°) Mémoire selon la revendication 11, caractérisée en ce que l'ensemble des pattes comprend au moins une patte entrée/sortie.

15

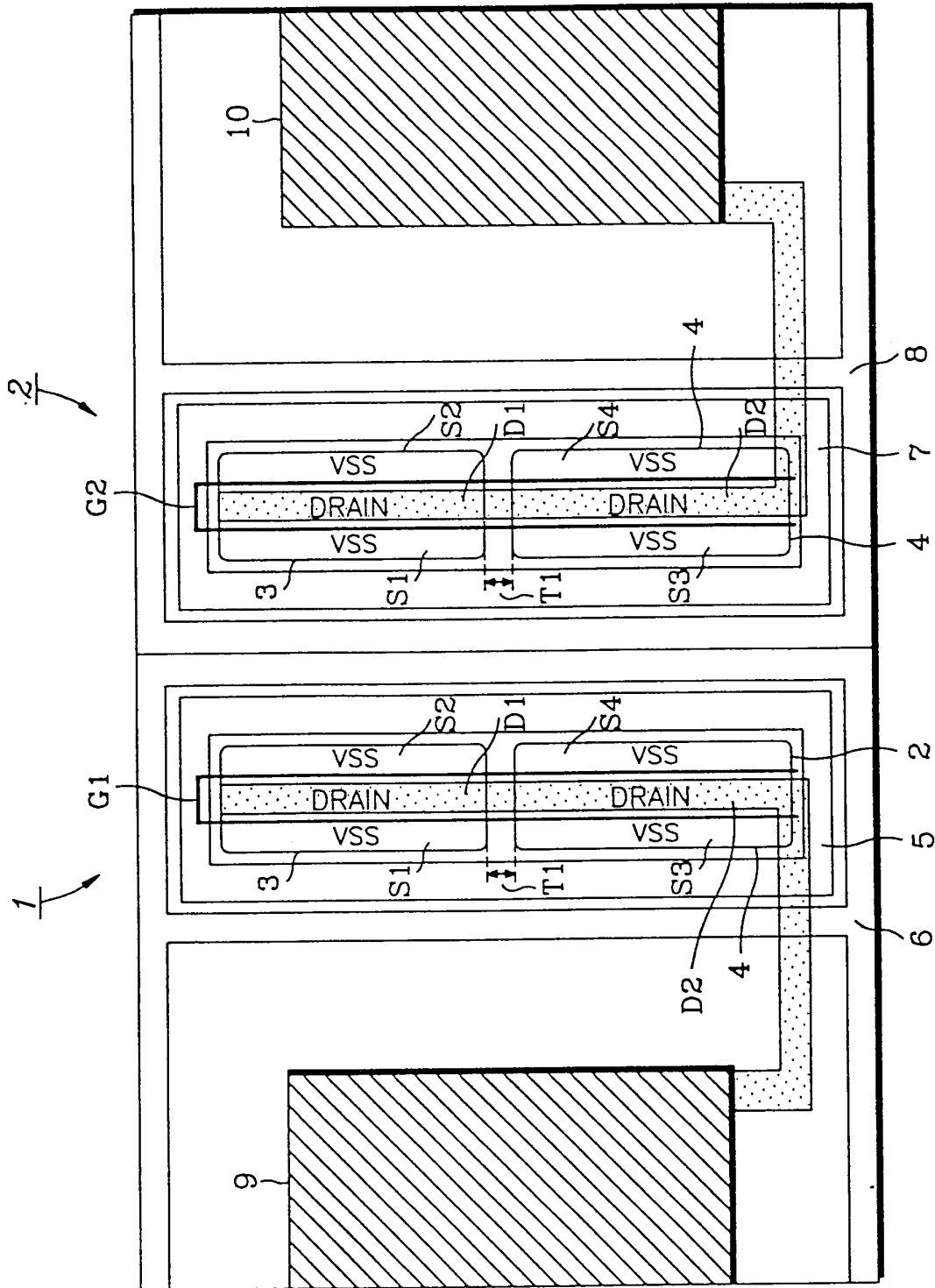


Fig. 1

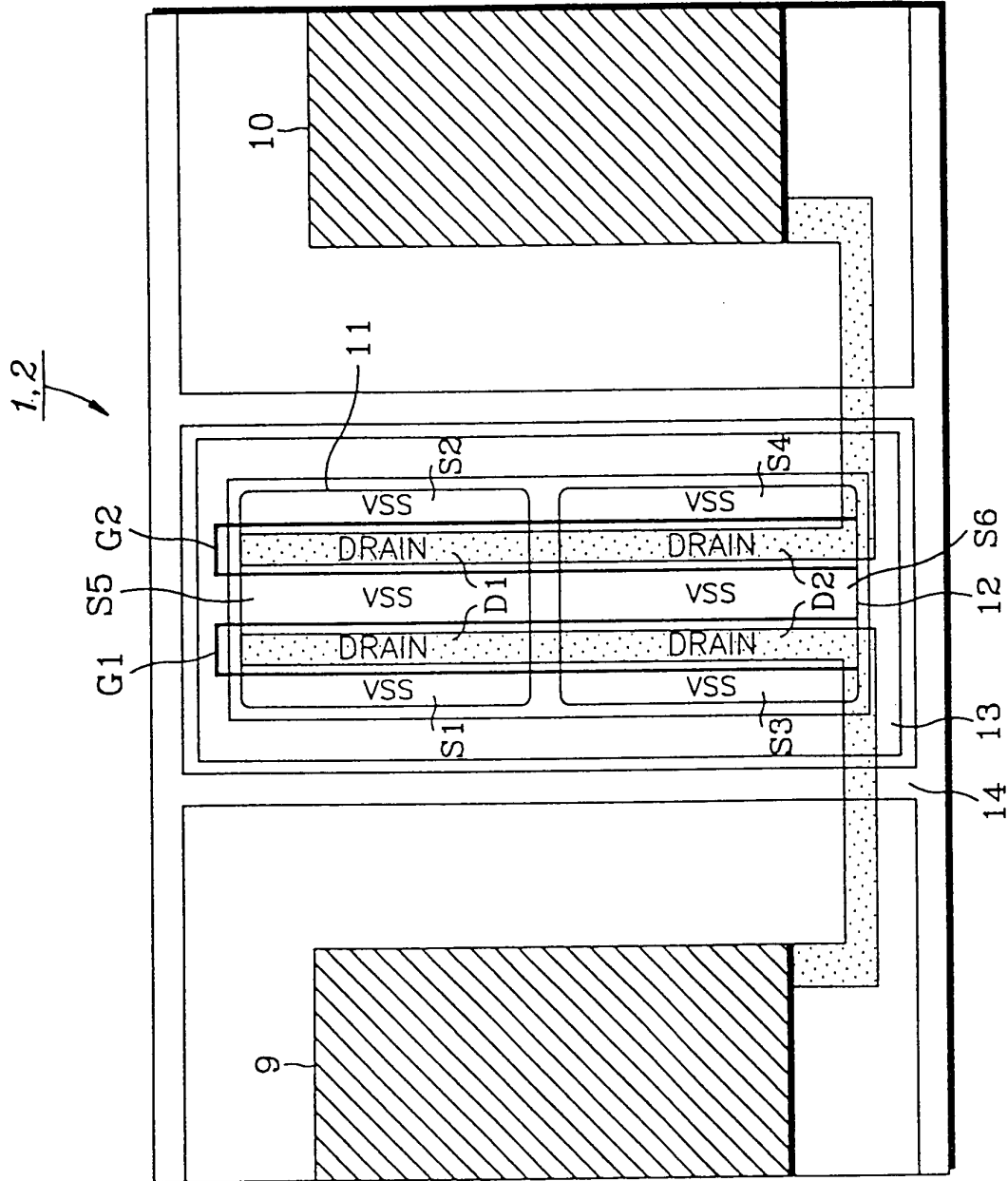


Fig. 2

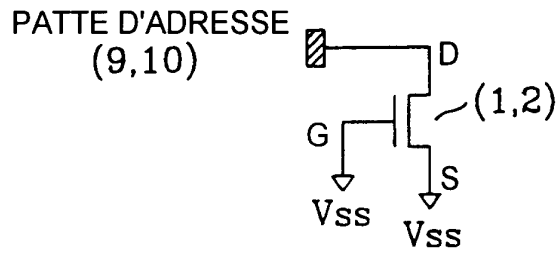


Fig. 3

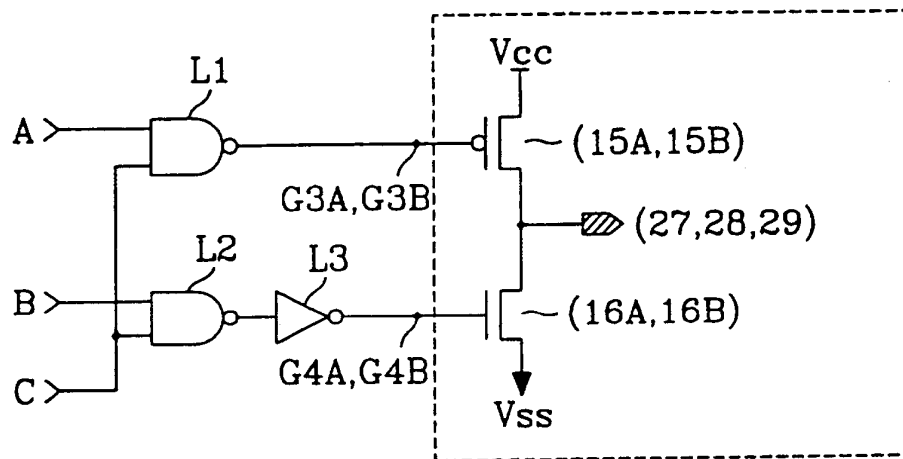


Fig. 6

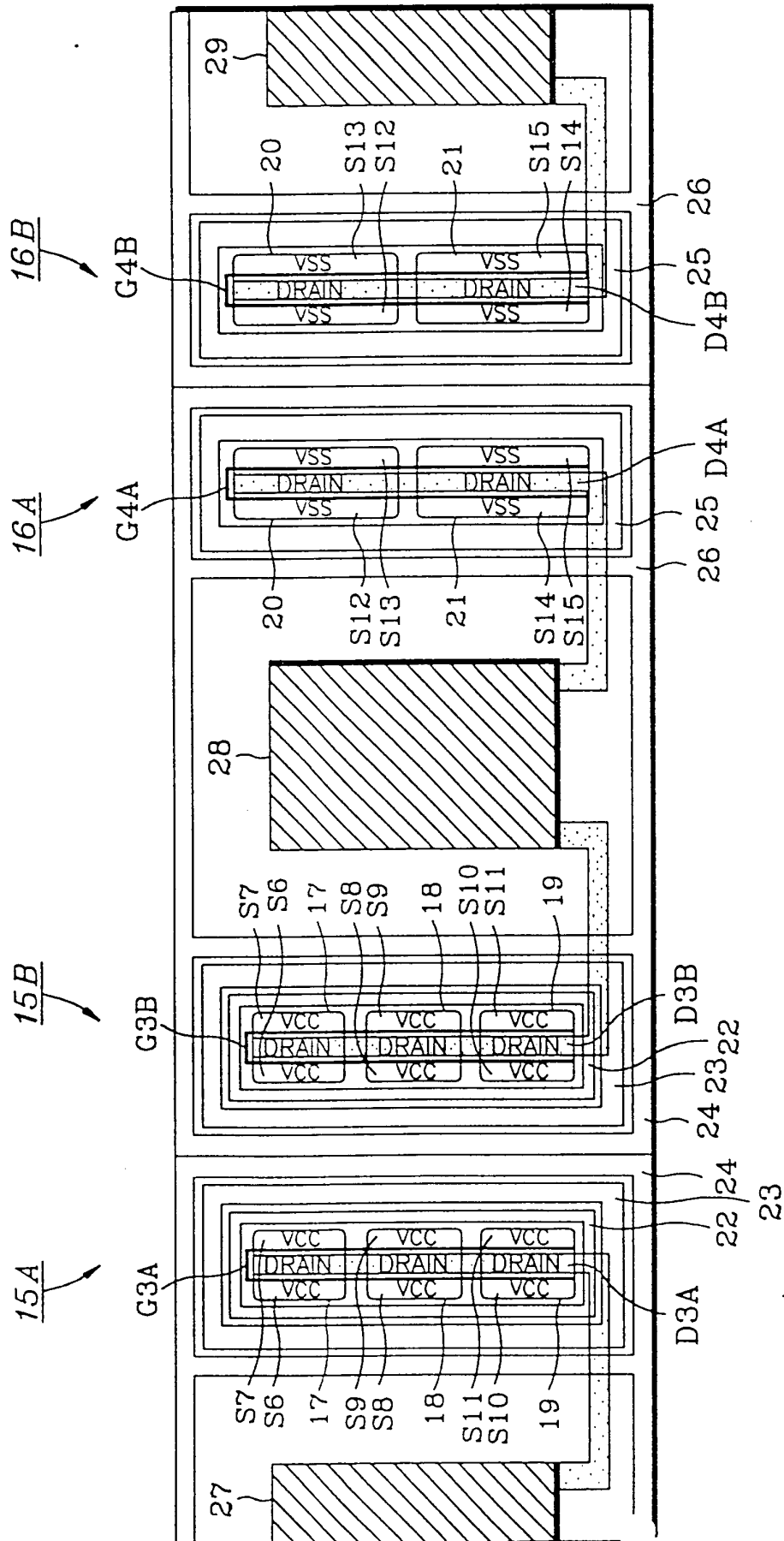


Fig. 4

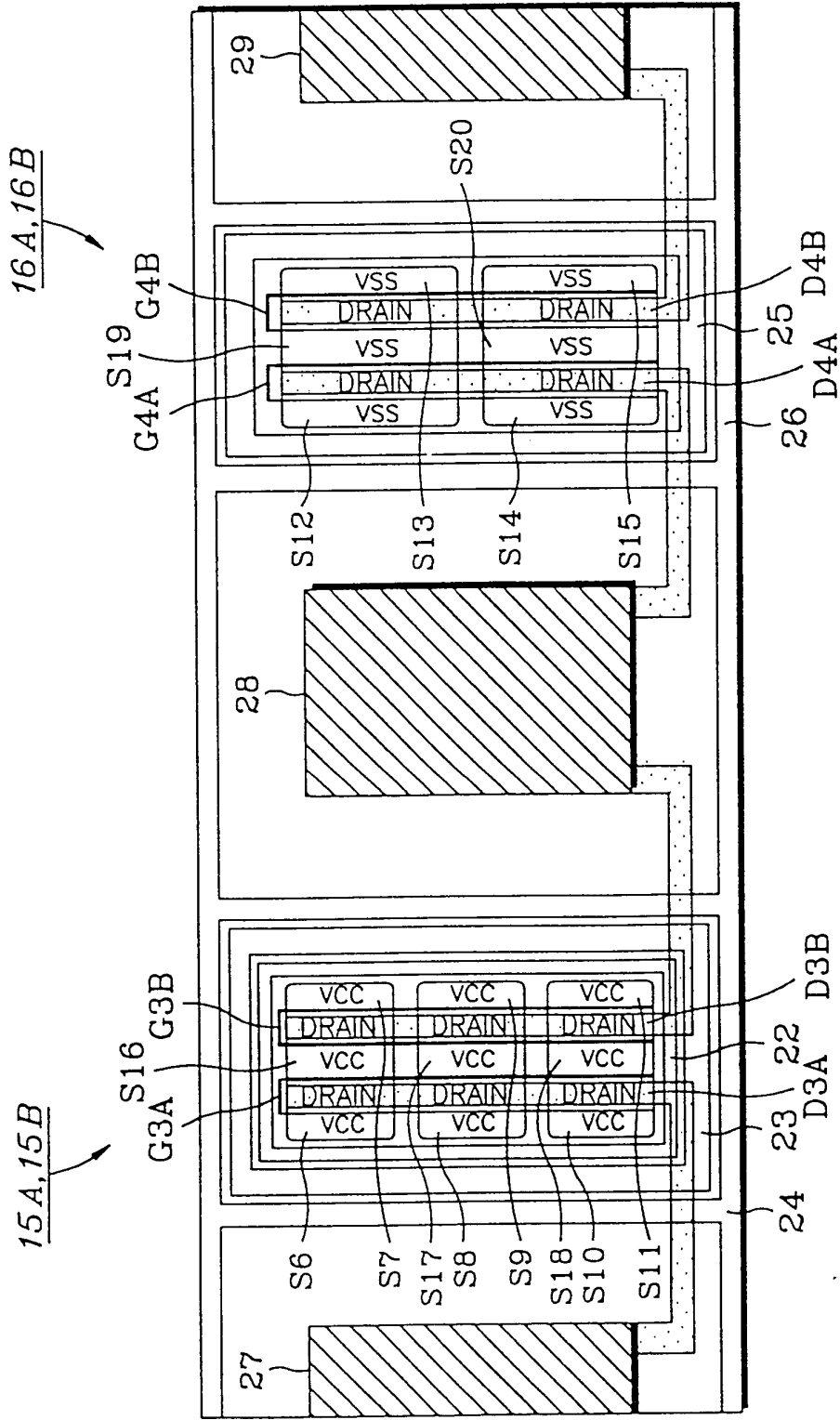


Fig. 5

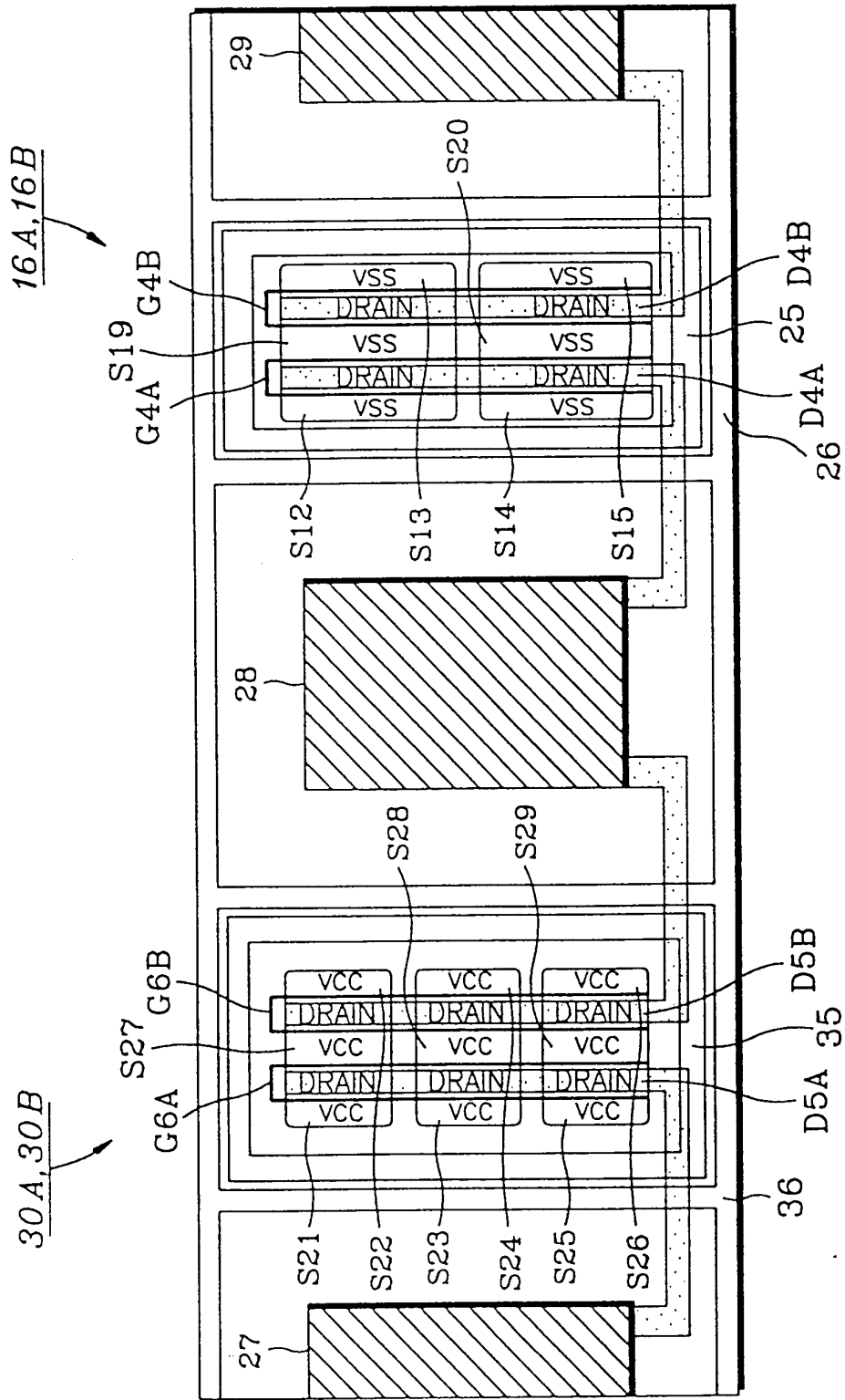
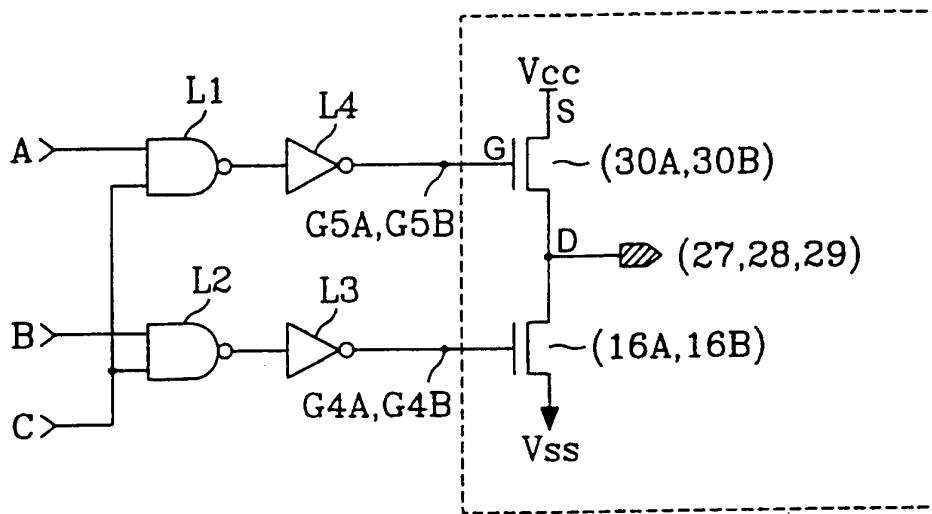


Fig. 8

*Fig. 9*

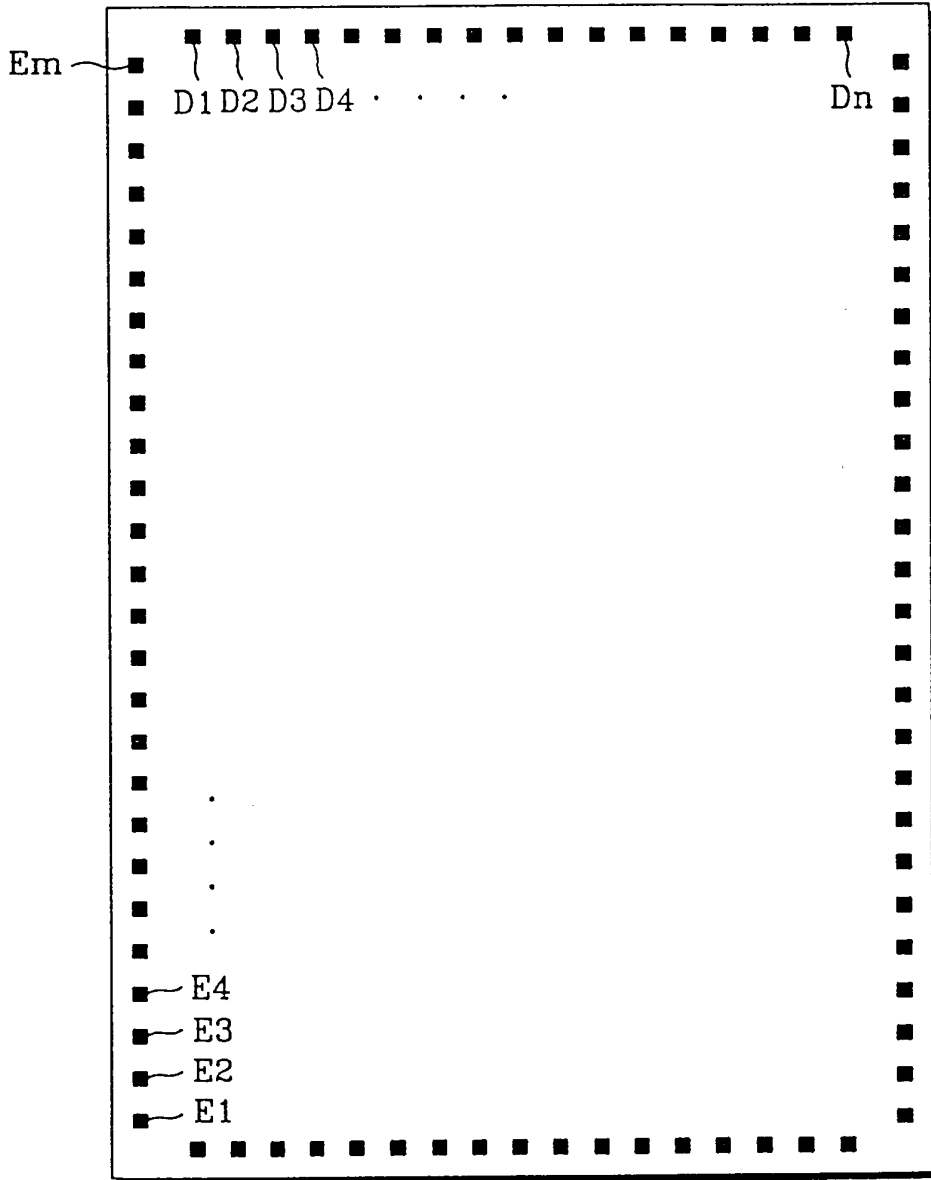


Fig. 10