



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I728178 B

(45)公告日：中華民國 110 (2021) 年 05 月 21 日

(21)申請案號：106129280

(22)申請日：中華民國 106 (2017) 年 08 月 29 日

(51)Int. Cl. : **H01L21/02 (2006.01)****H01L21/033 (2006.01)****H01L21/311 (2006.01)**

(30)優先權：2016/08/31 美國

62/382,110

2017/04/13 美國

15/486,928

(71)申請人：日商東京威力科創股份有限公司 (日本) TOKYO ELECTRON LIMITED (JP)
日本(72)發明人：劉志方 LIU, ERIC CHIH-FANG (US)；萊利 安潔莉 RALEY, ANGELIQUE
(FR)；高明輝 KO, AKITERU (JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

TW 200726826A

TW 201405668A

US 2016/0247883A1

審查人員：趙芝婷

申請專利範圍項數：21 項 圖式數：10 共 34 頁

(54)名稱

用於自對準多重圖案化方法與系統之原位間隔件再成形

(57)摘要

描述用於自對準多重圖案化之原位間隔件再成形的方法與系統。在一實施例中，在基板上形成間隔件圖案的方法可包含提供具有間隔件的基板。該方法亦可包含執行鈍化處理以在該間隔件上形成鈍化層。此外，該方法可包含執行間隔件再成形處理以使該間隔件再成形。該方法亦可包含控制該鈍化處理及間隔件再成形處理以實現間隔件形成目標。

Methods and systems for in-situ spacer reshaping for self-aligned multi-patterning are described. In an embodiment, a method of forming a spacer pattern on a substrate may include providing a substrate with a spacer. The method may also include performing a passivation treatment to form a passivation layer on the spacer. Additionally, the method may include performing spacer reshaping treatment to reshape the spacer. The method may also include controlling the passivation treatment and spacer reshaping treatment in order to achieve spacer formation objectives.

指定代表圖：

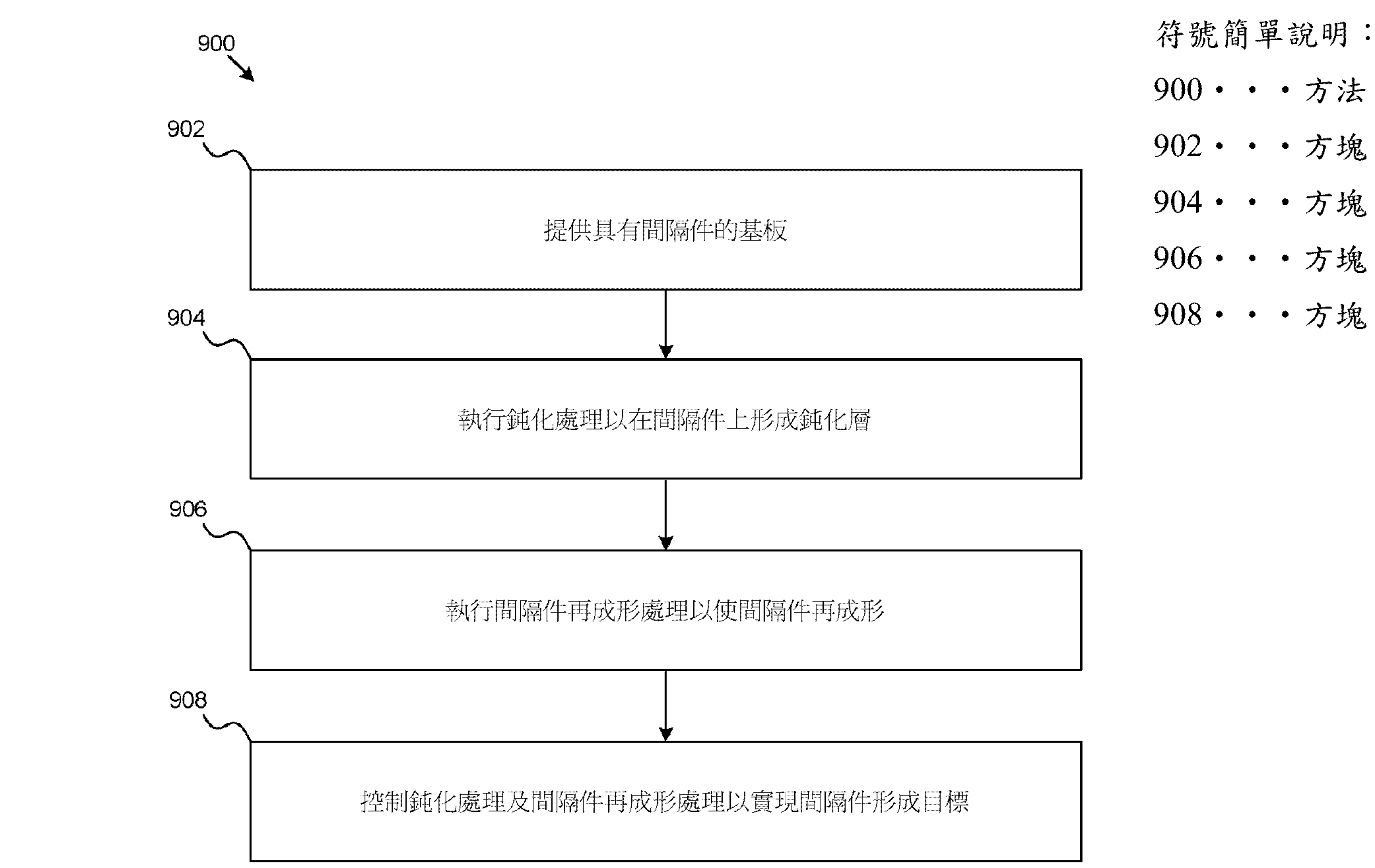


圖 9



I728178

【發明摘要】

【中文發明名稱】 用於自對準多重圖案化方法與系統之原位間隔件再成形

【英文發明名稱】 IN-SITU SPACER RESHAPING FOR SELF-ALIGNED

MULTI-PATTERNING METHODS AND SYSTEMS

【中文】描述用於自對準多重圖案化之原位間隔件再成形的方法與系統。在一實施例中，在基板上形成間隔件圖案的方法可包含提供具有間隔件的基板。該方法亦可包含執行鈍化處理以在該間隔件上形成鈍化層。此外，該方法可包含執行間隔件再成形處理以使該間隔件再成形。該方法亦可包含控制該鈍化處理及間隔件再成形處理以實現間隔件形成目標。

【英文】Methods and systems for in-situ spacer reshaping for self-aligned multi-patterning are described. In an embodiment, a method of forming a spacer pattern on a substrate may include providing a substrate with a spacer. The method may also include performing a passivation treatment to form a passivation layer on the spacer. Additionally, the method may include performing spacer reshaping treatment to reshape the spacer. The method may also include controlling the passivation treatment and spacer reshaping treatment in order to achieve spacer formation objectives.

【指定代表圖】 圖9

【代表圖之符號簡單說明】

900 方法

902	方塊
904	方塊
906	方塊
908	方塊

【發明說明書】

【中文發明名稱】 用於自對準多重圖案化方法與系統之原位間隔件再成形

【英文發明名稱】 IN-SITU SPACER RESHAPING FOR SELF-ALIGNED

MULTI-PATTERNING METHODS AND SYSTEMS

【技術領域】

【0001】 相關申請案的交互參照：本申請案係關於及主張於西元2016年8月31日申請之美國臨時專利申請案第62/382,110號的優先權，其全部內容於此藉由參照納入本案揭示內容。

【0002】 本發明係關於用於基板處理的系統及方法，且更具體而言，關於用於自對準多重圖案化方法與系統之原位間隔件再成形。

【先前技術】

【0003】 自對準多重圖案化（SAMP）技術已用於形成鰭式場效電晶體（FinFET）元件的構件等。尺寸收縮係發展積體電路處理的驅動力之一。藉由縮小大小尺寸，可獲得成本效益及元件性能提升。此可擴縮性在製程流程中產生不可避免的複雜性，尤其是在圖案化技術上。SAMP技術已被廣泛用於次22nm FinFET架構中，且其使用額外的間隔件蝕刻步驟以實現節距縮減要求。傳統的SAMP流程具有幾個步驟，包含芯材蝕刻、間隔件沉積、間隔件蝕刻及芯材拉除。在此方法中，最終特徵部臨界尺寸（CD）係藉由間隔件沉積厚度及間隔件物理特徵（諸如線邊緣粗糙度（LER）和線寬粗糙度（LWR））加以控制。

【0004】 在使用傳統SAMP方法的情況下，間隔件蝕刻經常有最終間隔件輪廓變形的問題，諸如間隔件切面（facet）及CD損失。然而，維持間隔件輪廓

及CD係重要的，因為間隔件輪廓對在最終結構上的節距擺動（pitch walking）效應、遮罩預算、及CD目標具有重大的影響。

【0005】 先前處理技術的另一問題，包含由於非均勻蝕刻及在閘極芯材與間隔件材料之間的缺乏選擇性導致的間隔件高度損失。此外，間隔件材料之不充分的蝕刻可能導致間隔件足部形成（footing）、芯材相對於間隔件步階高度差等。此等製造缺陷可能導致進一步的裝置缺陷、降低產品生產率、限制可製造裝置的尺度等。

【發明內容】

【0006】 用於自對準多重圖案化之原位間隔件再成型的方法與系統係加以描述。在一實施例中，在基板上形成間隔件圖案的方法可包含提供具有間隔件的基板。該方法亦可包含執行鈍化處理以在該間隔件上形成鈍化層。此外，該方法可包含執行間隔件再成型處理以使該間隔件再成型。該方法亦可包含控制該鈍化處理及間隔件再成型處理以實現間隔件形成目標。

【0007】 用於在基板上形成間隔件圖案的系統可包含一離子蝕刻腔室，該離子蝕刻腔室係配置成：接收具有間隔件的一基板，執行鈍化處理以在該間隔件上形成一鈍化層；及執行間隔件再成型處理以使該間隔件再成型。此外，該系統可包含耦接至該離子蝕刻腔室的一控制器，該控制器係配置成控制該鈍化處理及間隔件再成型處理以實現間隔件形成目標。

【圖式簡單說明】

【0008】 包含在說明書中並構成本說明書之一部分的隨附圖式，說明本發明的實施例，並連同以上發明說明及以下實施方式章節，用於描述本發明。

【0009】 圖1係描繪配置成用於自對準多重圖案化方法與系統之原位間隔件再成形之電漿蝕刻系統之一實施例的示意方塊圖。

【0010】 圖2A係描繪用於間隔件形成之工件之一實施例的示意橫剖面圖。

【0011】 圖2B係描繪用於間隔件形成之工件之一實施例的示意橫剖面圖。

【0012】 圖2C係描繪用於間隔件形成之工件之一實施例的示意橫剖面圖。

【0013】 圖2D係用於間隔件形成之工件之一實施例的橫剖面x射線影像。

【0014】 圖3A係描繪用於在基板中形成特徵部之工件之一實施例的示意橫剖面圖。

【0015】 圖3B係描繪用於在基板中形成特徵部之工件之一實施例的示意橫剖面圖。

【0016】 圖3C係用於在基板中形成特徵部之工件之一實施例的橫剖面x射線影像。

【0017】 圖3D係用於在基板中形成特徵部之工件之一實施例的橫剖面x射線影像。

【0018】 圖4A係描繪用於增強基板中之特徵部的形成之製程之一實施例的示意橫剖面圖。

【0019】 圖4B係用於增強基板中之特徵部的形成之工件之一實施例的橫剖面x射線影像。

【0020】 圖5A係描繪用於增強基板中之特徵部的形成之工件之一實施例的示意橫剖面圖。

【0021】圖5B係描繪用於增強基板中之特徵部的形成之工件之一實施例的示意橫剖面圖。

【0022】圖5C係用於增強基板中之特徵部的形成之工件之一實施例的橫剖面x射線影像。

【0023】圖5D係用於增強基板中之特徵部的形成之工件之一實施例的橫剖面x射線影像。

【0024】圖6A係描繪工件的一實施例之示意橫剖面圖，該工件描繪用於增強基板中之特徵部的形成之鈍化製程的實施例。

【0025】圖6B係描繪工件的一實施例之示意橫剖面圖，該工件描繪用於增強基板中之特徵部的形成之鈍化製程的實施例。

【0026】圖7A係描繪工件的一實施例之示意橫剖面圖，該工件描繪用於增強基板中之特徵部的形成之間隔件再成形製程的實施例。

【0027】圖7B係描繪工件的一實施例之示意橫剖面圖，該工件描繪用於增強基板中之特徵部的形成之間隔件再成形製程的實施例。

【0028】圖8A係描繪工件的一實施例之示意橫剖面圖，該工件描繪用於增強基板中之特徵部的形成之間隔件再成形製程的實施例。

【0029】圖8B係描繪工件的一實施例之示意橫剖面圖，該工件描繪用於增強基板中之特徵部的形成之間隔件再成形製程的實施例。

【0030】圖8C係描繪工件的一實施例之示意橫剖面圖，該工件描繪用於增強基板中之特徵部的形成之間隔件再成形製程的實施例。

【0031】圖9係描繪用於自對準多重圖案化之原位間隔件再成形之方法之一實施例的示意流程圖。

【0032】圖10係描繪具有藉由用於自對準多重圖案化之原位間隔件再成形之方法形成的裝置之系統之一實施例的剖視圖。

【實施方式】

【0033】用於自對準多重圖案化之原位間隔件再成形的的方法與系統係加以描述。然而，在相關技術領域中具有通常知識者將了解各種實施例可在不具有此等具體細節之其中一或多者的情況下加以實施，或在具有其他替代者及/或額外的方法、材料、或元件的情況下加以實施。另一方面，眾所周知的結構、材料、或操作係不再詳細顯示或描述，以避免模糊本發明之各種實施例的實施態樣。

【0034】類似地，為了說明，闡述具體的數量、材料及構造以提供對本發明的完整理解。儘管如此，本發明可在沒有這些具體細節的情況下加以實施。此外，吾人應理解圖示中所顯示的各種實施例係說明性的表示，且係不必然按比例繪製。在所參照的圖示中，類似的數字似關於整篇說明書中類似的部件。

【0035】整份說明書提及「一個實施例」或「一實施例」或其變化，意味著關於該實施例所描述之特定的特徵、結構、材料、或特性係包含於本發明的至少一個實施例中，但不表示上述特徵、結構、材料、或特性係存在於每個實施例中。因此，在整份說明書中各處出現的諸如「在一個實施例中」或「在一實施例中」之用語，係不必然關於本發明的相同實施例。此外，在一個以上的實施例中，特定的特徵、結構、材料、或特性可以任何適當的方式加以組合。各種額外的層及/或結構可加以包含及/或所描述的特徵可在其他實施例中加以省略。

【0036】此外，應理解除非額外明確說明，否則「一」可表示「一者以上」。

【0037】各種操作將以最有助於理解本發明的方式，以多個分立操作依次描述。然而，不應將所述之順序理解成暗示該等操作必定為順序相依。尤其，該等操作不需以敘述的順序加以執行。所述操作可以不同於所述實施例的順序加以執行。在額外的實施例中，各種額外的操作可加以執行及/或所述操作可加以省略。

【0038】當於此處使用，術語「基板」表示及包含材料形成於其上的基底材料或結構。應理解基板可包含單一材料、複數層不同材料、具有不同材料或不同結構之區域於其中的一或多層等。這些材料可包含半導體、絕緣體、導體或其組合。舉例而言，基板可為半導體基板，在支撐結構上的基底半導體層，具有形成於其上之一或多個層、結構或區域的金屬電極或半導體基板。基板可為習知的矽基板或包含半導體性材料層的其他主體基板。當於此處使用，術語「主體基板（bulk substrate）」不僅表示及包含矽晶圓，亦表示及包含矽絕緣體（SOI）基板（諸如矽藍寶石（SOS）基板及矽玻璃（SOG）基板）、在基底半導體基部上的矽磊晶層、及其他半導體或光電材料（諸如矽鍺、鍺、砷化鎵、氮化鎵、及磷化銮）。基板可經摻雜或未摻雜。

【0039】現參照圖示，其中類似的參考數字在數個視圖中指定相同或相對應的部件。

【0040】圖1係用於自對準多重圖案化之原位間隔件再成形之系統100的實施例。在又一實施例中，系統可配置成執行如參照圖2A-9所述之用於自對準多重圖案化的原位間隔件再成形。配置成執行上述確定之製程條件的蝕刻及後熱處理系統100係在圖1中加以描繪，該系統100包含：處理腔室110；基板支架

120，待處理之晶圓125係固定於其上；及真空泵系統150。晶圓125可為半導體基板、晶圓、平板顯示器、或液晶顯示器。處理腔室110可建構在晶圓125的表面附近促進處理區域145之蝕刻。可離子化的氣體或處理氣體的混合物係經由氣體分配系統140加以導入。針對處理氣體的特定流量，製程壓力係使用真空泵系統150加以調整。

【0041】 晶圓125可藉由夾持系統（諸如機械夾持系統或電夾持系統（例如靜電夾持系統））（未顯示）固定至基板支架120。此外，基板支架120可包含加熱系統（未顯示）或冷卻系統（未顯示），其係配置成調整及/或控制基板支架120及晶圓125的溫度。該加熱系統或冷卻系統可包含熱轉移流體的再循環流動，其在冷卻時自基板支架120接收熱並將熱轉移至熱交換器系統（未顯示），或在加熱時自熱交換器系統將熱轉移至基板支架120。在其他實施例中，加熱/冷卻元件（諸如電阻加熱元件或熱電加熱器/冷卻器）可包含於基板支架120、及處理腔室110的腔室壁、及在系統100之內的任何其他構件中。

【0042】 此外，熱轉移氣體可經由背側氣體供應系統126遞送至晶圓125的背側，以增進在晶圓125與基板支架120之間的氣體間隙熱傳導。此種系統可當需要控制晶圓125的溫度在升高或降低的溫度時加以利用。舉例而言，背側氣體供應系統可包含二區氣體分配系統，其中氮氣間隙壓力可獨立地在晶圓125的中心與邊緣之間加以變化。

【0043】 在顯示於圖1的實施例中，基板支架120可包含電極122，RF功率係經由該電極122耦合至處理區域145。舉例而言，可藉由將來自RF產生器130的RF功率經由一選用性的阻抗匹配網路132傳送至基板支架120，而以一RF電壓電偏壓基板支架120。該RF電偏壓可用以加熱電子以形成及維持電漿。在此配置

中，系統100可運作為反應性離子蝕刻（**RIE**）反應器，其中腔室及上部氣體噴射電極作為接地表面。

【0044】此外，電極122在一**RF**電壓下的電偏壓可使用脈衝偏壓訊號控制器131加以脈衝輸送。舉例而言，自**RF**產生器130輸出的**RF**功率可在關閉狀態及開啟狀態之間脈衝輸送。或者，**RF**功率係在多個頻率下施加於基板支架電極。此外，阻抗匹配網路132可藉由減少反射的功率而增進**RF**功率對電漿處理腔室110中之電漿的傳送。匹配網路拓樸（例如：**L**型、 π 型、**T**型等）及自動控制方法係為精於本項技術之人士所熟知。

【0045】氣體分配系統140可包含用於導入處理氣體混合物的噴淋頭設計。或者，氣體分配系統140可包含多區噴淋頭設計，該多區噴淋頭設計用於導入處理氣體混合物及調整在晶圓125上方之處理氣體混合物的分布。舉例而言，多區噴淋頭設計可配置成，相對於流向晶圓125上方之實質上中心區域的處理氣體流或組成物的量，調整流向晶圓125上方之實質上周圍區域的處理氣體流或組成物。在此種實施例中，氣體可以適當的組合加以分配，以在處理腔室110之內形成高度均勻的電漿。

【0046】真空泵系統150可包含能夠高達約每秒8000公升（及更大）泵速度的渦輪分子真空泵（**TMP**）及用於調節腔室壓力的閘閥。在用於乾電漿蝕刻的傳統電漿處理裝置中，可使用每秒800至3000公升的**TMP**。對於一般小於約50毫托的低壓處理而言，**TMP**係有用的。對於高壓處理（即大於約80毫托）而言，可使用機械升壓泵及乾粗抽泵。此外，用於監控腔室壓力的裝置（未顯示）可耦接至電漿處理腔室110。

【0047】 在一實施例中，來源控制器155可包含微處理器、記憶體、及可產生控制電壓的數位I/O埠，其足以傳輸及啟動對於系統100的輸入，以及監控來自系統100的輸出。此外，來源控制器155可耦接至RF產生器130、脈衝偏壓訊號控制器131、阻抗匹配網路132、氣體分配系統140、氣體供應部190、真空泵系統150、以及基板加熱/冷卻系統（未顯示）、背側氣體供應系統126、及/或靜電夾持系統128，並與以上元件交換資訊。舉例而言，儲存於記憶體中的程式可根據一製程配方用以啟動對於系統100之前述元件的輸入，以在晶圓125上執行一電漿輔助製程，諸如電漿蝕刻製程或後熱處理製程。

【0048】 此外，系統100可進一步包含上電極170，RF功率可從RF產生器172經由選用性的阻抗匹配網路174耦合至該上電極170。在一實施例中，用於施加於上電極之RF功率的頻率可在約0.1 MHz至約200 MHz的範圍內。或者，本實施例可連接下列者而加以使用：感應耦合電漿（ICP）源；電容耦合電漿（CCP）源；輻射線槽孔天線（RLSA）源，配置成以GHz頻率範圍加以操作；電子迴旋共振（ECR）源，配置成以次GHz至GHz的範圍加以操作；及其他者。此外，用於施加於下電極之功率的頻率可在約0.1 MHz至約80 MHz的範圍內。此外，來源控制器155係耦接至RF產生器172及阻抗匹配網路174，以控制對上電極170之RF功率的施加。上電極的設計及實施係為精於本項技術之人士所熟知。上電極170及氣體分配系統140可如圖所示設計成在相同的腔室組件之內。或者，上電極170可包含多區電極設計，該多區電極設計用於調整耦合至在晶圓125之上的電漿之RF功率分布。舉例而言，上電極170可分割為中心電極及邊緣電極。

【0049】 依據應用，額外的裝置（諸如感測器或計量裝置）可耦接至處理腔室110及來源控制器155，以收集即時資料及使用此即時資料以在二個以上的

步驟中同時控制二個以上選擇的整合操作變數，該二個以上步驟包含整合架構的沉積製程、RIE製程、拉除製程、輪廓重整製程、加熱處理製程、及/或圖案轉移製程。此外，相同的資料可用以確保達成整合目標，該等整合目標包含：完成後熱處理、圖案化均勻性（均勻性）、結構的拉除（拉除）、結構的細窄化（細窄化）、結構的深寬比（深寬比）、線寬粗糙度、基板生產率、擁有者的成本等。

【0050】藉由調節所施加的功率，通常藉由改變脈衝頻率及占空比，可能獲得與以連續波（CW）產生的電漿特性明顯不同的電漿特性。因此，電極的RF功率調節可提供對時間平均離子通量及離子能量的控制。

【0051】間隔件蝕刻製程的一實施例係在圖2A-2C中加以描述。在一實施例中，工件包含具有硬遮罩202形成於其上的基板200，硬遮罩202具有一個以上間隔件芯材204及間隔件材料的保形層206形成於其上。在一實施例中，保形層206可包含在間隔件芯材204上設置的一個以上蝕刻表面208。在一實施例中，保形層206可以蝕刻方向210加以蝕刻。在一個這樣的實施例中，晶圓125可包含基板200。硬遮罩202可包含諸如用於覆蓋基板200之氮化物層的材料，該材料可使用如圖3A-3B及5A-5B中顯示的間隔件216加以圖案化及蝕刻。

【0052】在一實施例中，基板200可由包含矽或砷化鎵的材料形成。硬遮罩層202可由包含氧化物、氮化物、金屬氧化物、及金屬氮化物的材料形成。間隔件芯材204可包括包含矽、非晶形碳、光阻、氧化物、氮化物等的材料。保形層206可包括包含氧化物、氮化物、矽、金屬氧化物、及金屬氮化物的材料。

【0053】在圖2B的步驟中，保形層206及間隔件芯材204可使用反應性離子蝕刻製程加以蝕刻。在該反應性離子蝕刻製程中，包含一個以上反應性離子214

的電漿場212可在工件上方加以形成。在這樣的實施例中，反應性離子214可打開蝕刻表面208且選擇性地蝕刻間隔件芯材204。在該反應性離子蝕刻製程之後，可形成圖2C的工件。

【0054】 在圖2C的實施例中，複數間隔件216可加以形成。各間隔件216可具有高度220，該高度220係由於重度的離子蝕刻而自初始間隔件的高度顯著地降低。額外的間隔件足部形成（footing）可能由於不足夠的蝕刻選擇性而留在間隔件216之間的溝槽中。而且，進入硬遮罩202之芯材相對於間隔件的高度差218可能為離子蝕刻製程的結果。在一實施例中，芯材相對於間隔件的高度差218可能與蝕刻間隔件芯材204所需的時間相關聯。圖2D係如圖2C描繪的間隔件蝕刻製程之一實施例的橫剖面X射線影像。

【0055】 圖3A係描繪用於在基板中形成特徵部之工件之一實施例的示意橫剖面圖。在圖3A的實施例中，硬遮罩層202的一部分可加以蝕刻以形成圖案化的遮罩302。在各種實施例中，蝕刻基板係使用電漿蝕刻氣體化學品加以執行，該電漿蝕刻氣體化學品可包含 N_2 、 O_2 、 CO 、 CO_2 、 H_2 、 HBr 、 Cl_2 、 C_xH_y 、 Ar 、 He 、 $C_xH_yF_z$ 、及 C_xF_y 的其中一者以上。

【0056】 如圖3A所示，圖案化的遮罩302可能包含由於在上述間隔件形成中的缺陷而導致缺陷，間隔件216係靠近硬遮罩層202加以形成。舉例而言，間隔件形狀可能因為在間隔件之間的小空間而對圖案轉移有顯著的影響。硬遮罩輪廓變形已在實驗期間在芯材與間隔件位置之間被發現。此硬遮罩變形可能導致CD位移（亦稱為節距擺動）、基板輪廓位移、及深度加載308，如圖3B所示。

【0057】 在圖3A-3B的例子中，在後基板蝕刻中的變形係明顯的，如圖3C的橫剖面x射線影像所示。如圖所示，該製程可包含以由硬遮罩層202之圖案化的遮罩302定義的圖案蝕刻基板200，用於在基板200中形成物理特徵部306。在

一實施例中，該物理特徵部可為用於finFET元件的鰭。在一實施例中，蝕刻基板係使用電漿蝕刻氣體化學品加以執行，該電漿蝕刻氣體化學品包含 N_2 、 O_2 、 CO 、 CO_2 、 H_2 、 HBr 、 Cl_2 、 C_xH_y 、 Ar 、 He 、 $C_xH_yF_z$ 、及 C_xF_y 的其中一者以上。圖3D係描繪在圖3B中描繪之製程的結果之實施例的橫剖面x射線影像。

【0058】 圖4A係描繪用於增強在基板200中之物理特徵部306之形成的間隔件處理製程402之一實施例的示意橫剖面圖。在一實施例中，間隔件處理製程402包含鈍化處理404及間隔件再成形處理406。在鈍化處理404中，間隔件216係以鈍化層408加以覆蓋。在一實施例中，鈍化層408可為氧化物層或氮化物層。若在一實施例中，間隔件材料係氮化物材料，則鈍化層408可為氧化物材料。或者，若間隔件材料係氧化物材料，則鈍化層408可為氮化物材料。在一些實施例中，鈍化層408可藉由化學氣相沉積（CVD）加以形成。在另一實施例中，CVD製程可為電漿輔助的CVD。在這樣的實施例中，鈍化處理係使用電漿氣體化學品加以執行，該電漿氣體化學品包含 N_2 、 O_2 、 CO 、 CO_2 、 H_2 、 C_xH_y 、 $C_xH_yF_z$ 、 Ar 、 He 、及其他合適的氣體的其中一者以上。

【0059】 在一實施例中，間隔件再成形處理406係使用電漿蝕刻加以執行。在間隔件再成形處理406中，蝕刻氣體化學品係加以選擇，以相較於鈍化材料較快地蝕刻間隔件材料。舉例而言，電漿蝕刻係使用電漿蝕刻氣體化學品加以執行，該電漿蝕刻氣體化學品包含 N_2 、 O_2 、 CO 、 CO_2 、 H_2 、 HBr 、 Cl_2 、 C_xH_y 、 Ar 、 He 、 $C_xH_yF_z$ 、 C_xF_y 、及其他合適的氣體。因此，間隔件216可根據預定的再成形輪廓加以再成形。在一實施例中，間隔件處理包含平坦化相對於基板200為遠端之間隔件216的端部410。本發明實施例係特別使用 CHF_3 、 O_2 、及 Ar 的混合物加以測試，其產生與圖3A-3B中顯示的結果相比較佳的結果。

【0060】 此處描述之各種氣體的流率範圍係在表1中加以列表。表1中的所有流率係以每分鐘標準立方公分（sccm）加以測量。

表1：離子氣體的流率範圍。

氣體	範圍
CHF ₃	14~250sccm
O ₂	3~390sccm
Ar	70~1400sccm
CH ₃ F	4~90sccm
N ₂	15~300sccm
CH ₄	3~65sccm
SO ₂	12~250sccm
HBr	30~600sccm
CF ₄	10~400sccm

在一實施例中，表1中之氣體的腔室壓力範圍可為3mT～300mT。在一實施例中，藉由RF產生器172產生的高頻功率可為在0W～1500W的範圍內，而藉由RF產生器130產生的低頻功率可為在0W～1000W的範圍內。在一實施例中，處理腔室110內的溫度可為在-10℃～110℃的範圍內。圖4B係間隔件處理製程402之一實施例之結果的橫剖面x射線影像。

【0061】 圖5A-5B描繪說明用於增強基板中之特徵部的形成之工件之一實施例的示意橫剖面圖。圖5A-5B的實施例說明響應在圖4A中描繪的間隔件處理製程402的形成製程之結果。再成形的間隔件216和鈍化層408可提供一圖案化層，用於形成圖案化的遮罩302，如圖3A所述。然而，在圖5A的實施例中，當與圖3A的結果相比時，硬遮罩的輪廓502係大幅改善。圖5C的橫剖面x射線影像確認圖5A中描繪之製程的結果。因此，CD節距擺動問題係實質上加以解決。類似地，與圖3B的結果相比，基板200中形成的物理特徵部306可關於節距擺動、基板輪廓位移、及深度加載顯著地加以改善。這些結果係藉由對應於圖5B的圖示之在圖5D中說明的x射線影像加以確認。

【0062】 鈍化處理404之進一步的細節係在圖6A-6B中加以描繪。如圖6A所示，工件可包含藉由圖2B中描述的蝕刻及芯材拉除製程產生的一個以上間隔件216。如圖6B所示，電漿場602可靠近工件加以形成。在各種實施例中，電漿場602可取決於間隔件材料的組成物而使用N₂或O₂氣加以形成，從而在靠近間隔件216的區域中引入氮或氧離子604。因此，氮化物或氧化物鈍化層408可在間隔件216上加以形成。

【0063】 圖7A-7B描繪間隔件自由基成分706之進一步的細節。如圖7A所示，電漿場702可在靠近工件的區域中加以形成。電漿場702可包含離子成分704及自由基成分706。離子成分704可撞擊進入間隔件216，擊穿鈍化層408的尖端並進入間隔件材料。在這樣的實施例中，間隔件材料可相對於鈍化材料較快地加以蝕刻，針對在方框708內之工件的一部分係在圖8A-8C中進一步加以描繪。圖7B描繪圖7A中說明之再成形製程之再成形後的結果。如圖所示，間隔件216可具有再成形區域410。舉例而言，在一實施例中，再成形區域410可為在間隔件216之頂部上的平坦部分，如圖7B的圖所示。

【0064】 圖8A-8C描繪圖4中顯示之再成形處理406之實施例之機構的進一步細節。如圖所示，電漿場702的離子成分704可在如圖7中顯示的各種位置撞擊間隔件216。撞擊第一位置802的離子成分704可如圖所示單純地自間隔件反彈，該第一位置802可為間隔件216之傾斜的或帶角度的區域。然而，撞擊第二區域804（諸如間隔件216的尖端）的離子成分704可穿透鈍化層408且開始蝕刻間隔件材料。如圖8B所示，間隔件材料可由於所選擇的蝕刻氣體化學品而相對於鈍化材料較快地加以蝕刻。如圖8C所示，結果可為具有實質平坦遠端的間隔件216。

【0065】 圖9係描繪用於自對準多重圖案化之原位間隔件再成形之方法900之一實施例的示意流程圖。在一實施例中，在基板上形成間隔件圖案的方法

900可包含提供具有間隔件的基板，如方塊902所示。在方塊904，方法900亦可包含執行鈍化處理以在間隔件上形成鈍化層。此外，方法900可包含執行間隔件再成形處理以使間隔件再成形，如方塊906所示。方法900亦可包含控制鈍化處理及間隔件再成形處理以實現間隔件形成目標，如方塊908所示。

【0066】 此處描述的製程及方法之實施例可在商業製程中加以使用，用於製造在商業產品中所含之基於半導體的產品。舉例而言，圖10說明包含印刷電路板（PCB）的電子裝置1002。電子裝置1002可為一些市售產品之一，例如包含電腦、電腦螢幕、電視機、音頻放大器、照相機、智慧型手機及個人數位助理、平板計算裝置、智慧型手錶、特殊應用處理設備、感測器裝置、醫療裝置等。在此技術領域具有通常知識者將理解根據本發明實施例製造的裝置係非限於任何特定領域。

【0067】 電子裝置1002可包含一個以上PCB 1004，PCB 1004包含一個以上基於半導體的電子元件，諸如晶片封裝1006。晶片封裝1006可包含經分割之晶圓的晶片，具有配置於其上的一個以上特徵部，諸如根據圖2A-9中描述之製程製造的FinFET元件。晶片可包含例如基板200。晶片可在耐用封裝中加以封裝，用於保護配置於其上的特徵部。晶片封裝1006可進一步包含一個以上接觸銷，該接觸銷係配置成對晶片上的某些接觸點提供外部通路。

【0068】 有利的是，在晶片封裝1006中之晶片上設置的特徵部之尺寸及密度相對於使用其他技術製造的裝置可能較小，因為鈍化處理404及間隔件再成形處理406的使用允許相對於先前的方法之半導體裝置的高解析度圖案化。

【0069】 在此技術領域具有通常知識者將容易看出額外的優點及改良。因此，在廣泛實施態樣中的本發明係不限於具體細節、所表示的設備及方法，以

及顯示和描述的說明性示例。因此，在不脫離本發明整體概念之範圍的情況下，可自這些細節加以偏離。

【符號說明】

【0070】

- 100 系統
- 110 處理腔室
- 120 基板支架
- 122 電極
- 125 晶圓
- 126 背側氣體供應系統
- 128 靜電夾持系統
- 130 RF產生器
- 131 脈衝偏壓訊號控制器
- 132 阻抗匹配網路
- 140 氣體分配系統
- 145 處理區域
- 150 真空泵系統
- 155 來源控制器
- 170 上電極
- 172 RF產生器
- 174 阻抗匹配網路
- 190 氣體供應部

200	基板
202	硬遮罩（層）
204	間隔件芯材
206	保形層
208	蝕刻表面
210	蝕刻方向
212	電漿場
214	反應性離子
216	間隔件
218	高度差
220	高度
302	遮罩
306	物理特徵部
308	深度加載
402	間隔件處理製程
404	鈍化處理
406	再成形處理
408	鈍化層
410	端部（再成形區域）
502	輪廓
602	電漿場
604	離子

702	電漿場
704	離子成分
706	自由基成分
708	方框
802	第一位置
804	第二區域
900	方法
902	方塊
904	方塊
906	方塊
908	方塊
1002	電子裝置
1004	PCB
1006	晶片封裝

【發明申請專利範圍】

【第1項】一種在基板上形成間隔件圖案的方法，該方法包含：

提供一基板，其具有一間隔件芯材、及形成於該間隔件芯材之上的一保形層；

蝕刻該保形層以產生一間隔件，該間隔件包含選自矽、矽氧化物、矽氮化物、金屬氧化物、或金屬氮化物的一間隔件材料；

執行鈍化處理以在該間隔件的頂表面及側壁表面上形成一鈍化層，其中該鈍化層包含一鈍化材料，該鈍化材料選自氮化物或氧化物，且其中該鈍化材料係不同於該間隔件材料；

執行間隔件再成形處理以使該間隔件再成形，其中該間隔件再成形處理包含電漿蝕刻，用以擊穿在該頂表面上所形成的該鈍化層且接著以與該鈍化層相比更快的速率來蝕刻該間隔件的該頂表面；及

控制該鈍化處理及間隔件再成形處理以實現間隔件形成目標。

【第2項】如申請專利範圍第1項之在基板上形成間隔件圖案的方法，其中，該鈍化材料係氧化物。

【第3項】如申請專利範圍第2項之在基板上形成間隔件圖案的方法，其中，該間隔件材料係矽氮化物或金屬氮化物。

【第4項】如申請專利範圍第1項之在基板上形成間隔件圖案的方法，其中，該鈍化材料係氮化物。

【第5項】 如申請專利範圍第4項之在基板上形成間隔件圖案的方法，其中，該間隔件材料係矽氧化物或金屬氧化物。

【第6項】 如申請專利範圍第1項之在基板上形成間隔件圖案的方法，其中，執行該鈍化處理的步驟包含執行化學氣相沉積製程。

【第7項】 如申請專利範圍第6項之在基板上形成間隔件圖案的方法，其中，該化學氣相沉積製程係電漿輔助的化學氣相沉積製程。

【第8項】 如申請專利範圍第7項之在基板上形成間隔件圖案的方法，其中，該鈍化處理係使用一電漿氣體化學品加以執行，該電漿氣體化學品包含選自由 N_2 、 O_2 、 CO 、 CO_2 、 H_2 、 C_xH_y 、 $C_xH_yF_z$ 、 Ar 、及 He 所組成之群組的一氣體。

【第9項】 如申請專利範圍第1項之在基板上形成間隔件圖案的方法，其中，該電漿蝕刻係使用一電漿蝕刻氣體化學品加以執行，該電漿蝕刻氣體化學品包含選自由 N_2 、 O_2 、 CO 、 CO_2 、 H_2 、 HBr 、 Cl_2 、 C_xH_y 、 Ar 、 He 、 $C_xH_yF_z$ 、及 C_xF_y 所組成之群組的一電漿蝕刻氣體。

【第10項】 如申請專利範圍第9項之在基板上形成間隔件圖案的方法，其中，該電漿蝕刻係使用 CHF_3 、 O_2 、及 Ar 的混合物加以執行。

【第11項】 如申請專利範圍第1項之在基板上形成間隔件圖案的方法，其中，該間隔件再成形處理進一步包含平坦化遠離該基板之該間隔件的端部。

【第12項】 如申請專利範圍第1項之在基板上形成間隔件圖案的方法，其中，該間隔件係靠近一硬遮罩層加以形成。

【第13項】 如申請專利範圍第12項之在基板上形成間隔件圖案的方法，更包含以該間隔件定義的一圖案蝕刻該硬遮罩層。

【第14項】 如申請專利範圍第13項之在基板上形成間隔件圖案的方法，其中，蝕刻該硬遮罩層的步驟係使用一電漿蝕刻氣體化學品加以執行，該電漿蝕刻氣體化學品包含選自由 N_2 、 O_2 、 CO 、 CO_2 、 H_2 、 HBr 、 Cl_2 、 C_xH_y 、 Ar 、 He 、 $C_xH_yF_z$ 、及 C_xF_y 所組成之群組之一電漿蝕刻氣體。

【第15項】 如申請專利範圍第14項之在基板上形成間隔件圖案的方法，更包含以由該硬遮罩層定義的一圖案蝕刻該基板，以形成在該基板中的一物理結構。

【第16項】 如申請專利範圍第15項之在基板上形成間隔件圖案的方法，其中，蝕刻該基板的步驟係使用一電漿蝕刻氣體化學品加以執行，該電漿蝕刻氣體化學品包含選自由 N_2 、 O_2 、 CO 、 CO_2 、 H_2 、 HBr 、 Cl_2 、 C_xH_y 、 Ar 、 He 、 $C_xH_yF_z$ 、及 C_xF_y 所組成之群組之一電漿蝕刻氣體。

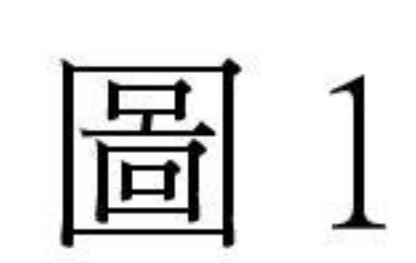
【第17項】 如申請專利範圍第1項之在基板上形成間隔件圖案的方法，其中，形成該間隔件圖案包含自對準多重圖案化（**SAMP**）技術，用於形成鰭式場效電晶體（**FinFET**）結構。

【第18項】 如申請專利範圍第17項之在基板上形成間隔件圖案的方法，其中，該FinFET結構包含次22nm電晶體架構。

【第19項】 如申請專利範圍第1項之在基板上形成間隔件圖案的方法，其中，該間隔件芯材包含矽、非晶形碳、光阻、氧化物、及氮化物其中至少一者，且在蝕刻期間，該間隔件芯材係受到蝕刻。

【第20項】 如申請專利範圍第3項之在基板上形成間隔件圖案的方法，其中，該間隔件芯材包含矽、非晶形碳、光阻、及氧化物其中至少一者，且在蝕刻期間，該間隔件芯材係受到蝕刻。

【第21項】 如申請專利範圍第5項之在基板上形成間隔件圖案的方法，其中，該間隔件芯材包含矽、非晶形碳、光阻、及氮化物其中至少一者，且在蝕刻期間，該間隔件芯材係受到蝕刻。



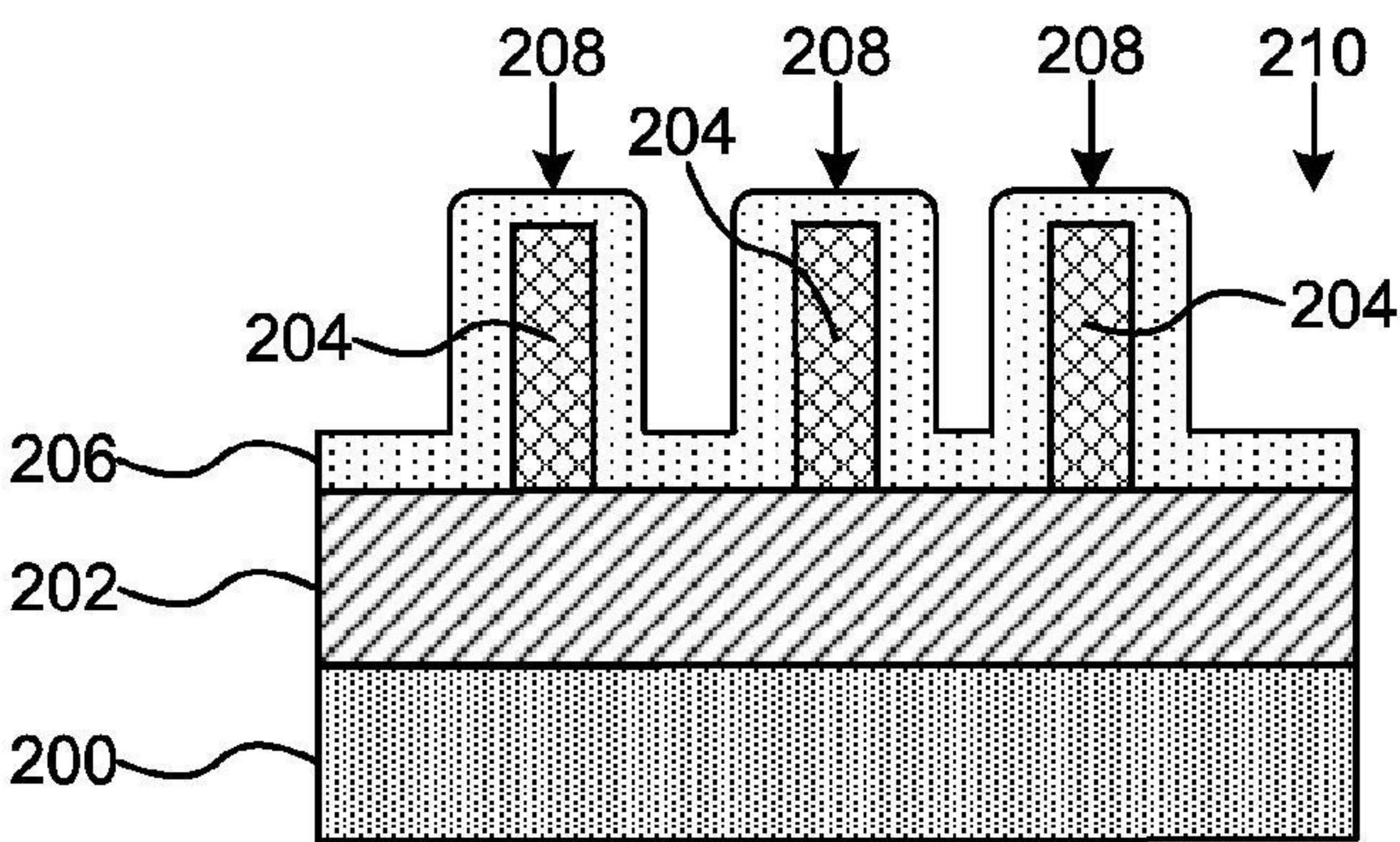


圖 2A

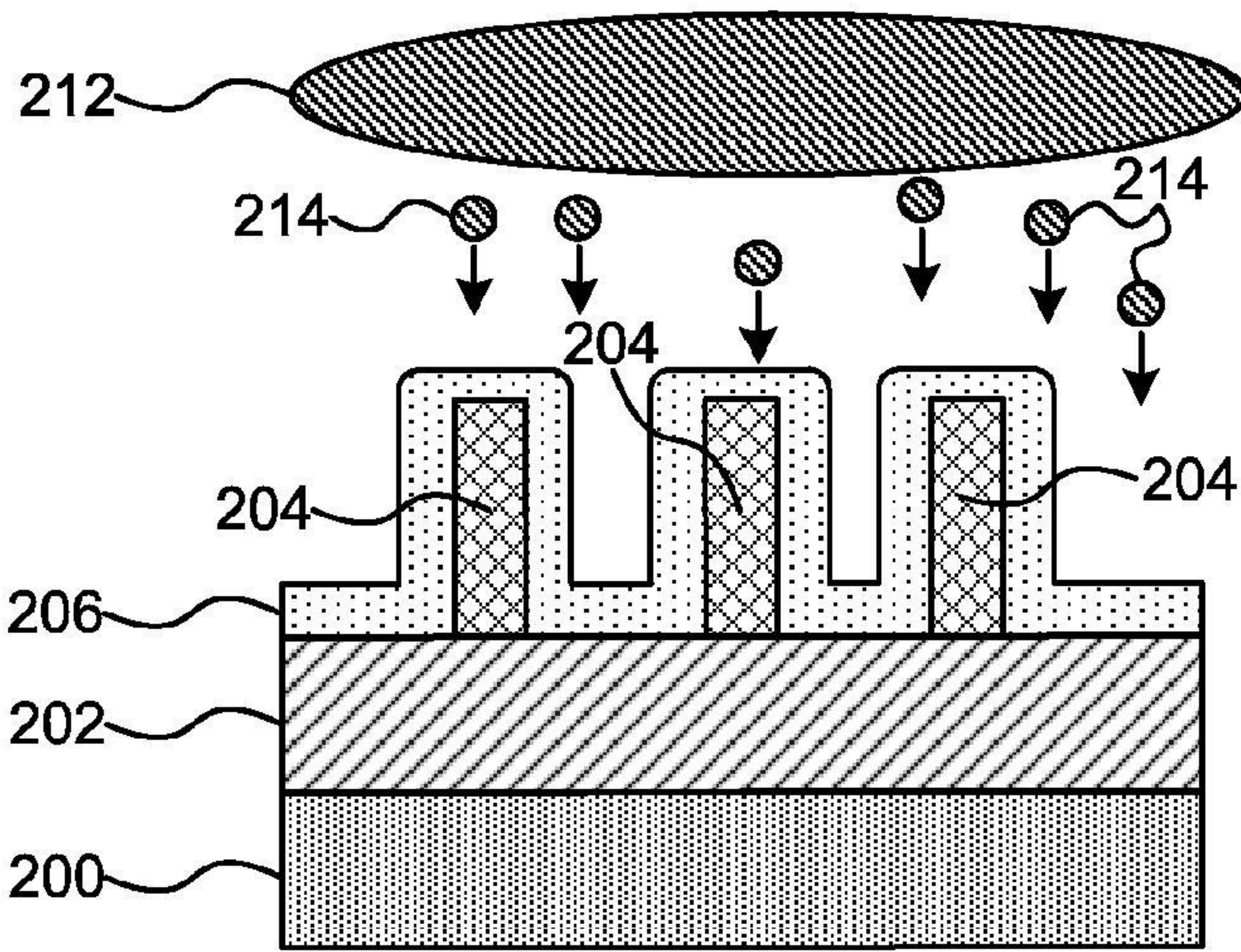


圖 2B

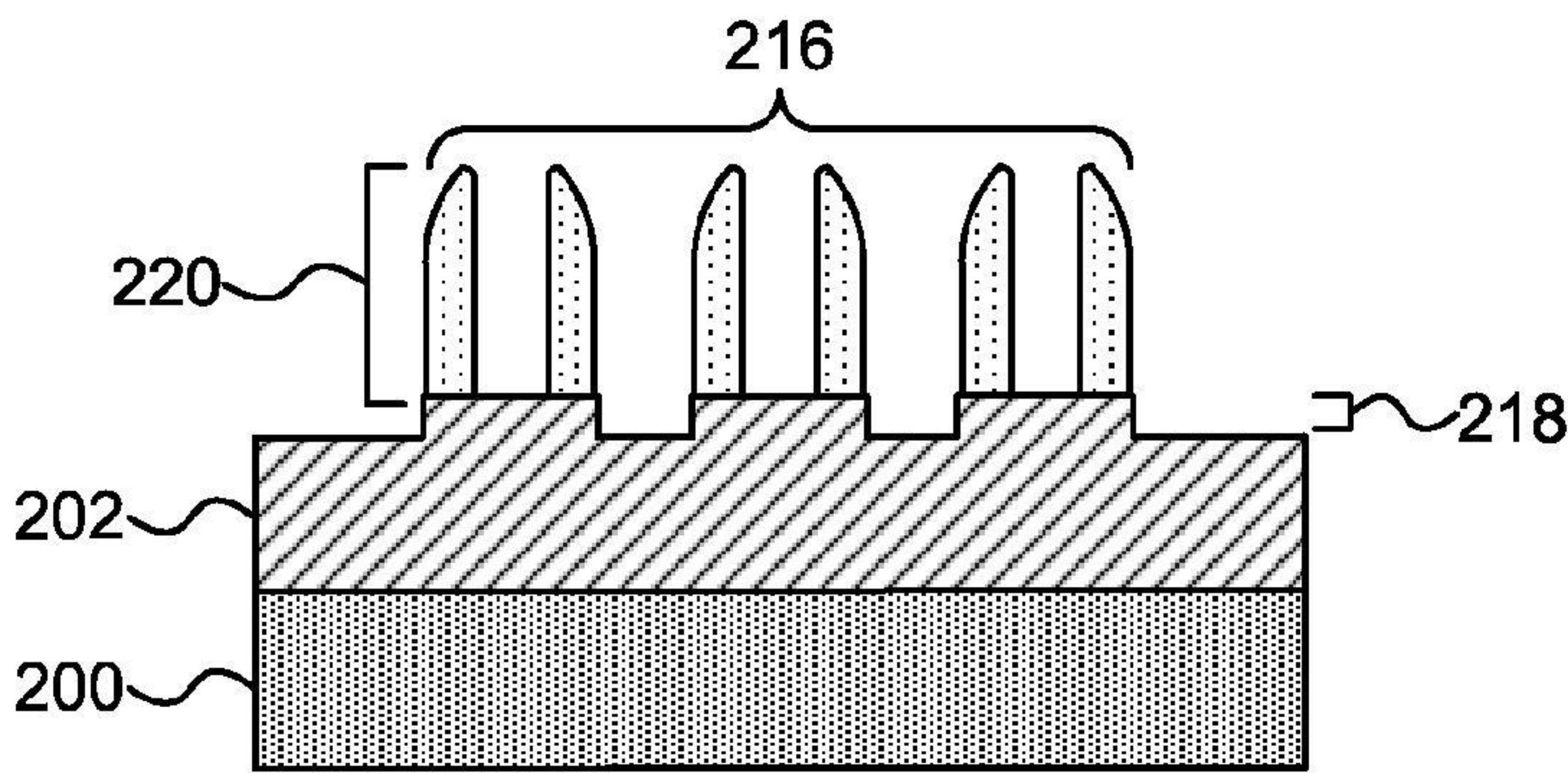


圖 2C

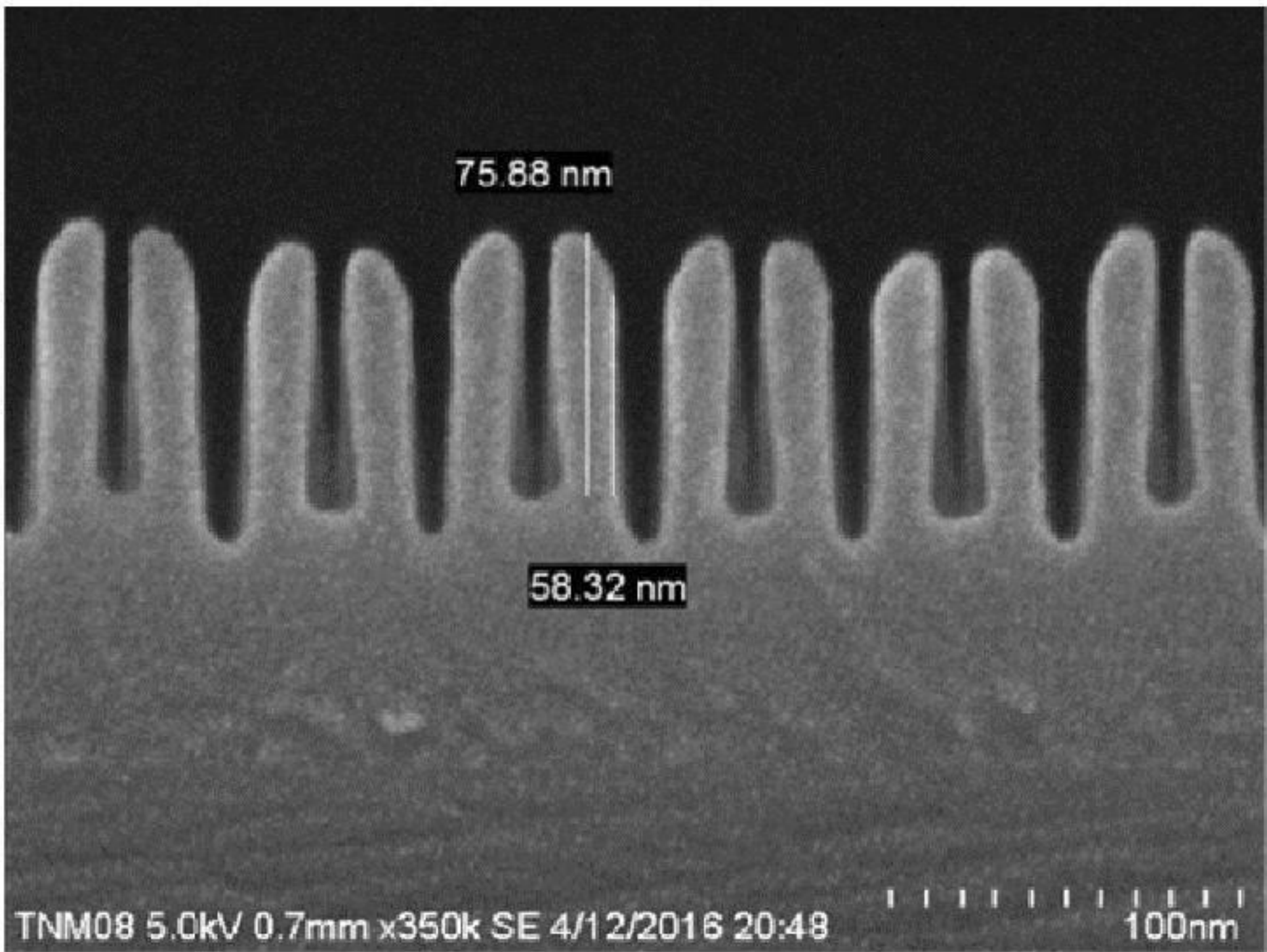


圖 2D

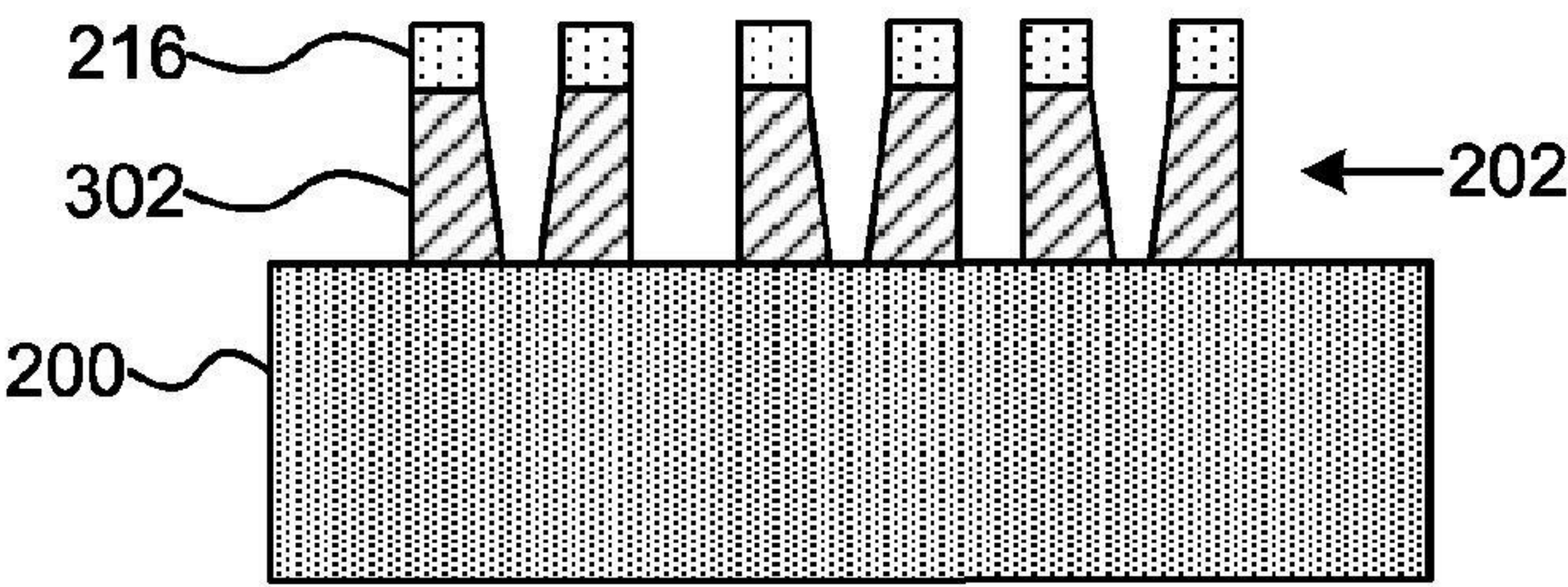


圖 3A

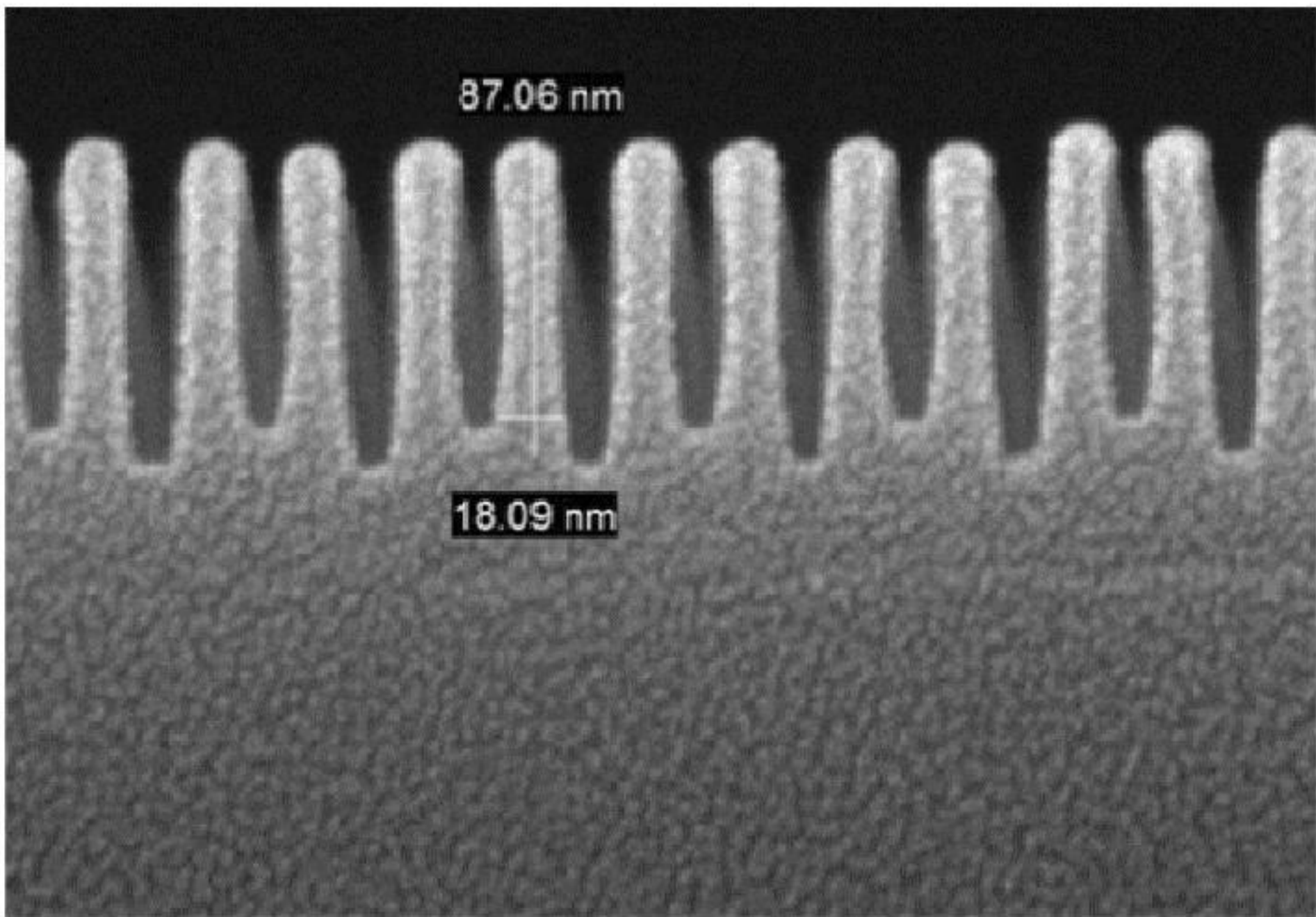


圖 3C

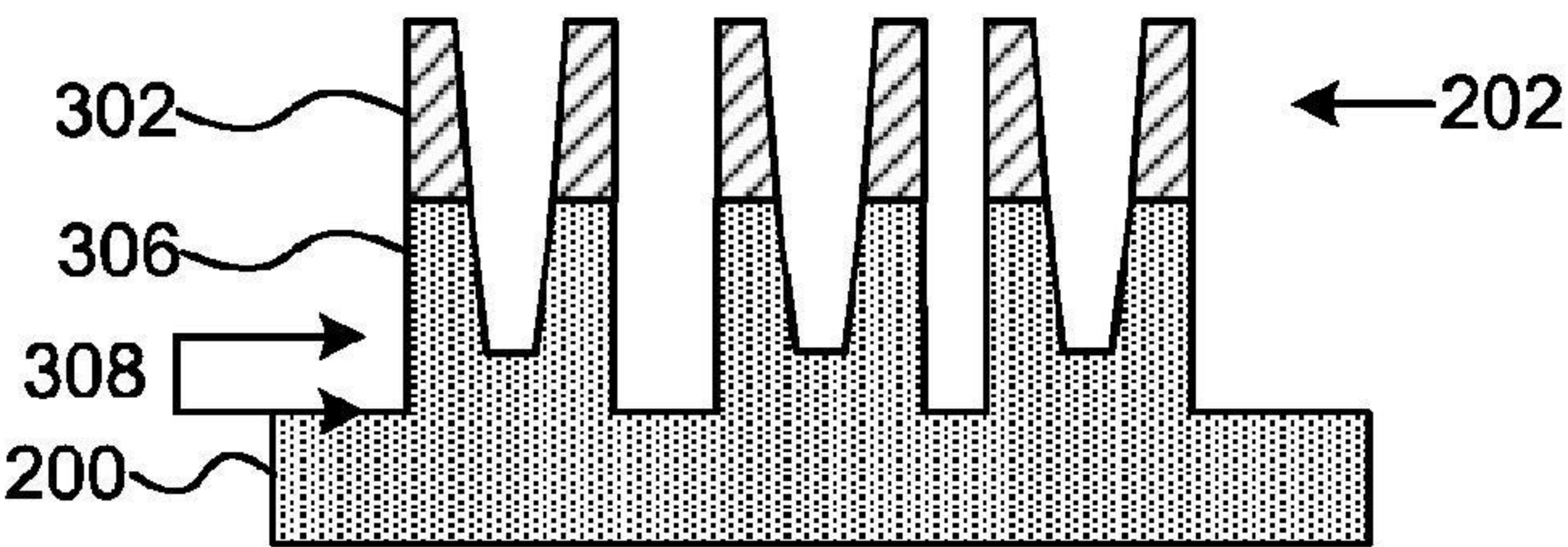


圖 3B

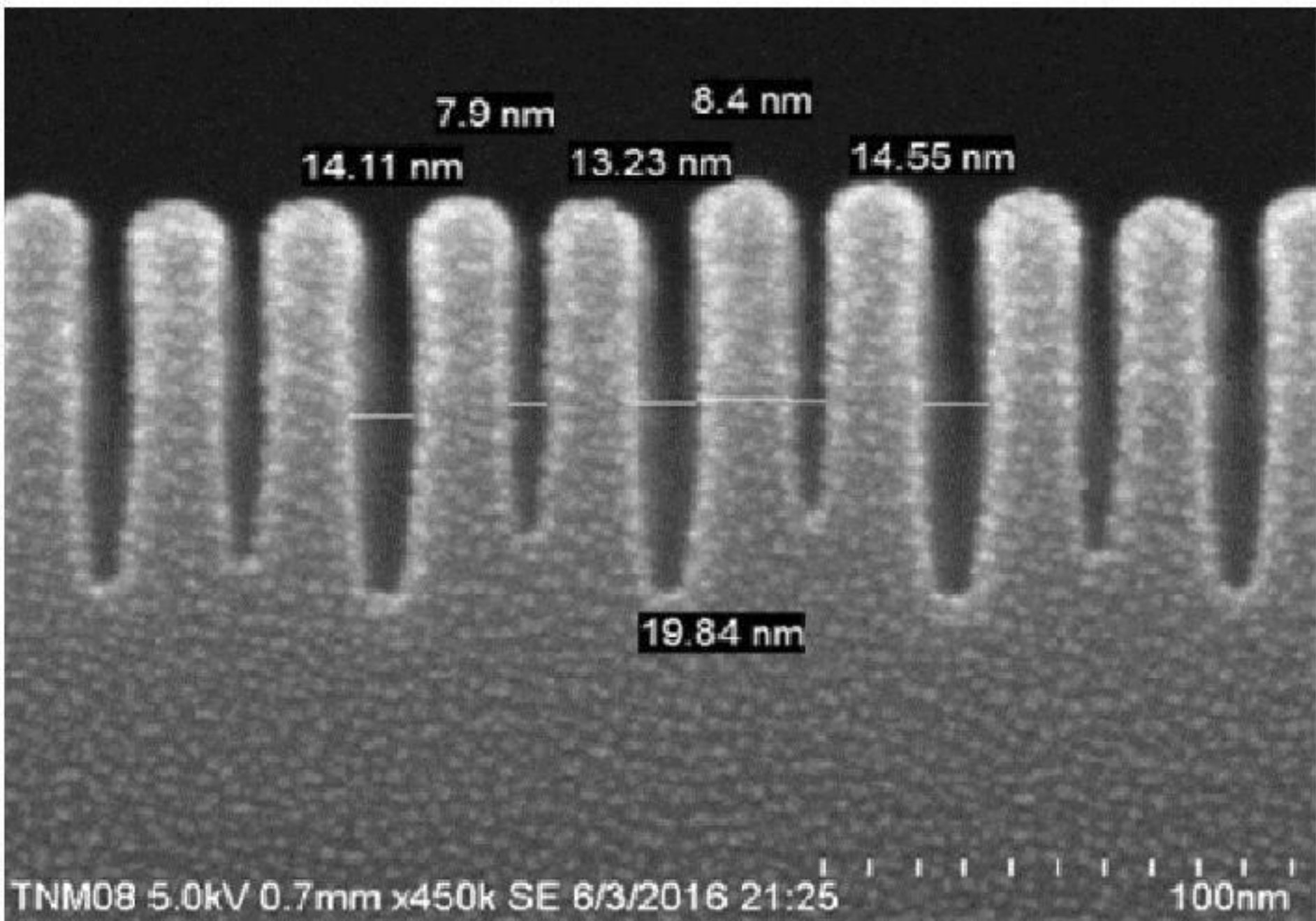


圖 3D

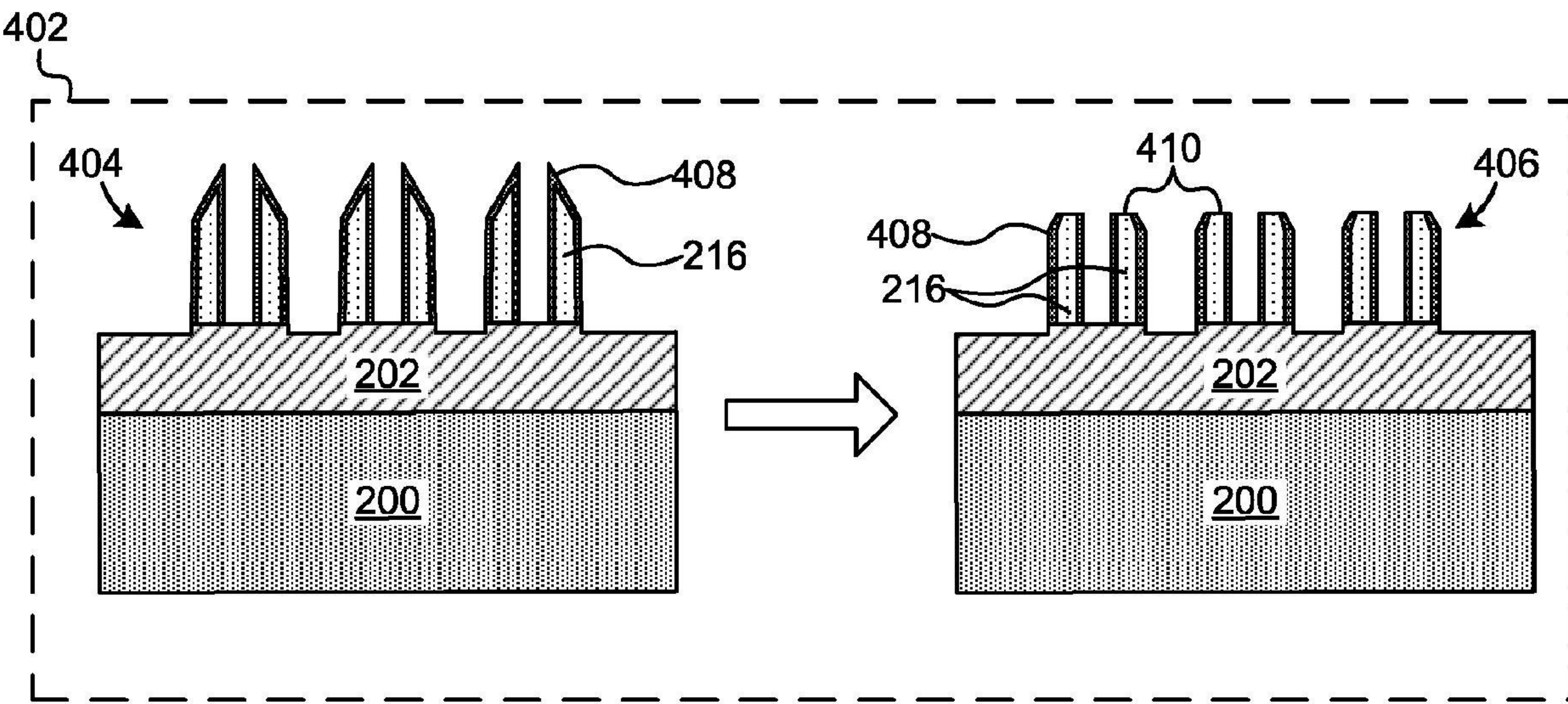


圖 4A

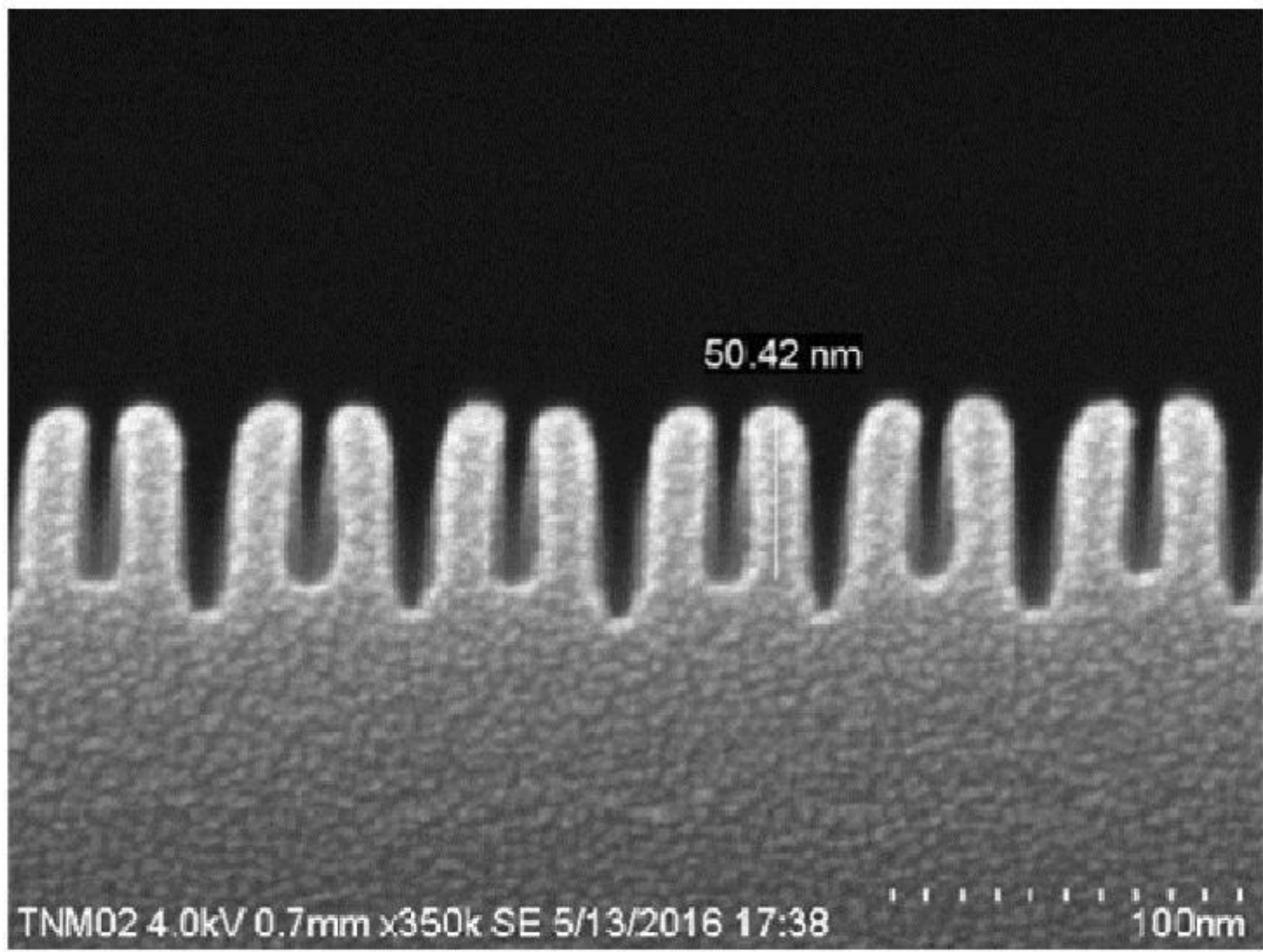


圖 4B

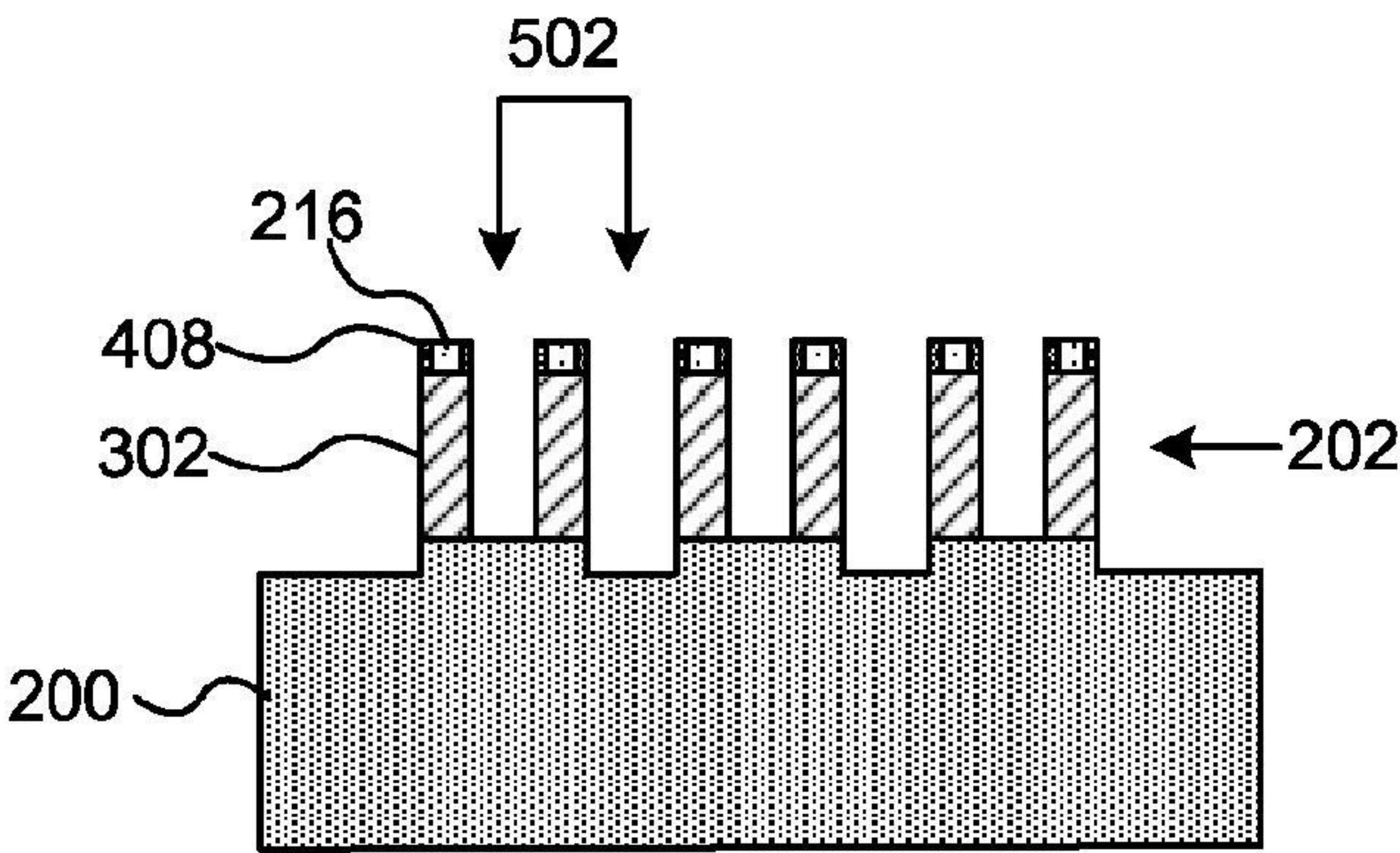


圖 5A

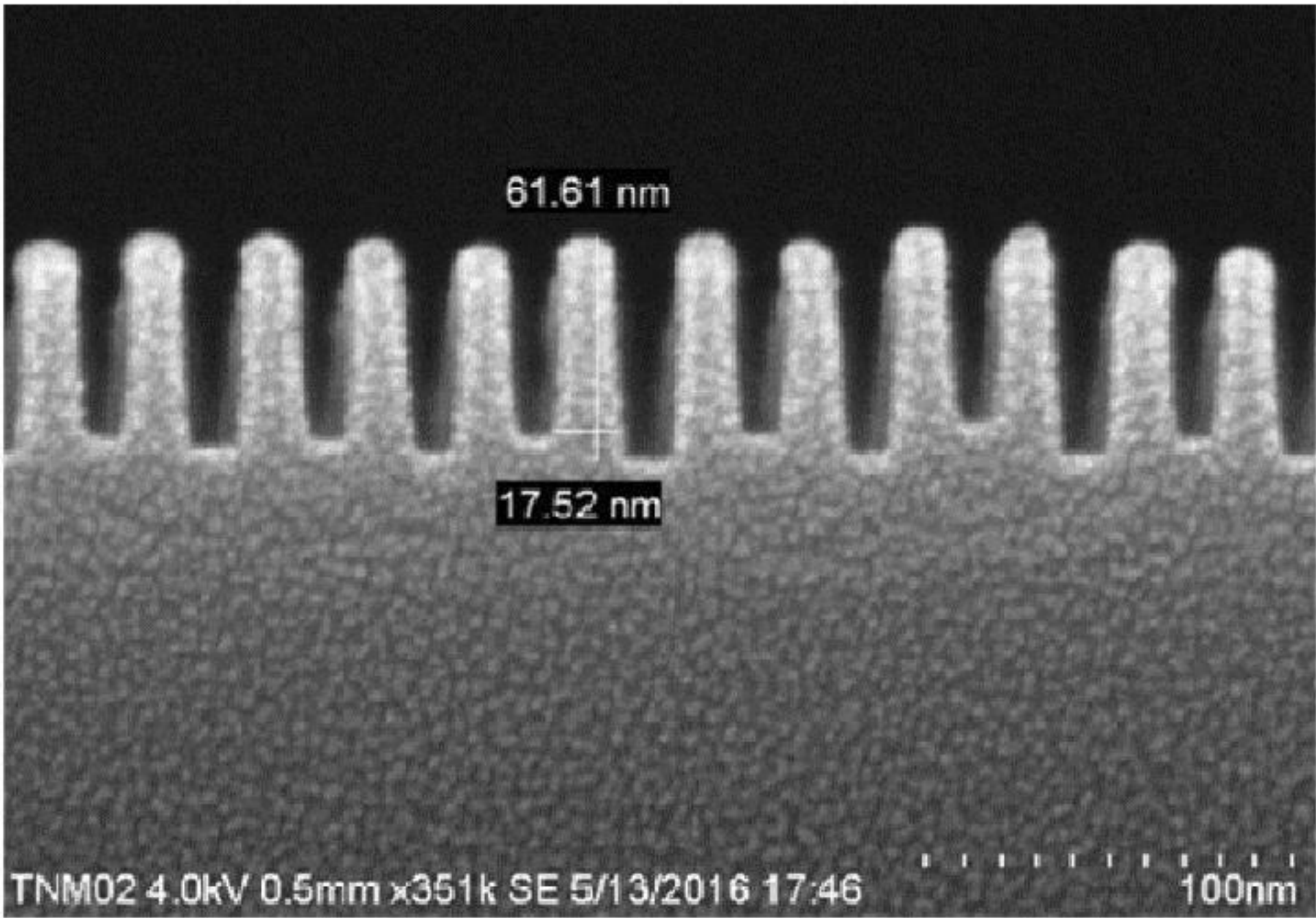


圖 5C

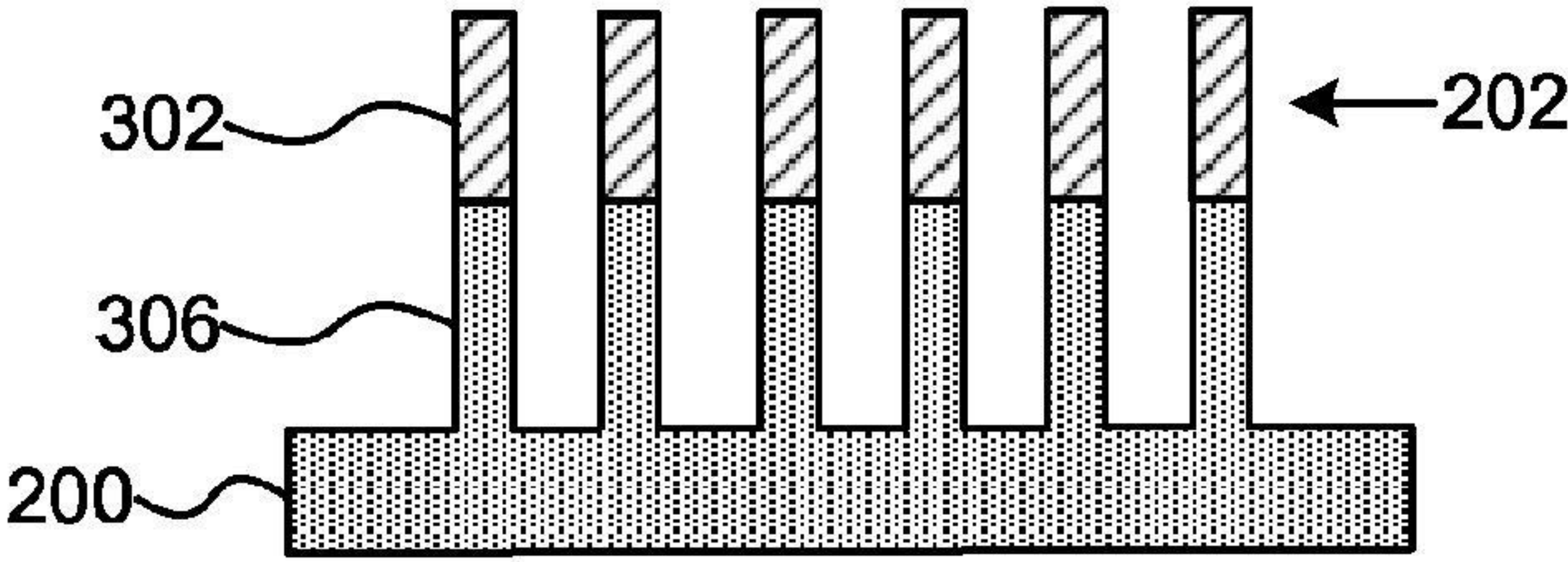


圖 5B

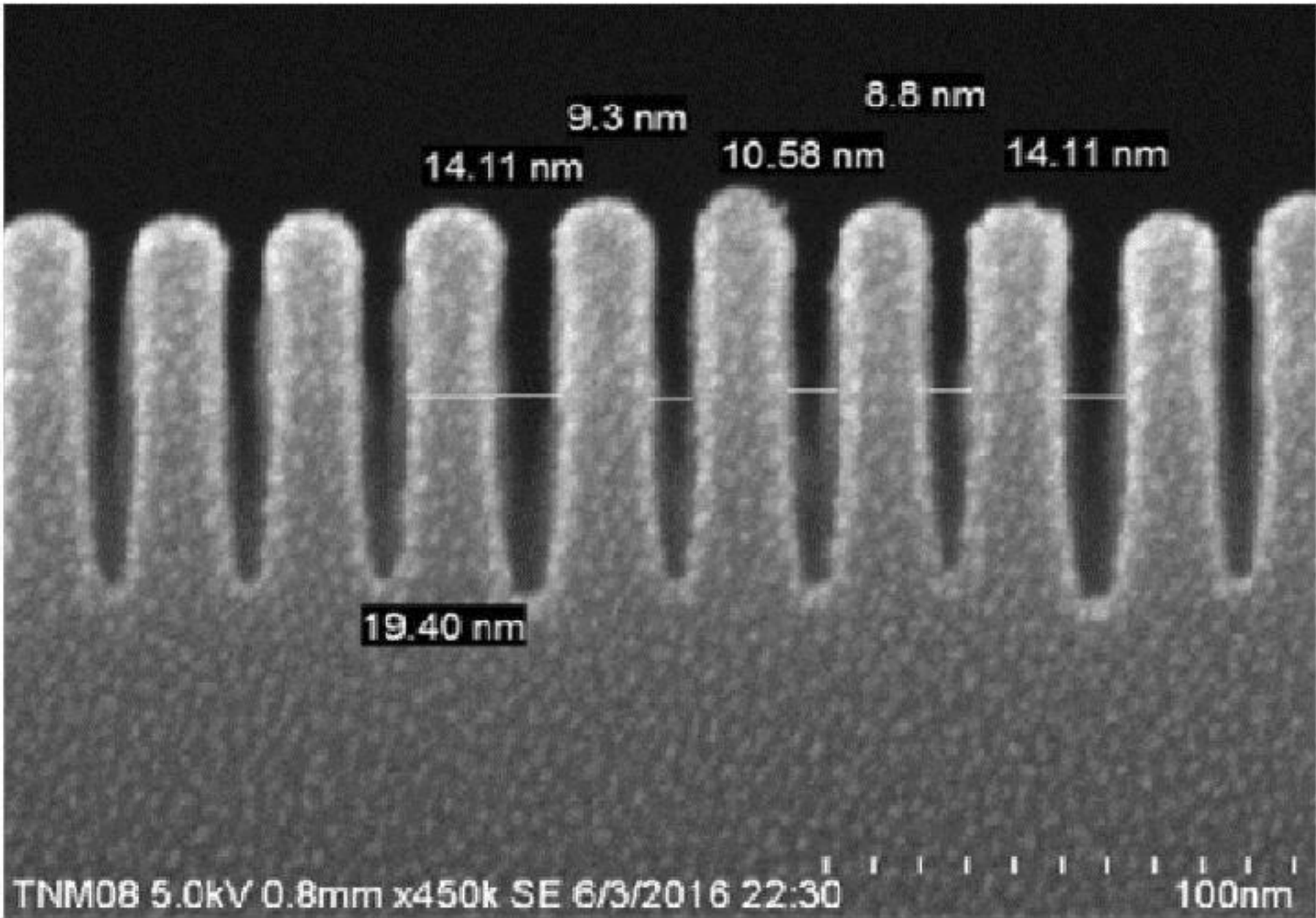


圖 5D

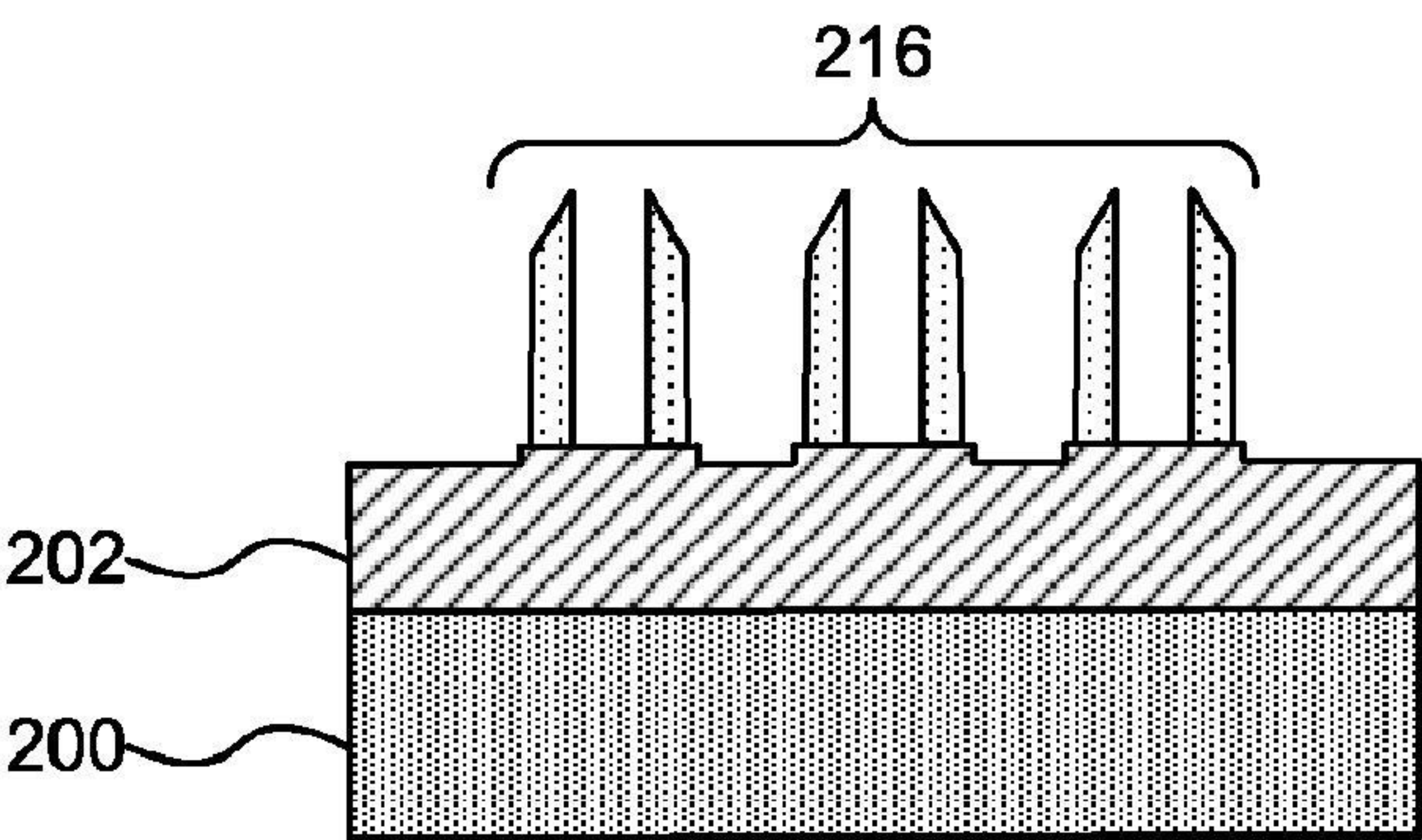


圖 6A

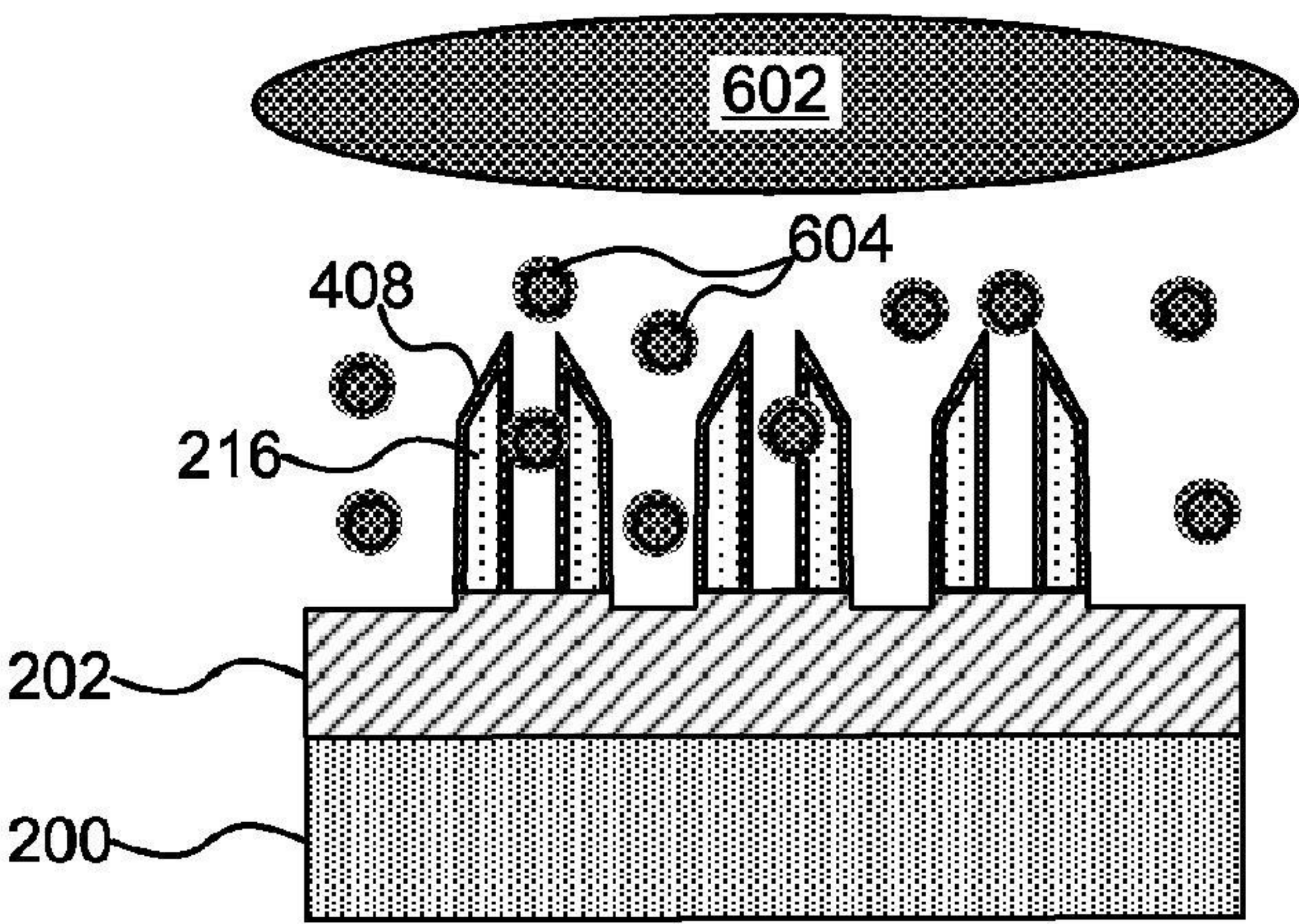


圖 6B

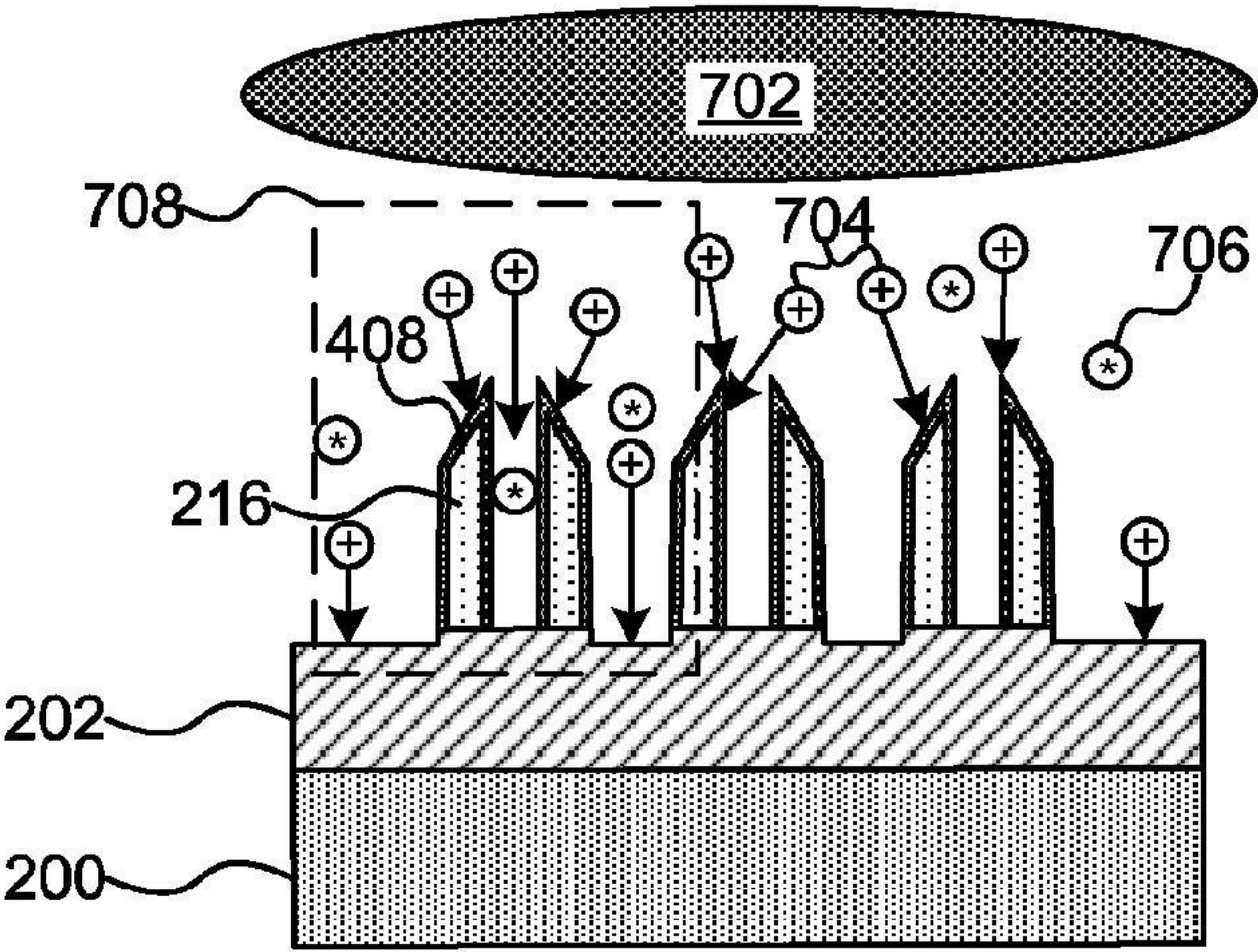


圖 7A

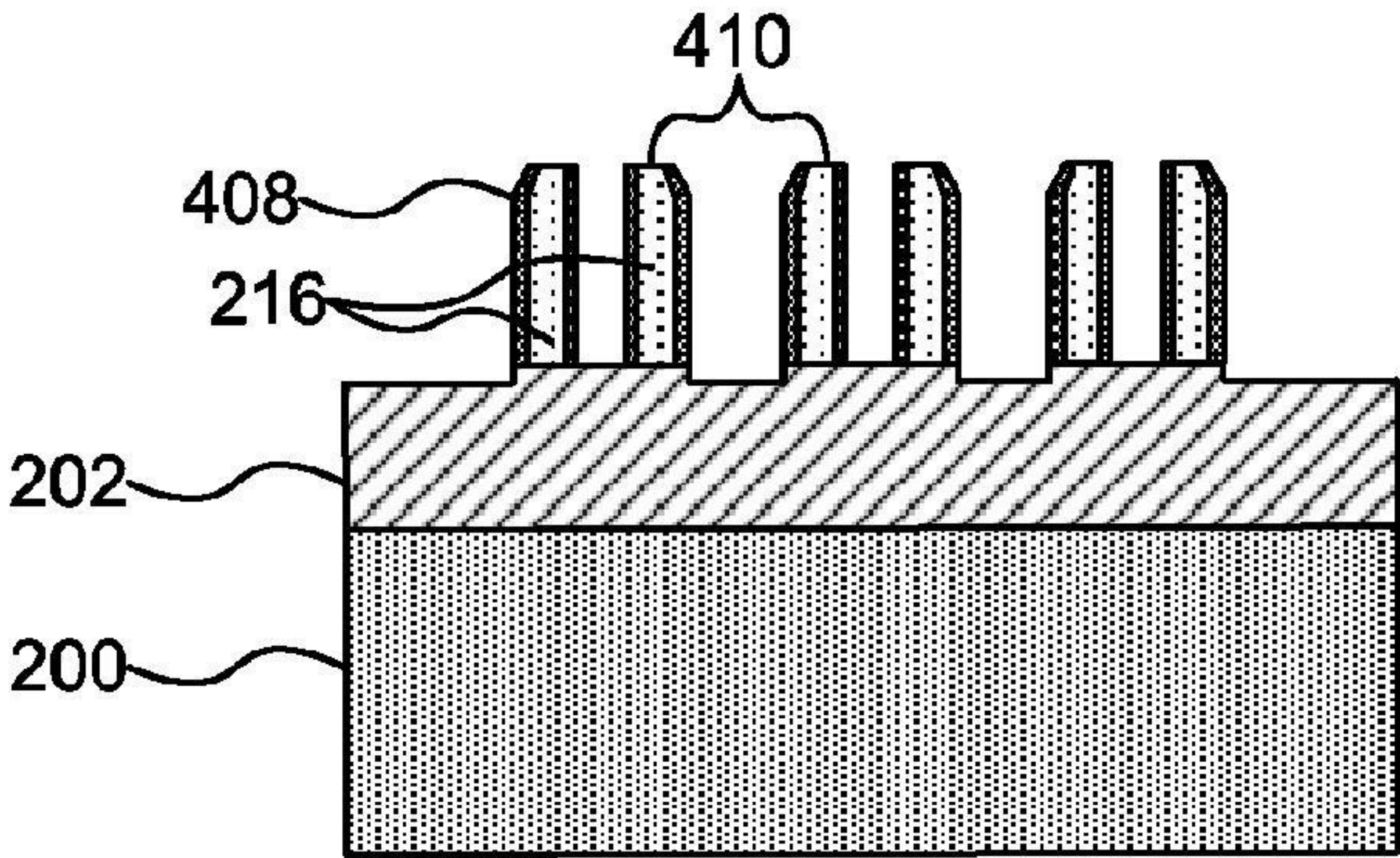


圖 7B

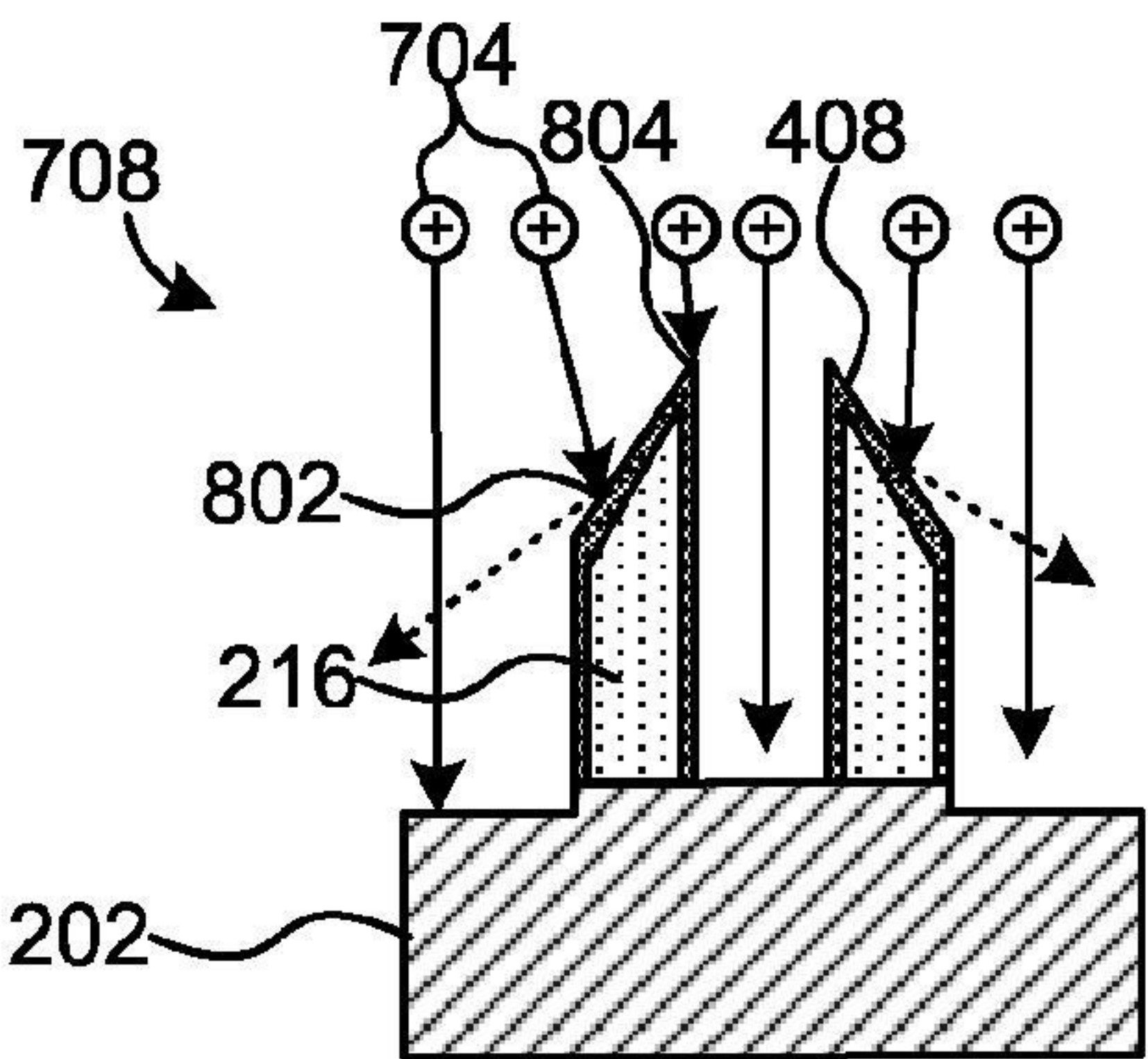


圖 8A

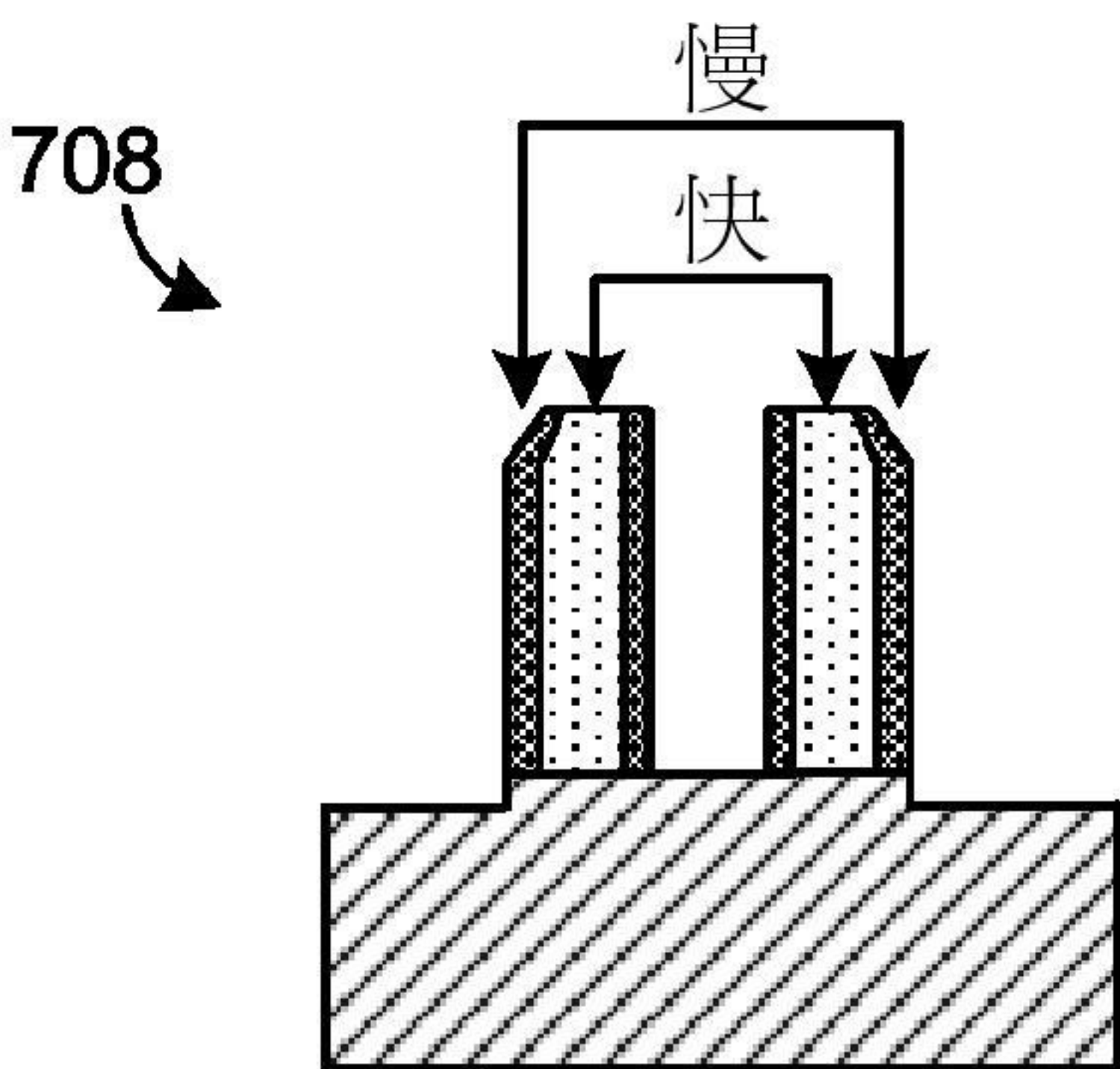


圖 8B

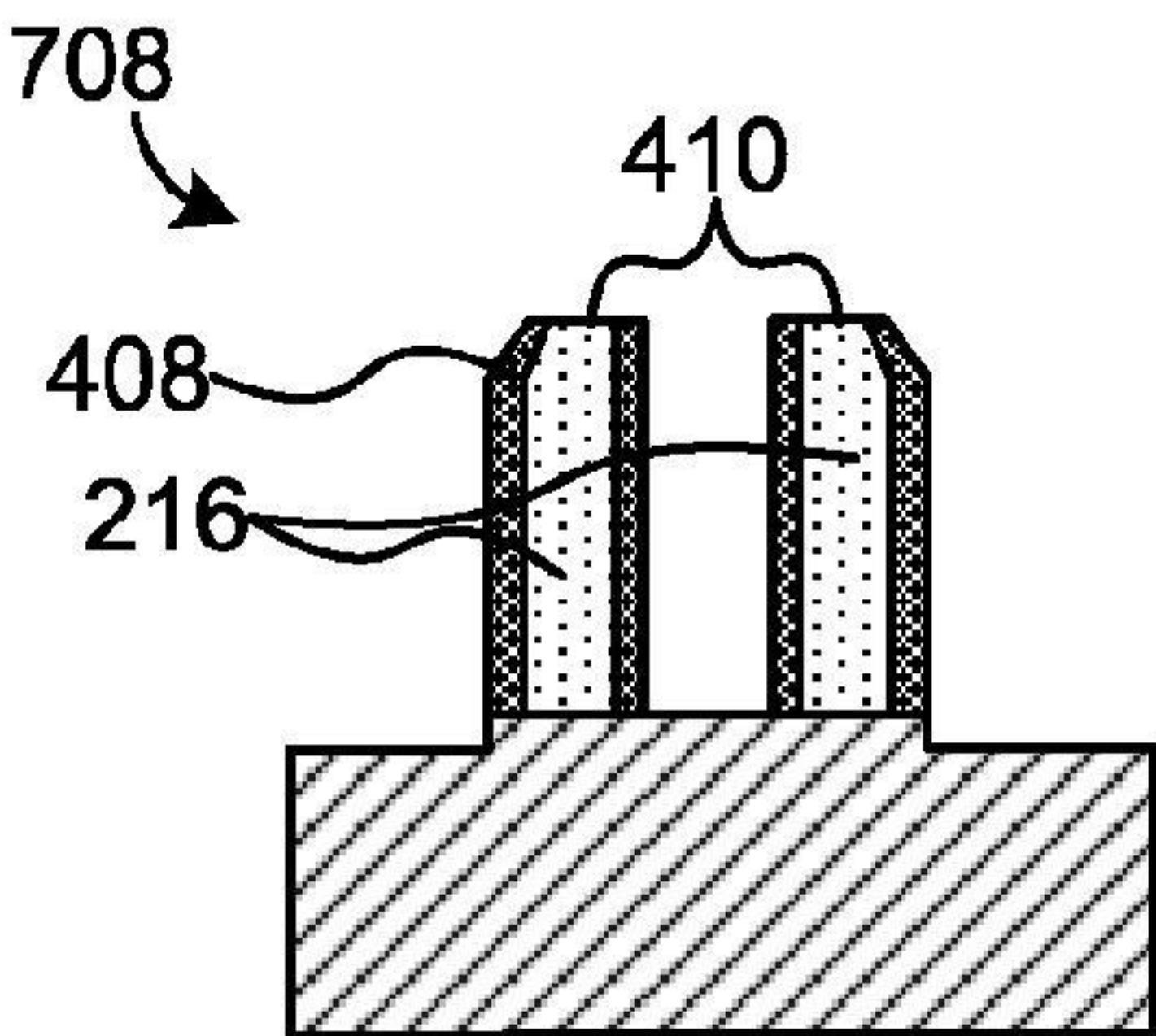


圖 8C

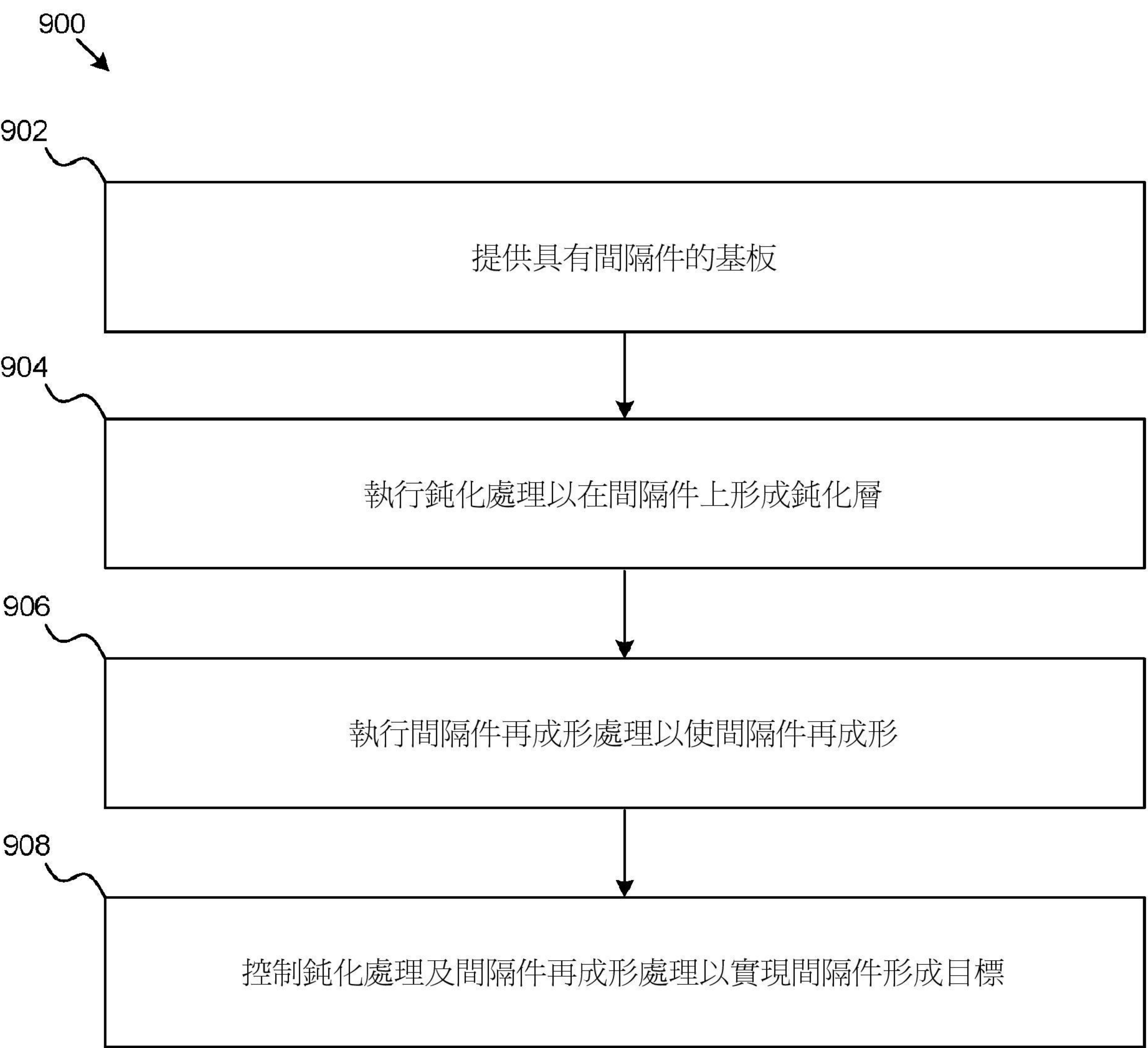


圖 9

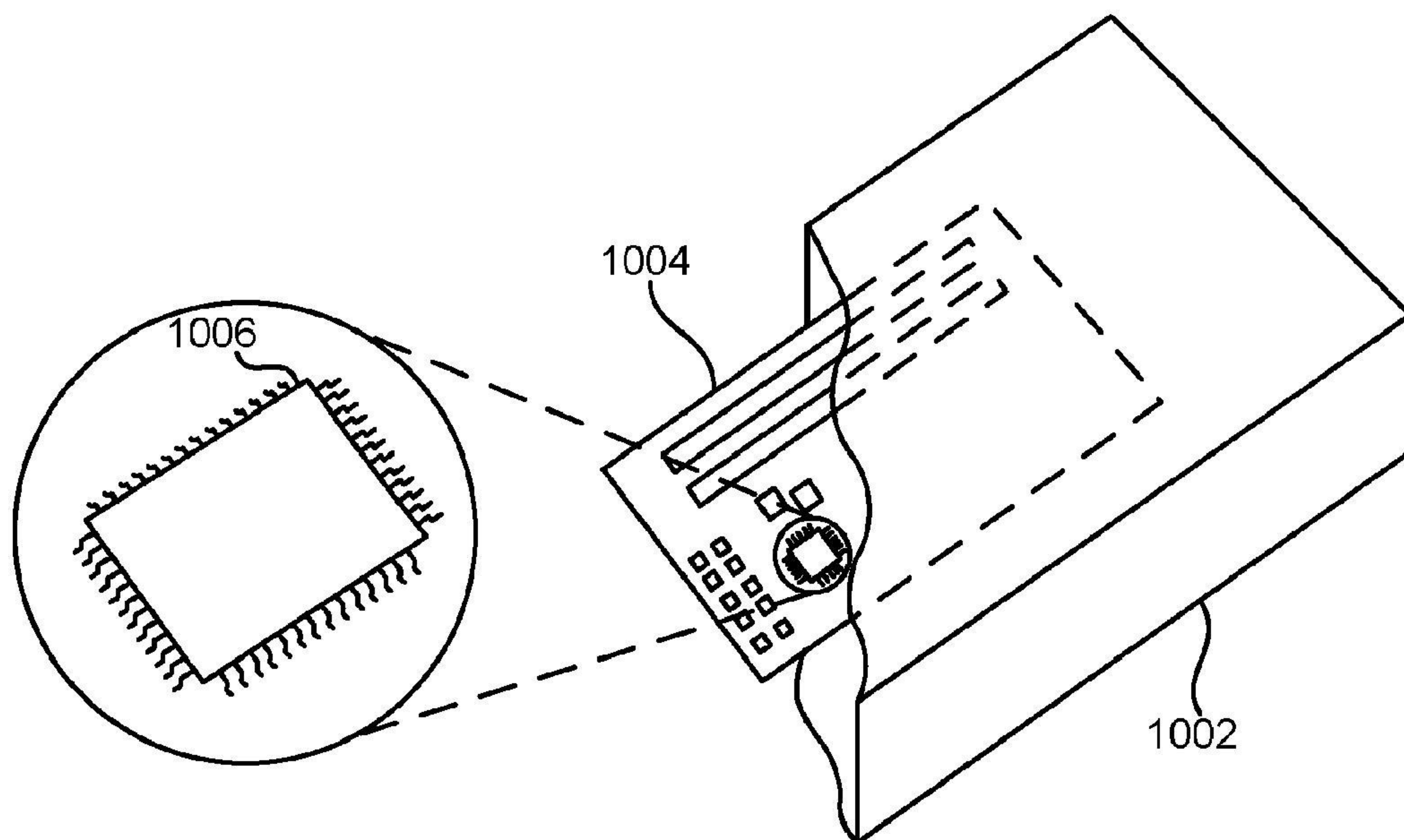


圖 10