



(12) 发明专利

(10) 授权公告号 CN 103580670 B

(45) 授权公告日 2016. 08. 03

(21) 申请号 201210259985. 0

CN 1499723 A, 2004. 05. 26,

(22) 申请日 2012. 07. 25

审查员 谢宜瑾

(73) 专利权人 联咏科技股份有限公司

地址 中国台湾新竹科学工业园区

(72) 发明人 陈政宏 黄如琳 梁可骏

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 史新宏

(51) Int. Cl.

H03K 19/0175(2006. 01)

G05F 1/46(2006. 01)

(56) 对比文件

TW 200849823 A, 2008. 12. 16,

US 2006033530 A1, 2006. 02. 16,

US 6777981 B2, 2004. 08. 17,

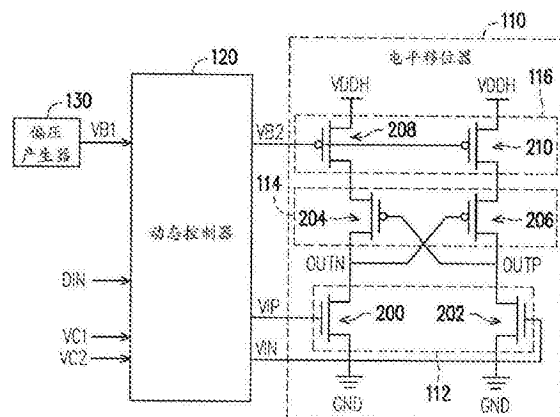
权利要求书3页 说明书8页 附图8页

(54) 发明名称

动态控制电平移位电路

(57) 摘要

一种动态控制电平移位电路,包括一动态控制器与一电平移位器。动态控制器输出一动态电压以及一输出数据信号。电平移位器受该动态控制器控制,包括一输入信号接收器、一输出信号产生器、以及一偏压电流控制器,串联于一地电压与一高电平电压。该输入信号接收器接收该动态控制器的该输出数据信号,且该输出信号产生器根据该输出数据信号产生一移位数据电压信号。该偏压电流控制器受该动态电压控制,当该移位数据电压信号在一稳定阶段时处于一第一电流输出程度,当该移位数据电压信号在一不稳定阶段时处于一第二电流输出程度,该第一电流输出程度大于该第二电流输出程度。



1. 一种动态控制电平移位电路,包括:

一动态控制器,输出一动态电压以及一输出数据信号;

一电平移位器,受该动态控制器控制,包括一输入信号接收器、一输出信号产生器、以及一偏压电流控制器,串联于一地电压与一高电平电压,

其中该输入信号接收器接收该动态控制器的该输出数据信号,且该输出信号产生器根据该输出数据信号产生一移位数据电压信号,

其中该偏压电流控制器受该动态电压控制,当该移位数据电压信号在一稳定阶段时处于一第一电流输出程度,当该移位数据电压信号在一不稳定阶段时处于一第二电流输出程度,该第一电流输出程度大于该第二电流输出程度,该第二电流输出程度仍维持操作在大于零的程度,

其中该移位数据电压信号在该稳定阶段时具有该地电压或该高电平电压的固定数据电压,该移位数据电压信号在该不稳定阶段时是在变化但是尚未达到所要的该固定数据电压。

2. 根据权利要求1所述的动态控制电平移位电路,还包括一偏压产生器输出一偏压,其中该动态控制器,包括:

一动态偏压产生器,接收该偏压与一第一电压控制信号,输出该动态电压,其中该动态电压是根据该第一电压控制信号输出一电位状态,以控制该电平移位器的该偏压电流控制器;以及

一触发器,接收一输入数据信号以及一第二电压控制信号,输出对应该输入数据信号的该输出数据信号,

其中该第一电压控制信号与该第二电压控制信号,在该移位数据电压信号是该不稳定阶段时有重迭。

3. 根据权利要求2所述的动态控制电平移位电路,其中该第一电流输出程度是该电位状态处于一第一电压电平使该偏压电流控制器接近导通程度,该第二电流输出程度是该电位状态处于一第二电压电平使该偏压电流控制器接近关闭程度。

4. 根据权利要求2所述的动态控制电平移位电路,其中该第一电压控制信号与该动态电压是同步。

5. 根据权利要求2所述的动态控制电平移位电路,其中该第一电压控制信号与该第二电压控制信号是外部输入的两个信号,或是根据一输入信号后由内部产生该第一电压控制信号与该第二电压控制信号。

6. 根据权利要求2所述的动态控制电平移位电路,其中该电平移位器包括:

该输入信号接收器,包括第一晶体管有第一栅极与第二晶体管有第二栅极,该第一栅极与该第二栅极分别接收该输出数据信号的一对互补数据信号;

该输出信号产生器,包括第三晶体管有第三栅极与第四晶体管有第四栅极,与该输入信号接收器串联耦接,以根据该对互补数据信号产生该移位数据电压信号,该移位数据电压信号也是一对互补电压信号,其中该第三栅极与该第四栅极交错输出该对互补电压信号;以及

该偏压电流控制器,包括第五晶体管有第五栅极与第六晶体管有第六栅极,与该输出信号产生器串联耦接,该第五栅极与该第六栅极受该动态电压的该电位状态所控制产生该

第一电流输出程度或是该第二电流输出程度的两个导通状态。

7. 根据权利要求6所述的动态控制电平移位电路,其中该输入信号接收器的该第一晶体管与该第二晶体管是N导电型金属氧化物半导体晶体管,该输出信号产生器的该第三晶体管与该第四晶体管是P导电型金属氧化物半导体晶体管,该偏压电流控制器的该第五晶体管与该第六晶体管是P导电型金属氧化物半导体晶体管。

8. 根据权利要求7所述的动态控制电平移位电路,其中该第一电压控制信号与该动态电压是同步,且电压极性也相同。

9. 根据权利要求7所述的动态控制电平移位电路,其中该动态偏压产生器包括:

第一N导电型金属氧化物半导体晶体管,有第一栅极与两个第一掺杂电极,其中该第一栅极接收该偏压产生器输出的该偏压,该两个第一掺杂电极的一者接地;

第二N导电型金属氧化物半导体晶体管有第二栅极与两个第二掺杂电极,其中该第二栅极接收该偏压产生器输出的该偏压,该两个第二掺杂电极的一者接地,另一者连接到一节点;

第一P导电型金属氧化物半导体晶体管,有第三栅极与两个第三掺杂电极,其中该第三栅极连接到该节点也输出该动态电压,该两个第三掺杂电极的一者连接到该节点,另一者连接到一电源;以及

第二P导电型金属氧化物半导体晶体管,有第四栅极与两个第四掺杂电极,其中该第四栅极接受该第一电压控制信号的控制,该两个第四掺杂电极的一者连接到该节点,另一者与该两个第一掺杂电极的另一者连接。

10. 根据权利要求7所述的动态控制电平移位电路,其中该偏压产生器输出的该偏压是一第一偏压与一第二偏压,该第一偏压低于该第二偏压,其中该动态偏压产生器包括:

反相器,有一输入端与一输出端,该输入端接收该第一电压控制信号;

第一P导电型金属氧化物半导体晶体管,有第一栅极与两个第一掺杂电极,其中该第一栅极也与该反相器的该输入端连接同时接收该第一电压控制信号,该两个第一掺杂电极的一者接收该第一偏压,另一者连接到一节点以输出该动态电压;以及

第二P导电型金属氧化物半导体晶体管,有第二栅极与两个第二掺杂电极,其中该第二栅极与该反相器的该输出端连接,该两个第二掺杂电极的一者接收该第二偏压,另一者也连接到该节点共同输出该动态电压。

11. 根据权利要求6所述的动态控制电平移位电路,其中该输入信号接收器的该第一晶体管与该第二晶体管是P导电型金属氧化物半导体晶体管,该输出信号产生器的该第三晶体管与该第四晶体管是N导电型金属氧化物半导体晶体管,该偏压电流控制器的该第五晶体管与该第六晶体管是N导电型金属氧化物半导体晶体管。

12. 根据权利要求11所述的动态控制电平移位电路,其中该第一电压控制信号与该动态电压是同步,但是电压极性也相反。

13. 根据权利要求11所述的动态控制电平移位电路,其中该动态偏压产生器包括:

第一N导电型金属氧化物半导体晶体管,有第一栅极与两个第一掺杂电极,其中该第一栅极连接到一节点以输出该动态电压,该两个第一掺杂电极的一者接地,另一者也连接到该节点;

第一P导电型金属氧化物半导体晶体管有第二栅极与两个第二掺杂电极,其中该第二

栅极接收该偏压产生器输出的该偏压,该两个第二掺杂电极的一者接收电源;

第二P导电型金属氧化物半导体晶体管,有第三栅极与两个第三掺杂电极,其中该第三栅极接收该偏压产生器输出的该偏压,该两个第三掺杂电极的一者接收电源,另一者连接到该节点;以及

第三P导电型金属氧化物半导体晶体管,有第四栅极与两个第四掺杂电极,其中该第四栅极接受该第一电压控制信号的控制,该两个第四掺杂电极的一者连接到该节点,另一者与该第一P导电型金属氧化物半导体晶体管的该两个第二掺杂电极的另一者连接。

14.根据权利要求11所述的动态控制电平移位电路,其中该偏压产生器输出的该偏压是一第一偏压与一第二偏压,该第一偏压低于该第二偏压,其中该动态偏压产生器包括:

反相器,有一输入端与一输出端,该输入端接收该第一电压控制信号;

第一N导电型金属氧化物半导体晶体管,有第一栅极与两个第一掺杂电极,其中该第一栅极也与该反相器的该输入端连接同时接收该第一电压控制信号,该两个第一掺杂电极的一者接收该第一偏压,另一者连接到一节点以输出该动态电压;以及

第二N导电型金属氧化物半导体晶体管,有第二栅极与两个第二掺杂电极,其中该第二栅极与该反相器的该输出端连接,该两个第二掺杂电极的一者接收该第二偏压,另一者也连接到该节点共同输出该动态电压。

## 动态控制电平移位电路

### 技术领域

[0001] 本发明是有关于一种电平移位电路,且特别是有关于一种可以动态控制的电平移位电路。

### 背景技术

[0002] 电平移位电路一般是用以将具有小电压范围信号,放大移位成具有较大电压范围的信号,其例如将0V到1V变化的数据信号移位成0V到10V变化的数据信号。

[0003] 图1绘示传统电平移位电路的示意图。参阅图1,传统的电平移位电路100是由两个N导电型金属氧化物半导体(NMOS)的场效应晶体管M1、M2以及两个P导电型金属氧化物半导体(PMOS)场效应晶体管M3、M4所组成。晶体管M1与晶体管M2的两个栅极分别接收入互补的一对输入数据IN与IN'。晶体管M1与晶体管M2有两个掺杂电极,当作源极或是漏极,其一者连接到地电压,GND,另一者分别输出互补的一对移位数据电压信号,OUT'、OUT,另外分别连接到晶体管M3、M4的两个栅极。互补的信号,其也是互为反相的信号。晶体管M3、M4构成交错连接(cross-coupled)的结构。晶体管M3、M4的二个掺杂电极连接到高电平电压VDDH。于此输入数据IN与IN'的电压高电平电压VDDL,会被移位到VDDH。也就是说,输入数据的电压范围为VDDL到GND,而输出数据的电压范围为VDDH到GND。VDDL电位低于VDDH。

[0004] 此传统电平移位电路100,以起始状态IN=GND、IN'=VDD2、OUT=GND、OUT'=VDDH为例,当输入信号改变IN变成VDDL、IN'变成GND时,晶体管M1导通、晶体管M2关闭,输出电压OUT将维持在GND电压,因此P导电型的晶体管M3也会导通,形成很大的短路电流由晶体管M3、M1导通到GND。

[0005] 上述传统电平移位电路100会由于短路电流而增加系统的耗电量。

### 发明内容

[0006] 本发明一实施例提供一种动态控制电平移位电路,可以减少短路电流而减少耗电量。

[0007] 本发明一实施例提供一种动态控制电平移位电路,包括一动态控制器与一电平移位器。动态控制器输出一动态电压以及一输出数据信号。电平移位器受该动态控制器控制,包括一输入信号接收器、一输出信号产生器、以及一偏压电流控制器,串联于一地电压与一高电平电压。该输入信号接收器接收该动态控制器的该输出数据信号,且该输出信号产生器根据该输出数据信号产生一移位数据电压信号。该偏压电流控制器受该动态电压控制,当该移位数据电压信号在一稳定阶段时处于一第一电流输出程度,当该移位数据电压信号在一不稳定阶段时处于一第二电流输出程度,该第一电流输出程度大于该第二电流输出程度。

[0008] 根据一实施例,所述的动态控制电平移位电路更可以包括一偏压产生器输出一偏压。该动态控制器,包括一动态偏压产生器与一触发器。动态偏压产生器接收该偏压与一第一电压控制信号,输出该动态电压,其中该动态电压是根据该第一电压控制信号输出一电

位状态,以控制该电平移位器的该偏压电流控制器。触发器接收一输入数据信号以及一第二电压控制信号,输出对应该输入数据信号的该输出数据信号。该第一电压控制信号与该第二电压控制信号,在该移位数据电压信号是该不稳定阶段时有重迭。

[0009] 为了让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图式作详细说明如下。

### 附图说明

[0010] 图1绘示传统电平移位电路的示意图。

[0011] 图2绘示依据本发明一实施例,动态控制电平移位电路示意图。

[0012] 图3绘示依据本发明一实施例,动态控制电平移位电路示意图。

[0013] 图4绘示依据本发明一实施例,动态控制电平移位电路示意图。

[0014] 图5绘示依据本发明一实施例,动态控制电平移位电路示意图。

[0015] 图6绘示依据本发明一实施例,动态控制器对应图2的动态控制电平移位电路的架构示意图。

[0016] 图7~8绘示依据本发明一实施例,图6的动态控制电平移位电路的输入信号与输出信号的波形与时序关系示意图。

[0017] 图9绘示依据本发明一实施例,动态控制器对应图2的动态控制电平移位电路的架构示意图。

[0018] 图10~11绘示依据本发明一实施例,图9的动态控制电平移位电路的输入信号与输出信号的波形与时序关系示意图。

[0019] 图12绘示依据本发明一实施例,在图6中的动态控制器120的动态偏压产生器122电路示意图。

[0020] 图13绘示依据本发明一实施例,在图6中的动态控制器120的动态偏压产生器122电路示意图。

[0021] 图14绘示依据本发明一实施例,在图6中的动态控制器120的动态偏压产生器122电路示意图。

[0022] 图15绘示依据本发明一实施例,在图9中的动态控制器120的动态偏压产生器122电路示意图。

[0023] [主要元件标号说明]

[0024] 100:电平移位电路	110:电平移位器
[0025] 112:输入信号接收器	114:输出信号产生器
[0026] 116:偏压电流控制器	120:动态控制器
[0027] 122:动态偏压产生器	124:触发器
[0028] 126:反相器	130:偏压产生器
[0029] 200、202、204、206、208、210:晶体管	
[0030] 220、222、224、226、228、220:晶体管	

### 具体实施方式

[0031] 本发明提供多个实施例,用以描述动态控制电平移位电路,其可以减少系统耗电。

然而本发明不仅限于所举的多个实施例。

[0032] 图2绘示依据本发明一实施例,动态控制电平移位电路示意图。参阅图2,本实施例的动态控制电平移位电路,可以将小的电压范围,例如是VDDL-GND范围的输入信号DIN转化到更高的电压范围VDDH-GND的输出信号OUTP、OUTN。

[0033] 就本实施例的动态控制电平移位电路,其包括动态控制器120与一电平移位器110。动态控制器120输出一动态电压VB2以及一输出数据信号VIP/VIN。电平移位器110受动态控制器120的控制,其包括一输入信号接收器112,一输出信号产生器114,以及一偏压电流控制器116,串联于一地电压GND与一高电平电压VDDH之间。输入信号接收器112接收动态控制器120的输出数据信号VIP/VIN,且输出信号产生器114根据输出数据信号产生VIP/VIN一移位数据电压信号OUTP、OUTN。偏压电流控制器116受动态电压VB2控制。当移位数据电压信号OUTP、OUTN在一稳定阶段时处于一第一电流输出程度,当该移位数据电压信号OUTP、OUTN在一不稳定阶段时处于一第二电流输出程度。第一电流输出程度大于该第二电流输出程度。

[0034] 以下就更细部的操作机制作描述。动态控制电平移位电路可以还包括偏压产生器130,用以提供一偏压电压VB1给动态控制器120。动态控制器120的输入信号包括偏压电压VB1、输入信号DIN,另外也接收控制信号VC1用以产生动态电压VB2、控制信号VC2用以将输入信号DIN转换成数据信号VIP与VIN,其为互补或是反相的数据信号。

[0035] 电平移位器110受动态控制器120的控制,包括输入信号接收器112,输出信号产生器114,以及偏压电流控制器116,其分别都是例如由一对金属氧化物半导体(MOS)的场效应晶体管所构成。本实施例中,输入信号接收器112是由一对N导电型金属氧化物半导体(NMOS)的场效应晶体管200、202所构成。输出信号产生器114是由一对P导电型金属氧化物半导体(PMOS)的场效应晶体管204、206所构成。偏压电流控制器116是由一对P导电型金属氧化物半导体(PMOS)的场效应晶体管208、210所构成。

[0036] 以下场效应晶体管也简称为晶体管。晶体管一般包括一栅极、一源极与一漏极。由于源极与漏极是由电路的连接关系来定义而可以互换,因此源极与漏极都统称为掺杂电极,不区分是源极或是漏极。

[0037] 电平移位器110的电路连接如下。输入信号接收器112包括第一晶体管200有第一栅极与第二晶体管202有第二栅极。第一栅极与第二栅极分别接收由动态控制器120输出的输出数据信号VIP, VIN,其是一对互补的输出数据信号VIP, VIN。

[0038] 输出信号产生器114包括第三晶体管202有第三栅极204与第四晶体管206有第四栅极,与输入信号接收器112串联耦接,以根据互补数据信号VIP, VIN产生移位数据电压信号OUTN, OUTP。移位数据电压信号OUTN, OUTP也是一对互补电压信号,其中该第三栅极与该第四栅极交错输出互补电压信号OUTN, OUTP。

[0039] 偏压电流控制器116,包括第五晶体管208有第五栅极与第六晶体管210有第六栅极,与输出信号产生器114串联耦接。第五栅极与第六栅极受动态电压VB2的电位状态控制,以产生第一电流输出程度或是第二电流输出程度的二个导通状态。

[0040] 电平移位器110的工作原理为:当输出的数据电压信号OUTP、OUTN稳定时,动态电压VB2是在较低的电压电平,但是 $VB2 \neq GND$ ,因此P导电型的晶体管208、210接近完全导通的状态,有较大的电流输出能力。当数据信号DIN改变时,通过控制电压VC2输入一脉冲,以产

生数据信号VIP与VIN,此时电平移位器110开始逐步将输入数据信号VIP与VIN转化到更高的VDDH-GND电压范围。由于此时要输出的数据电压信号OUTP、OUTN仍处于非稳定状态,晶体管204、206会同时导通。因此VDDH到GND间存在一导通路径造成短路电流。为了降低电压信号OUTP、OUTN于此非稳定状态的短路电流,控制信号VC1输入一短时间的脉冲,将动态电压VB2的电压状态改变成较高的偏压电压,但 $VB2 \neq VDDH$ ,此时会较接近关闭的状态,因此降低晶体管208、210的电流输出能力,进而减少电平移位器在电压信号OUTP、OUTN于非稳定状态下的短路电流,可以减少电流消耗,增进电流效率。

[0041] 就控制信号VC1与VC2的作用,两者脉冲发生的时间并不需要太严格的制定,VC1可以比VC2脉冲早产生或是晚产生,只要两者的脉冲能在电压信号OUTP、OUTN非稳定状态时重迭,即可达到降低电流消耗的效果。因此,控制信号VC1与VC2的输入也可以合并成单一的控制信号,而由内部的延迟或是提前产生控制信号VC1与VC2。

[0042] 图3绘示依据本发明一实施例,动态控制电平移位电路示意图。参阅图3,也可以同时参阅图7与图8的信号波形时序图,控制信号VC1、VC2的两个输入信号整合成一个输入控制信号VC。在图2中,若是电路设计成控制信号VC1早于控制信号VC2,则于图3的实施例中,例如可以设定为 $VC=VC1$ ,而控制信号VC2是控制信号VC经过延迟电路后的信号。又若是图2的电路要求为控制信号VC2早于控制信号VC1,于图3的实施例中,例如可以是 $VC=VC2$ ,而控制信号VC1是控制信号VC信号经过延迟电路后的信号。又若是图2的电路是 $VC1=VC2$ ,则于图3的电路中,可以是 $VC=VC1=VC2$ 。

[0043] 前述实施例的电平移位效果是将电压往正的方向提升,但是依相同设概念下,也可以用一电压范围为VDD-GNDH的输入信号DIN转化到更低的电压范围VDD-GNDL的输出电压信号OUTP、OUTN。

[0044] 图4绘示依据本发明一实施例,动态控制电平移位电路示意图。参阅图4,就本实施例的动态控制电平移位电路,其也是包括动态控制器120与一电平移位器110。动态控制器120输出一动态电压VB2以及一输出数据信号VIP/VIN。电平移位器110受动态控制器120的控制,其包括一输入信号接收器112,一输出信号产生器114,以及一偏压电流控制器116,串联于一地电压GNDL与一系统电压VDD之间。

[0045] 与图2的作用相似,输入信号接收器112接收动态控制器120的输出数据信号VIP/VIN,且输出信号产生器114根据输出数据信号产生VIP/VIN一移位数据电压信号OUTP、OUTN。偏压电流控制器116受动态电压VB2控制。当移位数据电压信号OUTP、OUTN在一稳定阶段时处于一第一电流输出程度,当该移位数据电压信号OUTP、OUTN在一不稳定阶段时处于一第二电流输出程度。第一电流输出程度大于该第二电流输出程度。

[0046] 本实施例的电平移位器110受动态控制器120的控制,包括输入信号接收器112,输出信号产生器114,以及偏压电流控制器116,其分别都是例如由一对金属氧化物半导体(MOS)的场效应晶体管所构成。

[0047] 本实施例中,输入信号接收器112是由一对P导电型金属氧化物半导体(PMOS)的场效应晶体管220、222所构成。输出信号产生器114是由一对N导电型金属氧化物半导体(NMOS)的场效应晶体管224、226所构成。偏压电流控制器116是由一对N导电型金属氧化物半导体(NMOS)的场效应晶体管228、230所构成。

[0048] 电平移位器110的电路连接如下。输入信号接收器112包括第一晶体管220有第一



栅极与第二晶体管222有第二栅极。第一栅极与第二栅极分别接收由动态控制器120输出的输出数据信号VIP, VIN, 其是一对互补的输出数据信号VIP, VIN。

[0049] 输出信号产生器114包括第三晶体管224有第三栅极224与第四晶体管226有第四栅极, 与输入信号接收器112串联耦接, 以根据互补数据信号VIP, VIN产生移位数据电压信号OUTN, OUTP。移位数据电压信号OUTN, OUTP也是一对互补电压信号, 其中该第三栅极与该第四栅极交错输出互补电压信号OUTN, OUTP。

[0050] 偏压电流控制器116, 包括第五晶体管228有第五栅极与第六晶体管230有第六栅极, 与输出信号产生器114串联耦接。第五栅极与第六栅极受动态电压VB2的电位状态控制, 以产生第一电流输出程度或是第二电流输出程度的二个导通状态。

[0051] 就本实施例的操作机制如下。当数据电压信号OUTP、OUTN稳定时, 动态电压VB2的偏压在较高的电压电平, 但 $VB2 \neq VDD$ , 因此晶体管228、230有较大的电流输出能力。当数据信号DIN改变时, 控制信号VC2输入一脉冲, 以产生数据信号VIP与VIN。此时电平移位器110开始逐步将输入数据信号VIP与VIN转化到更低的VDD-GND电压范围, 由于此时要输出的数据电压信号OUTP、OUTN仍处于非稳定状态, 晶体管224、226会同时导通, 因此由电压VDD到电压GNDL之间存在一导通路径造成短路电流。为了降低数据电压信号OUTP、OUTN于此非稳定状态的短路电流, 控制信号VC1输入一短时间的脉冲, 将动态电压VB2的电压状态改变成较低的偏压电压, 但 $VB2 \neq GNDL$ , 此时其接近关闭的状态, 而降低晶体管228、230的电流输出能力, 进而减少电平移位器110在数据电压信号OUTP、OUTN于非稳定状态下的短路电流。其可以减少电流消耗, 增进电流效率。

[0052] 就控制信号VC1与VC2的整合, 其可以采用例如图3的类似方式。图5绘示依据本发明一实施例, 动态控制电平移位电路示意图。参阅图5, 也可以同时参阅图10与图11的信号波形时序图, 控制信号VC1、VC2的两个输入信号整合成一个输入控制信号VC。在图4中, 若是电路设计成控制信号VC1早于控制信号VC2, 则于图5的实施例中, 例如可以设定为 $VC=VC1$ , 而控制信号VC2是控制信号VC经过延迟电路后的信号。又若是图4的电路要求为控制信号VC2早于控制信号VC1, 于图5的实施例中, 例如可以是 $VC=VC2$ , 而控制信号VC1是控制信号VC信号经过延迟电路后的信号。又若是图4的电路是 $VC1=VC2$ , 则于图5的电路中, 可以是 $VC=VC1=VC2$ 。

[0053] 以下描述动态控制器120的电路结构。图6绘示依据本发明一实施例, 动态控制器对应图2的动态控制电平移位电路的架构示意图。参阅图6, 本实施例的动态控制电平移位电路用以将一电压范围为VDDL-GND的输入信号DIN转化到更高的电压范围VDDH-GND的数据电压信号OUTP、OUTN。图6中的动态控制器120由一动态偏压产生器122与一触发器124所组成, 其中触发器124例如是D型触发器。动态偏压产生器130用以产生动态电压VB2, 其输入信号包括偏压电压VB1与控制信号VC1。触发器124用以将输入数据信号DIN转为数据信号VIP与VIN, 其为互补的数据信号。动态电压VB2与数据信号VIP与VIN用以控制电平移位器110。电平移位器110的操作机制如前述。

[0054] D型触发器124, 接收数据信号DIN以及控制信号VC2以产生数据信号VIP与VIN, 然而其也可以有其它的方式, 例如也可改为负缘触发, 即是控制信号VC2由高电压到低电压时, 数据信号VIP与VIN的电压才会改变。数据信号VIP与VIN是对应数据信号DIN来产生。数据信号DIN例如是输入的数字数据, 其“0”与“1”电压电平不大, 而通过触发器124产生互补

的数据电压信号VIP与VIN。因此,触发器124也不限于所举的方式。

[0055] 图7绘示依据本发明一实施例,图6的动态控制电平移位电路的输入信号与输出信号的波形与时序关系示意图,其中控制信号VC1早于控制信号VC2。图8绘示依据本发明一实施例,图6的动态控制电平移位电路的输入信号与输出信号的波形于时序关系示意图,其中控制信号VC1晚于控制信号VC2。

[0056] 配合图6的电路,参阅图7与图8的信号时序,如先前提到,控制信号VC1、VC2两者脉冲发生的时间并不需要太严格的制定,控制信号VC1可以比VC2脉冲早产生或是晚产生,只要两者的脉冲能在数据电压信号OUTP、OUTN非稳定状态时重迭,即可达到降低电流消耗的效果。更,为了减少输入信号,控制信号VC1例如也可以等于控制信号VC2。VC1与VC2的极性并不局限所示的时序图。

[0057] 当信号DIN变化时,控制信号VC2会使触发器124产生互补的数据电压信号VIP与VIN。此时以数据电压信号OUTP为例,在初始阶段尚未达到预定电压前是不稳定状态。此时控制信号VC1会产生动态电压VB2以控制偏压电流控制器116。

[0058] 当对应图4的动态控制电平移位电路,其动态控制器120对电平移位器110的控制机制仍维持。图9绘示依据本发明一实施例,动态控制器对应图2的动态控制电平移位电路的架构示意图。参阅图9,动态控制器120的动态偏压产生器122所产生的动态电压VB2连接到N导电型晶体管228、230以控制不同的电流输出能力。由于N导电型晶体管228、230与图6的P导电型晶体管208、210的电压控制方式相反,因此动态电压VB2需要反相。

[0059] 图10绘示依据本发明一实施例,图9的动态控制电平移位电路的输入信号与输出信号的波形与时序关系示意图,其中电压控制信号VC1早于电压控制信号VC2。图11绘示依据本发明一实施例,图9的动态控制电平移位电路的输入信号与输出信号的波形于时序关系示意图,其中控制信号VC1晚于控制信号VC2。

[0060] 参阅图10与图11,其动态电压VB2与控制信号VC1是同步,但是电压极性相反。相比较于图7与图8的信号波形,动态电压VB2是反相,但是时序是相同。

[0061] 以下进一步描述动态偏压产生器122的电路结构。图12绘示依据本发明一实施例,在图6中的动态控制器120的动态偏压产生器122电路示意图。参阅图12,以图6中的动态控制器120,其细部的电结构的一实施例例如是由四个晶体管所组成,例如包括两个N导电型金属氧化物半导体晶体管,N1,N2,以及两个P导电型金属氧化物半导体晶体管,P1,P2。第一N导电型晶体管N1,有第一栅极与二个掺杂电极,其中该第一栅极接收偏压产生器130输出的偏压VB1。二个掺杂电极的一者接地。第二N导电型晶体管N2有第二栅极与二个掺杂电极,其中第二栅极接收偏压产生器130输出的偏压VB1,二个掺杂电极的一者接地,另一者连接到一节点S1。第一P导电型晶体管P1,有第三栅极与二个掺杂电极,其中该第三栅极连接到节点S1也输出动态电压VB2。二个掺杂电极的一者连接到节点S1,另一者连接到所需要的电源。第二P导电型晶体管P2有第四栅极与二个掺杂电极,其中第四栅极接受电压控制信号VC1的控制,二个掺杂电极的一者连接到节点S1,另一者与晶体管N1的二个掺杂电极的另一者连接。当数据输入信号稳定时,电压控制信号VC1为低电压,晶体管P2会导通,而流过晶体管P1的电流是两个电流IN1与IN2的相加,IN1+IN2。因此,动态电压VB2为较低电压。当数据输入信号改变时,电压控制信号VC1为高电压,晶体管P2不导通,流过晶体管P1的电流为IN2,因此动态电压VB2为较高电压。如此,动态电压VB2可以使偏压电流控制器116有不同的

电流输出能力。

[0062] 图13绘示依据本发明一实施例,在图6中的动态控制器120的动态偏压产生器122电路示意图。参阅图13,针对图9中的动态控制器120的动态偏压产生器122,其电路需要做不同的对应设计。动态偏压产生器122仍可以例如由四个晶体管组成。

[0063] 第一N导电型晶体管N1,有第一栅极与二个掺杂电极,其中第一栅极连接到节点S2,以输出动态电压VB2,二个掺杂电极的一者接地,另一者也连接到节点S2。第一P导电型晶体管P1有第二栅极与二个掺杂电极,其中第二栅极接收偏压产生器130输出的偏压VB1,二个掺杂电极的一者接收电源。第二P导电型晶体管P2,有第三栅极与二个掺杂电极,其中第三栅极接收偏压产生器输出的偏压VB1,二个掺杂电极的一者接收电源,另一者连接到节点S2。第三P导电型晶体管P3,有第四栅极与二个掺杂电极,其中第四栅极接受电压控制信号VC1的控制,二个掺杂电极的一者连接到节点S2,另一者与晶体管P1的二个掺杂电极的另一者连接。

[0064] 图13的实施例所产生的动态电压VB2与图12的实施例所产生的动态电压VB是反相的电压状态,因此用以控制偏压电流控制器116的N导电型晶体管228、230。

[0065] 图12与图13也不是动态偏压产生器122的唯一设计,在相同功能下可以有其它的设计。

[0066] 图14绘示依据本发明一实施例,在图6中的动态控制器120的动态偏压产生器122电路示意图。参阅图14,本实施例的偏压产生器130所输出的偏压可以包括第一偏压VB1L与第二偏压VB1H,第一偏压VB1L低于第二偏压VB1H,其中 $VB1L \neq GND$ ,  $VB1H \neq VDDH$ 。对应的动态偏压产生器122包括反相器126,第一P导电型晶体管P1以及第二P导电型晶体管P2。反相器126有一输入端与一输出端。输入端接收电压控制信号VC1。晶体管P1有第一栅极与二个掺杂电极,其中第一栅极也与反相器126的输入端连接,同时接收电压控制信号VC1。二个掺杂电极的一者接收该第一偏压VB1L,另一者连接到节点S3以输出动态电压VB2。晶体管P2有第二栅极与二个掺杂电极,其中第二栅极与反相器126的输出端连接,二个掺杂电极的一者接收第二偏压VB1H,另一者也连接到节点S3共同输出动态电压VB2。

[0067] 操作机制如下。当输入信号稳定时,电压控制信号VC1为低电压,  $VB2=VB1L$ 。在图6的晶体管208、210有较大的电流输出能力。当输入信号改变时,电压控制信号VC1为高电压,  $VB2=VB1H$ ,其降低晶体管208、210的电流输出能力。

[0068] 如果针对图9的动态偏压产生器122,其要被控制的N导电型晶体管228、230不同于图6的P导电型晶体管208、200,因此动态电压VB2的极性需要改变。如果仍采用图14的电路,则第一偏压VB1L与第二偏压VB1H要互换。然而,其也可以有不同的电路设计。

[0069] 图15绘示依据本发明一实施例,在图9中的动态控制器120的动态偏压产生器122电路示意图。参阅图15,动态偏压产生器包括反相器、第一N导电型晶体管N1、第一N导电型晶体管N2。反相器126有一输入端与一输出端,输入端接收电压控制信号VC1。晶体管N1有第一栅极与二个掺杂电极,其中该第一栅极也与反相器126的输入端连接,同时接收电压控制信号VC1,二个掺杂电极的一者接收第一偏压VB1L,另一者连接到节点S4以输出动态电压VB2。晶体管N2,有第二栅极与二个掺杂电极。第二栅极与反相器126的输出端连接,二个掺杂电极的一者接收第二偏压VB1H,另一者也连接到节点S4共同输出动态电压VB2。

[0070] 又,如果采用图15的电路来控制图6的电路时,其第一偏压VB1L与第二偏压VB1H要

互换即可。

[0071] 本发明一实施例提供的实施例,可以减少短路电流而减少耗电量,其在输出电压信号OUTN、OUTP稳定状态与非稳定状态下改变动态电压VB2的电压状态,以控制不同的电流输出能力,如此可以减少短暂短路的耗电。

[0072] 虽然本发明已以实施例揭露如上,然其并非用以限定本发明,任何所属技术领域中具有通常知识者,在不脱离本发明的精神和范围内,当可作些许的更动与润饰,故本发明的保护范围当视所附的权利要求范围所界定者为准。

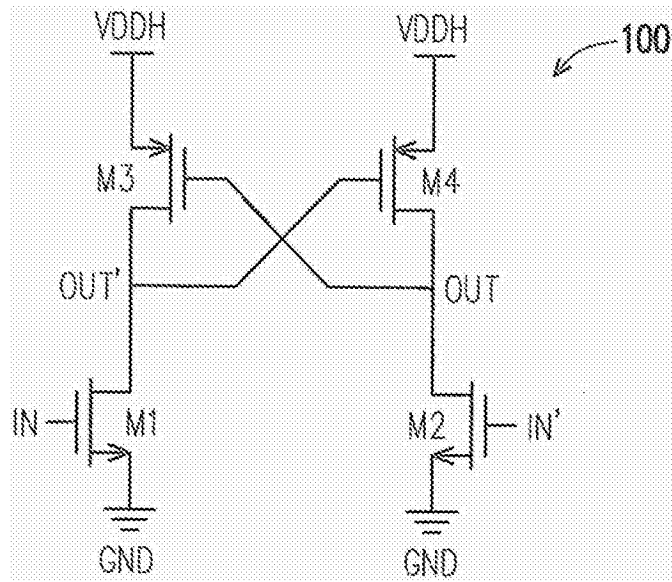


图1

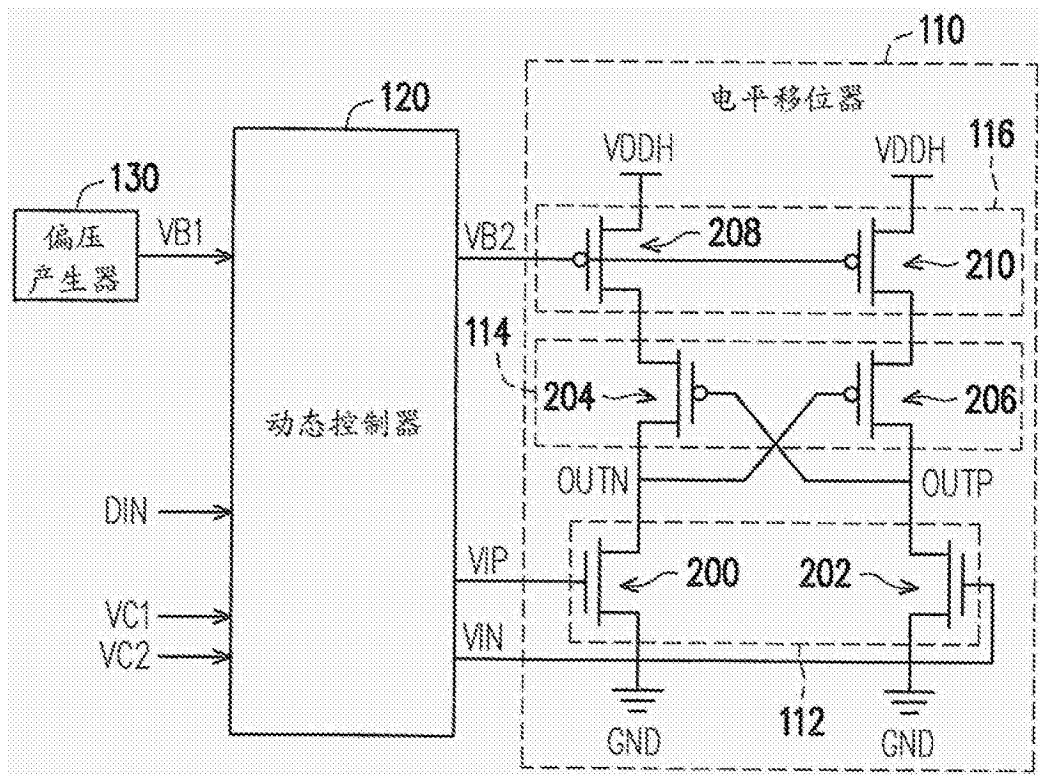


图2

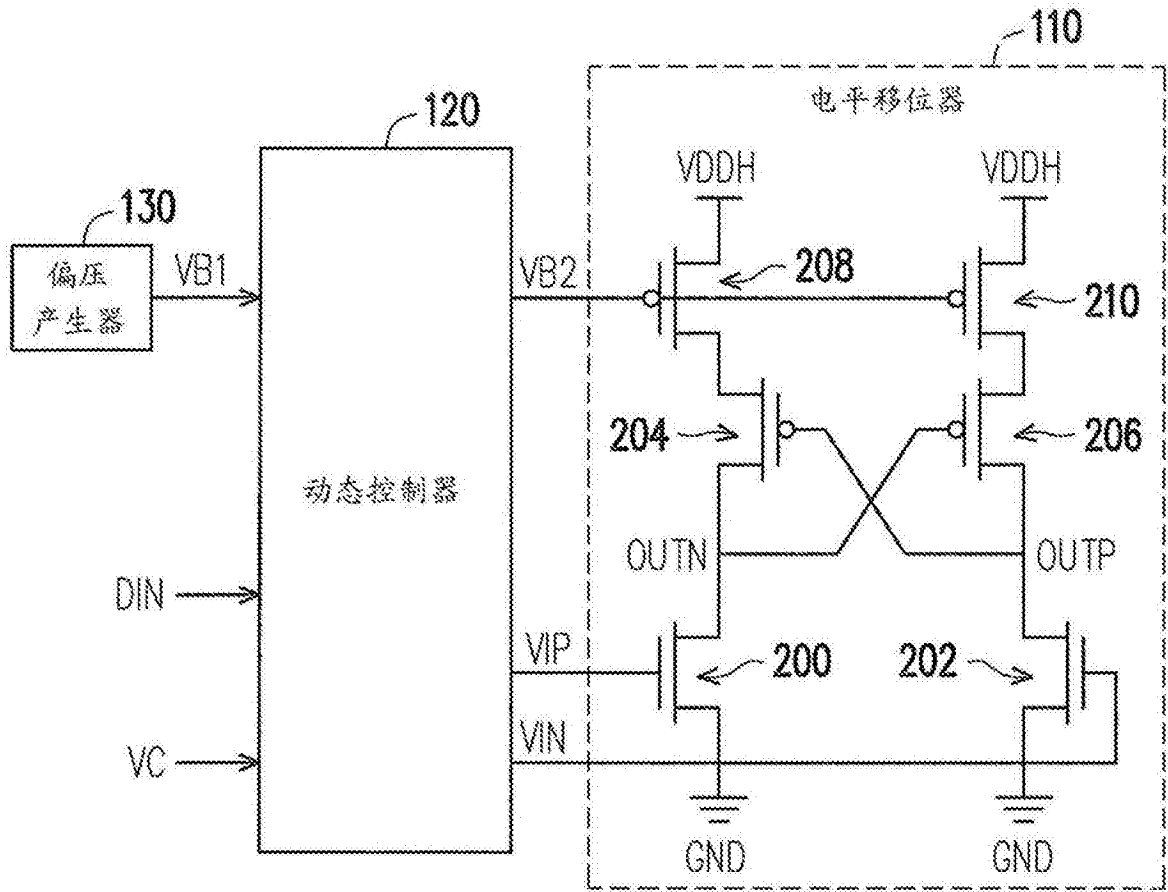


图3

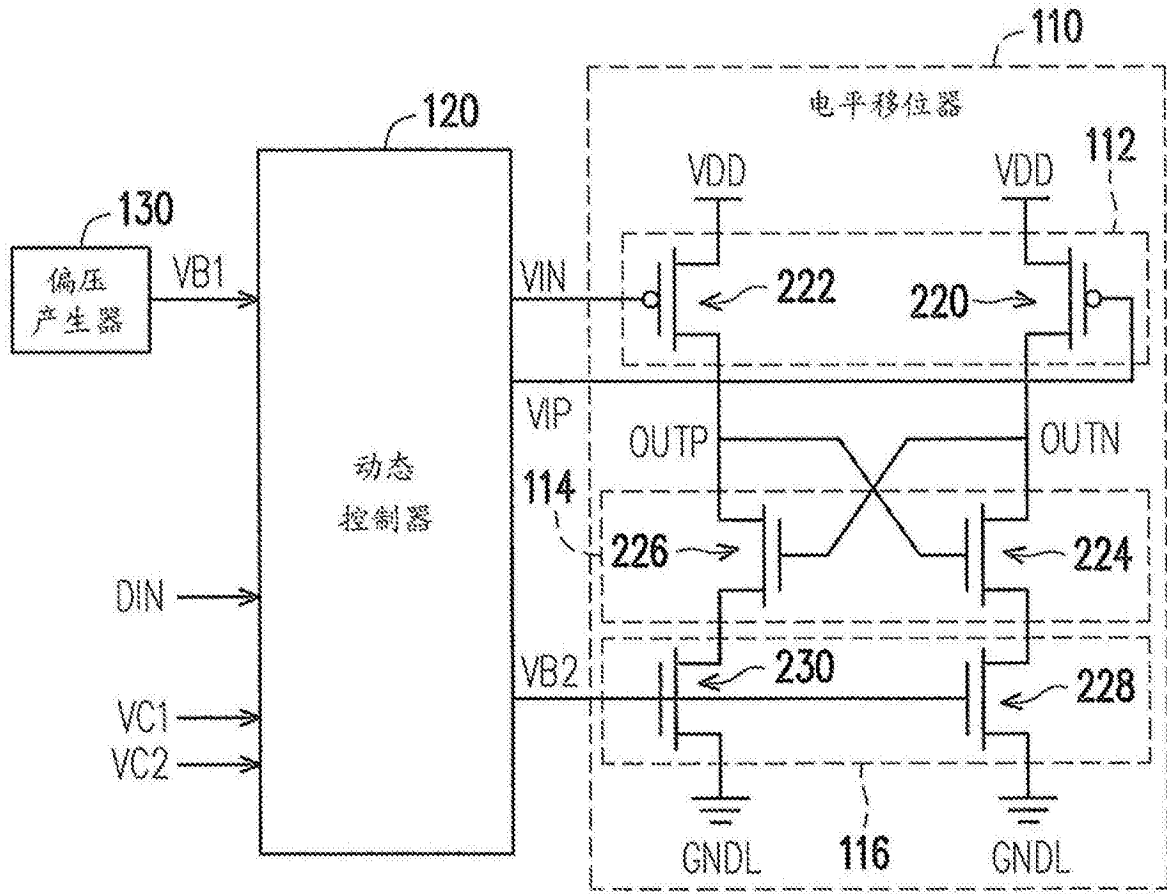


图4

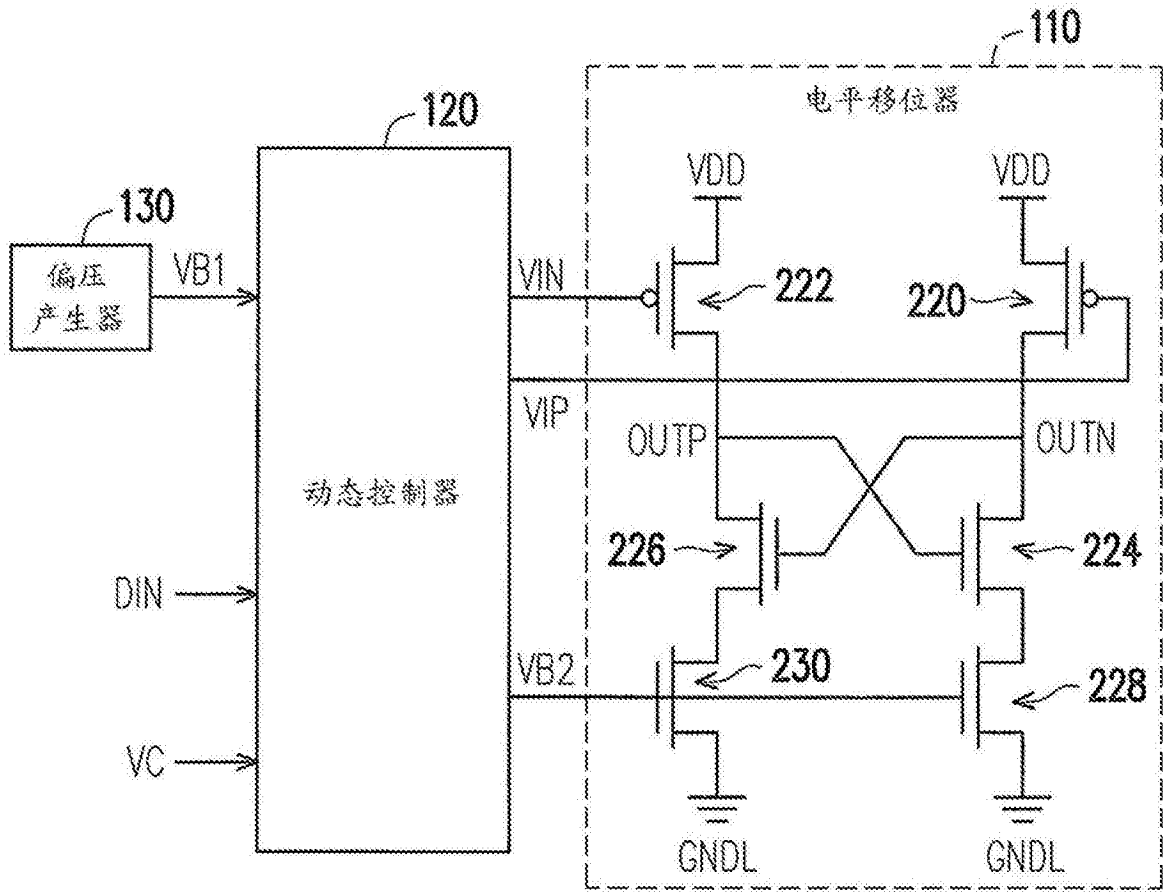


图5



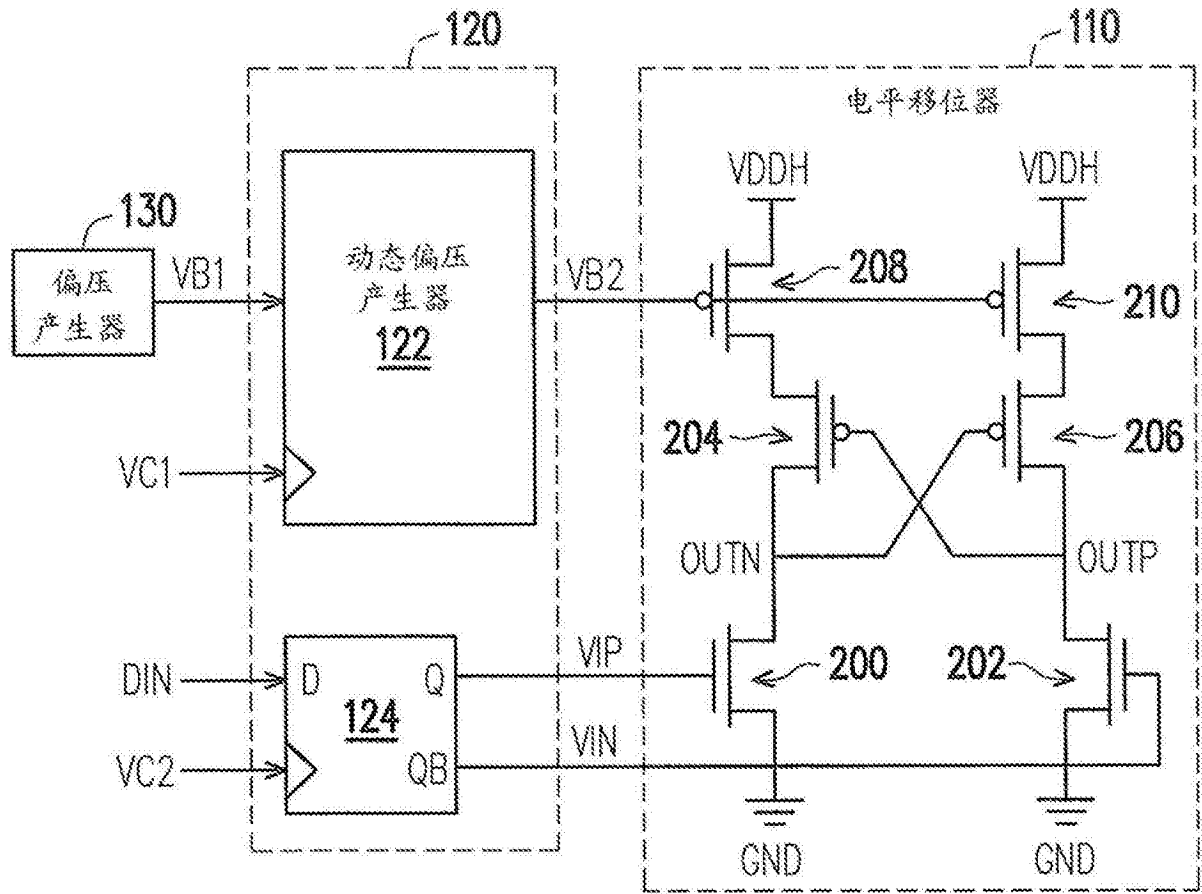


图6

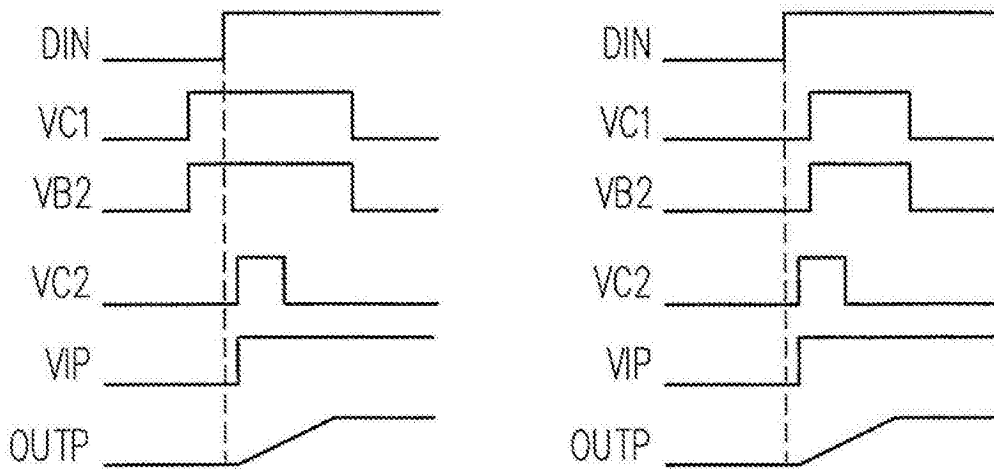


图7

图8

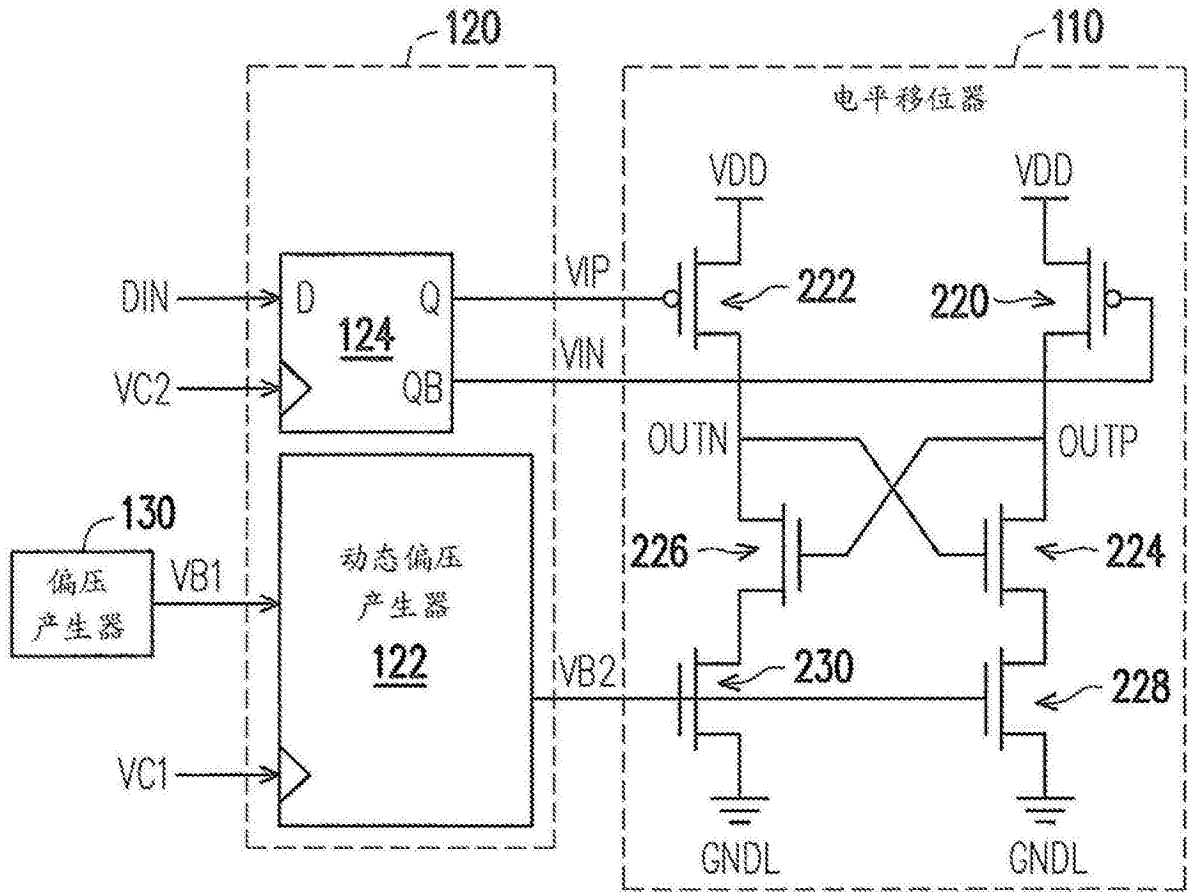


图9

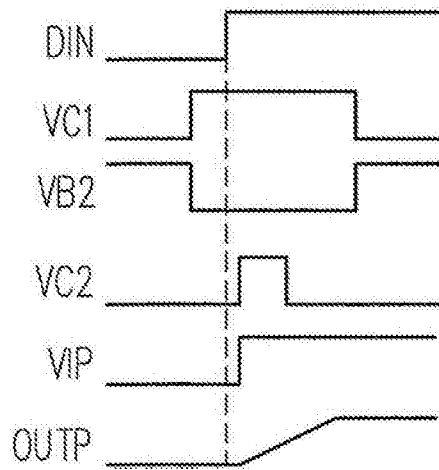


图10

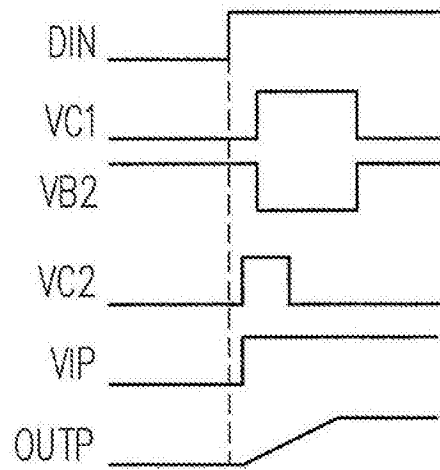


图11

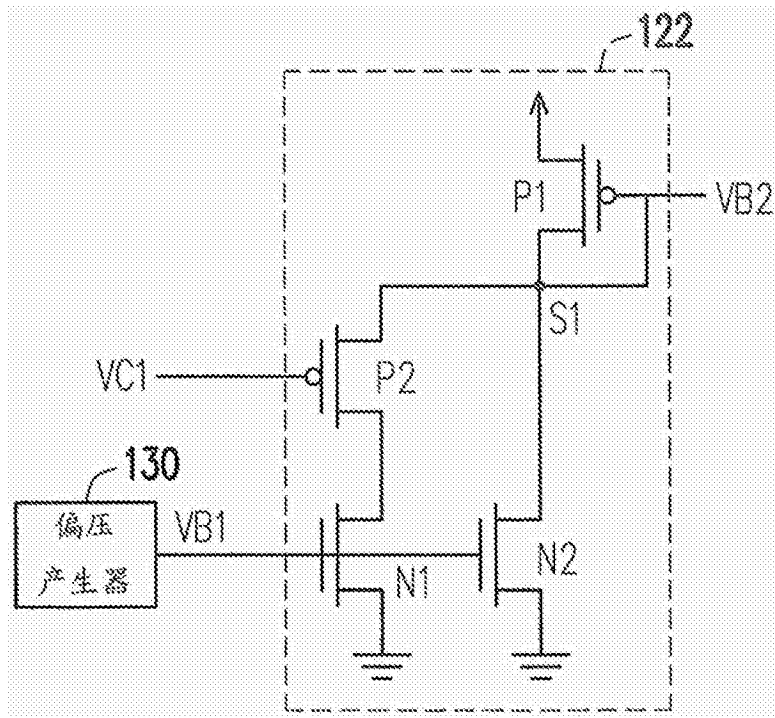


图12

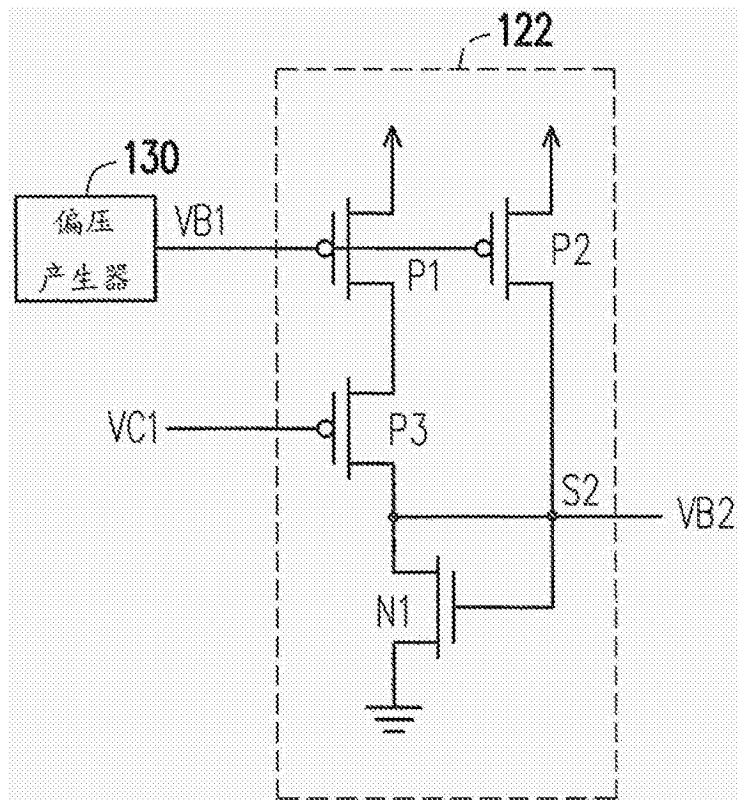


图13

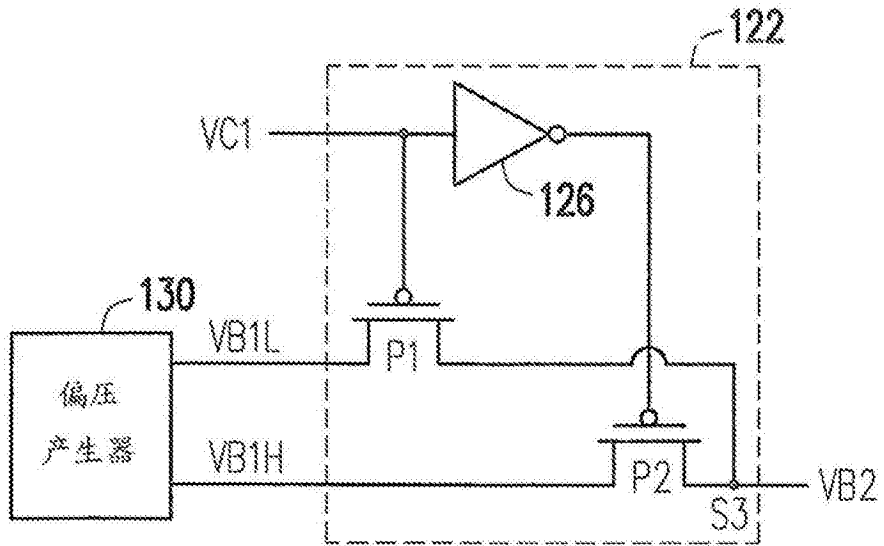


图14

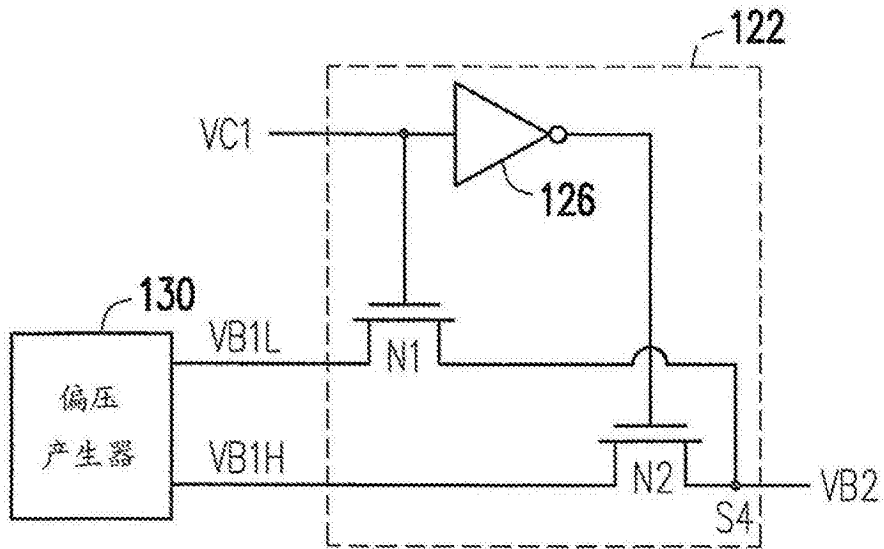


图15