

**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(51) . Int. Cl. <sup>8</sup> <i>H01L 23/28</i> (2006.01)	(45) 공고일자 2006년02월02일
	(11) 등록번호 10-0549313
	(24) 등록일자 2006년01월26일

(21) 출원번호 (22) 출원일자	10-2004-0006563 2004년02월02일	(65) 공개번호 (43) 공개일자	10-2004-0071067 2004년08월11일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장	JP-P-2003-00026485 JP-P-2003-00411921	2003년02월03일 2003년12월10일	일본(JP) 일본(JP)
------------	--	----------------------------	------------------

(73) 특허권자	엔이씨 일렉트로닉스 가부시키가이샤 일본 211-8668 가나가와쿄 가와사끼시 나카하라쿠시모누마베 1753
-----------	---

(72) 발명자	혼다히로카즈 일본국가나가와쿄가와사키시나카하라쿠시모누마베1753엔이씨일렉트로닉스코포레이션내
----------	--

(74) 대리인	최달용
----------	-----

심사관 : 고광식

**(54) 휘어짐 방지 반도체 장치**

**요약**

반도체 장치는: 탑재용 기판 상에 재치되는 반도체 칩과; 상기 반도체 칩과 상기 탑재용 기판 사이의 간극을 충전하는 제 1의 수지와; 상기 반도체 칩을 둘러싸는 보강재; 및 상기 제 1의 수지와 접촉하며 상기 반도체 칩과 상기 보강재 사이의 공간을 충전하는 제 2의 수지를 포함한다. 상기 제 2의 수지의 열팽창률은 상기 제 1의 수지의 열팽창률보다 작다. 상기 제 1의 수지는 상기 칩과 상기 기판 사이의 간극을 충전하는 언더필부와 상기 칩 영역으로부터 연장되는 필릿부를 포함한다.

**대표도**

도 1b

**색인어**

반도체 장치, BGA

**명세서**

**도면의 간단한 설명**

도 1a는 본 발명의 반도체 장치의 제 1의 실시예의 평면도로서, 덮개부를 벗긴 상태의 평면도.

도 1b는 도 1a의 A1-A1'선에 따른 단면도로서, 제 1의 실시예의 반도체 장치에 덮개부가 부착된 상태의 단면도.

도 2는 본 발명의 반도체 장치의 제 2의 실시예를 도시한 도면으로, 제 1의 실시예의 도 1b에 상당하는 단면도.

도 3a는 본 발명의 반도체 장치의 제 3의 실시예의 평면도로서, 덮개부를 벗긴 상태의 평면도.

도 3b는 도 3a의 A2-A2'선에 따른 단면도로서, 제 3의 실시예의 반도체 장치에 덮개부가 부착된 상태의 단면도.

도 4는 본 발명의 반도체 장치의 제 4의 실시예를 도시한 도면으로, 제 1의 실시예의 도 1b에 상당하는 단면도.

도 5a는 본 발명의 반도체 장치의 제 5의 실시예의 평면도로서, 덮개부를 벗긴 상태의 평면도.

도 5b는 도 5a의 B-B'선에 따른 부분단면도로서, 제 5의 실시예의 반도체 장치에 덮개부가 부착된 상태의 단면도.

도 5c는 도 5a의 C-C'선에 따른 단면도로서, 제 5의 실시예의 반도체 장치에 덮개부가 부착된 상태의 단면도.

도 6은 본 발명의 반도체 장치의 제 6의 실시예를 도시한 단면도로서, 제 1의 실시예의 도 1b에 상당하는 단면도.

도 7은 본 발명의 반도체 장치의 제 7의 실시예를 도시한 도면으로, 제 1의 실시예의 도 1b에 상당하는 단면도.

도 8a 내지 도 8h는 제 1의 실시예의 반도체 장치의 제조 방법을 설명하기 위한 도면으로, 도 1a의 A1-A1'선을 따른 각 공정에 대한 단면도.

도 9a 내지 도 9i는 제 5의 실시예의 반도체 장치의 제조 방법을 설명하기 위한 도면으로, 도 9a 내지 도 9f는 도 5a의 A2-A2'선을 따른 각 공정에 대한 단면도이고, 도 9g는 도 5a의 C-C'선을 따른 단면도이고, 도 9h는 덮개부가 접속되는 보강재의 코너에 형성된 그루브부 중 두 개의 그루브와 접촉하게 되는 가온 압입 노즐의 평면도이며, 도 9i는 도 9h의 D-D'선을 따른 단면도.

도 10a 내지 도 10g는 제 6의 실시예의 반도체 장치의 제조 방법을 설명하기 위한 도면으로, 도 1a의 A1-A1'선을 따른 각 공정에 대한 단면도.

도 11a 내지 도 11g는 제 7의 실시예의 반도체 장치의 제조 방법을 설명하기 위한 도면으로, 도 1a의 A1-A1'선을 따른 각 공정에 대한 단면도.

도 12a 내지 도 12e는 본 발명의 각 실시예의 반도체 장치에서의 탑재용 기판의 휘어진 상태를 개략적으로 각각 도시하는 도면.

도 13은 반도체 장치의 온도가 변할 때 본 발명의 반도체 장치의 탑재용 기판에서의 휘어진 양을 실제 측정한 결과를 도시하는 그래프.

도 14a는 덮개부가 제거된 상태에서의 종래의 반도체 장치의 평면도.

도 14b는 도 14a의 E-E'선을 따른 단면도로서, 종래의 반도체 장치에 덮개부가 부착된 상태를 도시하는 단면도.

도 15a 내지 도 15g는 종래의 반도체 장치의 제조 방법을 설명하기 위한 도면으로, 도 14a의 E-E'선을 따른 각 공정에 대한 단면도.

도 16a 내지 도 16c는 온도 사이클 시험에서 종래의 반도체 장치의 휘어진 상태를 개략적으로 각각 도시하는 도면.

도 17은 종래의 반도체 장치의 범프 전극 주변의 확대 단면도.

♠도면의 주요 부분에 대한 부호의 설명♠

1, 1a, 1b, 1c, 1d, 1e, 1f : 반도체 장치

10 : 탑재용 기판 11 : 내부 랜드 전극

12 : 외부 랜드 전극 13 : 솔더 범프

15 : 기판내 배선 20 : 반도체 칩

21 : 칩 전극 22 : 범프 전극

30, 32, 33, 34, 35, 36 : 보강재 31 : 덮개부

34a : 오목부 40 : 제 1의 수지

40a : 언더필부 40b : 필릿부

41 : 제 2의 수지 42, 42a : 제 1의 접착제

43 : 제 2의 접착제 47 : 공극

50 : 볼록부 60 : 가온 압입 노즐

### 발명의 상세한 설명

#### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

#### 배경기술

#### 기술분야

본 발명은, 유기계 프린트 배선 기판과 같은 제조 방법으로 만들어진 탑재용 기판에 반도체 칩을 플립칩 접속한 예를 들면 BGA(Ball Grid Array)형과 같은 반도체 장치 및 그 제조 방법에 관한 것이다.

#### 종래기술

일반적으로 반도체 칩을 플립칩 접속하는 탑재용 기판은, 유기계 프린트 배선 기판과 같은 제조 방법으로 제작된다. 탑재용 기판은, 배선층 수가 목적에 따라 2층부터 십수층으로 형성되어 있다. 그러나, 십수층의 배선층이 있는데도 불구하고 탑재용 기판의 두께는 0.5 내지 2.0mm 정도이기 때문에, 외력이나 이종(異種) 재료간의 열팽창률의 차에 의해 생기는 응력에 상당히 약하고 변형하기 쉽다. 탑재용 기판의 외형 치수는, 이 탑재용 기판에 탑재하는 반도체 칩의 크기, 외부 단자 수, 상기 외부 단자의 배열, 예를 들면 풀 그리드인지 주변 그리드인지에 따라서 크게 다르다. 한 예를 들면, 경량 박형화의 요구로 반도체 칩이 약 17 내지 20mm<sup>2</sup>, 이 칩의 패드 전극 수 2000 내지 3000개, 탑재용 기판에 마련하여야 하는 외부 단자 수(범프) 1800 내지 2000개의 배열을 풀 그리드로 한 경우, 탑재용 기판의 외형은 45 내지 50mm<sup>2</sup>, 두께는 1.0 내지 2.5mm 정도이다.

처음에, 종래의 반도체 장치에 관해 일본 특개2000-323624호 공보와 도 14a 및 도 14b를 참조하여 설명한다. 도 14a는, 예를 들면 일본 특개2000-323624호 공보에 기재된 종래의 반도체 장치(200)로서 덮개부(231)를 떼어낸 상태의 평면도이고, 도 14b는 도 14a의 E-E'선에 따른 위치에서 덮개부(231)를 부착한 상태의 단면도이다. 이 반도체 장치(200)는, 1mm 정도의 두께의 탑재용 기판(210)에 반도체 칩(220)이 플립칩 접속되고, 그 간극에 언더필 수지(240)를 충전하여 경화시키고 있다. 또한, 반도체 칩(220)의 주변을 둘러싸도록 보강재(stiffener; 230)가 탑재용 기판(210)에 접착되고, 반도체 칩(220)의 이면과 보강재(230)의 단면(end surface)에 도전성 접착제(243)에 의해 덮개부(231)가 고착되어 있다. 또한, 보강재(230)와 반도체 칩(220)의 측면의 사이는, 공간(247)이 형성되어 있다.

다음에 도 15a 내지 15g를 참조하여, 종래의 반도체 장치(200)의 제조 방법의 개요를 설명한다. 우선, 상술한 탑재용 기판(210)과 반도체 칩(220)과 보강재(230)와 언더필 수지(240)와 에폭시 수지 접착제(242)와 도전성 접착제(243)와 덮개부(231)를 준비하고, 도 15a의 배선 기판도를 스크린 인쇄기 또는 디스펜서의 스테이지(도시 생략)에 세트한다. 뒤이어 탑재용 기판(210)의 주위에 열팽창률이 16 내지 22ppm의 에폭시 수지 접착제(242)를 스크린 인쇄기 또는 디스펜서로 도포한다. 그 후, 보강재(230)를 채치하고 소정의 온도(100°C 내지 160°C 정도)로 경화한다(도 15b). 다음에, 반도체 칩(220)의 패드(221)상에 형성된 범프 전극(222)과 탑재용 기판(210)의 랜드(211)를 플립칩 마운터(도시 생략)에 의해 위치를 맞춘 후, 저온 점착제, 예를 들면 무연 솔더의 경우는 250°C 전후의 온도로 용융 접속한다(도 15c).

또한, 다른 방법으로는, 반도체 칩(220)의 패드(221)와 탑재용 기판(210)의 랜드(211)의 접속 방법으로서 접합면의 재료가 Au와 Al, Au와 Au로 구성되고 가열하면서 초음파를 인가하여 접속하는 방법이 있다. 이 경우는, 보강재(230)와 탑재용 기판(210)을 접착하는 에폭시 수지 접착제(242)의 실경화(real curing)는 별도 공정에서 수행된다. 다음에, 탑재용 기판(210)과 반도체 칩(220)의 접착 강도를 확보하기 위해 열팽창률이 32ppm 정도이며 유동성이 있는 언더필 수지(240)를 디스펜서 등으로 양자간의 수 $100\mu\text{m}$  정도의 간극에 모세관 현상을 이용하여 충전한다. 다음에 언더필 수지(240)를 100°C 정도의 온도로 경화한다(도 15d).

뒤이어, 열팽창률이 16 내지 22ppm의 도전성 접착제(243)를 보강재(230)의 단면과 반도체 칩(220)의 이면상에 도포 또는 인쇄 방법으로 부착시킨다(도 15e). 다음에, 덮개부(231)를 보강재(230)에 위치를 맞추어서 덮개부(231)를 채치하여 하중을 걸고, 다시 이 상태에서 150 내지 170°C 정도의 온도로 도전성 접착제(243)을 경화시킨다(도 15f). 경화 방법은, 오븐에서 일괄 처리하는 방법, 벨트로(belt furnace) 내에 연속적으로 투입하여 경화하는 일반적인 방법이 있다.

최후로, 탑재용 기판(210)의 랜드(212)에 외부 단자인 솔더 범프(213)를 일반적인 방법으로 접착한다(도 15g). 종래의 반도체 장치(200)에서는, 탑재용 기판(210)의 랜드(212)에 솔더 범프(213)가 접착된 직후의 실온 상태에서, 예를 들면 도 16a에 도시한 바와 같이, 탑재용 기판(210)의 반도체 칩(220)과의 대향부가  $100\mu\text{m}$  정도 반도체 칩(220) 측으로 당겨져서, 칩 탑재면측이 볼록한 형상으로 되어 있다.

도 16a는 이 반도체 장치(200)가 20°C의 상온일 때의 탑재용 기판(210)의 기판 휘어짐의 상태를 모식적으로 도시한 도면이고, 도 16b 및 도 16c는 각각 반도체 장치(200)가 -45°C의 저온도일 때 및 150°C의 고온도일 때의 탑재용 기판(210)의 기판 휘어짐의 상태를 모식적으로 도시한 도면이다. 종래의 반도체 장치(200)에서는, 도 16a에 도시된 바와 같이, 20°C의 상온 상태에서  $100\mu\text{m}$  정도 칩 측으로 볼록한 상태이다. 이 상태로부터 -45°C로 냉각하면, 도 16b와 같이 휘어짐량은  $180\mu\text{m}$ 까지 증대한다. 상온으로 되돌리고 다음에 150°C로 가열하면, 도 16c와 같이 휘어짐량은 약  $50\mu\text{m}$ 까지 감소한다. 따라서, 종래의 반도체 장치(200)에 대해, -45°C의 저온도 상태와 150°C의 고온도 상태 사이의 온도 사이클이 수백회로부터 천회 정도 반복되면, 반도체 칩(220)의 패드(221)와 탑재용 기판(210)의 랜드(211)를 접합하는 범프 전극(222)에 크랙이 생기거나, 각 접합 계면에서 박리가 생긴다.

온도 사이클에서 솔더 범프에 크랙이 생기거나, 패드나 랜드와의 접합 계면에서 박리가 생기는 이유는 다음과 같이 추정된다. 도 17은, 이 이유를 설명하기 위한 범프 전극(222) 부근의 모식적인 확대도이다. 이하, 도 17을 참조하면서 설명한다. 탑재용 기판(210)과 반도체 칩(220) 사이의 열팽창률 차이로 인해 야기되는 평면 방향의 응력이 간극에 충전된 언더필 수지(240)에 의해 흡수되지만, 언더필 수지(240)의 수축에 의해 범프 전극(222)이 반도체 칩(220) 측으로 당겨짐과 함께, 반도체 칩(220)의 표면에 대해 수직 방향의 힘이 걸리는 상태로 된다. 이 상태에서 온도 사이클을 반복하면, 반도체 칩(220)과 탑재용 기판(210)이, 도 16a 내지 도 16c에 도시된 바와 같은 볼록 형상과 평탄 형상을 반복함에 의해 범프 전극(222)의 패드(221)와의 접촉부 또는 탑재용 기판(210)의 랜드(211)와의 접촉부에 인장과 압축의 응력이 반복되어, 범프 전극(222)에 크랙(217)이 생기거나, 각 접합 계면에서 박리(218)가 생기고, 파괴에 이르는 것으로 추정된다.

상술한 제조 방법으로 제조된 반도체 장치(200)는, 0.5 내지 2.0mm 두께의 수지 탑재용 기판(210)의 배선 전극(211)에 0.7mm 두께의 반도체 칩(220)의 패드(221)가 범프 전극(222)에 의해 접속되고, 접속부를 보강하는 언더필 수지(240)로 고착되어 있다. 또한, 반도체 칩(220)을 둘러싸도록 0.5 내지 1.0mm 정도 두께의 보강재(230)를 접착하여 수지 탑재용 기판(210)의 평탄성과 강도를 확보한다. 이 상태에서, 반도체 칩(220)을 보호하는 0.5 내지 1.0mm 두께의 덮개부(231)가 접착되어, 반도체 장치(200)를 구성한다.

상기 구성 재료로 제조된 상온에서의 반도체 장치(200)의 탑재용 기판(210)에는 도 16a와 같은 기판의 휘어짐이 생겨 있다. 이 단면도는, 도 14a의 E-E'선에 따른 단면도이다. 반도체 칩(220)과 바로 대향하는 부분은 언더필 수지(240)의 수축에 의해 반도체 칩(220) 측으로 당겨져서 칩 탑재면측이 볼록하게 된 상태이다. 또한 보강재(230)에 바로 접착되는 부분도, 칩 탑재면측으로 조금 볼록한 형상으로 변형하고 있다. 즉 2단 형상으로 변형하고 있다.

언더필 수지(240)의 열팽창률을 16 내지 22ppm 정도로 낮게 하면, 반도체 칩(220)과 바로 대향하는 부분이 볼록 형상으로 당겨지는 현상은 어느 정도 억제되지만, 탑재용 기판의 휘어짐량을 대폭적으로 저감시키기는 어렵다. 또한, 언더필 수지(240)의 열팽창률을 낮게 하기 위해서는, 보통 실리카 필러 등을 다량 배합하는데, 그렇게 하면 수지의 점도가 상승하여 버린다. 이 결과, 탑재용 기판(210)과 반도체 칩(220)의 대향 영역의 언더필 수지(240) 내에 보이드가 발생되어, 박리 현상을 발생시키기 쉽게 되기 때문에, 열팽창률을 32ppm 이하로 내리는 것이 곤란하였다. 즉, 언더필 수지(240)에 있어서, 열팽창률을 내리기 위해서는 실리카, 알루미나와 같은 필러를 많이 혼입하면 좋지만, 이들 필러의 혼입량이 많아지면 점도가 상승한다는 점에서, 언더필 수지(240)의 열팽창률과 점도 사이에는 절충의 관계가 있다.

다음에, 일본 특개2000-260820호 공보에는, 배선 패턴면에 반도체 칩을 접속하고 그 간극에 제 1의 밀봉재(언더필 수지)를 60 내지 120°C에서 주입시키고, 또한 140 내지 170°C에서 경화시킨 후에 반도체 칩의 측면을 제 2의 밀봉재(공지의 필릿재(fillet material))에 의해 밀봉한 구성의 반도체 장치가 개시되어 있다. 이 반도체 장치에서는, 반도체 칩과 기판 사이의 간극에 제 1의 밀봉재가 존재하고, 반도체 칩의 측면에 제 2의 밀봉재가 필릿 형상으로 형성되어 있다.

또한, 일본 특개2000-349203호 공보에는, 인터포저 기판(interposer substrate)에 반도체 칩을 플립칩 접속하고, 인터포저 기판과 반도체 칩 사이와 보강재에 상당하는 부분을 트랜스퍼 몰드로 일체적으로 충전하고 나서 히트 스프레더(덮개부에 상당)를 접착한 구조의 반도체 장치가 개시되어 있다.

상술한 종래의 반도체 장치는, 반도체 칩을 구성하는 예를 들면 실리콘과 유기계의 수지 기판으로 이루어지는 탑재용 기판과 같이 열팽창률이 다른 재료 사이를 솔더 접속하고 있는 범프가 파괴되는 것을 방지하기 위해, 고열 팽창률, 고탄성률의 언더필 수지를 반도체 칩과 탑재용 기판과의 사이의 간극에 충전함에 의해, 양자의 열팽창률 차에 의한 응력을 완화시키고 있다. 그러나, 각 재료의 열팽창률과 탄성률이 크게 다르기 때문에, 제조 공정이 종료된 시점에서, 반도체 칩과 언더필 수지를 통하여 대향하고 있는 탑재용 기판의 대향 영역은 반도체 칩 측으로 당겨지는 응력이 발생하여 휘여진 상태로 되어 있다. 이 때문에, 휘어짐량이 커지면, 해당 반도체 장치가 실장되는 회로 기판 등에 솔더링 실장하는 때에 휘여진 부분의 솔더 접속 불량이 발생하기 쉽게 된다는 문제가 생긴다. 또한, 반도체 장치 자체에 관해서도, 5°C 내지 35°C 정도 범위의 온도 변동이 작은 상은 상태라면 문제가 없지만, 온도 사이클과 같이 저온, 고온이 반복되면 탑재용 기판의 휘어짐에 의해, 반도체 칩의 패드와 탑재용 기판의 랜드를 접합하는 솔더 범프에 크랙이 생기거나, 각 접합 계면에서 박리가 생기거나 한다는 문제가 있다.

또한, 예를 들면, 반도체 칩과 기판 사이의 간극에 제 1의 밀봉재가 존재하고, 측면에 제 2의 밀봉재가 필릿형상으로 형성된 구조에서도, 반도체 칩과 대향하는 기판과 제 1의 밀봉재의 수축을 완전하게 방지할 수는 없다. 또한, 트랜스퍼 몰드로 필러 함유량이 많은 밀봉용 수지를 언더필 수지로 하여 인터포저 기판과 반도체 칩 사이에 주입 충전하는 구조의 경우, 수지의 점도가 높기 때문에, 인터포저 기판과 반도체 칩의 간극에 보이드가 발생하기 쉽게 되고, 벗겨짐이나 크랙의 발생 등의 신뢰성을 손상시키는 문제점이 생긴다.

### 발명이 이루고자 하는 기술적 과제

본 발명의 목적은 플립칩 접속을 통해 탑재용 기판에 탑재된 반도체 칩을 포함하는 반도체 장치로서, 밀봉한 후의 상태에서, 탑재용 기판의 휘어짐량이 해당 반도체 장치를 실장하는 회로 기판 등의 실장용 기판에의 솔더링 실장에서 지장이 없는 범위 내이고; 또한 온도 사이클 시험에서 반도체 칩과 탑재용 기판과의 접속부인 솔더 범프 등에서의 크랙이나 박리 등의 발생에 의한 파괴가 없고; 탑재용 기판에도 크랙 등의 발생이 없는 반도체 장치를 제공하는 것이다.

### 발명의 구성 및 작용

상기 목적을 달성하기 위해, 본 발명의 반도체 장치는, 탑재용 기판과의 사이에 간극을 가지면서 상기 탑재용 기판 상에 탑재되는 반도체 칩과; 상기 반도체 칩과 상기 탑재용 기판 사이의 간극을 충전하는 제 1의 수지와; 상기 반도체 칩을 둘러싸는 보강재; 및 상기 제 1의 수지와 접촉하며 상기 반도체 칩과 상기 보강재 사이의 공간을 충전하는 제 2의 수지를 포함하고, 상기 제 1의 수지의 열팽창률은 상기 제 2의 수지의 것과 상이하다. 보다 구체적으로는, 상기 반도체 장치는, 한 주면(正面)에 복수의 외부 접속용 전극(이하, 칩 전극이라고 한다)을 구비한 반도체 칩과, 각 칩 전극과 대응하는 전극(이하, 내부 랜드 전극이라고 한다)을 제 1의 면에 구비한 탑재용 기판을 가지며, 서로 대응하는 칩 전극과 내부 랜드 전극을 솔더 범프 등의 도전성 전극(이하, 접속 부재라고 한다)을 통하여 대향시키면서 접속함으로써 반도체 칩이 탑재용 기판에 탑재되어 있다. 또한, 상기 반도체 장치는 상기 반도체 칩과 상기 탑재용 기판 사이의 간극을 충전하는 제 1의 수지와, 상기 반도체 칩을 둘러싸는 보강재, 및 상기 제 1의 수지와 접촉하며 상기 반도체 칩과 상기 보강재 사이의 공간을 충전하는 제 2의 수지를 포함하고, 상기 제 1의 수지의 열팽창률은 상기 제 2의 수지의 것과 상이하다. 여기서, 상기 제 1의 수지는 상기

반도체 칩과 상기 탑재용 기판 사이의 간극을 충전하는 언더필부와, 상기 반도체 칩 영역으로부터 연장되는 필릿부를 포함한다. 상기 제 2의 수지의 열팽창률은 상기 제 1의 수지의 열팽창률보다 더 작은 것이 바람직하다. 상기 보강재는 상기 제 2의 수지와 동일한 수지 또는 상기 제 2의 수지보다 열팽창률이 더 큰 제 1의 접착제에 의해 상기 탑재용 기판 상에 부착된다.

이렇게 구성된 반도체 장치에 따르면, 제 2의 수지의 열팽창률이 제 1의 수지의 것보다 작게되도록 제 1의 수지와 제 2의 수지를 선택함으로써, 가열 경화 동안 그리고 그 후에 온도 변화에 의해 야기되는 제 1의 수지의 팽창/수축 응력을 완화시킬 수 있다. 따라서, 언더필부에서의 공극의 발생을 방지하기 위해 그리고 접속 부재의 박리와 파괴를 방지하기 위해 점도가 낮지만 열팽창율이 약간 높은 재료가 제 1의 수지로 사용되는 경우에도 탑재용 기판에서의 휘어짐을 억제할 수 있다. 또한, 저온 상태와 고온 상태가 차례로 반복되는 온도 사이클 시험에서도, 제 1의 수지의 팽창/수축에 의한 응력이 최소로 제한된다. 따라서, 솔더 범프와 같은 접속 부재의 크랙, 박리 및 파괴와, 칩 전극 및 내부 랜드 전극의 박리를 방지할 수 있다. 또한, 제 2의 수지의 열팽창률은 탑재용 기판의 열팽창률보다 작은 것이 바람직하다.

본 발명의 반도체 장치 제조 방법은: 탑재용 기판에 보강재를 접속하는 단계와; 반도체 칩을 상기 탑재용 기판에 접속하는 단계와; 제 1의 수지를 간극에 충전하고 상기 제 1의 수지를 경화하는 단계와; 상기 보강재, 상기 탑재용 기판 및 상기 반도체 칩에 의해 둘러싸이는 공간을 제 2의 수지로 충전하고 상기 제 2의 수지를 경화하는 단계와; 덮개부를 부착하는 단계; 및 상기 탑재용 기판에 솔더 범프를 접속하는 단계를 포함한다. 본 방법에 있어서, 적어도, 상기 탑재용 기판에 상기 보강재를 접속하는 상기 단계는 제 1의 단계로서 설정되고, 상기 반도체 칩을 상기 탑재용 기판에 접속하는 단계는 제 2의 단계로서 설정된다. 이 경우, 보강재를 탑재용 기판에 접속하는 단계와, 탑재용 기판에 반도체 칩을 접속하는 단계와, 간극에 제 1의 수지를 충전하고 그것을 경화하는 단계, 및 공간에 제 2의 수지를 충전하고 그것을 경화하는 단계에서의 수지 경화는 수지를 준-경화(semi-curing)하는 단계의 공정이고, 모든 수지는 덮개부를 부착하는 단계에서의 경화 공정에서 완전하게 경화된다.

본 제조 방법에 따르면, 탑재용 기판의 강도가 보강될 수 있기 때문에, 제조 공정동안 취급을 용이하게 할 수 있으며 탑재용 기판에서의 휘어짐을 억제할 수 있다. 또한, 접착제와 수지가 각 단계에서 가경화되어 준-경화 상태로 되고, 최종적으로 실경화되어 완전히 경화되기 때문에, 제조 후의 탑재용 기판에서의 휘어짐을 최소로 할 수 있다.

또한, 본 발명의 반도체 장치의 다른 제조 방법은: 탑재용 기판에 보강재를 접속하는 단계와; 반도체 칩을 상기 탑재용 기판에 접속하는 단계와; 제 1의 수지를 간극에 충전하고 상기 제 1의 수지를 경화하는 단계와; 상기 보강재, 상기 탑재용 기판 및 상기 반도체 칩에 의해 둘러싸이는 공간을 제 2의 수지로 충전하고 상기 제 2의 수지를 경화하는 단계와; 덮개부를 부착하는 단계; 및 솔더 범프를 접속하는 단계를 포함한다. 본 방법에서, 상기 공간을 상기 제 2의 수지로 충전하고 상기 제 2의 수지를 경화하는 상기 단계는 상기 덮개부를 부착하는 단계 이후에 수행된다.

본 제조 방법에 따르면, 덮개부가 부착된 후 제 2의 수지가 주입되어 경화되기 때문에, 덮개부의 주변에 어떠한 빈 공간도 발생시키지 않으면서 상기 공간이 완전하게 충전될 수 있고, 그 결과 탑재용 기판의 변형을 억제할 수 있다.

### 실시예

본 발명의 상기 및 다른 목적과, 이점 및 특징은 첨부된 도면과 연계한 하기의 상세한 설명으로부터 더욱 명확해질 것이다.

이하, 예증적인 실시예를 참조로 본 발명이 설명될 것이다. 본 기술분야의 당업자라면, 본 발명의 실시예가 예증적인 것으로서 본 발명이 이하의 실시예에 제한되지 않으며, 본 발명의 교시를 이용하여 많은 변형예가 수행될 수 있음을 인식할 수 있을 것이다.

### 제 1의 실시예

도 1a 및 도 1b를 참조하면, 제 1의 실시예의 반도체 장치(1)는: 탑재용 기판(10)과; 플립칩 접속을 통해 상기 기판(10)의 제 1의 면에 탑재된 반도체 칩(20)과; 상기 기판(10)과 상기 칩(20) 사이의 간극을 충전하는 제 1의 수지(40)와; 상기 칩(20)을 둘러싸는 프레임 형상의 보강재(30)와; 상기 보강재(30)의 제 1의 단면을 상기 기판(10)에 접착하는 제 1의 접착제(42)와; 상기 보강재(30)와 상기 보강재(30)에 의해 둘러싸이는 영역을 덮는 덮개부(31)와; 상기 덮개부(31)를 상기 칩(20)의 이면과 상기 보강재(30)의 제 1의 단면과 대향하는 제 2의 단면에 접착하는 제 2의 접착제(43); 및 상기 제 1의 수지(40)와 접촉하며 상기 보강재(30)와 상기 칩(20) 사이의 공간을 충전하는 제 2의 수지를 포함한다. 상기 제 1의 수지(40)는 상기 칩(20)과 상기 기판(10) 사이의 간극을 충전하는 언더필부(40a), 및 상기 칩(20)과 상기 기판(10)이 서로 대향하는 영역으로부터 늘어난 필릿부(40b)를 포함한다. 이하, 구체적으로 설명한다.

반도체 칩(20)은, 주 표면에 외부 접속용의 복수의 칩 전극(21)을 구비하고 있다. 탑재용 기판(10)은, 제 1의 면상에 칩 전극(21)과 대응하는 위치에 형성된 내부 랜드 전극(11)과, 제 1의 면과 반대측의 제 2의 면상에 형성된 외부 랜드 전극(12)과, 서로 대응하는 내부 랜드 전극(11)과 외부 랜드 전극(12)을 접속하는 기판내 배선(15)과, 외부 랜드 전극(12)에 접착된 예를 들면 솔더 범프(13)를 구비하고, 이 솔더 범프(13)는 반도체 장치(1)의 외부 단자로 기능한다.

탑재용 기판(10)과 반도체 칩(20)은, 서로 대응하는 내부 랜드 전극(11)과 칩 전극(21)이 도전성 재료로 형성된 범프 전극(22)을 통하여 접속되어 있다. 반도체 칩(20)과 기판(10) 사이의 간극을 충전하는 언더필부(40a)는 접속부에 대한 응력을 완화시킨다.

반도체 칩(20)은, 탑재용 기판(10)의 중앙부에 탑재되어 있다. 보강재(30)는 상기 칩(20)을 둘러싸도록 상기 기판(10)의 제 1의 면의 주변부에 제 1의 접착제(42)를 통해 접착된다. 반도체 장치(1)에 있어서, 보강재(30)는 제조 공정중의 열적, 기계적 응력에 의한 탑재용 기판(10)의 휘어짐을 저감시킴과 함께 강도를 보강한다.

또한, 필럿부(40b)와 접촉하며 탑재용 기판(10), 보강재(30)의 내벽, 반도체 칩(20)의 측벽, 및 덮개부(31)로 둘러싸이는 공간을 제 2의 수지로 충전하여, 모든 공간이 거의 제거된다. 제 2의 수지의 열팽창률, 특히 그 선행장 계수는 적어도 제 1의 수지(40)의 것보다 작다. 이러한 반도체 장치(1)에 따르면, 칩(20)과 보강재(30) 사이의 공간이 제 1의 수지의 열팽창률보다 열팽창률이 작은 제 2의 수지로 충전되고 제 2의 수지(41)가 경화되기 때문에, 고온/저온 상태에서 제 1의 수지(40)의 팽창/수축에 의한 기판(10)의 휘어짐을 억제할 수 있다. 여기서, 기판(10)의 휘어짐은 제 2의 수지(41)의 열팽창률을 제 1의 접착제(42), 제 2의 접착제(43), 기판(10) 등의 것보다 작게 설정함으로써 더 감소될 수 있다.

여기서, 제 1의 수지(40), 제 2의 수지(41) 등과 같은 사용되는 수지의 특성의 예를 표 1에 도시한다.

**[표 1]**  
**각 수지의 특성**

	열팽창률(ppm)	탄성률(GPa)
제 1의 접착제	16-22	11-12
제 1의 수지	30-32	9-10
제 2의 수지	8-16	11-28
제 2의 접착제	50-100	3-9

다음에, 도 8a 내지 도 8h를 참조하여, 제 1의 실시예의 반도체 장치(1)의 제조 방법이 공정 순으로 설명될 것이다. 먼저, 탑재용 기판(10)이 마련된다. 기판(10)의 제 1의 면 상에, 탑재될 칩(20)의 칩 전극(21)과 대응하는 위치에 형성된 내부 랜드 전극(11), 및 제 1의 면과 반대측의 제 2의 면에 형성된 외부 랜드 전극(12)이 마련된다. 대응하는 내부 및 외부 랜드 전극(11 및 12)은 기판내 배선(15)을 통해 서로 접속된다(도 8a).

다음에, 탑재용 기판(10)의 주연부에 열팽창률이 16 내지 22ppm 정도, 탄성률이 11 내지 12GPa인 제 1의 접착제(42)를, 역시 미리 준비하고 있는 테두리형상의 보강재(30)의 형상과 일치하는 형태로 도포한다. 그 후, 보강재(30)를 제 1의 접착제(42)가 도포된 부분에 위치를 맞추어 제 1의 단면이 제 1의 접착제(42)와 접하도록 재치하고, 125°C 정도로 약 15분간 가경화(temporary cure)한다(도 8b). 이 상태에서는, 보강재(30)는 탑재용 기판(10)에 접착되어 있지만, 제 1의 접착제(42)는 아직 완전하게는 고화되어 있지 않다. 또한, 제 1의 접착제(42)는, 예를 들면 에폭시계 수지, 폴리울레핀계 수지, 실리콘계 수지, 시아네이트 에스테르계 수지, 폴리이미드계 수지, 폴리노르보르넨계 수지를 포함하는 수지군 중에서 선택된 수지 재료를 주성분으로 하고, 열팽창률과 탄성률이 소망하는 값이 되도록 무기질 필러를 적량 혼입시켜서 조정하고 있다. 또한, 보강재(30)의 재료는, Cu, SUS(페라이트계 스테인리스강), 알루미나, 실리콘, 질화 알루미늄, 에폭시 수지 등을 포함하는 그룹 중에서 선택할 수 있다.

다음에, 반도체 칩(20)은 플립칩 접속을 통해 기판에 접속된다. 구체적으로는, 칩 전극(21)상에 범프 전극(22)이 접착된 반도체 칩(20)을, 각 범프 전극(22)이 대응하는 내부 랜드 전극(11)과 접하도록 위치 결정 재치하고, 예를 들면 질소 분위기 중에서 250°C로 가열하여 탑재용 기판(10)의 내부 랜드 전극(11)에 플립칩 접속한다(도 8c).

다음에, 반도체 칩(20)과 탑재용 기판(10)과의 간극에 디스펜서 등으로 제 1의 수지를 적하 방법으로 주입·충전한다. 그 후, 제 1의 수지(40)는 100°C 정도로 약 10분동안 가경화된다(도 8d). 이 상태에서, 제 1의 수지는 아직 완전하게는 고화되어 있지 않다. 또한, 제 1의 수지는, 예를 들면 에폭시계 수지를 열팽창률이 32ppm 정도, 탄성률이 9GPa 정도가 되도록 조정한 것이다. 제 1의 수지의 이들 특성을 통해, 그 유동성은 1000 내지 40000CPS(centipoises)이고, 언더필부(40a)에 보이드를 발생시키는 일 없이 주입·충전될 수 있다. 이 때, 제 1의 수지(40)는 반도체 칩(20)과 탑재용 기판(10)과의 간극에 언더필부(40a)를 형성하고 동시에 이 언더필부(40a)로부터 반도체 칩(20)의 주위로 늘어나는 필릿부(40b)도 형성한다. 그러나, 필릿부(40b)는 보강재(30)까지 도달하지 않으며, 이 시점에서는 필릿부(40b)와 보강재(30)와의 사이에 탑재용 기판(10)의 제 1의 면이 노출하고 있다.

다음에, 보강재(30)의 내벽, 반도체 칩(20)의 측벽, 탑재용 기판(10)의 제 1의 면 및 필릿부(40b)로 둘러싸인 공간에 제 2의 수지를 충전한 후, 약 150°C로 30분정도 가경화한다(도 8e). 이 상태에서, 제 2의 수지도 아직 완전하게는 고화되어 있지 않다. 제 2의 수지(41)로서는, 제 1의 수지보다 열팽창률이 작은, 예를 들면 열팽창률이 8 내지 16ppm 정도이고 탄성률이 11 내지 28GPa인 에폭시계 수지를 이용할 수 있다. 또한, 제 2의 수지의 열팽창률을 탑재용 기판(10)의 열팽창률보다 작게 할 수 있으면 보다 바람직하다. 또한, 그 충전 방법으로서는, 인젝션 주입, 트랜스퍼 몰딩, 액상 수지의 적하 등의 방법을 이용할 수 있다.

다음에, 반도체 칩(20)의 이면 및 보강재(30)의 제 2의 단면에 제 2의 접착제(43)를 도포한다(도 8f). 그 후, 덮개부(31)를 보강재(30)로 둘러싸인 영역 전체를 덮도록 재치하고, 또한 덮개부(31)의 위에 적절한 하중을 싣고 약 175°C까지 완만하게 승온시킨 후, 또한 약 175°C의 상태를 60분 정도 유지하여 실경화한다(도 8g). 이로써, 제 1의 수지(40), 제 2의 수지(41), 제 1의 접착제(42) 및 제 2의 접착제(43)가 전부 완전하게 경화되고, 덮개부(31)도 완전하게 접착된다. 또한, 제 2의 접착제(43)로서는, 열팽창률이 50 내지 100ppm 정도의 예를 들면 에폭시계 수지를 이용할 수 있다. 또한, 제 2의 접착제(43)에 무기질 필러로서 Ag, Cu 분말 등을 적량 혼입하여 제 2의 접착제(43)의 열전도성을 향상시키는 것이 보다 바람직하다.

다음에, 탑재용 기판(10)의 외부 랜드 전극(12)에 외부 단자인 솔더 범프(13)를 일반적인 방법으로 접착하여, 반도체 장치를 완성한다(도 8h).

또한, 상술한 제 1의 수지(40), 제 2의 수지(41), 제 1의 접착제(42) 및 제 2의 접착제(43)의 주성분 수지 재료는, 전부 동일한, 예를 들면, 에폭시계 수지를 이용할 수 있고, 열팽창률과 같은 요구되는 특성에 따라, 무기질 필러의 함유량을 바꾸어 최적의 특성으로 조정하여 사용하면 좋다.

### 제 2의 실시예

다음에, 본 발명의 반도체 장치의 제 2의 실시예에 관해 설명한다. 여기서, 제 2의 실시예의 반도체 장치(1a)의 제조 방법은 제 1의 실시예의 반도체 장치(1)의 제조 방법과 유사하다. 반도체 장치(1a)의 구성은 반도체 장치(1)의 구성과 거의 동일하다. 반도체 장치(1a)와 반도체 장치(1) 사이의 차이점은 보강재(30)를 기판(10)에 접착하기 위한 제 1의 접착제(42a)로서 제 2의 수지(41)와 동일한 수지가 사용된다는 점이다. 이 반도체 장치(1a)에 따르면, 보강재(30)를 접착하기 위한 제 1의 접착제(42a)에 대해 열팽창률이 8 내지 16ppm이고 탄성률이 11 내지 28Gpa인 제 2의 수지(41)와 동일한 수지를 사용함으로써, 칩(20)과 바로 대향하는 기판(10)의 부분에서의 수축이 더 감소될 수 있고, 따라서 기판(10)의 휘어짐을 억제할 수 있다.

### 제 3의 실시예

다음에, 도 3a 내지 도 3c를 참조하여 제 3의 실시예가 설명될 것이다. 도 3a 내지 도 3c를 참조하며, 제 3의 실시예의 반도체 장치(1b)는: 탑재용 기판(10); 플립칩 접속을 통해 상기 기판(10)의 제 1의 면에 탑재된 반도체 칩(20); 상기 기판(10)과 상기 칩(20) 사이의 간극을 충전하는 제 1의 수지(40); 상기 칩(20)을 둘러싸는 프레임 형상의 보강재(32); 상기 보강재(32)의 제 1의 단면을 기판(10)에 접착하는 제 1의 접착제(42); 상기 보강재(32)와 상기 보강재(32)에 의해 둘러싸이는 영역을 덮는 덮개부(31); 상기 덮개부(31)를 상기 칩(20)의 이면과 상기 보강재(32)의 제 1의 단면과 반대측의 제 2의 단면에 접착하는 제 2의 접착제(43); 및 상기 보강재(32), 상기 칩(20)의 측면, 및 제 1의 수지(40)와 접촉하여 상기 기판(10)에 의해 둘러싸이는 공간을 충전하는 제 2의 수지(41)를 포함한다. 제 1의 수지(40)는 상기 칩(20)과 기판(10) 사이의 간극을 충전하는 언더필부(40a)와, 상기 칩(20)과 상기 기판(10)이 서로 대향하는 영역으로부터 늘어나는 필릿부(40b)를 포함한다. 제 3의 실시예의 반도체 장치(1b)의 구성은 반도체 장치(1)의 구성과 거의 동일하다. 반도체 장치(1b)와 반도체 장치(1) 사이의 차이점은 보강재(32)의 제 1의 단면과 기판(10) 사이의 간극에 요철이 존재한다는 점이다. 구체적으로는,

반도체 장치(1)의 보강재(30)의 제 1의 단면 전체가 평면이지만, 보강재(32)의 제 1의 단면은 예를 들면 그루브의 나선형 또는 그리드 형상으로 가공되거나, 또는 볼로부(50)와 오목부가 교대적으로 형성되는 형상으로 가공된다. 이 경우, 그루브 또는 오목부의 깊이는 필요에 따라 설정될 수 있지만, 칩(20)과 기판(10) 사이의 간극과 거의 동일한 약 50 내지 200 $\mu\text{m}$ 로 설정되는 것이 바람직하다. 보강재(32)의 재료는 Cu, SUS(페라이트계 스테인리스강), 알루미나, 실리콘, 질화 알루미늄, 에폭시 수지 등을 포함하는 그룹 중에서 선택할 수 있다. 보강재(32)는 제 1의 단면의 오목부를 제 1의 접착제(42)로 채우는 것에 의해 기판(10)에 접착된다. 여기서, 이 경우에 있어서도, 제 1의 단면의 오목부는 제 1의 접착제(42) 대신 제 2의 수지(41)와 동일한 수지로 채워질 수도 있다.

이 반도체 장치(1b)의 구조에 따른 상온 및 온도 사이클에서의 작용적 특징은, 탑재용 기판(10)과 보강재(32)의 접착 상태를 반도체 칩(20)과 탑재용 기판(10)과의 상태로 근접시킴에 의해 우선 보강재(32)에 의한 탑재용 기판(10)의 휘어짐을 억제한다. 또한, 반도체 칩(20)이 접속되는 탑재용 기판(10)과의 사이의 간극을 제 1의 수지로 충전하고, 그 후 제 1의 수지(40)를 경화한다. 또한, 제 2의 수지(41)가 칩(20) 주위의 공간의 거의 전체 공간을 차지하도록 제 2의 수지(41)로 상기 공간을 채우고, 제 2의 수지(41)를 경화한다. 반도체 칩(20)의 측벽과 보강재(32)의 내벽과의 사이의 공간을 충전하는 제 2의 수지(41)에 의해 상하 방향의 움직임을 억제한다. 보강재(32)는 실리콘 또는 구리와 같은 재료로 만들어질 수 있으며, 이 때 제 1의 단면의 볼록부(50)가 접촉하게 되는 접속용 전극은 탑재용 기판(10)의 영역에 배치되며, 제 1의 단면의 볼록부(50)는 금속화되고 플러스의 사용에 의해 활성화되어 솔더에 의해 접속용 전극에 접속된다. 이 경우, 기판(10)과 보강재(32) 사이의 접착 상태가 칩(20)과 기판(10) 사이의 것과 유사하게 설정될 수 있기 때문에, 압축에 의한 기판(10)의 휘어짐을 억제할 수 있다. 또한, 보강재(32)의 제 1의 단면이 요철 형상인 예가 설명되었지만, 탑재용 기판(10)의 보강재(32)와 접하는 영역에 캡 부재가 되는 예를 들면 솔더 범프 등의 저용접 금속 부재를 배치하여 요철 형상을 형성하여도 좋다.

#### 제 4의 실시예

다음에, 도 4를 참조하여 본 발명의 제 4의 실시예에 관해 설명한다. 도 4를 참조하면, 제 4의 실시예의 반도체 장치(1c)는: 보강재(33)의 개구부의 형상이 역테이퍼형상으로 형성되어 있는 점이, 제 1의 실시예 내지 제 3의 실시예의 각 반도체 장치(1, 1a, 1b)와 다를 뿐이고, 다른 구성은 반도체 장치(1, 1a, 1b)와 같은 구성이라도 좋다. 반도체 장치(1c)에서는, 보강재(33)의 차양(eave) 부분이 제 2의 수지의 위에 덮혀 있기 때문에, 필럿부(40b)와 제 2의 수지(41)가 덮개부(31) 측으로 변형하는 것을 방지하는 효과가 있다. 또한, 제 4의 실시예의 반도체 장치(1c)의 제조 방법은, 제 1의 실시예 내지 제 3의 실시예의 각 반도체 장치의 제조 방법과 같아서, 설명은 생략한다.

#### 제 5의 실시예

다음에, 도 5a 내지 도 5c를 참조하여 본 발명의 제 5의 실시예에 관해 설명한다. 도 5a 내지 도 5c를 참조하면, 제 5의 실시예의 반도체 장치(1d)는: 탑재용 기판(10); 플립칩 접속을 통해 상기 기판(10)의 제 1의 면에 탑재된 반도체 칩(20); 상기 기판(10)과 상기 칩(20) 사이의 간극을 충전하는 제 1의 수지(40); 상기 칩(20)을 둘러싸는 프레임 형상의 보강재(32); 상기 보강재(32)의 제 1의 단면을 기판(10)에 접착하는 제 1의 접착제(42); 상기 보강재(32)와 상기 보강재(32)에 의해 둘러싸이는 영역을 덮는 덮개부(31); 상기 덮개부(31)를 상기 칩(20)의 이면과 상기 보강재(32)의 제 1의 단면과 반대측의 제 2의 단면에 접착하는 제 2의 접착제(43); 및 상기 보강재(32), 상기 칩(20)의 측면, 및 제 1의 수지(40)와 접촉하며 상기 기판(10)에 의해 둘러싸이는 공간을 충전하는 제 2의 수지(41)를 포함한다. 제 1의 수지(40)는 상기 칩(20)과 기판(10) 사이의 간극을 충전하는 언더필부(40a)와, 상기 칩(20)과 상기 기판(10)이 서로 대향하는 영역으로부터 늘어나는 필럿부(40b)를 포함한다. 제 5의 실시예의 반도체 장치(1d)의 구성은 반도체 장치(1)의 구성과 거의 동일하다. 차이점은 보강재(34)의 네 코너 각각의 제 1의 단면측에 오목부(34a)가 형성되고, 이들 오목부(34a)가 제 2의 수지(41)로 충전되는 점이다. 직사각형 모양의 반도체 장치에 있어서는, 대각선의 길이가 가장 크기 때문에, 대각선 방향의 팽창·수축에 의한 영향이 나오기 쉽다. 따라서, 반도체 장치(1d)에서는, 상기 구조에 의해 팽창·수축에 의한 영향을 억제하는 효과가 얻어진다.

본 실시예의 반도체 장치(1d)에서는, 보강재(34)의 재료로서, 열팽창률이 Al, Cu, SUS와 같이 탑재용 기판(10)의 열팽창률에 가까운 재료를 이용하는 것이 바람직하다. 탑재용 기판(10)과 보강재(34)의 오목부(34a) 이외의 부분, 즉 변(邊)의 중앙 부분과의 접착에는, 제 1의 접착제(42)를 이용하여도 좋지만, 제 2의 수지(41)을 사용하는 것이 보다 바람직하다. 또한, 코너부에 마련된 오목부(34a)에는, 제 2의 수지(41)가 충전된다. 이 제 5의 실시예의 구조에 의한 작용적 특징은, 탑재용 기판(10) 및 보강재(34)의 열팽창 특성을 거의 일치시킴과 함께 오목부(34a)에 제 2의 수지를 충전함에 의해 탑재용 기판(10)의 휘어짐을 억제하면서 반도체 칩(20) 바로 아래의 탑재용 기판(10)의 휘어짐을 상술한 제 1의 수지(40)와 제 2의 수지(41)로 억제하고 있다.

다음에, 본 실시예의 반도체 장치(1d)의 제조 방법에 관해 설명한다. 반도체 장치(1d)의 제 1의 제조 방법은, 제 1의 실시예의 반도체 장치(1)의 제조 방법과 거의 같기 때문에, 다른 점만에 관해 설명한다. 제 1의 다른 점은, 보강재의 제 1의 단

면의 형상이다. 보강재(34)는 각 코너의 제 1의 단면에 오목부(34a)를 형성한다. 한편, 보강재(30)의 제 1의 단면은 평탄하다. 제 2의 다른 점은, 보강재(34)의 사용과 관련하여, 제 1의 접착제(42) 또는 제 2의 수지(41)가 보강재(34)의 형상과 일치하는 형상으로 기판(10) 상에 도포되고, 제 2의 수지(41)는 오목부(34a)에 대응하는 위치에 중첩적으로 도포되며, 보강재(34)는 보강재(34)의 형상과 일치하는 형상으로 제 1의 접착제(42) 또는 제 2의 수지(41)가 도포된 부분과 정렬되고 제 1의 단면이 제 1의 접착제(42) 또는 제 2의 수지(41)와 접하도록 재치된다 것이다. 나머지 부분은 제 1의 실시예의 반도체 장치(1)의 제조 방법과 동일한 제조 방법으로 제조될 수 있다.

다음에, 반도체 장치(1d)의 제 2의 제조 방법에 관해 도 9a 내지 9i를 참조하여 설명한다. 우선, 기판(10) 및 보강재(34)(단, 도 9a에서는 도시 생략)를 준비한다. 기판(10)의 제 1의 면상에는, 탑재되는 반도체 칩(20)의 칩 전극(21)과 대응하는 위치에 내부 랜드 전극(11)이 형성된다. 제 1의 면과 반대측의 제 2의 면상에는 외부 랜드 전극(12)이 형성된다. 서로 대응하는 내부 랜드 전극(11)과 외부 랜드 전극(12)은 기판내 배선(15)에 의해 접속된다(도 9a).

다음에, 탑재용 기판(10)의 주연부에 열팽창률이 16 내지 22ppm 정도, 탄성률이 11 내지 12GPa인 제 1의 접착제(42)를, 미리 준비하고 있는 보강재(34)의 형상과 일치하도록 도포한다. 그 후, 보강재(34)를 제 1의 접착제(42)가 도포된 부분에 위치를 맞추어 제 1의 단면이 제 1의 접착제(42)와 접하도록 재치하고, 125°C 정도로 약 15분간 가경화한다(도 9b). 이 상태에서는, 보강재(30)는 기판(10)에 접착되어 있지만, 제 1의 접착제(42)는 아직 완전하게는 고화되어 있지 않다. 또한, 제 1의 접착제(42)는, 예를 들면 에폭시계, 폴리올레핀계, 실리콘계, 시아네이트 에스테르계, 폴리이미드계, 폴리노르보르네오계를 포함하는 수지군 중에서 선택된 수지 재료를 주성분으로 하고, 열팽창률과 탄성률이 소망하는 값이 되도록 무기질 필러를 적량 혼입시켜서 조정하고 있다. 또한, 보강재(34)의 재료는, 열팽창률이 기판(10)의 열팽창률에 가까운 Cu, SUS(페라이트계 스테인리스강), Al 등을 포함하는 그룹 중에서 선택하는 것이 바람직하다.

다음에, 칩 전극(21)상에 범프 전극(22)이 접착된 반도체 칩(20)을, 각 범프 전극(22)이 대응하는 내부 랜드 전극(11)과 접하도록 위치 결정 재치하고, 예를 들면 질소 분위기중에서 250°C로 가열하여 기판(10)의 내부 랜드 전극(11)에 접속한다(도 9c).

다음에, 반도체 칩(20)과 기판(10)과의 간극에 디스펜서 등으로 제 1의 수지(40)를 적하 방법으로 주입·충전한 후, 100°C 정도로 약 10분간 가경화한다(도 9d). 이 상태에서는, 제 1의 수지(40)도 아직 완전하게는 고화되어 있지 않다. 또한, 제 1의 수지는, 예를 들면 에폭시계 수지를 열팽창률이 32ppm 정도, 탄성률이 9GPa 정도가 되도록 조정한 것이다. 제 1의 수지가 이 특성이면, 유동성이 1000 내지 40000CPS(centipoises)이고, 칩(20)과 기판(10) 사이의 간극에 보이드를 발생시키는 일 없이 주입·충전할 수 있다. 이 때, 제 1의 수지(40)는 칩(20)과 기판(10) 사이의 간극을 충전하는 언더필부(40a)와 함께 이 언더필부(40a)로부터 반도체 칩(20)의 주위로 연장하는 필릿부(40b)도 형성된다. 단, 필릿부(40b)는 보강재(34) 까지 달하는 일은 없고, 이 시점에서는 필릿부(40b)와 보강재(30)와의 사이에 기판(10)의 제 1의 면이 노출하고 있다.

다음에, 칩(20)의 이면 및 보강재(34)의 제 2의 단면에 제 2의 접착제(43)를 도포한 후(도 9e), 덮개부(31)를 보강재(34)로 둘러싸인 영역 전체를 덮도록 재치하고, 150°C 정도로, 30분간 정도 가열하여 제 2의 접착제(43)를 가경화하여 덮개부(31)를 접착시킨다(도 9f 및 9g). 또한, 제 2의 접착제(43)로서는, 열팽창률이 50 내지 100ppm 정도의 예를 들면 에폭시계 수지를 이용할 수 있다. 또한, 제 2의 접착제(43)의 경우, 제 2의 접착제(43)의 열전도성을 향상시키기 위해, 무기질 필러으로서 Ag, Cu 분말 등을 적량 혼입하는 것이 보다 바람직하다.

다음에, 덮개부(31)가 접속된 보강재(34)의 코너부에 형성된 오목부(34a)의 2개소에 가온 압입 노즐(60)을 접촉시키고, 반도체 칩(20)의 측면, 보강재(34)의 내벽, 덮개부(31), 기판(10) 및 필릿부(40b)로 둘러싸인 공간에 제 2의 수지(41)를 주입·충전한다(도 9h 및 9i). 또한, 전술한 공간에 제 2의 수지를 주입·충전하는 방법으로서는, 트랜스퍼 몰드로 압입하는 방법을 이용할 수도 있다.

다음에, 전체를 약 175°C까지 완만하게 승온시킨 후, 또한 약 175°C의 상태를 60분 정도 유지하여, 제 1의 수지(40), 제 2의 수지(41), 제 1의 접착제(42) 및 제 2의 접착제(43)를 전부 완전하게 경화시킨다. 그 후, 기판(10)의 외부 랜드 전극(12)에 외부 단자가 되는 예를 들면 솔더 범프(13)를 일반적인 방법으로 접착하고, 도 5a 내지 도 5c에 도시한 바와 같은 반도체 장치(1d)가 완성된다.

## 제 6의 실시예

다음에, 본 발명의 반도체 장치의 제 6의 실시예를 도 6을 참조하여 설명한다. 본 실시예의 반도체 장치(1e)는, 제 1의 실시예의 반도체 장치(1)의 보강재(30)를, 유기 재료의 수지로 형성된 보강재(35)로 바꿔었을 뿐이고, 다른 구성은 전부 반도체 장치(1)와 같다. 본 실시예의 반도체 장치(1e)의 제조 방법은, 수지제의 보강재(35)를 예를 들면 트랜스퍼 몰딩에 의

해 미리 제작하여 준비하여 두면, 그 밖의 제조 순서는 도 10a 내지 도 10g에 도시한 바와 같이, 제 1의 실시예의 반도체 장치(1)의 제조 방법과 같아서, 상세한 설명은 생략한다. 개략을 설명하면, 우선 기판(10)에 제 1의 접착제(42)를 도포하고, 수지 보강재(35)를 재치하여 가경화한다. 다음에 칩(20)을 내부 랜드 전극(11)에 플립칩 접속하고, 칩(20)과 기판(10) 사이의 간극에 제 1의 수지(40)를 충전하고 가류어 한다. 다음에, 보강재(35)와 칩(20) 사이의 공간에 제 2의 수지(41)를 주입한다. 다음에, 제 2의 접착제(43)가 반도체 칩(20)의 이면과 보강재(35)의 제 2의 단면에 도포되고, 덮개부(31)를 재치하고, 전체 경화를 수행하여, 제 1의 접착제(42), 제 1의 수지(40), 제 2의 수지(41) 및 제 2의 접착제(43) 모두를 완전히 경화한다. 이렇게 하여, 반도체 장치(1e)가 완성된다.

또한, 본 실시예의 반도체 장치(1e)의 다른 제조 방법으로서는, 기판(10)을 트랜스퍼 밀봉용 몰드에 재치하여 기판(10)에 일체적으로 수지 보강재(35)를 형성하는 방법도 적용할 수 있다. 이 방법에 의해 도 10b의 형상을 실현할 수 있고, 그 후는 제 1의 실시예의 제조 방법과 같은 방법으로 처리할 수 있다. 이 방법에 의하면, 제조 공정에서 노동력을 절감할 수 있다.

## 제 7의 실시예

다음에, 본 발명의 반도체 장치의 제 7의 실시예를 제 7도를 참조하여 설명한다. 본 실시예의 반도체 장치(1f)는, 제 1의 실시예의 반도체 장치(1)의 보강재(30)를, 유기 재료의 수지로 형성되며 또한 개구부가 역테이퍼 모양(아래로 갈수록 가늘어지는 모양; reverse-tapered shape)의 보강재(36)로 바뀌었을 뿐이고, 다른 구성은 전부 반도체 장치(1)와 같다. 본 실시예의 반도체 장치(1f)에서는 제 2의 수지(41)의 위에 보강재(36)가 차양(eaves) 상태로 덜어 씌워져 있다. 이 구조에 의해 필릿부(40b)와 제 2의 수지(41)가 덮개부(31) 측으로 변형하는 것을 억제할 수 있는 효과가 있다. 본 실시예의 반도체 장치(1f)의 제조 방법은, 제 6의 실시예의 반도체 장치(1e)의 제조 방법과 같다.

### 발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 탑재용 기판상에 반도체 칩을 플립칩 접속하고, 그 탑재용 기판과 반도체 칩의 간극에 제 1의 수지를 충전하고, 반도체 칩의 주위를 둘러싸도록 보강재를 부착하여 덮개부의 지지체로 한다. 이 상태에서, 탑재용 기판, 반도체 칩의 측면, 보강재 및 덮개부로 둘러싸이는 공간에 제 1의 수지보다 저열팽창률의 제 2의 수지를 충전하고, 모든 수지를 경화한다. 따라서, 제 1의 수지의 팽창·수축에 의한 탑재용 기판의 상하 방향의 움직임을 제 2의 수지가 억제하여, 온도 사이클에 의한 칩 전극이나 내부 랜드 전극의 박리나 솔더 범프의 크랙의 발생을 방지할 수 있다. 또한, 제조의 초기에 탑재용 기판의 강도를 보강할 수 있기 때문에, 제조 공정중의 취급 용이성을 개선함과 함께 휘어짐을 억제할 수 있다. 또한, 각 접착제 및 각 수지를 각 공정에서 가경화하여 두고, 최후에 완전하게 경화함으로써 제조 후의 휘어짐을 최소로 억제할 수 있다.

구체적으로는, 예를 들면 도 12a 내지 12e는, 각각 본 발명의 제 1의 실시예 내지 제 5의 실시예의 각 반도체 장치에서의 탑재용 기판의 휘어짐의 상태를 모식적으로 도시한 도면이다. 또한, 비교를 위해 종래의 반도체 장치의 탑재용 기판의 휘어짐의 상태를 도 12f에 모식적으로 도시하고 있다. 도 12a 내지 12f에 있어서, 파선이 탑재용 기판의 휘어짐의 상태를 나타내고 있다. 도 12a 내지 12e로부터 알 수 있는 바와 같이, 본 발명의 각 실시예의 반도체 장치의 탑재용 기판의 휘어짐량의 최대치(W<sub>a</sub>, W<sub>b</sub>, W<sub>c</sub>, W<sub>d</sub> 및 W<sub>e</sub>)는, 모두 종래의 반도체 장치의 탑재용 기판의 휘어짐량의 최대치(W<sub>f</sub>)보다 충분히 작게 되어 있는 것을 알 수 있다.

또한, 도 13은, 본 발명의 제 1의 실시예의 반도체 장치의 샘플(반도체 칩 사이즈 : 17.3mm×17.3mm, 탑재용 기판의 두께 : 약 1.0mm, 탑재용 기판의 사이즈 : 50mm×50mm)에 대해, 해당 샘플의 온도를 변화시킨 때의 반도체 장치의 탑재용 기판의 휘어짐량의 실측 결과를 도시한 그래프이다. 또한, 도 13에는 비교예로서, 종래 구조의 반도체 장치(단, 반도체 칩의 사이즈, 탑재용 기판의 두께 및 탑재용 기판의 사이즈는 상기 본 발명의 샘플과 같다)의 휘어짐량도 함께 도시하고 있다. 도 13으로부터 알 수 있는 바와 같이, 온도 사이클 시험에서의 탑재용 기판의 휘어짐의 정도도, 본 발명의 구조를 구비한 반도체 장치의 쪽이 종래 구조의 반도체 장치의 경우보다 대폭적으로 억제되어 있는 것을 알 수 있다.

또한, 제 2의 실시예와 같이 탑재용 기판에 보강재를 고착하는 제 1의 접착제로서, 제 2의 수지와 동일한 수지를 이용함에 의해, 제 1의 수지의 팽창·수축에 의한 탑재용 기판의 상하 방향의 움직임을 한층 억제할 수 있고, 온도 사이클에 의한 칩 전극이나 내부 랜드 전극의 박리나 솔더 범프의 크랙의 발생을 보다 효과적으로 방지할 수 있다.

또한, 제 5의 실시예와 같이, 보강재의 제 1의 단면의 4구석에 오목부를 형성하고, 이 오목부에 제 1의 수지보다 열팽창률이 낮은 제 2의 수지를 충전하여 보강재와 탑재용 기판의 접착제의 일부로서 이용함으로써, 직사각형 형상의 반도체 장치에서 가장 치수가 큰 대각선 방향의 팽창 수축의 영향을 한층 억제할 수 있고, 역시 온도 사이클에 의한 칩 전극이나 내부 랜드 전극의 박리나 솔더 범프의 크랙의 발생을 보다 효과적으로 방지할 수 있다. 또한, 제 5의 실시예의 제 2의 제조 방법

에 의하면, 덮개부(31)를 먼저 부착하고 나서 제 2의 수지를 주입·경화하고 있기 때문에, 제 2의 수지가 탑재용 기판, 보강재, 반도체 칩의 측벽, 덮개부, 및 필릿부로 둘러싸이는 공간에 완전하게 충전될 수 있고 덮개부(31)와 제 2의 수지(41)와의 사이에 공극(47)이 생기지 않아서 탑재용 기판(10)의 변형을 억제할 수 있다.

본 발명의 제 1, 제 2, 제 3, 제 4, 제 6 및 제 7의 실시예를 도시하는 각 도면에 있어서, 편의상 공극(47)이 과장되어 도시되어 있다. 실제, 공극(47)은 아주 작으며, 따라서 제 2의 수지(41)는 각 실시예에서 덮개부(31)와 부분적으로 접하게 될 것이다.

본 발명은 상기 실시예와 설명에 제한되지 않으며, 하기에 설명되는 방법과 본원의 특허청구범위의 취지와 범위를 벗어나지 않으면서 수정 및 변경될 수 있을 것이다.

AA. 반도체 장치의 제 1의 제조 방법으로서: 탑재용 기판에 보강재를 접속하는 단계와; 반도체 칩을 상기 탑재용 기판에 접속하는 단계와; 제 1의 수지를 간극에 충전하고 상기 제 1의 수지를 경화하는 단계와; 상기 보강재, 상기 탑재용 기판 및 상기 반도체 칩에 의해 둘러싸이는 공간을 제 2의 수지로 충전하고 상기 제 2의 수지를 경화하는 단계와; 덮개부를 부착하는 단계; 및 상기 탑재용 기판에 솔더 범프를 접속하는 단계를 포함하며,

적어도, 상기 탑재용 기판에 상기 보강재를 접속하는 상기 단계는 제 1의 단계로서 설정되고, 상기 반도체 칩을 상기 탑재용 기판에 접속하는 단계는 제 2의 단계로서 설정되는 것을 특징으로 하는 상기 반도체 장치의 제 1의 제조 방법.

BB. 상기 AA에서 설명된 방법에 있어서, 상기 탑재용 기판에 상기 보강재를 접속하는 상기 단계는: 상기 탑재용 기판에 제 1의 접착제를 도포하는 단계; 및 상기 보강재가 상기 제 1의 접착제 위에 재치된 후 상기 제 1의 접착제를 준-경화(semi-curing)하는 단계를 포함하며,

상기 간극을 상기 제 1의 수지로 충전하고 상기 제 1의 수지를 경화하는 상기 단계는: 상기 반도체 칩과 상기 탑재용 기판 사이의 간극을 상기 제 1의 수지로 충전하는 단계; 및 상기 제 1의 수지를 준-경화하는 단계를 포함하며,

상기 공간을 상기 제 2의 수지로 충전하고 상기 제 2의 수지를 경화하는 상기 단계는: 상기 공간을 상기 제 2의 수지로 충전하는 단계; 및 상기 제 2의 수지를 준-경화하는 단계를 포함하며,

상기 덮개부를 부착하는 상기 단계는: 상기 반도체 칩의 이면과 상기 보강재의 제 2의 단면에 제 2의 접착제를 도포하는 단계와; 상기 제 2의 접착제 위에 상기 덮개부를 재치하는 단계; 및 상기 제 2의 접착제를 경화하는 단계를 포함하며,

상기 제 2의 접착제를 경화하는 단계에 있어서, 상기 제 1의 접착제, 상기 제 2의 접착제, 상기 제 1의 수지 및 상기 제 2의 수지는 모두 완전하게 경화된다.

CC. 반도체 장치의 제 2의 제조 방법으로서: 탑재용 기판에 보강재를 접속하는 단계와; 반도체 칩을 상기 탑재용 기판에 접속하는 단계와; 제 1의 수지를 간극에 충전하고 상기 제 1의 수지를 경화하는 단계와; 상기 보강재, 상기 탑재용 기판 및 상기 반도체 칩에 의해 둘러싸이는 공간을 제 2의 수지로 충전하고 상기 제 2의 수지를 경화하는 단계와; 덮개부를 부착하는 단계; 및 솔더 범프를 접속하는 단계를 포함하며,

상기 공간을 상기 제 2의 수지로 충전하고 상기 제 2의 수지를 경화하는 상기 단계는 상기 덮개부를 부착하는 단계 이후에 수행되는 것을 특징으로 하는 상기 반도체 장치의 제 2의 제조 방법.

## (57) 청구의 범위

### 청구항 1.

탑재용 기판 상에 재치되는 반도체 칩과;

상기 반도체 칩과 상기 탑재용 기판 사이의 간극을 충전하는 제 1의 수지와;

상기 반도체 칩을 둘러싸는 보강재; 및

상기 제 1의 수지와 접촉하며 상기 반도체 칩과 상기 보강재 사이의 공간을 충전하는 제 2의 수지를 포함하고,

상기 제 1의 수지의 열팽창률은 상기 제 2의 수지의 열팽창률과 상이한 것을 특징으로 하는 반도체 장치.

## 청구항 2.

제 1항에 있어서,

상기 제 2의 수지의 열팽창률은 상기 제 1의 수지의 열팽창률보다 더 작은 것을 특징으로 하는 반도체 장치.

## 청구항 3.

제 2항에 있어서,

상기 보강재는 상기 제 2의 수지와 동일한 수지에 의해 상기 탑재용 기판에 부착되는 것을 특징으로 하는 반도체 장치.

## 청구항 4.

제 1항에 있어서,

상기 제 1의 수지는 상기 반도체 칩과 상기 탑재용 기판 사이의 간극을 충전하는 언더필부, 및 상기 반도체 칩의 영역으로부터 연장하는 필릿부를 포함하는 것을 특징으로 하는 반도체 장치.

## 청구항 5.

제 1항에 있어서,

상기 보강재는 상기 제 2의 수지의 열팽창률보다 더 큰 열팽창률의 제 1의 접착제에 의해 상기 탑재용 기판에 부착되는 것을 특징으로 하는 반도체 장치.

## 청구항 6.

제 4항에 있어서,

상기 제 2의 수지는 상기 보강재의 내벽, 상기 필릿부, 상기 탑재용 기판 및 상기 반도체 칩의 측면 각각과 접촉하는 것을 특징으로 하는 반도체 장치.

## 청구항 7.

탑재용 기판 상에 재치되는 반도체 칩과;

상기 반도체 칩과 상기 탑재용 기판 사이의 간극을 충전하는 제 1의 수지와;

상기 반도체 칩을 둘러싸는 보강재와;

상기 제 1의 수지와 접촉하며 상기 반도체 칩과 상기 보강재 사이의 공간을 충전하는 제 2의 수지; 및

상기 보강재와 상기 반도체 칩을 덮는 덮개부를 포함하고,

상기 덮개부는 제 2의 접착제에 의해 상기 보강재와 상기 반도체 칩의 이면에 부착되는 것을 특징으로 하는 반도체 장치.

### 청구항 8.

제 7항에 있어서,

상기 제 2의 수지는 상기 덮개부의 내벽과 접촉하는 것을 특징으로 하는 반도체 장치.

### 청구항 9.

제 1항에 있어서,

상기 제 2의 수지의 탄성률은 상기 제 1의 수지의 탄성률보다 더 큰 것을 특징으로 하는 반도체 장치.

### 청구항 10.

제 2항에 있어서,

상기 보강재는 상기 탑재용 기판과 대향하는 다수의 오목부를 구비하는 것을 특징으로 하는 반도체 장치.

### 청구항 11.

제 10항에 있어서,

상기 보강재의 평면 형상은 직사각형이고, 상기 오목부는 상기 보강재의 각 코너에 형성되는 것을 특징으로 하는 반도체 장치.

### 청구항 12.

제 10항에 있어서,

상기 오목부 각각은 상기 제 2의 수지와 동일한 수지로 충전되는 것을 특징으로 하는 반도체 장치.

### 청구항 13.

제 2항에 있어서,

상기 탑재용 기판과 대향하는 상기 보강재 단면은 요철 형상이고, 상기 탑재용 기판과 상기 보강재 단면의 오목부 사이의 간극은 제 1의 접착제로 충전되는 것을 특징으로 하는 반도체 장치.

## 청구항 14.

제 2항에 있어서,

상기 탑재용 기판과 대향하는 상기 보강재 단면은 요철 형상이고, 상기 탑재용 기판과 상기 보강재 단면의 오목부 사이의 간극은 제 2의 수지와 동일한 수지로 충전되는 것을 특징으로 하는 반도체 장치.

## 청구항 15.

제 2항에 있어서,

상기 탑재용 기판과 대향하는 상기 보강재 단면은 요철 형상이고, 상기 탑재용 기판은 상기 보강재와 대향하는 영역에 제 1의 금속층을 포함하고, 상기 보강재는 볼록부의 표면에 제 2의 금속층을 포함하며, 상기 탑재용 기판과 보강재의 상기 볼록부는 저용점 합금에 의해 서로 접속되는 것을 특징으로 하는 반도체 장치.

## 청구항 16.

제 1항에 있어서,

상기 보강재는 Cu, SUS, Al, 알루미나, 실리콘, 질화 알루미늄 및 수지로 이루어진 그룹에서 선택된 재료로 이루어지는 것을 특징으로 하는 반도체 장치.

## 청구항 17.

제 1항에 있어서,

상기 제 1의 수지와 상기 제 2의 수지 각각은 에폭시계, 폴리올레핀계, 실리콘계, 시아네이트 에스테르계, 폴리이미드계, 폴리노르보르넨계를 포함하는 수지군 중에서 선택된 수지를 주성분으로 하는 것을 특징으로 하는 반도체 장치.

## 청구항 18.

제 1항에 있어서,

상기 탑재용 기판과 상기 보강재 사이에 상기 제 1의 접착제와는 상이한 캡 부재가 부분적으로 배치되어 있는 것을 특징으로 하는 반도체 장치.

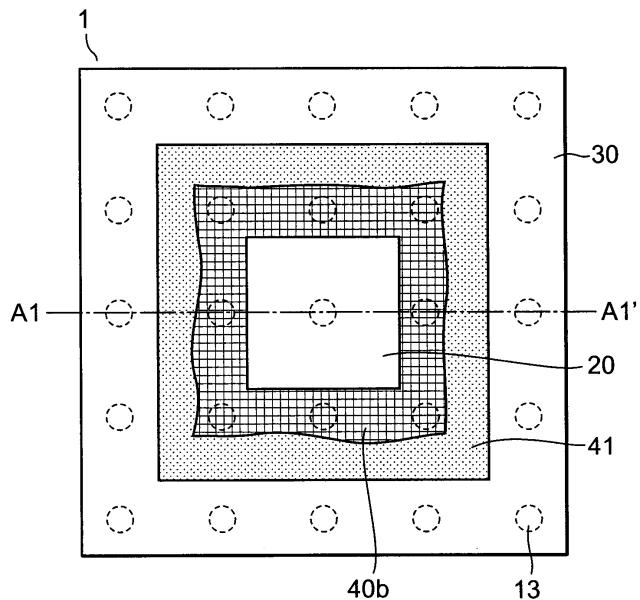
## 청구항 19.

제 18항에 있어서,

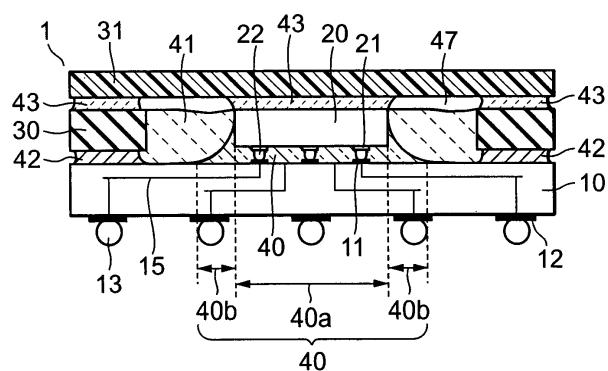
상기 캡 부재는 저용점 합금으로 이루어지는 것을 특징으로 하는 반도체 장치.

**도면**

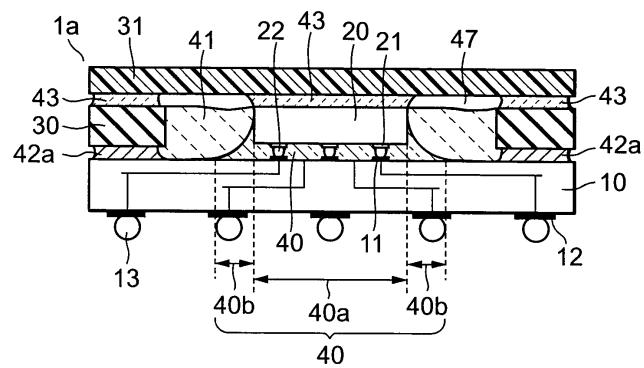
도면1a



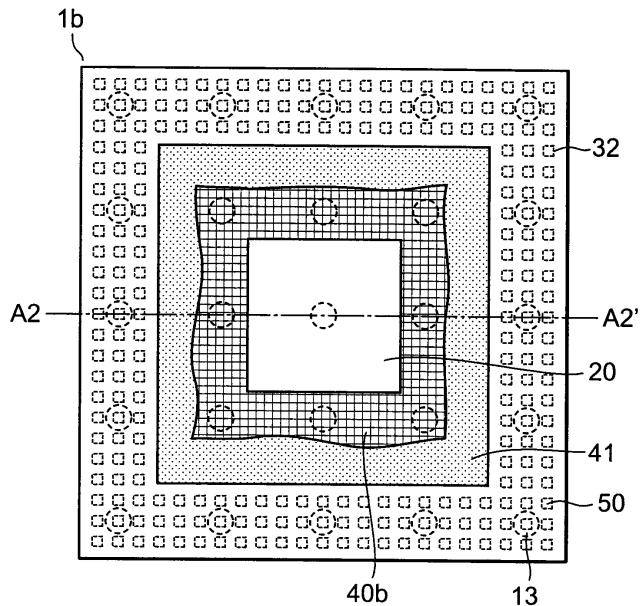
도면1b



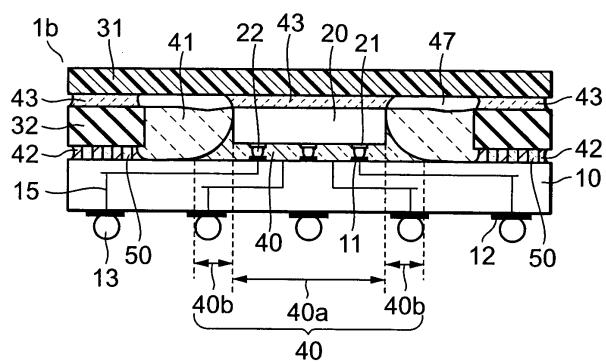
도면2



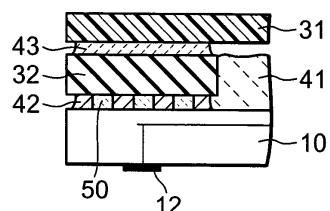
도면3a



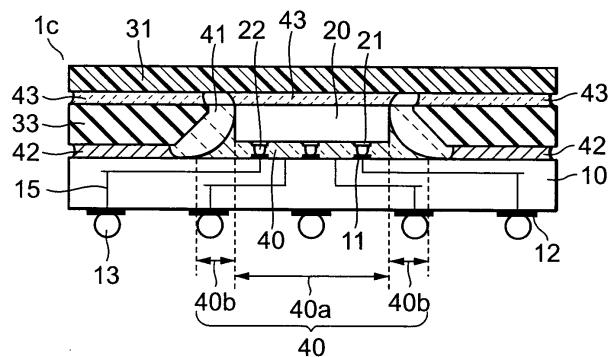
도면3b



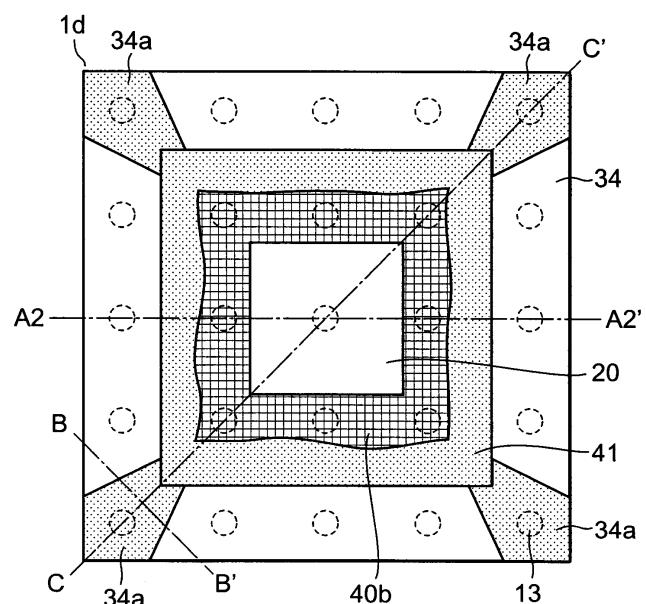
도면3c



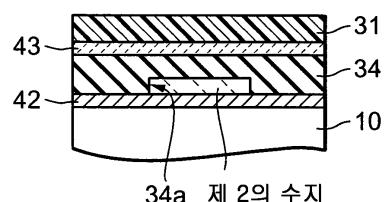
도면4



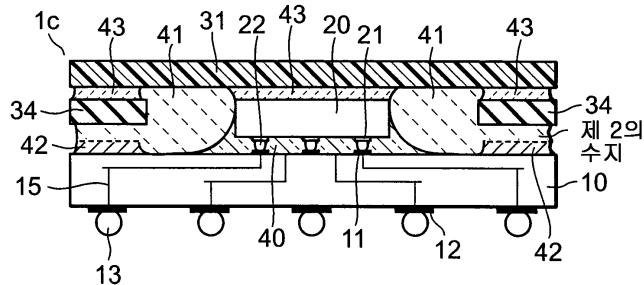
도면5a



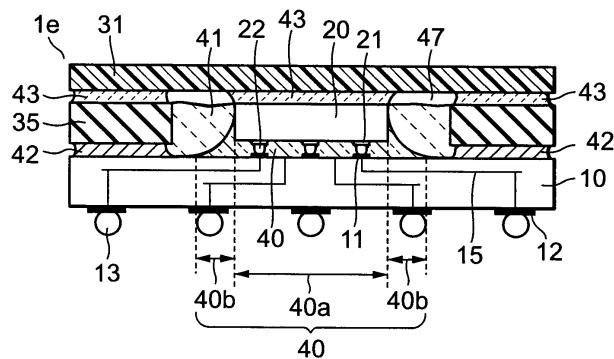
도면5b



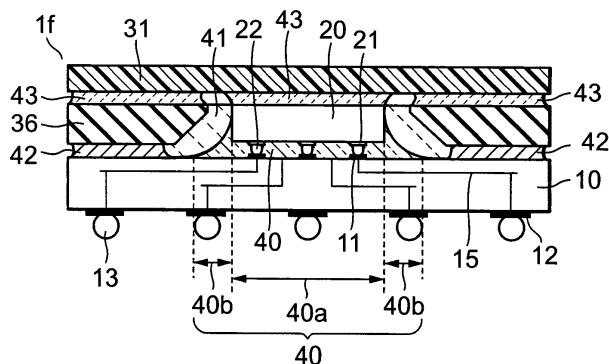
도면5c



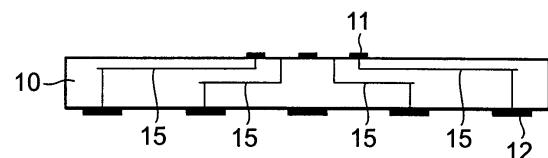
도면6



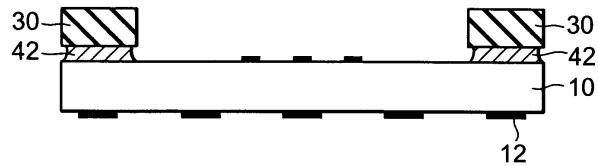
도면7



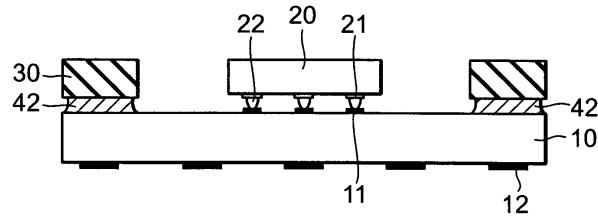
도면8a



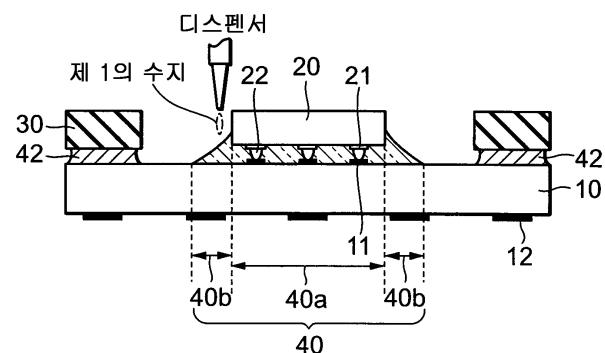
도면8b



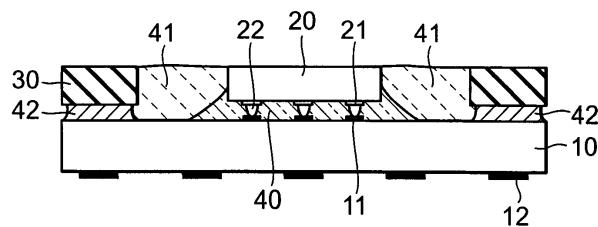
도면8c



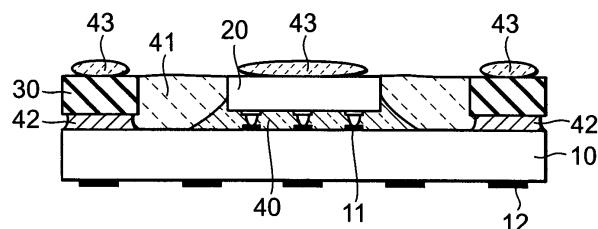
도면8d



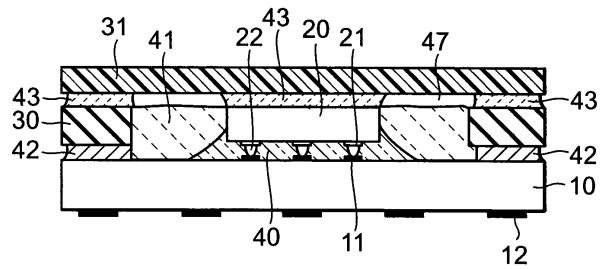
도면8e



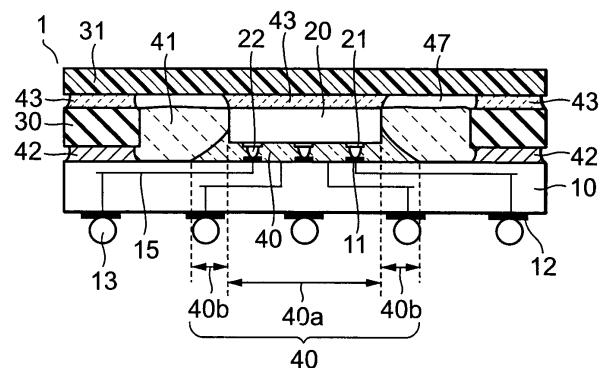
도면8f



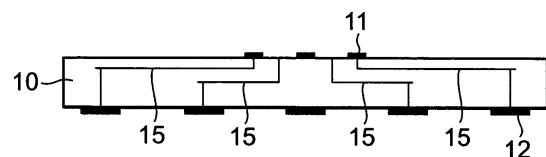
도면8g



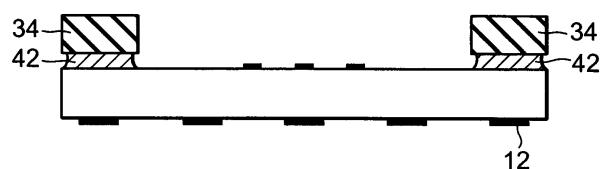
도면8h



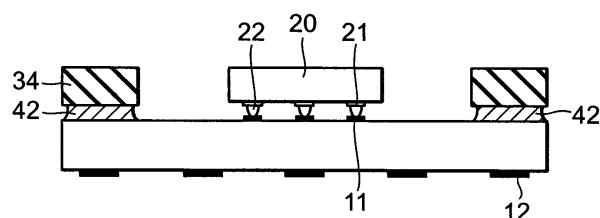
도면9a



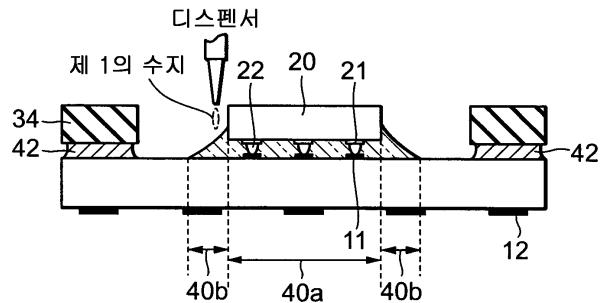
도면9b



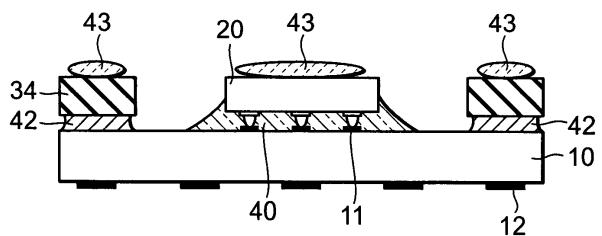
도면9c



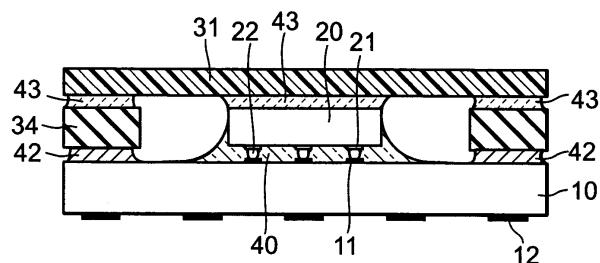
도면9d



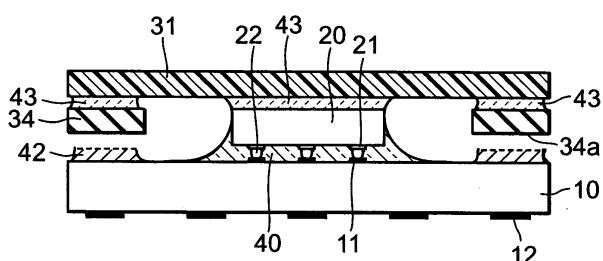
도면9e



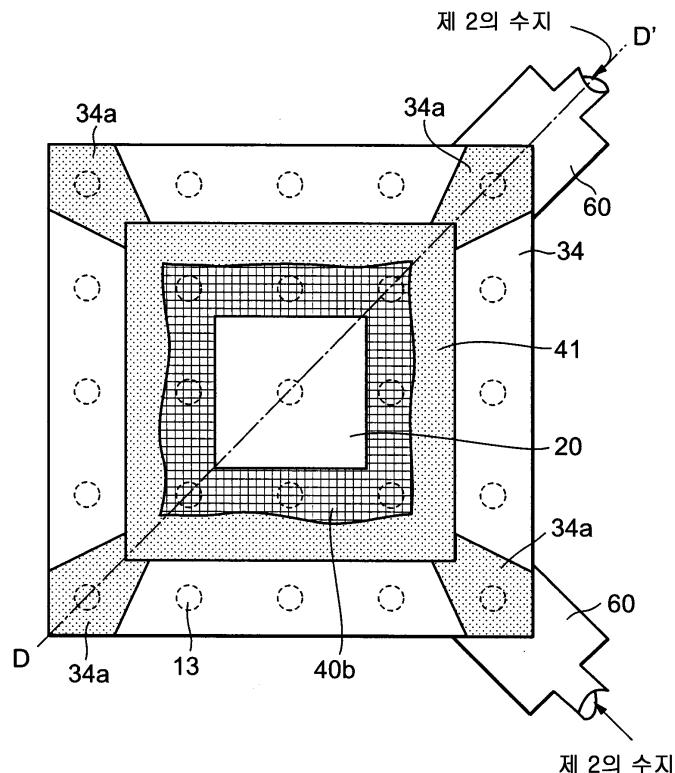
도면9f



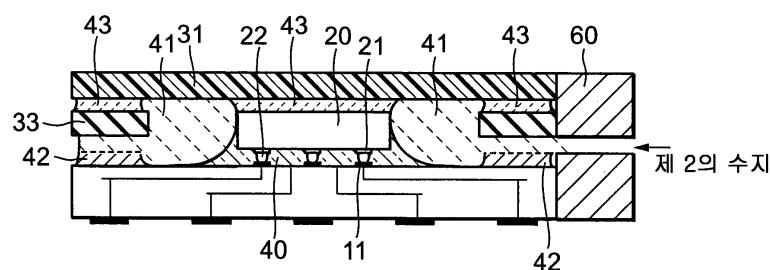
도면9g



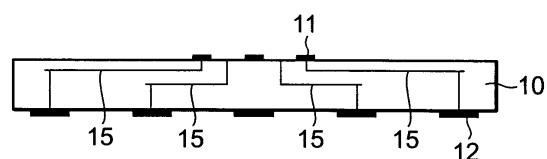
도면9h



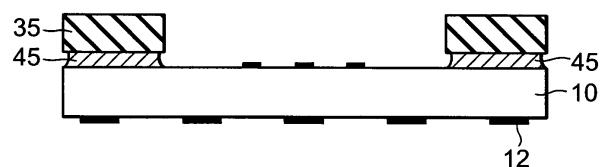
도면9i



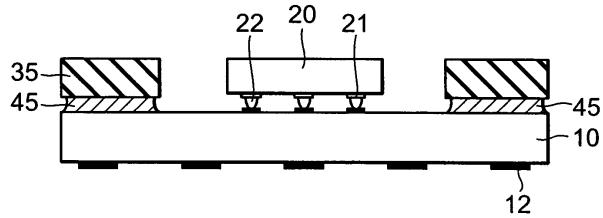
도면10a



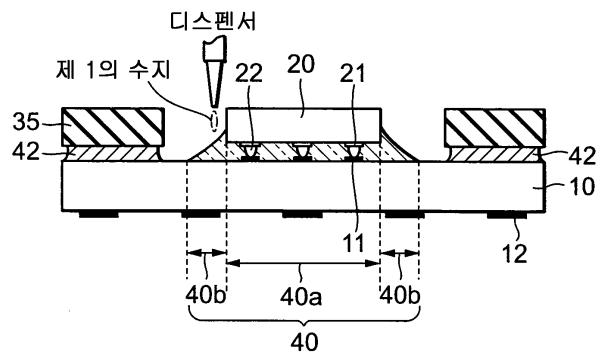
도면10b



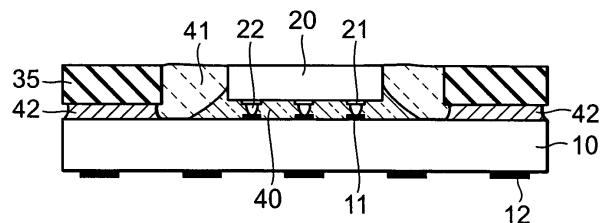
도면10c



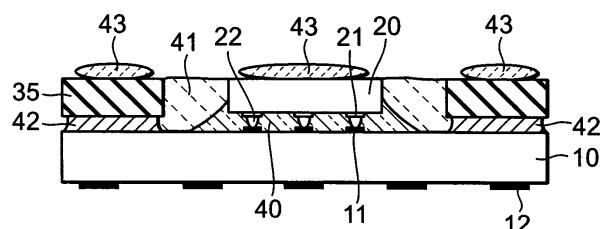
도면10d



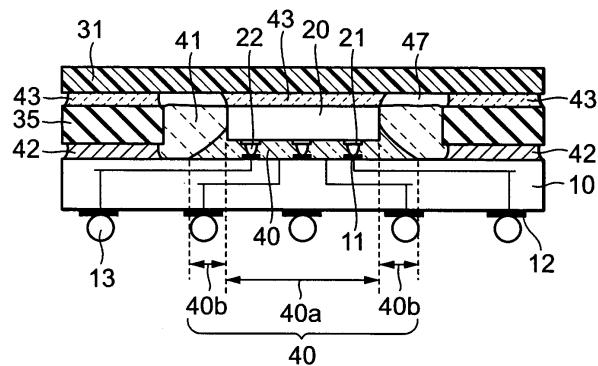
도면10e



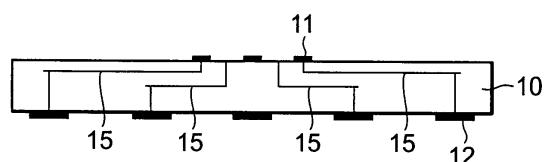
도면10f



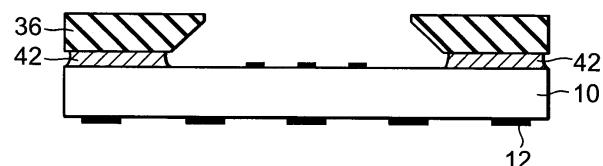
도면10g



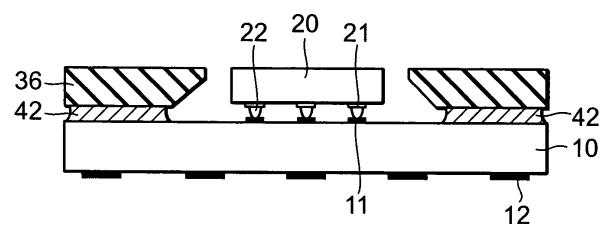
도면11a



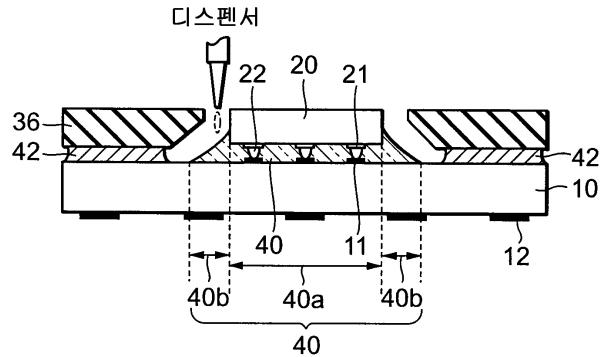
도면11b



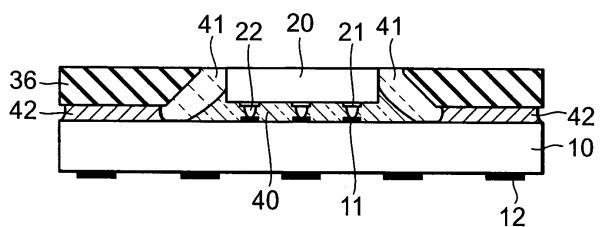
도면11c



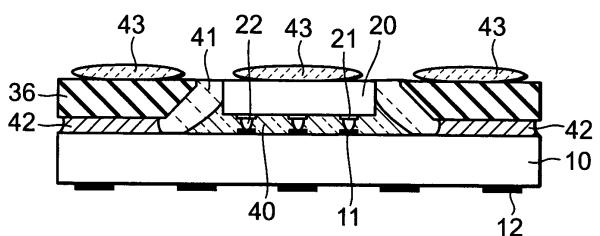
도면11d



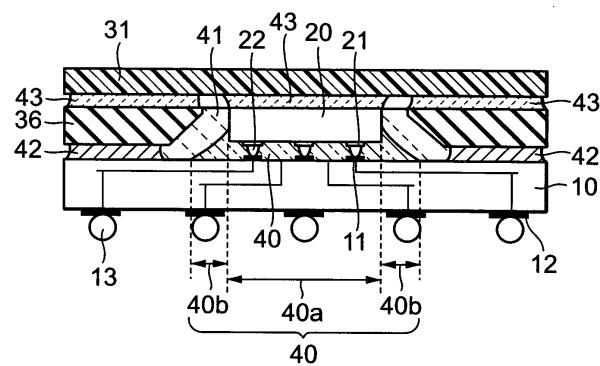
도면11e



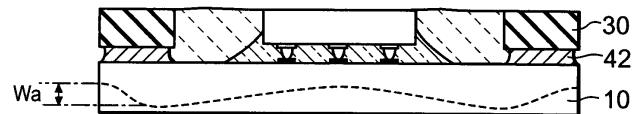
도면11f



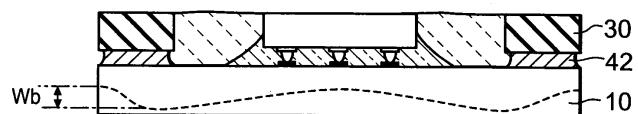
도면11g



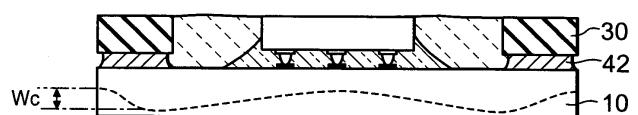
도면12a



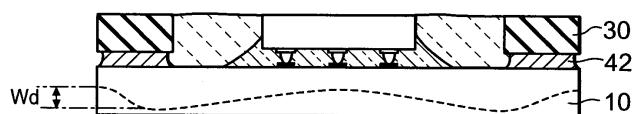
도면12b



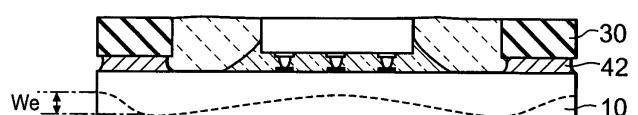
도면12c



도면12d



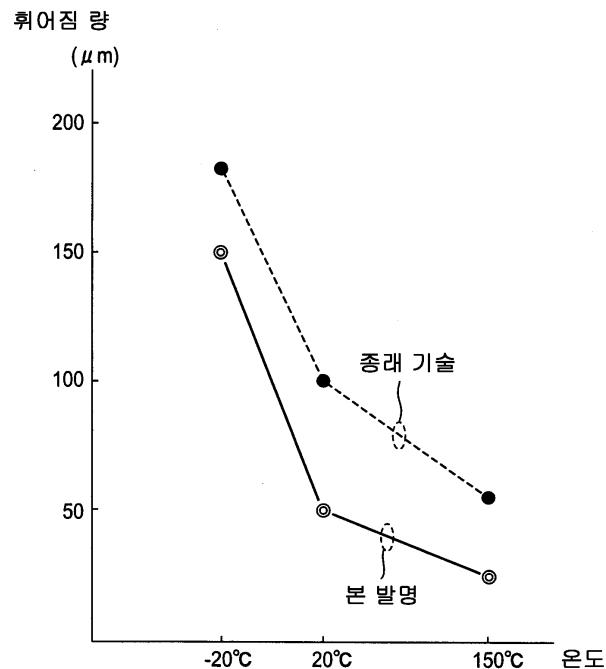
도면12e



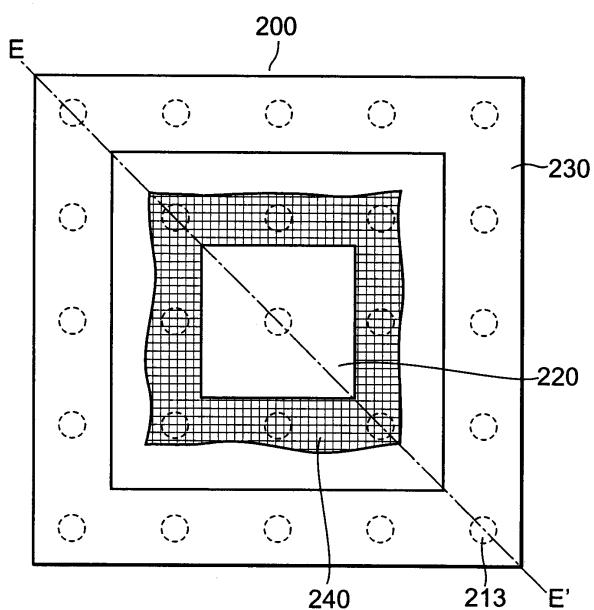
도면12f



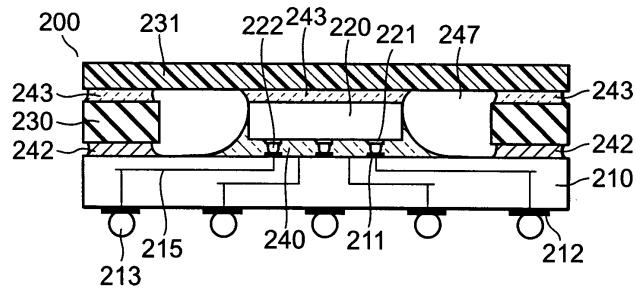
도면13



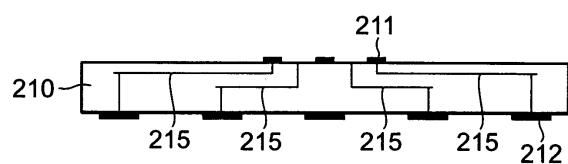
도면14a



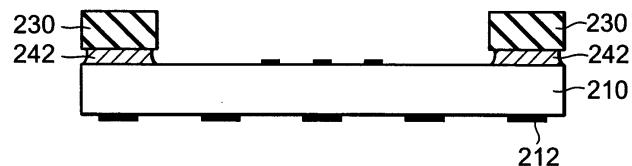
도면14b



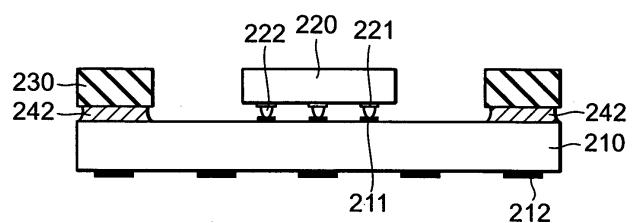
도면15a



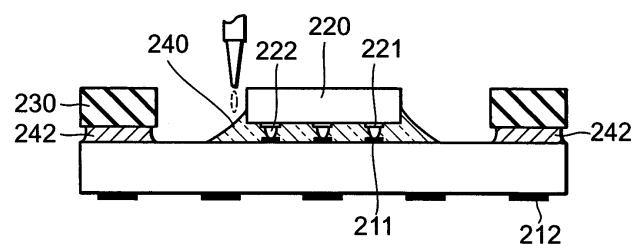
도면15b



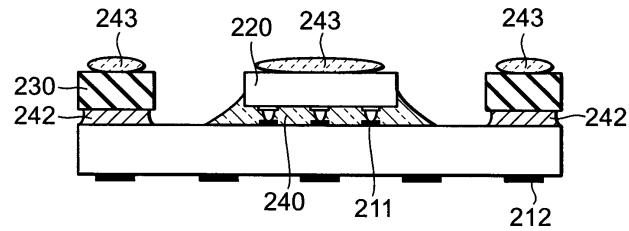
도면15c



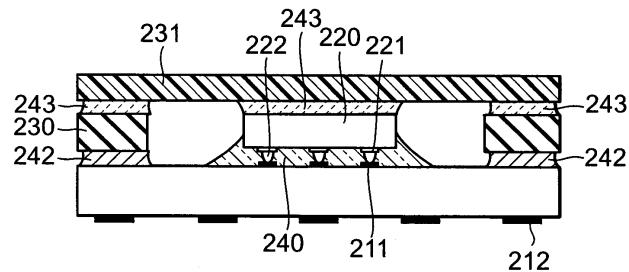
도면15d



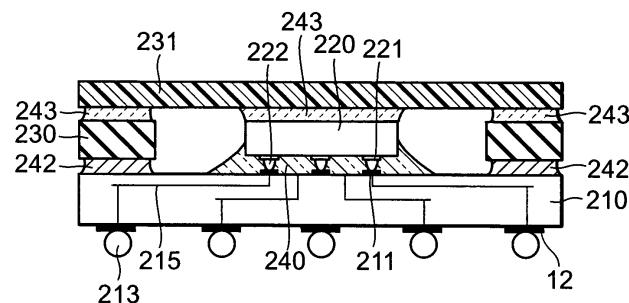
도면15e



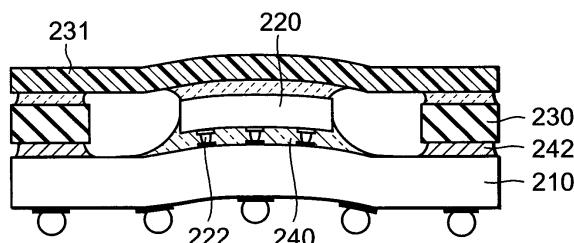
도면15f



도면15g

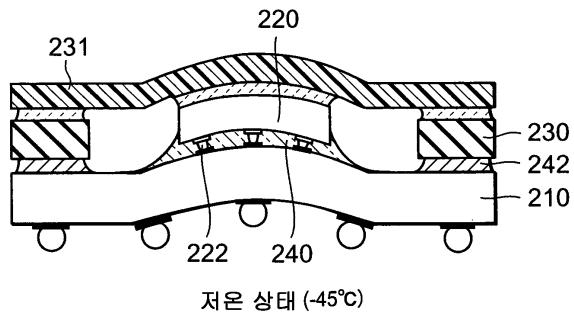


도면16a



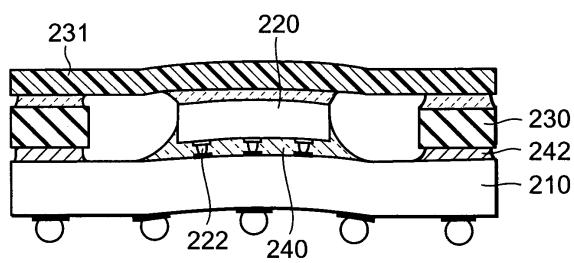
상온 상태 (20°C)

도면16b



저온 상태 (-45°C)

도면16c



고온 상태 (150°C)

도면17

