

公告本

修正
 本85年12月6日
 補充

申請日期	85.11.9.
案 號	85113690
類 別	Int. 016 1+11 768

(修正本)

A4
C4

85.12.06

313695

Int. 016 (以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	移除鎢插頭中接縫之新穎方法
	英 文	
二、發明人 創作	姓 名	1. 蔡能賢 2. 黃永盛
	國 籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市湖濱一路27號3樓 2. 新竹市墩豐路69巷1號
三、申請人	姓 名 (名稱)	台灣積體電路製造股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	中華民國新竹科學工業園區園區3路121號
	代 表 人 姓 名	張忠謀

經濟部中央標準局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：
大 類：
IPC分類：

A6
B6

本案已向：

美 國(地區) 申請專利，申請日期：1996.6.21 案號：08/667,696 ，有 無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

(1)本發明係關於用以半導體裝置之製造方法，更特別地，係關於用以交連活性裝置區域至重疊金屬化之最適鎢插頭螺樁方法。

(2)先行技藝之說明

半導體工業持續競爭以增加矽裝置之性能，同時維持或降低製造這些較高性能裝置之成本。袖珍化之趨勢，或製造具有次微米特點之矽裝置之能力，可實現性能及成本目標。製造具有次微米特點之矽晶片之能力已經由性能降解電阻與電容器之減少，而產生較高性能裝置。此外，生成於較小矽晶片之次微米特點，可由指定大小之起始矽晶圓得到更多之矽晶片。由於處理矽晶圓之成本保持不變，指定晶片之成本降低。許多半導體製造範圍，如影印石版術與異向性乾蝕刻，為袖珍化之實現之主要貢獻者。例如，更複雜之曝光照相機；及更敏感之光阻材料，使得在光阻遮蔽層固定地得到次微米特點。此外，選擇性、異向性、反應性離子蝕刻步驟之進步，依序使重疊光阻遮蔽層之次微米影像成功地轉移至底下之材料，以用於半導體之製造。

然而，隨著袖珍化之到來，指定矽裝置結構與特點變為更易產生良率及可靠度問題。例如，具有次微米特點而製造之接觸孔及通路孔之較高縱橫比，在嚐試使用習知金屬沈積方法充滿這些深、窄直徑孔時，呈現問題。此外，較小之接觸孔及連接上下金屬層之通路孔，使得在用以充滿

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

外

五、發明說明(2)

次微米接觸孔之金屬之電流攜帶能力，出現更迫切之需求。因此，已發生鋁基金屬以外充滿次微米接觸與通路孔之使用之趨勢。濺鍍之鋁無法適當地充滿高縱橫比接觸孔，及鋁無法可靠地維持較高之接觸孔電流密度，已造成鎢作為接觸孔充滿材料之使用。鎢提供比鋁大之電流攜帶能力，因此較不易發生電子遷移之可靠度失敗。此外，鎢可使用低壓化學氣相沈積(LPCVD)處理而沈積，提供比鋁金屬較保形之接觸孔充滿，因此提供較高生產潛力。然而，即使使用LPCVD方法之鎢沈積，可生成不欲之充滿特點。LPCVD接觸孔充滿之基本特徵為金屬在深、窄接觸孔側面之沈積。有時，在金屬充滿完成時，接縫或孔隙存在於接觸孔側沈積金屬遭遇之處。對於以鎢充滿之高縱橫比接觸孔已觀察到此孔隙或接縫。以後之鎢孔隙或接縫曝露在用於圖樣化目的之乾蝕方法下時，會加重或增加孔隙之大小。此缺點造成後續之金屬化層在重疊充滿鎢接觸孔上方時，生成可能之電移動可靠度問題。

本發明敘述經由用以充滿起始LPCVD產生之孔隙或接縫之鎢之選擇性再沈積之使用，以鎢連續地充滿高縱橫比接觸孔之方法。Cheffings等人在美國專利5,387,550敘述在鎢充滿接觸孔以矽充滿孔隙或接縫之方法。然而，此方法需要使用回蝕或平面化方法以自不需要之區域去除矽之複雜性及成本。本發明敘述不需額外回蝕或平面化處理並可提供較低電阻值之選擇性鎢沈積方法。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明(3)

發明之概要

本發明之目的為提供製造無孔隙、充滿鎢的接觸孔之方法，以在半導體基材用以連接活性矽裝置區域至重疊之金屬化層。

本發明之另一目的為起初在接觸孔沈積鎢層，回蝕刻鎢層以製造鎢插頭，然後沈積第二層之鎢。

本發明之另一目的為在接觸孔選擇性地在暴露之鎢插頭上沈積第二層之鎢。

本發明之另一目的為使用選擇性鎢沈積，以充滿底下鎢插頭之孔隙。

依照本發明，敘述經由在鎢插頭之形成後實行之選擇性鎢沈積之使用，製造無孔隙、充滿鎢接觸孔之方法。接觸孔在介電層對半導體基材之活性裝置區域被打開。沈積用於黏附及接觸目的之鈦層，及用作為保護底下材料以隔離及阻擋以後方法反應物之氮化鈦層。其次實行鎢之化學蒸氣沈積以充滿接觸孔，繼而施以自所有區域，除了充滿鎢接觸孔，去除不需要鎢之乾蝕步驟。其次在接觸孔實行選擇性鎢沈積，包括沈積在底下鎢內之任何孔隙或接縫。交連金屬化及圖樣化結束此方法。

圖式之簡要說明

本發明之目的及其他之優點在較佳具體實施例參考附圖最佳地敘述，其包括：

圖1，其以橫切面型式略示地顯示在鎢接觸孔充滿前之階段之矽裝置。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明(4)

圖2-4，其以橫切面型式略示地顯示先行技藝，其中為充滿鎢接觸孔之接縫或孔隙生成之製造序列。

圖5-8，其以橫切面型式略示地顯示用以製造無孔隙充滿鎢接觸孔之製造階段。

較佳具體實施例之說明

現在詳細涵蓋製造接觸孔充滿用之無孔隙鎢插頭之方法。本發明可用作為目前業界製造之金屬氧化物半導體場效電晶體(MOSFET)裝置之部份，因此，僅詳細涵蓋對於了解本發明為獨特之指定領域。

圖1略示地顯示可使用以無孔隙鎢插頭充滿接觸孔之典型N通道(NFET)裝置。使用由具有(100)結晶定向之P型單晶矽組成之基材1。製造厚場氧化物區域2(FOX)，並且用於隔離目的。FOX區域藉由首先使用傳統的影印石版與選擇性、各向異性、反應性離子蝕刻(RIE)技術，圖樣化氮化矽-二氧化矽之複合絕緣物而製造。光阻去除後，複合絕緣物用作為防氧化罩，以在非遮蔽區域生長約4000至6000 Å厚度之二氧化矽。去除複合絕緣物防氧化罩上之氧化層後，對重疊氮化矽層使用熱磷酸去除，及對底下之二氧化矽層使用緩衝氫氟酸溶液去除。一層薄二氧化矽間絕緣物3在800至1000°C之溫度於氧-蒸氣氣氛下生長至約50至300 Å之厚度。其次使用低壓化學氣相沈積(LPCVD)方法，在約500至700°C之溫度，沈積複晶矽層至約1500至4000 Å之厚度。複晶矽可使用原地摻雜技術，經砷或磷在矽烷氣氛下加入而生長。亦可在複晶矽層本質性沈積後，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

五、發明說明(5)

再施以約50至100 Kev之能量，及約 $1E15$ 至 $1E16$ 原子/平方公分之劑量的砷或磷離子佈植。使用 Cl_2 作為蝕刻劑之標準影印石版及RIE步驟，用以製造略示地示於圖1之聚矽間結構4。

經電漿氧灰化及小心之濕法清除而實行之光阻去除後，經由在約30至60 Kev之能量，以約 $1E12$ 至 $5E13$ 原子/平方公分之劑量，實行磷之離子移植，產生N型輕摻染源(source)與汲(drain)區域5。然後在約500至800°C間之溫度，使用LPCVD或電漿增強化學氣相沈積(PECVD)處理，沈積氧化矽層至約1500至4000 Å之厚度，使用正矽酸四乙酯作為來源。使用 CHF_3 作為蝕刻劑之非等向性、RIE步驟，用以製造略示地示於圖1之絕緣物側壁間隔6。另一離子移植步驟，在約50至100 Kev之能量，以約 $1E14$ 至 $5E15$ 原子/平方公分之劑量的砷，用以製造重摻雜源與汲區域7。

再度經由LPCVD或PECVD之使用，在約500至800°C間之溫度沈積另一氧化矽層8至約3000至8000 Å之厚度。實行使用 CHF_3 作為蝕刻劑之影印石版及RIE步驟，以產生接觸孔9而暴露重摻雜源與汲區域7。為較積極性設計之使用，其用以增加裝置性能，故生成高縱橫比接觸孔。接觸孔9之深度，或氧化矽層8之厚度，除以接觸孔9之約0.3至0.7 μM 的開口直徑，生成在嚐試以習知金屬化步驟充滿時會產生問題之高縱橫比接觸孔。圖1略示地顯示在經電漿氧灰化之光阻去除，繼而小心之濕清潔後之此結構。

圖2-4略示地表示以習知鎢沈積步驟充滿高縱橫比接觸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明(6)

孔之先行技藝及嚐試。圖2顯示LPCVD沈積之結果，使用六氟化鎢作為來源，嚐試以鎢充滿高縱橫比接觸孔9。鎢層10之沈積在約400至500°C之溫度實行至約4000至10000 Å之深度。高縱橫比接觸孔9之充滿由沈積於接觸孔9側壁上之鎢生成。沈積結束時，由於側壁鎢層覆蓋時發生之捏縮或封閉效果，可在鎢充滿生成接縫11a。使用SF₆-Ar-O₂作為蝕刻劑之全區域(blanket)、選擇性、反應性離子蝕刻，以自接觸孔以外之區域去除不需要之鎢，生成接縫11a，其發展成略示地示於圖3之開口或孔隙11b。開口11b之有害結果為無法使後續之重疊交連金屬化，如略示地示於圖4之層12，以充滿此開口，而以交連金屬之開口13複製開口11b。交連金屬化結構12之不良保形性在薄覆蓋區域生成相當高之電流密度，最後造成電子遷移失敗。交連金屬化結構為鋁金屬時，其特徵為不良之抗電子遷移性質，電遷移失敗之可能性增加。

現在敘述其中在鎢插頭之有害接縫或孔隙，以額外、選擇性鎢沈積方法，如此避免敘述於圖2-4之有害效果。再度應用本發明於圖1所述之裝置，在緩衝氫氟酸預先清潔後，使用射頻率濺鍍沈積鈦層14至約200至500Å之厚度。示於圖5之鈦層14用作為對底下之源與汲區域7之有效接觸，而且亦提供對接觸孔9之氧化矽側壁之優異黏附性。其次再度使用射頻率濺鍍，沈積一層氮化鈦15至約500至1000Å之厚度。因為後續之鎢沈積製造之副產物會損壞暴露之鈦，因此在鎢沈積時氮化鈦層可做為阻擋與保護之用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明(7)

途。再度使用LPCVD處理，使用六氟化鎢作為來源，在約400至500°C之溫度，沈積鎢層16至約4000至10000Å之厚度。如先前示於圖2，在接觸孔之鎢充滿中央時發生接縫17。其示於圖5。其次在約100至500°C之溫度，使用SF₆-Ar-O₂作為蝕刻劑實行之掩蔽、選擇性、RIE處理，用以自接觸孔以外之所有區域去除不需要之鎢，再度惡化接縫17a，其發展成略示地示於圖6之大接縫或孔隙17b。使用RIE處理，使用BCl₃與Cl₂作為蝕刻劑，去除氮化鈦層15與鈦層14。

圖7顯示用以充滿或封閉孔隙17b之方法之結果。實行在約20至25°C使用緩衝氫氟酸之預先清潔；繼而為鎢18之沈積，其僅在暴露之金屬上選擇性地沈積，或在此情形為接觸孔中之暴露之鎢16。在約280至400°C之溫度，使用LPCVD處理實行選擇性鎢沈積至約500至1000Å之厚度，使用六氟化鎢與氫。如果使用冷壁沈積裝置，使用約20之氫對六氟化鎢比例，包括約1至3公升/分鐘之氫對約0.05至0.15公升/分鐘之六氟化鎢。然而，如果使用熱壁沈積裝置，氫對六氟化鎢比例增至約100。由於鎢之沈積為選擇性，無需將不需要之鎢自接觸孔以外之區域去除。

鋁之金屬層，含約0.5至3%之銅，使用無線電頻率噴鍍沈積至約4000至6000Å之厚度。使用Cl₂作為蝕刻劑之習知影印石版與RIE處理用以製造示於圖8之金屬化交連結構19。不似先前示於圖4之相對物結構12，鋁金屬化結構19不呈現變薄或不良之保形性。這是因為藉由在無孔隙之底

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

五、發明說明(8)

下鎢結構上沈積鋁而完成，並且對電遷移失敗提供比相對物結構12更多之抵抗性，及較低之接觸電阻。再度經電漿氧灰化完成光阻去除，繼而為小心之濕清潔。

雖然只示於用以連接重疊交連金屬化結構至底下活性矽裝置區域之接觸孔之鎢插頭，本方法亦可應用於鎢插頭以連接兩層交連金屬化之通路孔之使用。此外，雖然只表示如N型通道(NFET)裝置之應用，本發明之方法亦可應用於P型通道(PFET)裝置、互補(CMOS)裝置、及BiCMOS裝置。

雖然本發明已參考其較佳具體實施例而特別地顯示及敘述，熟悉此技藝者應了解，可進行形式與細節之各種改變，而不背離本發明之精神與範圍。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

外

四、中文發明摘要(發明之名稱:

) 移除鎢插頭中接縫之新穎方法

已發展一種製造無縫、填充鎢、小直徑接觸孔之方法。此方法特點為起初在小直徑接觸孔內製造鎢插頭，並且以額外層之選擇性沈積鎢填充或修復鎢插頭中之接縫或孔隙。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱:

)

六、申請專利範圍

1. 一種在半導體基材上製造MOSFET裝置之方法，使用填充鎢之接觸孔，以在該半導體基材上提供底下之導電區域與重疊之交連金屬化結構間之電接觸，包含以下之步驟：

在該半導體基材上提供該底下之導電區域；

沈積一介電層在該半導體基材上，包括沈積在該底下之導電區域上；

以石版印刷術程序在光阻中打開一區域，直接在該底下之導電區域之指定區域上暴露底下之該介電層；

在該光阻之打開放區域中，異向性蝕刻該介電層，以對該底下之導電區域之該指定區域製造接觸孔；

去除該光阻；

清潔該底下導電區域之指定區域之表面；

沈積一黏著劑層在該介電層上，和於該接觸孔側，以及於該底下之導電區域之該指定區域上；

沈積一阻擋層在該黏著劑層上；

沈積一第一金屬層在該阻擋層，以填充該接觸孔；

自該介電層上表面，去除該阻擋層該黏著劑層及該第一金屬層，在該接觸孔中形成該第一金屬層、該阻擋層、與該黏著劑層之金屬插頭；

清潔該金屬插頭之表面；

在該接觸孔中，於該金屬插頭之暴露表面上選擇性沈積第二金屬層，包括選擇性沈積該第二金屬層以充滿該金屬插頭之任何指定缺陷；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

六、申請專利範圍

在該接觸孔中，沈積一交連金屬化層在該介電層上及該第二金屬層上；及

圖樣化該交連金屬化層，以形成金屬化交連結構。

2. 根據申請專利範圍第1項之方法，其中在該半導體基材上之該底下之導電區域為N型之MOSFET裝置，重摻雜源極與汲極區域。
3. 根據申請專利範圍第1項之方法，其中在該半導體基材上之該底下之導電區域上為金屬化交連結構。
4. 根據申請專利範圍第1項之方法，其中該介電層為氧化矽，在約500至800°C間之溫度使用LPCVD或PECVD沈積至約3000至8000Å之厚度。
5. 根據申請專利範圍第1項之方法，其中該接觸孔經使用 CHF_3 作為蝕刻劑之異向性、RIE處理而形成，該接觸孔具有直徑約0.3至0.7 μm 之開口，造成約1至3之縱橫比。
6. 根據申請專利範圍第1項之方法，其中該黏著劑層為鈦，使用射頻率濺鍍沈積至約200至500Å之厚度。
7. 根據申請專利範圍第1項之方法，其中該阻擋層為氮化鈦，使用射頻率濺鍍沈積至約500至1000Å之厚度。
8. 根據申請專利範圍第1項之方法，其中該第一金屬層為鎢，在約400至500°C間之溫度使用LPCVD方法沈積至約4000至10000Å之厚度。
9. 根據申請專利範圍第1項之方法，其中該第一金屬層、該阻擋層、及該黏著劑層自該介電層上之去除，對該第一金屬層使用 $\text{SF}_6\text{-Ar-O}_2$ 作為蝕刻劑、及對該阻擋層與

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

- 該黏著劑層使用 $\text{Cl}_2\text{-BCl}_3$ 作為蝕刻劑之RIE處理而實行。
10. 根據申請專利範圍第1項之方法，其中該第一金屬之表面清潔在約20至25°C之溫度使用緩衝氫氟酸溶液實行。
 11. 根據申請專利範圍第1項之方法，其中該第二金屬層為鎢，在約280至400°C之溫度，經LPCVD方法在該第一金屬插頭之表面上選擇性沈積至約500至1000Å之厚度，其使用具有約0.05至0.15公升/分鐘之六氟化鎢流量對約1至3公升/分鐘之氫流量之冷壁沈積裝置。
 12. 根據申請專利範圍第1項之方法，其中該第二金屬層為鎢，在約300至400°C之溫度，經LPCVD處理在該金屬插頭之表面上選擇性沈積至約500至1000Å之厚度，其使用具有氫對六氟化鎢流量比例約為100之熱壁沈積裝置。
 13. 根據申請專利範圍第1項之方法，其中該交連化金屬層為鋁，含有約0.5至3%之銅，使用射頻率濺鍍沈積至約4000至6000Å之厚度。
 14. 一種在半導體基材上製造MOSFET裝置之方法，使用兩層鎢以充滿接觸孔，用以在該半導體基材上提供底下之導電區域與重疊之交連金屬化結構間之電接觸，包含以下之步驟：
 - 在該半導體基材上提供該底下之導電區域；
 - 沈積一介電層在該半導體基材上，包括沈積在該底下之導電區域上；
 - 以石版印刷術程序在光阻中打開小直徑區域，直接在

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

訂

六、申請專利範圍

該底下之導電區域之指定區域上暴露底下之該介電層；

在該光阻之該小直徑打開區域中，異向性蝕刻該介電層，以對該底下之導電區域之該指定區域製造小直徑接觸孔；

去除該光阻；

清潔該底下導電區域之指定區域之表面；

沈積一鈦層在該介電層上，和於該小直徑接觸孔側，以及於該底下之導電區域之該指定區域上；

沈積一氮化鈦層在該鈦層上做為阻擋層；

沈積一第一鎢層在該阻擋層上，以填充該小直徑接觸孔；

自該介電層上表面，去除該第一層、該氮化鈦層及該鈦層，在該小直徑接觸孔形成該第一鎢層、該氮化鈦層、與該鈦層之鎢插頭；

清潔該鎢插頭之表面；

在該小直徑接觸孔中，於該鎢插頭之暴露表面上選擇性沈積第二鎢層，包括選擇性沈積該第二鎢層以充滿該鎢插頭之任何指定缺陷；

沈積交連金屬化層在該介電層上及在該小直徑接觸孔內之該第二鎢層上；及

圖樣化該交連金屬化層，以形成金屬化交連結構。

15. 根據申請專利範圍第14項之方法，其中在該半導體基材上之該底下之導電區域為N型之MOSFET裝置，重掺杂源極與汲極區域。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

16. 根據申請專利範圍第14項之方法，其中在該半導體基材上之該底下之導電區域上為金屬化交連結構。
17. 根據申請專利範圍第14項之方法，其中該介電層為氧化矽，在約500至800°C間之溫度使用LPCVD或PECVD方法沈積至約3000至8000Å之厚度。
18. 根據申請專利範圍第14項之方法，其中該小直徑接觸孔經使用使用 CHF_3 作為蝕刻劑之異向性、RIE處理而形成，該小直徑接觸孔具有直徑約0.3至0.7 μm 之開口，造成約1至3之縱橫比。
19. 根據申請專利範圍第14項之方法，其中該鈦層使用射頻率濺鍍沈積至約200至500Å之厚度。
20. 根據申請專利範圍第14項之方法，其中該氮化鈦層使用射頻率濺鍍沈積至約500至1000Å之厚度。
21. 根據申請專利範圍第14項之方法，其中該第一鎢層在約400至500°C間之溫度，使用LPCVD方法沈積至約4000至10000Å之厚度。
22. 根據申請專利範圍第14項之方法，其中該第一鎢層、該氮化鈦層、及該鈦層自該介電層之上去除，對該第一鎢層使用 $\text{SF}_6\text{-Ar-O}_2$ 作為蝕刻劑、及對該氮化鈦層與該鈦層使用 $\text{BCl}_3\text{-Cl}_2$ 作為蝕刻劑之RIE處理而實行。
23. 根據申請專利範圍第14項之方法，其中該鎢插頭之表面清潔在約20至25°C之溫度使用緩衝氫氟酸溶液實行。
24. 根據申請專利範圍第14項之方法，其中該第二鎢層在約280至400°C之溫度，經LPCVD處理在該鎢插頭之表

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

六、申請專利範圍

- 面上選擇性沈積至約500至1000Å之厚度，其使用具有約0.05至0.15公升/分鐘之六氟化鎢流量對約1至3公升/分鐘之氫流量之冷壁沈積裝置。
25. 根據申請專利範圍第14項之方法，其中該第二鎢層在約300至400°C之溫度，經LPCVD處理在該金屬插頭之表面上選擇性沈積至約500至1000Å之厚度，其使用具有氫對六氟化鎢流動量比例約為100之熱壁沈積裝置。
26. 根據申請專利範圍第14項之方法，其中該交連金屬化層為鋁，含有約0.5至3%之銅，使用射頻率濺鍍沈積至約4000至6000Å之厚度。
27. 一種MOSFET裝置結構，包含：
- 在半導體基材之表面上之場氧化物區域；
 - 在該場氧化物區域間之裝置區域；
 - 在該裝置區域中央，於該半導體基材上之複晶矽閘結構；
 - 在半導體基材上之表面上，該複晶矽閘結構與該場氧化物區域間之源極與汲極區域；
 - 位於該源極與汲極區域、該複晶矽閘結構與該場氧化物區域上方之絕緣物層；
 - 在該絕緣物層之接觸孔內，對該源極與汲極區域充滿複合金屬層；及
 - 交連金屬化結構，在該接觸孔上接觸該複合金屬層。
28. 根據申請專利範圍第27項之MOSFET裝置，其中該接觸孔以約3000至8000Å之深度形成於氧化矽層，該接觸孔

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

六、申請專利範圍

具有直徑約0.3至0.7 μm 之開口

29. 根據申請專利範圍第27項之方法，其中該複合金屬層各包含鈦與氮化鈦作為下方黏著劑與阻擋層，及包括第一鎢層，繼而為重疊、選擇性沈積之第二鎢層之鎢插頭。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

高

昭和 年 月 日 修正 補充

41157

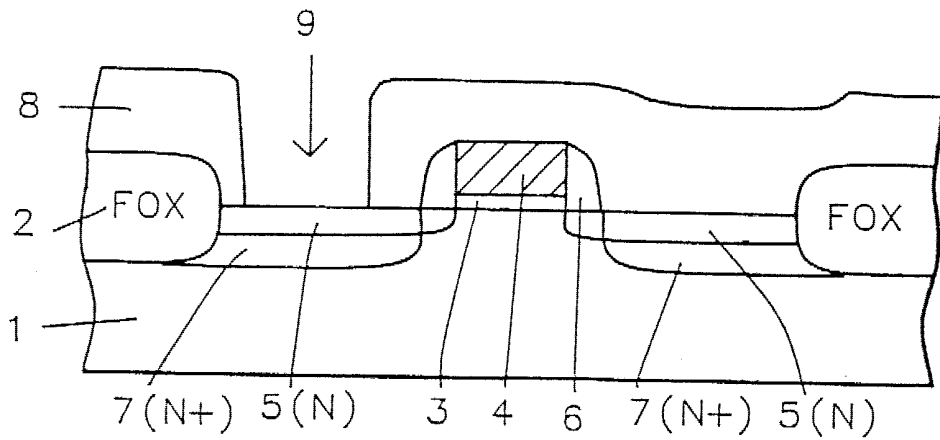


圖 1

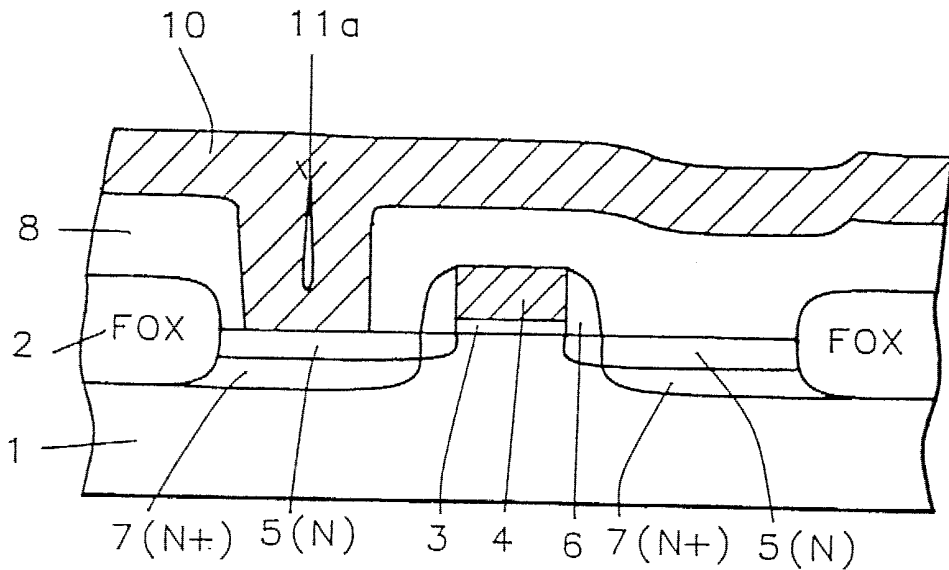


圖 2

313695

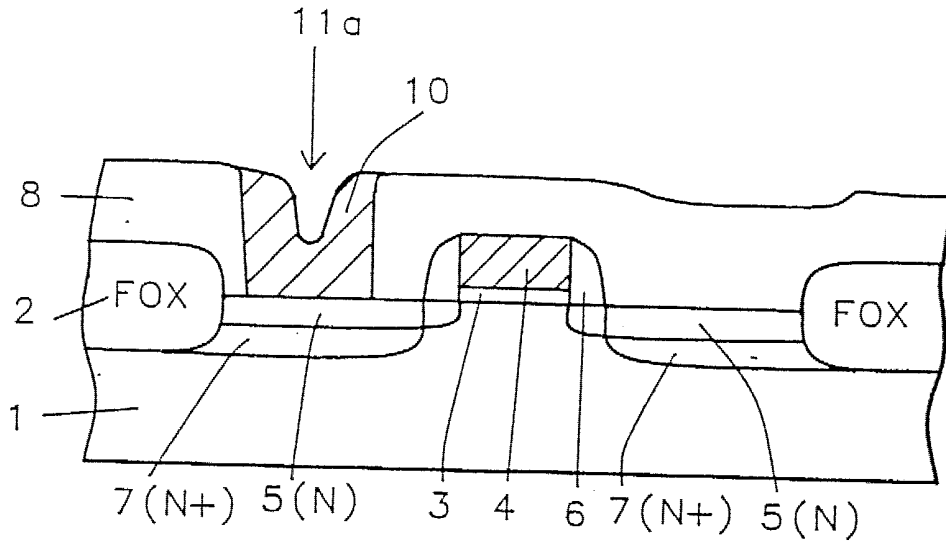


圖 3

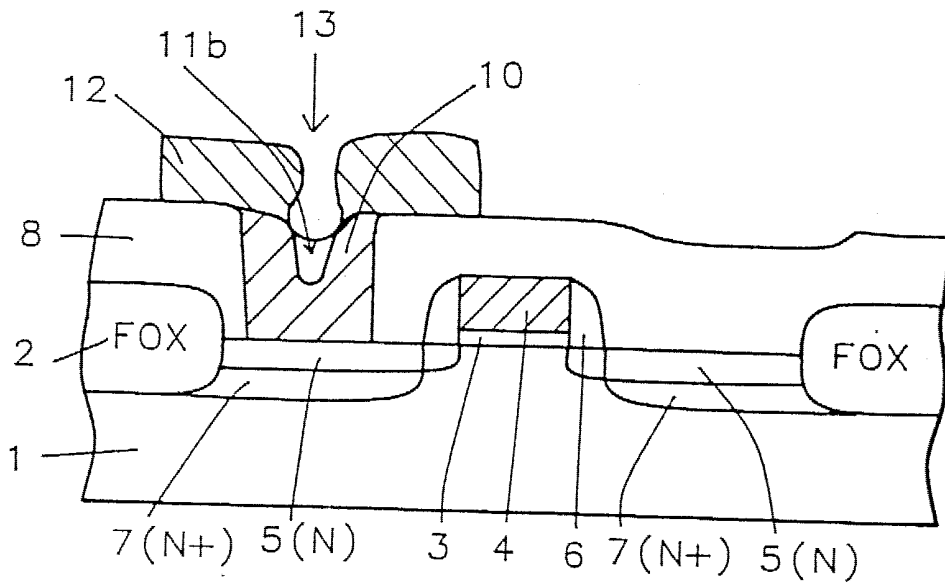


圖 4

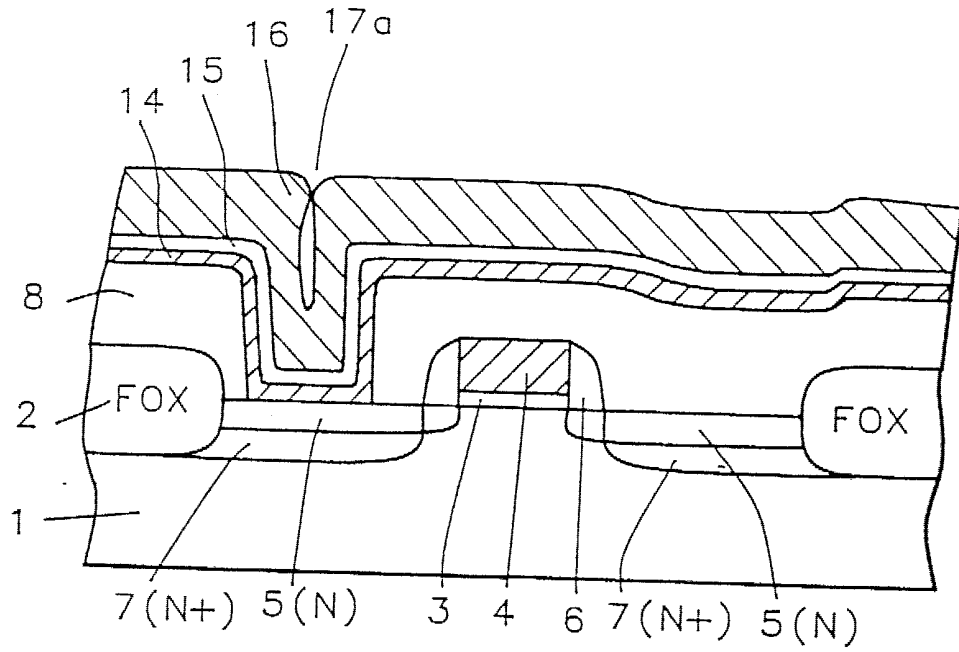


圖 5

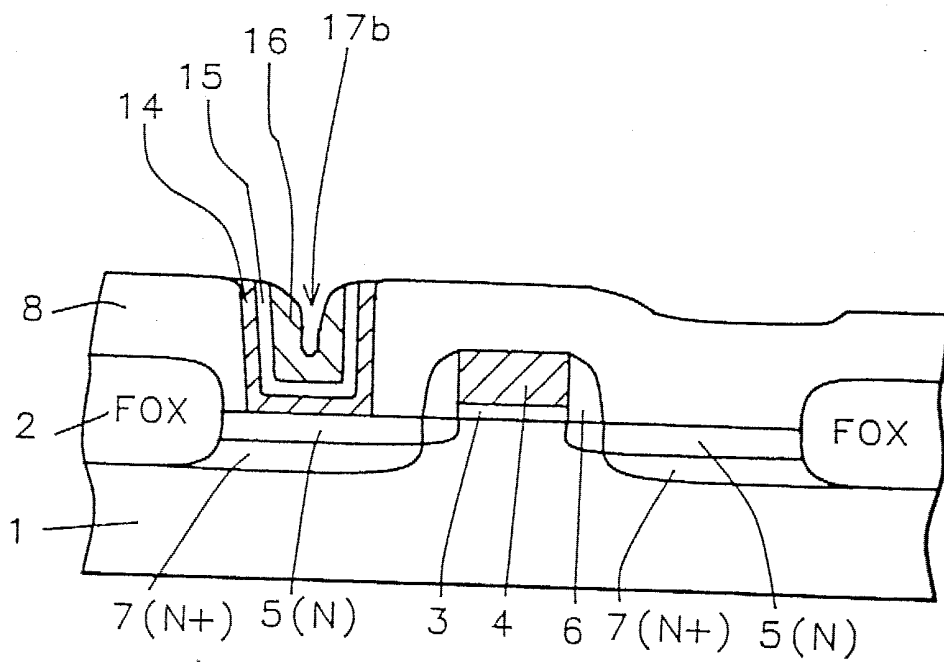


圖 6

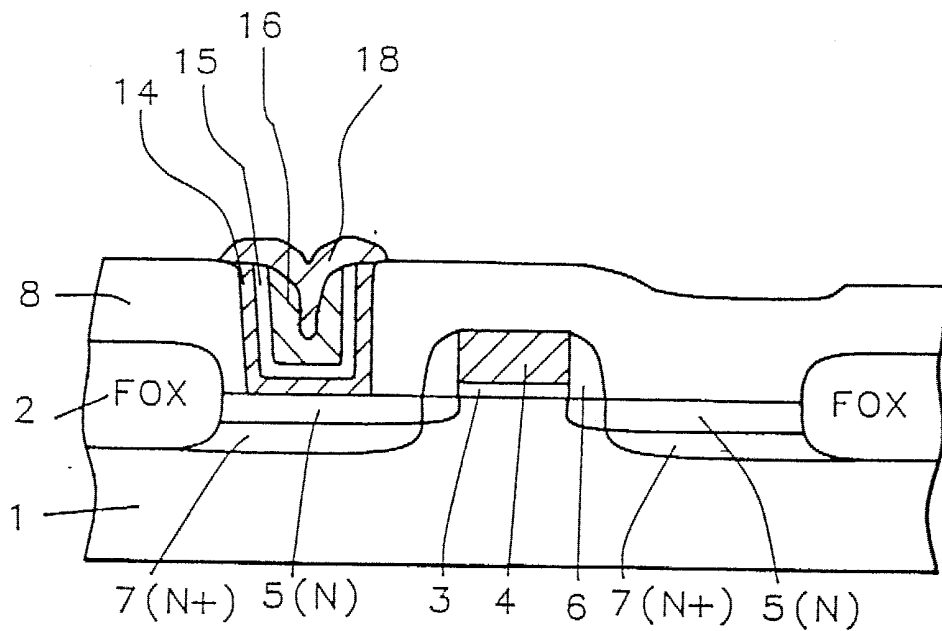


圖 7

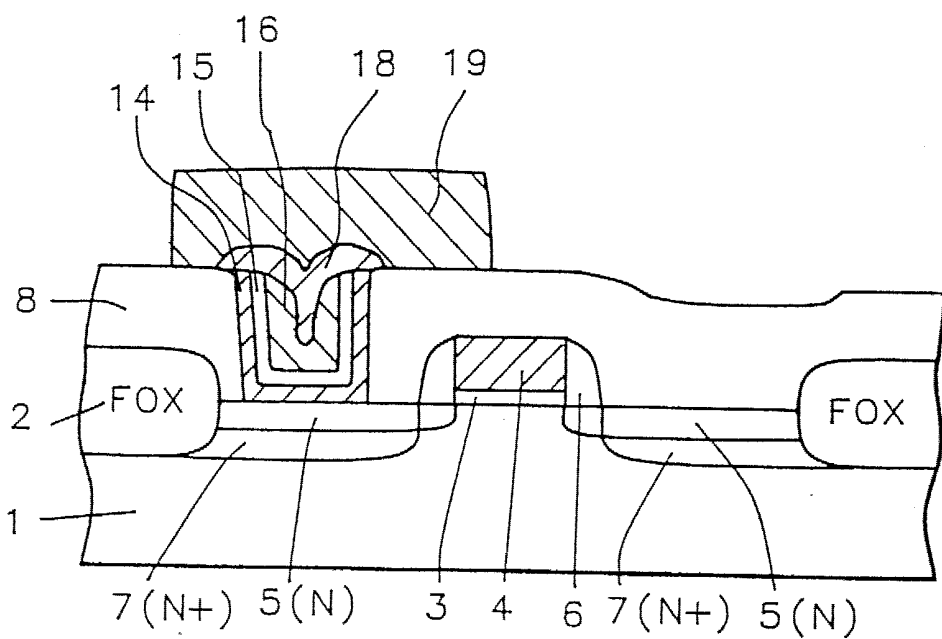


圖 8