



ÚŘAD PRO VYNÁLEZY  
A OBJEVY

# POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

**218758**  
(11) (B1)

(51) Int. Cl.<sup>3</sup>  
H 03 K 19/088

(22) Přihlášeno 05 06 80  
(21) (PV 3980-80)

(40) Zveřejněno 30 07 82

(45) Vydáno 15 04 85

(75)

Autor vynálezu

PÍRKO JAN ing., ŽAMBERK

## (54) Zapojení elektronického obvodu zejména pro nastavení výchozího stavu logické sítě

### 1

Vynález se týká zapojení elektronického obvodu zejména pro nastavení výchozího stavu logické sítě.

Logické sítě obsahující sekvenční obvody vyžadují po připojení napájecího napětí nebo po krátkodobém přerušení dodávky elektrické energie nastavení výchozího stavu.

V současné době je nastavování výchozích stavů zmíněných logických sítí uskutečňováno buď ručně, nebo pomocí časovacích obvodů RC, které zpožďují příchod logické úrovně L, respektive H na vstupy nastavení tak, že po zapnutí se logický obvod nalézá v definovaném počátečním stavu již před ustálením provozní hodnoty napájecího napětí.

Nevýhodou ručního nastavování výchozích stavů logické sítě je, že vyžaduje přítomnost obsluhy, která při každém i náhodném výpadku nebo poklesu napájecího napětí ručně, zpravidla pomocí tlačítka, nastaví výchozí stav logické sítě.

Nevýhodou nastavování výchozích stavů logické sítě pomocí časovacích obvodů RC je, že neřeší plně případy krátkodobého přerušení dodávky elektrické energie, při kterém se kapacity zpožďovacích RC článků nestačí vybit pod úroveň L, čímž se nevytváří podmínky pro nastavení výchozího stavu logické sítě.

### 2

Tyto nevýhody do značné míry odstraňuje zapojení elektronického obvodu zejména pro nastavení výchozího stavu logické sítě, jehož podstatou je, že ke kladnému výstupnímu vodiči je přes první odpor připojena Zenerova dioda, jejíž druhý vývod je připojen k zápornému výstupnímu vodiči, přičemž Zenerova dioda je orientována v závěrném směru, mezi první odpor a Zenerovu diodu je připojen emitor prvního tranzistoru typu PNP, ke kladnému výstupnímu vodiči je připojen jedním vývodem diodový usměrňovač, jehož druhý vývod je připojen přes druhý odpor k zápornému výstupnímu vodiči, přičemž diodový usměrňovač je orientován v propustném směru a mezi zmíněný diodový usměrňovač a druhý odpor je připojena báze prvního tranzistoru, kolektor prvního tranzistoru je připojen k bázi druhého tranzistoru typu NPN, přičemž báze druhého tranzistoru je připojena jednak přes třetí odpor k zápornému výstupnímu vodiči, jednak přes kondenzátor ke kolektoru druhého tranzistoru a emitor druhého tranzistoru je připojen k zápornému výstupnímu vodiči, přičemž kolektor druhého tranzistoru je připojen jednak přes zatěžovací odpor ke kladnému výstupnímu vodiči, jednak ke vstupu nastavení logické sítě.

Výhodou zapojení elektronického obvodu

podle vynálezu je, že spolehlivě reaguje i na krátkodobé výpadky dodávky elektrické energie, přičemž nevykazuje vlastní časovou konstantu.

Příkladné zapojení elektronického obvodu podle vynálezu je schematicky znázorněno na výkrese. Zapojení spolupracuje s logickou sítí **1**, opatřenou alespoň jedním vstupem **2** nastavení pro nastavení výchozího stavu logické sítě **1** a napájenou zdrojem **3**, stejnosměrného napětí, opatřeným kladným a záporným výstupním vodičem **4**, **5**. Napájecí zdroj **3** může být známého provedení a zahrnuje síťový transformátor **6**, usměrňovač **7**, filtrační kondenzátor **8** a stabilizátor napětí **9**, jejichž parametry určují časovou konstantu napájecího zdroje **3**. Ke kladnému výstupnímu vodiči **4** napájecího zdroje **3** je přes první odpor **10** připojena Zenerova dioda **11**. Druhý vývod Zenerovy diody **11** je připojen k zápornému výstupnímu vodiči **5** napájecího zdroje **3**, přičemž Zenerova dioda **11** je orientována v závěrném směru. Mezi první odpor **10** a Zenerovu diodu **11** je připojen emitor prvního tranzistoru **12**, který je typu PNP, a ke kladnému výstupnímu vodiči **4** napájecího zdroje **3** je připojen jedním vývodem diodový usměrňovač **13**, tvořený s výhodou dvěma polovodičovými diodami **13'**, **13''**. Druhý vývod zmíněného diodového usměrňovače **13** je připojen přes druhý odpor **14** k zápornému výstupnímu vodiči **5** napájecího zdroje **3**, přičemž usměrňovač **13** je orientován v propustném směru. Mezi diodový usměrňovač **13** a druhý odpor **14** je připojena báze prvního tranzistoru **12**, jehož kolektor je připojen k bázi druhého tranzistoru **15**, který je typu NPN, přičemž báze druhého tranzistoru **15** je připojena jednak přes třetí odpor **16** k zápornému výstupnímu vodiči **5** napájecího zdroje **3**, jednak přes kondenzátor **17** ke kolektoru druhého tranzistoru **15**. Emitor druhého tranzistoru **15** je připojen k zápornému výstupnímu vodiči **5** napájecího zdroje **3** a jeho kolektor je připojen jednak přes zatěžovací odpor **18** ke kladnému výstupnímu vodiči **4** napájecího zdroje **3**, jednak ke vstupu **2** nastavení logické sítě **1**.

Po zapnutí napájecího zdroje **3** začne na-

růstat na jeho kladném a záporném výstupním vodiči **4**, **5** stejnosměrné napájecí napětí podle časové konstanty napájecího zdroje **3**, která je určena zejména impedancí síťového transformátoru **6** a velikostí kapacity filtračního kondenzátoru **8**. Při nárůstu napájecího napětí se po překonání prahového napětí diodového usměrňovače **13**, který je zapojen v propustném směru, uveďte do vodivého stavu první tranzistor **12**, který pracuje jako zdroj konstantního proudu, přičemž velikost tohoto proudu je dána hodnotou prvního odporu **10**, zařazeného v emitoru prvního tranzistoru **12**. Konstantní proud protékající prvním tranzistorem **12** a přechodem báze — emitor druhého tranzistoru **15** způsobí otevření druhého tranzistoru **15** při napětí napájecího zdroje **3** menším, než je nejvyšší dovolená úroveň **L** pro logickou sítí **1**. Otevřením druhého tranzistoru **15** se na kolektoru druhého tranzistoru **15** a tím i na vstupu **2** nastavení logické sítě **1** objeví úroveň **L**. Tato úroveň **L** nastaví výchozí stav logické sítě **1**, přičemž na kolektoru druhého tranzistoru **15** setrvá, dokud napětí napájecího zdroje **3** na jeho výstupních vodičích **4**, **5** nepřekročí hodnotu Zenerova napětí Zenerovy diody **11**. Po překročení zmíněné hodnoty napětí se Zenerova dioda **11** otevře, čímž se změní polarita přechodu báze — emitor prvního tranzistoru **12** se uzavře i druhý tranzistor **15**, což je zaručeno třetím odporem **16**, paralelně připojeným mezi jeho bázi a emitor, a na jeho kolektoru a tím i na vstupu **2** nastavení logické sítě **1** se objeví úroveň **H**. Kondenzátor **17** zajišťuje při zmíněných dějích monotónní přechod úrovně na kolektoru druhého tranzistoru **15** z **L** do **H** a z **H** do **L**.

V případě krátkodobého přerušení dodávky elektrické energie klesne napájecí napětí na výstupních vodičích **4**, **5** napájecího zdroje **3**. V případě, že zmíněné napětí poklesne na hodnotu Zenerova napětí Zenerovy diody **11**, dojde okamžitě k otevření tranzistorů **12**, **15** a tím ke generování úrovně **L** pro nastavení výchozího stavu logické sítě **1**.

#### PŘEDMĚT VYNÁLEZU

Zapojení elektronického obvodu zejména pro nastavení výchozího stavu logické sítě opatřené alespoň jedním vstupem nastavení a napájené zdrojem stejnosměrného napětí, vykazujícím časovou konstantu, opatřeným kladným a záporným výstupním vodičem pro připojení logické sítě, vyznačené tím, že ke kladnému výstupnímu vodiči **(4)** je přes první odpor **(10)** připojena Zenerova dioda **(11)**, jejíž druhý vývod je připojen k zápornému výstupnímu vodiči **(5)**, přičemž Zenerova dioda **(11)** je orientována v závěrném směru, mezi první odpor **(10)**

a Zenerovu diodu **(11)** je připojen emitor prvního tranzistoru **(12)** typu PNP, ke kladnému výstupnímu vodiči **(4)** je připojen jedním vývodem diodový usměrňovač **(13)**, jehož druhý vývod je připojen přes druhý odpor **(14)** k zápornému výstupnímu vodiči **(5)**, přičemž diodový usměrňovač **(13)** je orientován v propustném směru a mezi zmíněný diodový usměrňovač **(13)** a druhý odpor **(14)** je připojena báze prvního tranzistoru **(12)**, kolektor prvního tranzistoru **(12)** je připojen k bázi druhého tranzistoru

(15) typu NPN, přičemž báze druhého tranzistoru (15) je připojena jednak přes třetí odpor (16) k zápornému výstupnímu vodiči (5), jednak přes kondenzátor (17) ke kolektoru druhého tranzistoru (15) a emitor druhého tranzistoru (15) je připojen k zá-

pornému výstupnímu vodiči (5), přičemž kolektor druhého tranzistoru (15) je připojen jednak přes zatěžovací odpor (18) ke kladnému výstupnímu vodiči (4), jednak ke vstupu (2) nastavení logické sítě (1).

---

1 list výkresů

---

