

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-85487
(P2018-85487A)

(43) 公開日 平成30年5月31日(2018.5.31)

(51) Int.Cl.

H01L 23/12 (2006.01)
H01L 23/50 (2006.01)

F 1

H01L 23/12
H01L 23/50L
N

テーマコード(参考)

5 F 0 6 7

審査請求 未請求 請求項の数 9 O L (全 17 頁)

(21) 出願番号
(22) 出願日特願2016-229239 (P2016-229239)
平成28年11月25日 (2016.11.25)

(71) 出願人 000005810
マクセルホールディングス株式会社
京都府乙訓郡大山崎町大山崎小泉1番地

(71) 出願人 506334171
トレックス・セミコンダクター株式会社
東京都中央区新川一丁目24番1号

(74) 代理人 100128532
弁理士 村中 克年

(72) 発明者 五郎丸 佑也
大阪府茨木市丑寅一丁目1番88号 日立
マクセル株式会社内

(72) 発明者 木村 浩
東京都中央区新川一丁目24番1号 トレ
ックス・セミコンダクター株式会社内

F ターム(参考) 5F067 AA13

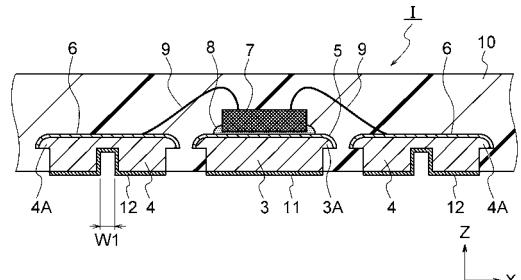
(54) 【発明の名称】半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】リードレス表面実装方式の半導体装置を回路基板に実装する際の半田フィレットを良好に形成することができ、半導体装置の上方から実装状況を容易に確認し得る半導体装置を製造し得るその製造方法を提供する。

【解決手段】樹脂から露出している電極層4の裏面から該電極層4を切込むことにより裏面から一体的に連続するように形成した凹部を含め樹脂10から露出している電極層4にめっき膜12を施すとともに、凹部の底部を貫通する切断線に沿い刃厚がめっき膜12を含む凹部の幅W1と同等もしくは前記幅W1よりも小さいダイシングソーで複数個が一体となった半導体装置Iを個片化する工程を有する。

【選択図】 図10



【特許請求の範囲】

【請求項 1】

接続部材を介して電極層に電気的に接続されるとともに金属層に搭載された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

母材の一面側に前記金属層および前記電極層を形成する第1の工程と、

前記金属層に前記半導体素子を搭載して接合するとともに、前記半導体素子と前記各電極層とを電気的に接続する第2の工程と、

前記母材上において前記金属層に搭載された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第3の工程と、

10

複数個が一体となった前記半導体装置から前記母材を除去する第4の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第5の工程と、

前記凹部を含め前記樹脂から露出している前記電極層および前記金属層に金属膜を形成する第6の工程と、

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第7の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】

接続部材を介して電極層に電気的に接続された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

20

母材の一面側に複数の前記電極層を形成する第8の工程と、

前記半導体素子を前記電極層にそれぞれ接合して前記半導体素子と電極層とを電気的に接続する第9の工程と、

前記母材上において前記電極層に接合された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第10の工程と、

複数個が一体となった前記半導体装置から前記母材を除去する第11の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第12の工程と、

前記凹部を含め前記樹脂から露出している前記電極層に金属膜を形成する第13の工程と、

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第14の工程とを有することを特徴とする半導体装置の製造方法。

30

【請求項 3】

請求項2に記載する半導体装置の製造方法において、

前記第9の工程における前記半導体素子と前記電極層とはフリップチップ実装により電気的に接続したことを特徴とする半導体装置の製造方法。

【請求項 4】

請求項2に記載する半導体装置の製造方法において、

前記第9の工程における前記半導体素子と前記電極層とはワイヤボンディングにより電気的に接続したことを特徴とする半導体装置の製造方法。

40

【請求項 5】

接続部材を介して電極層に電気的に接続された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

母材の一面側に1または複数の前記電極層を形成する第15の工程と、

前記母材の前記一面側に前記半導体素子を配設するとともに、前記半導体素子と前記電極層とをワイヤボンディングにより電気的に接続する第16の工程と、

前記母材上において前記電極層に接合された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第17の工程と、

複数個が一体となった前記半導体装置から前記母材を除去する第18の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第19の工程と、

50

前記凹部を含め前記樹脂から露出している前記電極層に金属膜を形成する第20の工程と、

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第21の工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】

請求項1、請求項2または請求項5に記載する半導体装置の製造方法において、

前記金属層および前記電極層、または前記電極層は、導電部材の母材上に形成した所定のレジストパターン層で規定される母材の所定領域における所定金属の電鋳により形成することを特徴とする半導体装置の製造方法。

10

【請求項7】

請求項6に記載する半導体装置の製造方法において、

前記電鋳工程では、前記レジストパターン層の表面を超えて前記所定金属を電着させることによりレジストパターン層の上面側に張り出すオーバーハング部を前記金属層および前記電極層、または前記電極層の上端部周縁に形成することを特徴とする半導体装置の製造方法。

【請求項8】

請求項1の前記第5の工程、請求項2の前記第12の工程および請求項5の前記第19の工程における凹部は、前記電極層を貫通して前記樹脂の途中まで到達するように形成することを特徴とする半導体装置の製造方法。

20

【請求項9】

半導体素子と、該半導体素子と電気的に接続されている電極層とを樹脂で封止して形成した半導体装置であって、

前記電極層は、前記樹脂の一方向に沿う面に交叉する方向の面である端面が前記樹脂から露出されており、

前記樹脂は、前記一方向に沿う面に交叉する方向の面である端面が、前記電極層の端面と面一となって前記電極層の端面に連続する下端面部と、前記一方向に沿い外側に突出した段部と、該段部を介して前記一方向に沿う面である上面に向けて連続的に伸びる上端面部とを有するとともに、

前記電極層の前記端面には、その全域に前記段部の前記一方向に沿う寸法と同一またはそれ以下の厚さの金属膜が形成されていることを特徴とする半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置の製造方法および半導体装置に関し、特に複数の半導体装置の集合体から各半導体装置を個片化した際、各半導体装置の電極層の端面が露出する場合に適用して有用なものである。

40

【背景技術】

【0002】

従来技術に係る半導体装置VI、特に、リードレス表面実装方式の樹脂封止された半導体装置VIの中には、図27に示すように、半導体素子01を搭載している金属層02と、該金属層02の図中、X軸方向に沿う両側に配設され半導体素子01とワイヤ03, 03で接続される複数の電極層04とを有し、全体を樹脂05で封止して形成したものがある。この種の半導体装置VIでは、金属層02および電極層04を半田06により回路基板09

50

に接合することにより実装される。かかる実装において、半田 0 6 の濡れ性を良好に保持するため、金属層 0 2 および電極層 0 4 の露出面には金めっき膜 0 7 , 0 8 , 0 8 が形成されている。ここで、半導体装置VIにおける電極層 0 4 の金属層 0 2 と反対側の端面 0 4 A は露出している。

【0 0 0 3】

リードレス表面実装方式のうち、樹脂封止された半導体装置の電極層 0 4 における金属層 0 2 と反対側の端面 0 4 A が露出しているものを開示する公知文献として特許文献 1 (図 7 参照) が存在する。

【先行技術文献】

【特許文献】

【0 0 0 4】

【特許文献 1】特開 2002 - 009196 号公報

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 5】

上述の如く X 軸方向に関して電極層 0 4 の金属層 0 2 と反対側の端面 0 4 A が露出しているリードレス表面実装方式の半導体装置VIにおいては、半導体装置VIを回路基板 0 9 上に実装した場合、図 27 に示すように、半田 0 6 のフィレットが電極層 0 4 の端面 0 4 A に接する部分では凹部となってしまう場合がある。これは、端面 0 4 A の材料であるニッケルに対する半田 0 6 の濡れ性があまり良くない点に起因するものである。このように半田 0 6 のフィレットに凹部が形成された場合、半導体装置VIの回路基板 0 7 に対する半田 0 6 による接合状態を半導体装置VIの上方から観察して、その接合の良否の判断をすることが困難になる。すなわち、この場合の半田 0 6 によるフィレットは先端部から半導体装置VIの端面上部に向かって徐々に立ち上る曲線形状となるのが理想であり、この場合に半田 0 6 による良好な接合が担保される。

【0 0 0 6】

本発明は、上記従来技術に鑑み、リードレス表面実装方式の半導体装置を回路基板に実装する際の半田フィレットを良好に形成することができ、半導体装置の上方から実装状況を容易に確認し得る半導体装置の製造方法および半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0 0 0 7】

上記目的を達成する本発明の第 1 の態様に係る半導体装置の製造方法は、

接続部材を介して電極層に電気的に接続されるとともに金属層に搭載された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

母材の一面側に前記金属層および前記電極層を形成する第 1 の工程と、

前記金属層に前記半導体素子を搭載して接合するとともに、前記半導体素子と前記電極層とを電気的に接続する第 2 の工程と、

前記母材上において前記金属層に搭載された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第 3 の工程と、

複数個が一体となった前記半導体装置から前記母材を除去する第 4 の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第 5 の工程と、

前記凹部を含め前記樹脂から露出している前記電極層および前記金属層に金属膜を形成する第 6 の工程と、

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第 7 の工程とを有することを特徴とする。

【0 0 0 8】

第 2 の態様は、

10

20

30

40

50

接続部材を介して電極層に電気的に接続された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

母材の一面側に複数の前記電極層を形成する第8の工程と、

前記半導体素子を前記電極層にそれぞれ接合して前記半導体素子と電極層とを電気的に接続する第9の工程と、

前記母材上において前記電極層に接合された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第10の工程と、

複数個が一体となった前記半導体装置から前記母材を除去する第11の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第12の工程と、

前記凹部を含め前記樹脂から露出している前記電極層に金属膜を形成する第13の工程と、

10

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第14の工程とを有することを特徴とする。

【0009】

第3の態様は、

上記第2の態様に記載する半導体装置の製造方法において、

前記第9の工程における前記半導体素子と前記電極層とはフリップチップ実装により電気的に接続したことを特徴とする。

【0010】

第4の態様は、

上記第2の態様に記載する半導体装置の製造方法において、

前記第9の工程における前記半導体素子と前記電極層とはワイヤボンディングにより電気的に接続したことを特徴とする。

【0011】

第5の態様は、

接続部材を介して電極層に電気的に接続された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

母材の一面側に1または複数の前記電極層を形成する第15の工程と、

前記母材の前記一面側に前記半導体素子を配設するとともに、前記半導体素子と前記電極層とをワイヤボンディングにより電気的に接続する第16の工程と、

30

前記母材上において前記電極層に接合された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第17の工程と、

複数個が一体となった前記半導体装置から前記母材を除去する第18の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第19の工程と、

前記凹部を含め前記樹脂から露出している前記電極層に金属膜を形成する第20の工程と、

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第21の工程とを有することを特徴とする。

40

【0012】

第6の態様は、

上記第1、第2または第5の態様に記載する半導体装置の製造方法において、

前記金属層および前記電極層、または前記電極層は、導電部材の母材上に形成した所定のレジストパターン層で規定される母材の所定領域における所定金属の電鋳により形成することを特徴とする。

【0013】

第7の態様は、

上記第6の態様に記載する半導体装置の製造方法において、

前記電鋳工程では、前記レジストパターン層の表面を超えて前記所定金属を電着させる

50

ことによりレジストパターン層の上面側に張り出すオーバーハング部を前記金属層および前記電極層、または前記電極層の上端部周縁に形成することを特徴とする。

【0014】

第8の態様は、

上記第1の態様の前記第5の工程、上記第2の態様の前記第12の工程および上記第5の態様の前記第19の工程における凹部は、前記電極層を貫通して前記樹脂の途中まで到達するように形成することを特徴とする。

【0015】

上記目的を達成する本発明の第9の態様に係る半導体装置は、

半導体素子と、該半導体素子と電気的に接続されている電極層とを樹脂で封止して形成した半導体装置であって、

前記電極層は、前記樹脂の一方向に沿う面に交叉する方向の面である端面が前記樹脂から露出されており、

前記樹脂は、前記一方向に沿う面に交叉する方向の面である端面が、前記電極層の端面と面一となって前記電極層の端面に連続する下端面部と、前記一方向に沿い外側に突出した段部と、該段部を介して前記一方向に沿う面である上面に向けて連続的に伸びる上端面部とを有するとともに、

前記電極層の前記端面には、その全域に前記段部の前記一方向に沿う寸法と同一またはそれ以下の厚さの金属膜が形成されていることを特徴とする。

【発明の効果】

【0016】

本発明によれば、電極層の端面に形成した金属膜が前記電極層の端面に形成されているので、当該半導体装置を回路基板に半田接合した場合、半導体装置の端面に隣接する先端部から前記端面上部に向けて連続的に立ち上がる曲線状の半田のフィレットが良好に形成される。この結果、半導体装置の上方から前記フィレットの形成状態を容易に視認でき、半田接合の良否を容易かつ確実に検査することができる。

【図面の簡単な説明】

【0017】

【図1】本発明の第1の実施の形態に係る半導体装置の製造方法における第1の工程を示す模式図である。

【図2】本発明の第1の実施の形態に係る半導体装置の製造方法における第2の工程を示す模式図である。

【図3】本発明の第1の実施の形態に係る半導体装置の製造方法における第3の工程を示す模式図である。

【図4】本発明の第1の実施の形態に係る半導体装置の製造方法における第4の工程を示す模式図である。

【図5】本発明の第1の実施の形態に係る半導体装置の製造方法における第5の工程を示す模式図である。

【図6】本発明の第1の実施の形態に係る半導体装置の製造方法における第6の工程を示す模式図である。

【図7】本発明の第1の実施の形態に係る半導体装置の製造方法における第7の工程を示す模式図である。

【図8】本発明の第1の実施の形態に係る半導体装置の製造方法における第8の工程を示す模式図である。

【図9】本発明の第1の実施の形態に係る半導体装置の製造方法における第9の工程を示す模式図である。

【図10】本発明の第1の実施の形態に係る半導体装置の製造方法における第10の工程を示す模式図である。

【図11】本発明の第1の実施の形態に係る半導体装置の製造方法における第11の工程を示す模式図である。

10

20

30

40

50

【図12】本発明の第1の実施の形態に係る製造方法により個片化して作製した半導体装置の一個を示す模式図である。

【図13】本発明の第2の実施の形態に係る半導体装置の製造方法における第9の工程を示す模式図である。

【図14】本発明の第2の実施の形態に係る半導体装置の製造方法における第10の工程を示す模式図である。

【図15】本発明の第2の実施の形態に係る半導体装置の製造方法における第11の工程を示す模式図である。

【図16】本発明の第2の実施の形態に係る製造方法により個片化して作製した半導体装置の一個を示す模式図である。 10

【図17】本発明の第3の実施の形態に係る半導体装置の製造方法における第3の工程を示す模式図である。

【図18】本発明の第3の実施の形態に係る半導体装置の製造方法における第6の工程を示す模式図である。

【図19】本発明の第3の実施の形態に係る半導体装置の製造方法における第7の工程を示す模式図である。 20

【図20】本発明の第3の実施の形態に係る半導体装置の製造方法における第10の工程を示す模式図である。

【図21】本発明の第4の実施の形態に係る半導体装置の製造方法における第10の工程を示す模式図である。 20

【図22】本発明の第5の実施の形態に係る半導体装置の製造方法における第2の工程を示す模式図である。

【図23】本発明の第5の実施の形態に係る半導体装置の製造方法における第3の工程を示す模式図である。

【図24】本発明の第5の実施の形態に係る半導体装置の製造方法における第4の工程を示す模式図である。

【図25】本発明の第5の実施の形態に係る半導体装置の製造方法における第5の工程を示す模式図である。 30

【図26】本発明の第5の実施の形態に係る半導体装置の製造方法における第10の工程を示す模式図である。

【図27】従来技術に係る半導体装置を個片化してその一個を示す模式図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態を図面に基づき詳細に説明する。なお、各実施の形態中、同一部分には同一番号を付し重複する説明は省略する。

【0019】

[第1の実施の形態]

図1～図11は第1の実施の形態の各工程を示す模式図である。これらの図に示すように、本形態に係る半導体装置は、次のような各工程を経て製造される。以下、順次詳細に説明する。 40

【0020】

<第1の工程>

図1に示すように、平板状の母材1の図中X軸方向に沿う一方の面(図中の上面；以下同じ)にレジスト2Aを塗布する。ここで、母材1は導電性を有する材料であれば特に限定はないが、SUSが好適である。なお、レジスト2Aは母材1の上面と同様に他方の面(図中の下面；以下同じ)にも塗布しておいても良い。下面にも塗布した場合には、図3に示す金属層3および電極層4の形成に際し、両者の材料(本形態の場合はニッケル)が母材1に付着するのを防止するとともに、図4に示すめっき膜5,6の形成に際し、めっきが母材1に付着するのを防止することができる。

【0021】

10

20

30

40

50

<第2の工程>

図2に示すように、レジスト2Aに所定のパターニングを施すことにより所定のレジストパターン層2Bを形成する。

【0022】

<第3の工程>

図3に示すように、母材1上に形成した所定のレジストパターン層2Bで規定される母材1の所定領域、すなわち導電性の母材1の上面が露出している領域における所定金属の電鋳により金属層3および電極層4をそれぞれ独立に形成する。かかる電鋳工程においては、母材1を一方の電極とする。また、電鋳工程における所定金属として本形態ではニッケルを用いた。電鋳を行うための金属としては他にもニッケル・コバルト合金や銅等を適用し得る。

10

【0023】

本形態における電鋳工程では、レジストパターン層2Bの表面を超えて導電性金属を電着させることにより金属層3および電極層4の上端部周縁にレジストパターン層2Bの上面側に張り出すオーバーハング部3A, 4Aを形成した。このように、オーバーハング部3A, 4Aを形成することは必須ではない。ただ、オーバーハング部3A, 4Aを形成することで、レジストパターン層2Bを除去した後の樹脂封止工程(図7参照)において、樹脂10(図7参照；以下同じ)に対し各オーバーハング部3A, 4Aを食い込ませることができる。かかる食い込み効果により、後の工程である剥離作業(図8参照)等により母材1を樹脂10による封止部側から引き剥して除去する際、金属層3および電極層4が母材1側にくっついて樹脂10から引き剥がされる心配はなく、確実に樹脂10による封止部側に残すことができる。この結果、金属層3および電極層4のズレや欠け等を効果的に防止して、半導体装置Iの信頼性を向上させることができる。また、金属層3および電極層4の上端部周縁全周にわたって形成される特有のオーバーハング部3A, 4Aの形状により、半導体装置Iの裏面側から金属層3および電極層4と樹脂10との境界部分を通して侵入する水分等の上方への侵入を阻止し、耐水性にも優れたものとすることができる。

20

【0024】

<第4の工程>

図4に示すように、オーバーハング部3A, 4Aを形成後、上面に金属膜であるめっき膜(本形態ではAgめっき膜)5, 6を形成した金属層3および電極層4間のレジストパターン層2Bを除去する。かかる除去工程により、X軸方向に開けた金属層3を挟んで両側に電極層4が形成される。この結果、電極層4は半分がX軸方向で隣接する他の半導体装置I(図11参照；以下同じ)の電極層4となる。かかる金属層3と、X軸方向に開けた金属層3を挟んで両側に形成される電極層4との組が、後に詳述する一個の半導体装置Iの要素となる。

30

【0025】

なお、当該工程におけるレジストパターン層2Bの除去処理は必ずしも必要ではない。レジストパターン層2Bを、後工程(図7に示す第7の工程)において樹脂10(図7参照)で封止する場合に、樹脂10と一体化することも可能であるからである。この場合のレジストパターン層2Bはソルダーレジストを使用するのが好適である。

40

【0026】

<第5の工程>

図5に示すように、めっき膜5(本形態では銀めっき膜)を介して金属層3上に半導体素子7を載置し、介在層(半田、ペースト、テープ等)8で固定する。ここで、めっき膜5は必ずしも必要ではない。また、めっき膜5としては銀めっき膜に限定する必要はない。ワイヤ9やバンプ17(図18参照；以下同じ)との良好な接着性を確保し得る金属であれば良い。他に金やパラジウムを挙げることができる。

【0027】

<第6の工程>

50

図6に示すように、接続部材であるワイヤ9を用いたワイヤボンディングにより半導体素子7を、めっき膜6（本形態では銀めっき膜）を介して電極層4に電気的に接続する。ここで、めっき膜6は必ずしも必要ではないが、めっき膜6を形成しておくことで、電極層4に対するワイヤ9の固定を、強固・確実なものとすることができます。また、めっき膜6としては銀めっき膜に限定する必要はない。ワイヤ9との良好な接着性を確保し得る金属であれば良い。他に金やパラジウムを挙げることができる。

【0028】

<第7の工程>

図7に示すように、母材1上において、金属層3に載置された半導体素子7を含む搭載部分の全体を樹脂10で封止して複数個が一体となった半導体装置を形成する。

10

【0029】

<第8の工程>

図8に示すように、複数個が一体となった半導体装置から母材1を剥離除去して樹脂10の裏面側に金属層3および電極層4の裏面を露出させる。なお、母材1の除去方法として、剥離除去以外に、溶解除去、研削除去が挙げられる。

【0030】

<第9の工程>

図9に示すように、樹脂10の裏面側から露出している電極層4の裏面から上面側に向けて図中のZ軸方向に沿い電極層4を切込むことにより裏面から一体的に連続する凹部4Bを形成する。

20

【0031】

<第10の工程>

図10に示すように、樹脂10の裏面側から露出している金属層3の裏面および凹部4Bを含む電極層4の裏面に無電解めっき法により金属膜であるめっき膜（本形態では金めっき膜）11, 12を形成する。かかるめっき膜11, 12の形成により幅W1の凹部を介してX軸方向で隣接する複数個が一体となった個片化する前の半導体装置Iが完成する。なお、本形態においては、めっき膜11, 12を無電解めっき法により形成したが、これに限定するものではない。電解めっき法で形成しても構わない。ただ、無電解めっき法による場合がめっき膜11, 12をより薄く形成することができる。また、めっき膜11, 12は金めっき膜に限定するものではない。半田との濡れ性が良好な金属であれば良い。他に銀、パラジウムが考えられる。

30

【0032】

<第11の工程>

図11に示すように、凹部4B（図9参照）の底部を貫通してZ軸方向に伸びる切断線に沿い刃厚が幅W1（図10参照）と同等もしくは幅W1よりも小さい切断工具であるダイシングソー13で複数個が一体となった半導体装置Iを個片化する。かかる個片化の結果、電極層4は2分割され、半分はX軸方向で隣接する他の半導体装置Iの電極層4となる。

【0033】

図12は、第1の実施の形態に係る半導体装置Iを個片化してその一個を示す模式図である。同図に示すように、半導体装置Iは、半導体素子7を搭載している金属層3と、複数の電極層4とを樹脂10で一体的に封止して形成したものである。ここで、電極層4は、金属層3のX軸方向に沿う両側に配設された半導体素子7とワイヤ9, 9で接続されるとともにX軸方向に沿う金属層3と反対側の端面が樹脂10の端面から露出している。また、金属層3および電極層4の裏面には個別にめっき膜11, 12が形成され、特に電極層4のめっき膜12は電極層4の端面にまで連続して一体的に形成されている。

40

【0034】

かくして半導体装置Iを回路基板14に半田15を介して実装する際には、電極層4の裏面に施しためっき膜12が電極層4の端面にまで連続して一体的に形成されているので、半導体装置Iの端面に隣接する先端部から端面に向けて連続的に立ち上がる曲線状の半

50

田12のフィレットが良好に形成される。この結果、半導体装置Iの上方から前記フィレットの形成状態を容易に視認でき、半田接合の良否を容易かつ確実に検査することができる。

【0035】

[第2の実施の形態]

第2の実施の形態において、図1～図8に示す第1～第8の工程、すなわち樹脂10で一体化した半導体装置を母材1から剥離するまでは第1の実施の形態と全く同様の工程である。本形態においては、母材1から剥離除去した後の工程が異なる。そこで、重複する工程の説明は省略し、異なる工程のみを説明する。図13～図15は第2の実施の形態における第1の実施の形態とは異なる各工程を示す模式図である。

10

【0036】

<第9の工程>

【0037】

図13に示すように、樹脂10の裏面から露出している電極層4の裏面から上面側に向けて電極層4を切込むことにより裏面から一体的に連続する凹部4Cを形成する。このときの切込みで形成される凹部4Cの幅をW2とする。また、当該工程における幅W2の切込みは、電極層4を貫通して樹脂10の途中まで到達するように形成する。

【0038】

<第10の工程>

図14に示すように、樹脂10の裏面側から露出している金属層3の裏面および凹部4Cを含む電極層4の裏面に無電解めっき法によりめっき膜(本形態では金めっき膜)11, 16を形成する。かかるめっき膜11, 16の形成により複数個が一体となった個片化する前の半導体装置IIが完成する。

20

【0039】

ここで、本形態における電極層4では凹部4Cを形成するZ軸方向に立上る端面の全域にめっき膜16が形成される。この結果、半田15(図16参照)の濡れ性が良好なめっき膜16を第1の実施の形態よりもZ軸方向に関し、より上方まで形成することができる。なお、本形態においても、第1の実施の形態と同様に、めっき膜11, 16を無電解めっき法により形成したが、これに限定するものではない。電解めっき法で形成しても構わない。ただ、無電解めっき法による場合がめっき膜11, 16をより薄く形成することができる。また、めっき膜11, 16は金めっき膜に限定するものではない。半田との濡れ性が良好な金属であれば良い。他に銀、パラジウムが考えられる。

30

【0040】

<第11の工程>

図15に示すように、凹部4Cの底部を貫通する切断線に沿い刃厚がめっき膜16を含む凹部4Cの幅W2と同等もしくは幅W2よりも小さい幅W3の切断工具であるダイシングソー(図示せず)で複数個が一体となった半導体装置IIを個片化する。かかる個片化の結果、電極層4は2分割され、半分はX軸方向で隣接する他の半導体装置IIの電極層4となる。

40

【0041】

図16は、第2の実施の形態に係る半導体装置IIを個片化してその一個を示す模式図である。同図に示すように、半導体装置IIは、半導体素子7を搭載している金属層3と、複数の電極層4とを樹脂10で一体化的に封止して形成してある。ここで、電極層4は、金属層3のX軸方向(一方向)に沿う両側に配設されて半導体素子7とワイヤ9, 9で接続されるとともにX軸方向に沿う金属層3と反対側の端面(一方向に沿う面に交叉する方向の面)が樹脂10の端面から露出している。また、金属層3および電極層4の裏面には個別にめっき膜11, 16が形成され、特に電極層4のめっき膜16は電極層4の端面にまで連続して一体化的に形成されている。すなわち、電極層4には、X軸方向に沿う面である裏面から、該裏面に交叉するZ軸方向に沿う面である端面にまで一体化的に連続してめっき膜16が形成されている。

50

【0042】

さらに、樹脂10の端面は、Z軸方向に沿い上方に向かって連続する下部端面部10A、段部10Bおよび上部端面部10Cを有している。ここで、下部端面部10Aは、電極層4の端面と面一となって電極層4の端面に連続している。段部10Bは、めっき膜16の厚さ以上、すなわち{(幅W2-幅W3)/2}以上樹脂10を外側に突出させた部位である。また、上端面部10Cは、段部10Bから樹脂10の上面に向けてZ軸方向に沿い連続的に伸びる面である。この結果、本形態におけるめっき膜16は、電極層4の端面の全域に残すことができる。

【0043】

かくして半導体装置IIを回路基板14に半田15を介して実装する際には、
電極層4の裏面に施しためっき膜16が電極層4の端面全域まで連続して一体的に形成されているので、半導体装置IIの端面に隣接する先端部から端面に向けて連続的に立ち上がる曲線状の半田15のフィレットが良好に形成される。この結果、半導体装置IIの上方から前記フィレットの形成状態を容易に視認でき、半田接合の良否を容易かつ確実に検査することができる。ここで、本形態では、金属層4の露出している端面の全域がめっき膜16で覆われており、端面におけるめっき膜16の形成領域が第1の実施の形態の場合よりも電極層4を貫通して凹部4Cを形成した分広いので、その分より良好な半田15によるフィレットを形成することができる。

【0044】

[第3の実施の形態]

第3の実施の形態は、第1および第2の実施の形態と異なり、半導体素子7を載置する金属層3を形成することなく、半導体素子7をX軸方向で隣接する電極層4に跨って配設したものである(図20参照)。かかる第3の実施の形態に係る半導体装置の製造方法に關し、第1の実施の形態と異なる本形態の特徴的な工程を抽出して説明する。

【0045】

<第3の工程>

図17に示すように、第1の実施の形態における第1および第2の工程とほぼ同様の工程でX軸方向で隣接するレジストパターン層2Bの間に電鋳により電極層4を形成する。

【0046】

<第6の工程>

第1の実施の形態における第4および第5の工程とほぼ同様の工程でめっき膜6を形成するとともにレジンパターン層2Bを除去した後、図18に示すように、X軸方向で隣接する電極層4間に跨って半導体素子7を載置し、半導体素子7の両端部に配設したバンプ17を介して半導体素子7を電極層4にフリップチップ実装する。

【0047】

<第7の工程>

図19に示すように、母材1上において、電極層4に載置された半導体素子7を含む搭載部分の全体を樹脂10で封止して複数個が一体となった半導体装置IIIを形成する。

【0048】

<第10の工程>

第1の実施の形態における第8および第9の工程とほぼ同様の工程で樹脂10から母材1を除去した後、各電極層4に凹部4B(図9参照；以下同じ)を形成する。本形態では、電極層4間に金属層3(例えば、図7参照)を有しないので、X軸方向に關するすべての電極層4に凹部4Bを形成する。かかる切込み工程を経た後、本実施形態の第10の工程では、図20に示すように、凹部4Bを含み、樹脂10の裏面側から露出している電極層4に無電解めっき法によりめっき膜(本形態では金めっき膜)12を形成する。

【0049】

その後第1の実施の形態の第11の工程と同様の態様で複数の半導体装置IIIに個片化する。かかる個片化はX軸方向で隣接する電極層4の左半分と右半分およびこれら左右の電極層4に跨って配設された半導体素子7を樹脂10で一体的に封止した半導体装置III

10

20

30

40

50

を単位として、これを複数個切り出すことにより実施される。ここで、個片化した半導体装置IIIは、図12に示す態様で回路基板14に実装される。この結果、かかる実装状態において半導体装置IIIは半導体装置Iと同様の作用・効果を発揮する。

【0050】

[第4の実施の形態]

第4の実施の形態は、第3の実施の形態と同様に半導体素子7をX軸方向で隣接する電極層4に跨って配設したものであるが、半導体素子7を電極層4に対しワイヤ9により電気的な接続を確保して実装した点が異なる。そこで、第3の実施の形態に対応する第4の実施の形態における第10の工程でも、図21に示すように、第3の実施の形態と同様のめっき膜12を形成する。

10

【0051】

その後第3の実施の形態の第11の工程と同様の態様で複数の半導体装置IVに個片化する。個片化した半導体装置IVは、図12に示す態様で回路基板14に実装される。この結果、かかる実装状態において半導体装置IVは半導体装置Iと同様の作用・効果を発揮する。

【0052】

[第5の実施の形態]

第5の実施の形態は、第1～第4の実施の形態と異なり、半導体素子7を載置する金属層3を形成することなく、半導体素子7をX軸方向で隣接する電極層4の間に配設して各電極層3との間をワイヤ9により接続することで両者の電気的接続を確保したものである(図26参照)。そこで、第1～第4の実施の形態と異なる本形態に特有の工程に関して説明し、第1～第4の実施の形態と重複する説明は省略する。

20

【0053】

<第2の工程>

図22に示すように、本発明の第5の実施の形態に係る半導体装置の製造方法においても第1の工程の後の第2の工程で、レジスト層2Bを形成する。ここで中央部のレジスト層2Bの除去後の領域が半導体素子7(図25参照)の実装領域となる。

30

【0054】

<第3の工程>

図23に示すように、第1の実施の形態における第3の工程と同様に、X軸方向で隣接するレジスト層2Bの間に電鋸により電極層4を形成する。

【0055】

<第4の工程>

図24に示すように、第1の実施の形態における第4の工程と同様に、電極層4の上面に必要に応じめっき膜6を形成する、とともにレジストパターン層2Bを除去する。

40

【0056】

<第5の工程>

図25に示すように、X軸方向で隣接し、めっき膜6を形成した電極層4の間で母材1上に半導体素子7を配設するとともに、ワイヤ9を用いたワイヤボンディングにより各ワイヤ9, 9と電極層4, 4とを電気的に接続する。

【0057】

<第10の工程>

第1の実施の形態における第6～第9の工程とほぼ同様の工程により、電極層4の裏面側からZ軸方向に沿い切込んで凹部4Bを形成した電極層4に、図26に示すように、凹部4Bを含み、樹脂10の裏面側から露出している電極層4に無電解めっき法によりめっき膜12を形成する。

【0058】

その後第1の実施の形態の第11の工程と同様の態様で複数の半導体装置Vに個片化する。個片化した半導体装置Vは、図12示す態様で回路基板14に実装される。この結果、かかる実装状態において半導体装置Vは半導体装置Iと同様の作用・効果を発揮する。

50

【0059】

[他の実施の形態]

上記第3～第5の実施の形態における電極層4の切込みはZ軸に関し電極層4の途中で止めたが、第2の実施の形態に関する図13～図15に示すように、電極層4を貫通して樹脂10の部分にまで切込んで、電極層4の端面の全域がめっき膜16で覆われるように形成しても良い。この場合、最終的に個片化した半導体装置III, IV, Vは図12に示すような態様で回路基板14上に実装され、図12に示す実装状態と同様の作用・効果を奏すことができる。

【0060】

また、第1および第2の実施の形態における金属層3および電極層4、ならびに第3～第5の実施の形態における電極層4は電鋳により形成したが、これに限定する必要はない。例えば金属ペーストを印刷することによっても金属層3および電極層4を形成することができる。この場合には、レジストパターン層2Bを形成する必要はない。また、金属板をエッチングもしくはパンチングすることで金属層3や電極層4を形成した後、粘着テープを貼ることによっても形成することができる。

10

【0061】

上述の如く電鋳法によることなく金属層3や電極層4を形成する場合には、母材1を電極として機能させる必要はない。そこで、この場合には、母材1の材料を導電性部材に限る必要はない。また、金属膜であるめっき膜12, 16は、電極層4の裏面および端面に形成してあるが、これに限定する必要はなく、電極層4の端面のみに形成しても良い。かかる構成は、第10の工程におけるめっき膜12, 16の形成を、電極層4の裏面にレジストパターン層を形成したうえで行うことで実現できる。

20

【符号の説明】

【0062】

I～V 半導体装置

1 母材

2 A レジスト

2 B レジストパターン層

3 金属層

3 A, 4 A オーバーハング部

30

4 電極層

4 B, 4 C 凹部

5, 6 めっき膜(銀めっき膜)

7 半導体素子

8, 15 半田

9 ワイヤ

10 樹脂

11, 12, 16 めっき膜(金めっき膜)

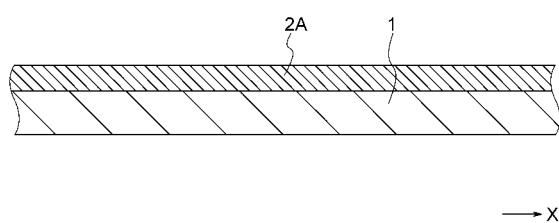
13 ダイシングソー

14 回路基板

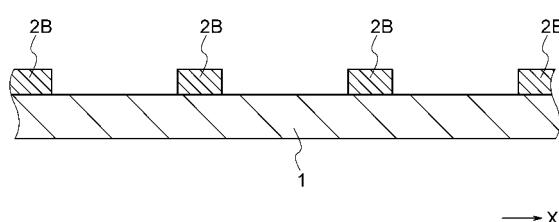
40

17 バンプ

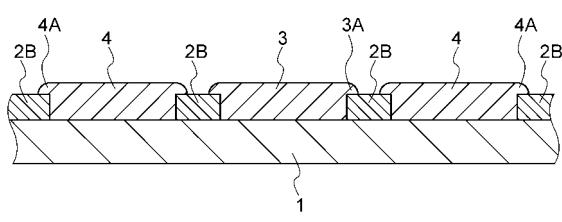
【図1】



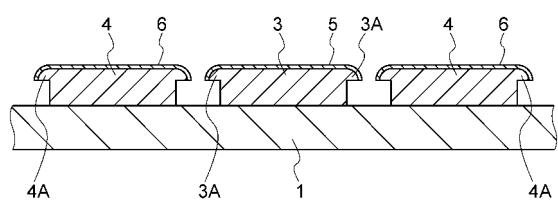
【図2】



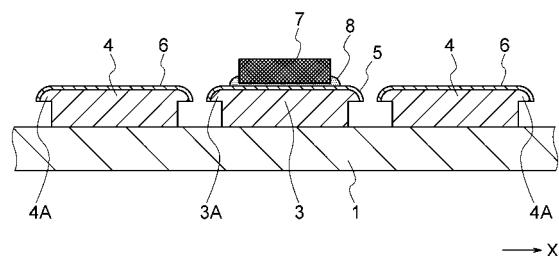
【図3】



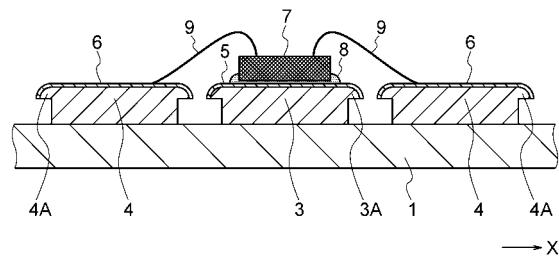
【図4】



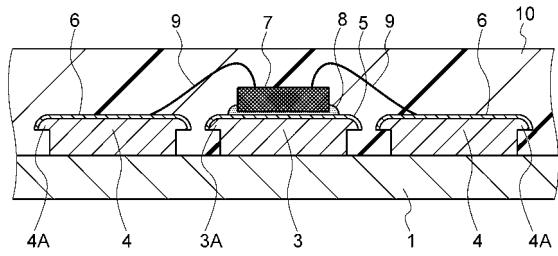
【図5】



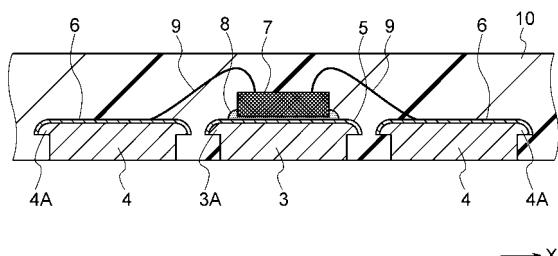
【図6】



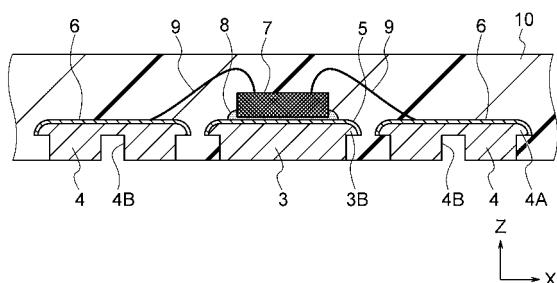
【図7】



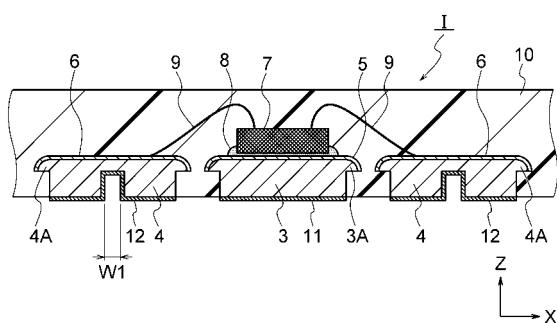
【図8】



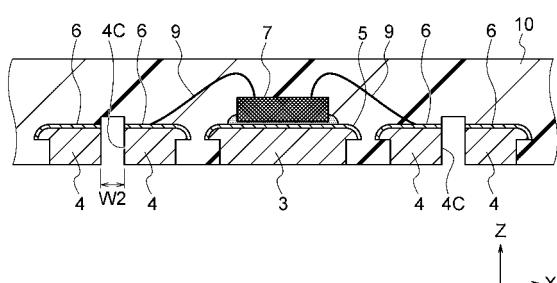
【図 9】



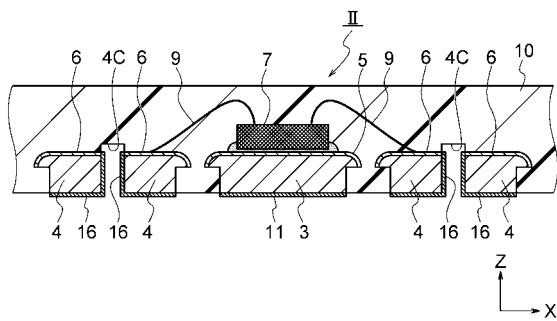
【図 10】



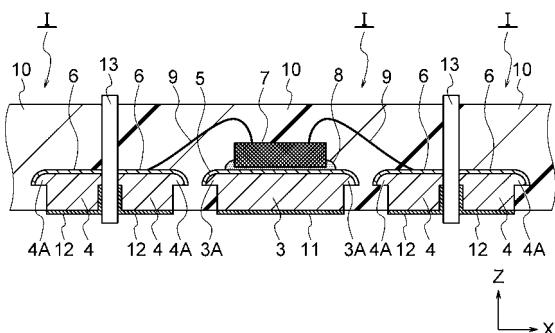
【図 13】



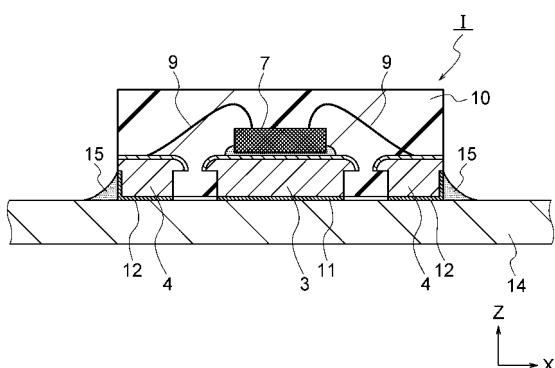
【図 14】



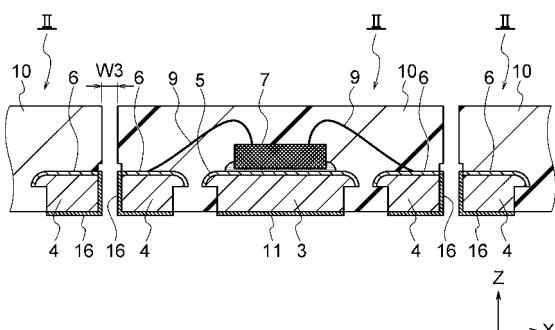
【図 11】



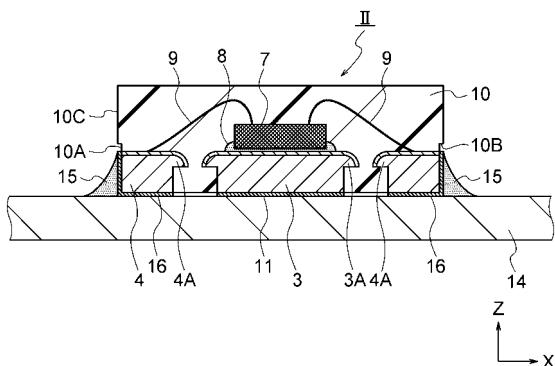
【図 12】



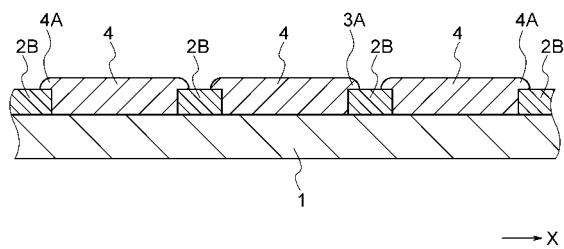
【図 15】



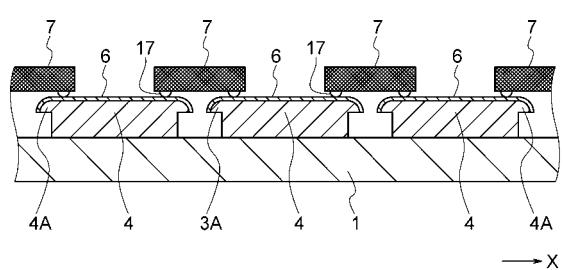
【図 16】



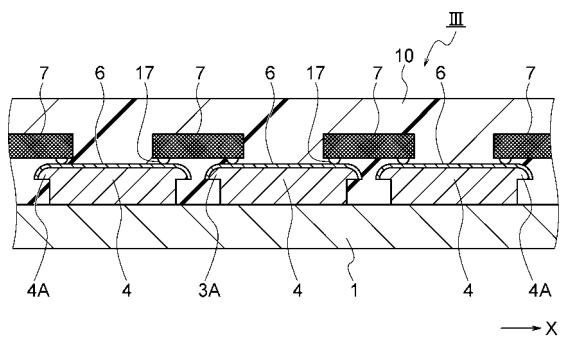
【図 1 7】



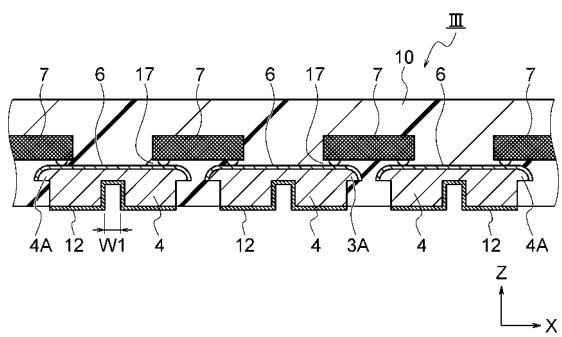
【図 1 8】



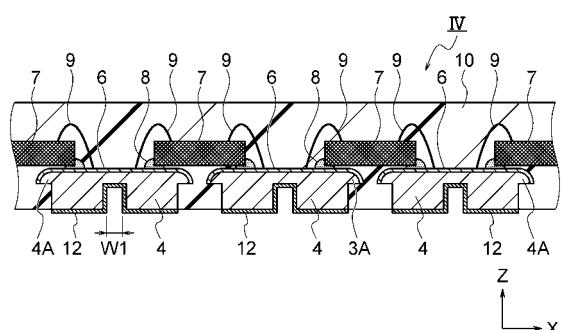
【図 1 9】



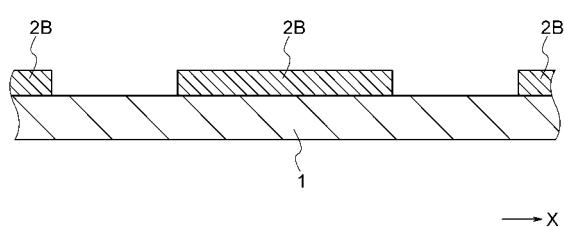
【図 2 0】



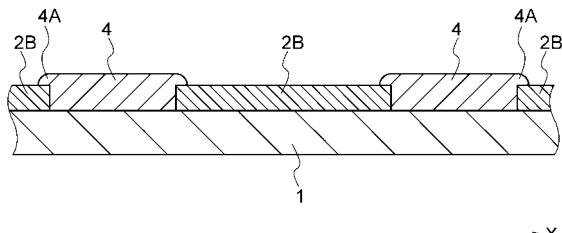
【図 2 1】



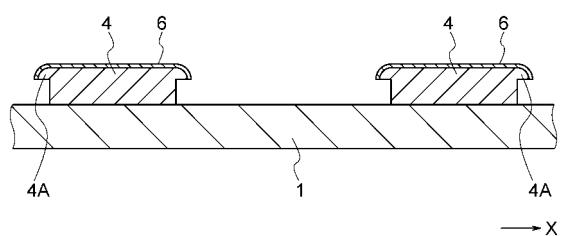
【図 2 2】



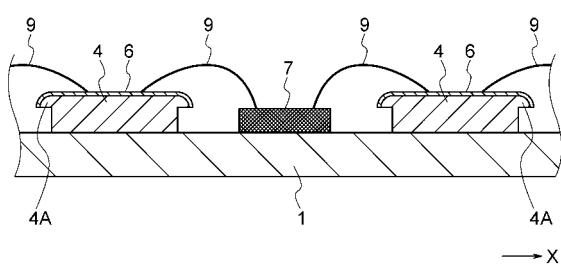
【図 2 3】



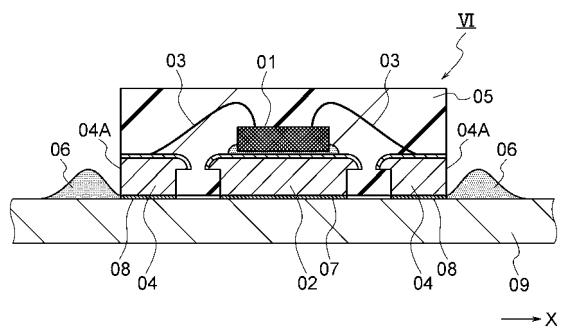
【図 2 4】



【図 2 5】



【図 2 7】



【図 2 6】

