

【特許請求の範囲】**【請求項 1】**

接続部材を介して電極層に電氣的に接続されるとともに金属層に搭載された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

母材の一面側に前記金属層および前記電極層を形成する第 1 の工程と、

前記金属層に前記半導体素子を搭載して接合するとともに、前記半導体素子と前記各電極層とを電氣的に接続する第 2 の工程と、

前記母材上において前記金属層に搭載された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第 3 の工程と、

複数個が一体となった前記半導体装置から前記母材を除去する第 4 の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第 5 の工程と、

前記凹部を含め前記樹脂から露出している前記電極層および前記金属層に金属膜を形成する第 6 の工程と、

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第 7 の工程とを有することを特徴とする半導体装置の製造方法。

10

【請求項 2】

接続部材を介して電極層に電氣的に接続された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

20

母材の一面側に複数の前記電極層を形成する第 8 の工程と、

前記半導体素子を前記電極層にそれぞれ接合して前記半導体素子と電極層とを電氣的に接続する第 9 の工程と、

前記母材上において前記電極層に接合された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第 10 の工程と、

複数個が一体となった前記半導体装置から前記母材を除去する第 11 の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第 12 の工程と、

前記凹部を含め前記樹脂から露出している前記電極層に金属膜を形成する第 13 の工程と、

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第 14 の工程とを有することを特徴とする半導体装置の製造方法。

30

【請求項 3】

請求項 2 に記載する半導体装置の製造方法において、

前記第 9 の工程における前記半導体素子と前記電極層とはフリップチップ実装により電氣的に接続したことを特徴とする半導体装置の製造方法。

【請求項 4】

請求項 2 に記載する半導体装置の製造方法において、

前記第 9 の工程における前記半導体素子と前記電極層とはワイヤボンディングにより電氣的に接続したことを特徴とする半導体装置の製造方法。

40

【請求項 5】

接続部材を介して電極層に電氣的に接続された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

母材の一面側に 1 または複数の前記電極層を形成する第 15 の工程と、

前記母材の前記一面側に前記半導体素子を配設するとともに、前記半導体素子と前記電極層とをワイヤボンディングにより電氣的に接続する第 16 の工程と、

前記母材上において前記電極層に接合された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第 17 の工程と、

複数個が一体となった前記半導体装置から前記母材を除去する第 18 の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第 19 の工程と、

50

前記凹部を含め前記樹脂から露出している前記電極層に金属膜を形成する第 20 の工程と、

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第 21 の工程とを有することを特徴とする半導体装置の製造方法。

【請求項 6】

請求項 1、請求項 2 または請求項 5 に記載する半導体装置の製造方法において、

前記金属層および前記電極層、または前記電極層は、導電部材の母材上に形成した所定のレジストパターン層で規定される母材の所定領域における所定金属の電鍍により形成することを特徴とする半導体装置の製造方法。

10

【請求項 7】

請求項 6 に記載する半導体装置の製造方法において、

前記電鍍工程では、前記レジストパターン層の表面を超えて前記所定金属を電着させることによりレジストパターン層の上面側に張り出すオーバーハング部を前記金属層および前記電極層、または前記電極層の上端部周縁に形成することを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 1 の前記第 5 の工程、請求項 2 の前記第 12 の工程および請求項 5 の前記第 19 の工程における凹部は、前記電極層を貫通して前記樹脂の途中まで到達するように形成することを特徴とする半導体装置の製造方法。

20

【請求項 9】

半導体素子と、該半導体素子と電氣的に接続されている電極層とを樹脂で封止して形成した半導体装置であって、

前記電極層は、前記樹脂の一方向に沿う面に交叉する方向の面である端面が前記樹脂から露出されており、

前記樹脂は、前記一方向に沿う面に交叉する方向の面である端面が、前記電極層の端面と面一となって前記電極層の端面に連続する下端面部と、前記一方向に沿い外側に突出した段部と、該段部を介して前記一方向に沿う面である上面に向けて連続的に伸びる上端面とを有するとともに、

前記電極層の前記端面には、その全域に前記段部の前記一方向に沿う寸法と同一またはそれ以下の厚さの金属膜が形成されていることを特徴とする半導体装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

40

本発明は半導体装置の製造方法および半導体装置に関し、特に複数の半導体装置の集合体から各半導体装置を個片化した際、各半導体装置の電極層の端面が露出する場合に適用して有用なものである。

【背景技術】

【0002】

従来技術に係る半導体装置 VI、特に、リードレス表面実装方式の樹脂封止された半導体装置 VI の中には、図 27 に示すように、半導体素子 01 を搭載している金属層 02 と、該金属層 02 の図中、X 軸方向に沿う両側に配設され半導体素子 01 とワイヤ 03、03 で接続される複数の電極層 04 とを有し、全体を樹脂 05 で封止して形成したものがある。この種の半導体装置 VI では、金属層 02 および電極層 04 を半田 06 により回路基板 09

50

に接合することにより実装される。かかる実装において、半田 0 6 の濡れ性を良好に保持するため、金属層 0 2 および電極層 0 4 の露出面には金めっき膜 0 7 , 0 8 , 0 8 が形成されている。ここで、半導体装置 VI における電極層 0 4 の金属層 0 2 と反対側の端面 0 4 A は露出している。

【 0 0 0 3 】

リードレス表面実装方式のうち、樹脂封止された半導体装置の電極層 0 4 における金属層 0 2 と反対側の端面 0 4 A が露出しているものを開示する公知文献として特許文献 1 (図 7 参照) が存在する。

【 先行技術文献 】

【 特許文献 】

10

【 0 0 0 4 】

【 特許文献 1 】 特開 2 0 0 2 - 0 0 9 1 9 6 号 公 報

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

上述の如く X 軸方向に関して電極層 0 4 の金属層 0 2 と反対側の端面 0 4 A が露出しているリードレス表面実装方式の半導体装置 VI においては、半導体装置 VI を回路基板 0 9 上に実装した場合、図 2 7 に示すように、半田 0 6 のフィレットが電極層 0 4 の端面 0 4 A に接する部分では凹部となってしまう場合がある。これは、端面 0 4 A の材料であるニッケルに対する半田 0 6 の濡れ性があまり良くない点に起因するものである。このように半田 0 6 のフィレットに凹部が形成された場合、半導体装置 VI の回路基板 0 7 に対する半田 0 6 による接合状態を半導体装置 VI の上方から観察して、その接合の良否の判断をすることが困難になる。すなわち、この場合の半田 0 6 によるフィレットは先端部から半導体装置 VI の端面上部に向かって徐々に立ち上る曲線形状となるのが理想であり、この場合に半田 0 6 による良好な接合が担保される。

20

【 0 0 0 6 】

本発明は、上記従来技術に鑑み、リードレス表面実装方式の半導体装置を回路基板に実装する際の半田フィレットを良好に形成することができ、半導体装置の上方から実装状況を容易に確認し得る半導体装置の製造方法および半導体装置を提供することを目的とする。

30

【 課題を解決するための手段 】

【 0 0 0 7 】

上記目的を達成する本発明の第 1 の態様に係る半導体装置の製造方法は、
接続部材を介して電極層に電氣的に接続されるとともに金属層に搭載された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

母材の一面側に前記金属層および前記電極層を形成する第 1 の工程と、

前記金属層に前記半導体素子を搭載して接合するとともに、前記半導体素子と前記電極層とを電氣的に接続する第 2 の工程と、

前記母材上において前記金属層に搭載された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第 3 の工程と、

40

複数個が一体となった前記半導体装置から前記母材を除去する第 4 の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第 5 の工程と、

前記凹部を含め前記樹脂から露出している前記電極層および前記金属層に金属膜を形成する第 6 の工程と、

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第 7 の工程とを有することを特徴とする。

【 0 0 0 8 】

第 2 の態様は、

50

接続部材を介して電極層に電氣的に接続された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

母材の一面側に複数の前記電極層を形成する第 8 の工程と、

前記半導体素子を前記電極層にそれぞれ接合して前記半導体素子と電極層とを電氣的に接続する第 9 の工程と、

前記母材上において前記電極層に接合された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第 10 の工程と、

複数個が一体となった前記半導体装置から前記母材を除去する第 11 の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第 12 の工程と、

前記凹部を含め前記樹脂から露出している前記電極層に金属膜を形成する第 13 の工程と、

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第 14 の工程とを有することを特徴とする。

【0009】

第 3 の態様は、

上記第 2 の態様に記載する半導体装置の製造方法において、

前記第 9 の工程における前記半導体素子と前記電極層とはフリップチップ実装により電氣的に接続したことを特徴とする。

【0010】

第 4 の態様は、

上記第 2 の態様に記載する半導体装置の製造方法において、

前記第 9 の工程における前記半導体素子と前記電極層とはワイヤボンディングにより電氣的に接続したことを特徴とする。

【0011】

第 5 の態様は、

接続部材を介して電極層に電氣的に接続された複数個の半導体素子を樹脂封止して形成した半導体装置の複数個を個片化により得る半導体装置の製造方法であって、

母材の一面側に 1 または複数の前記電極層を形成する第 15 の工程と、

前記母材の前記一面側に前記半導体素子を配設するとともに、前記半導体素子と前記電極層とをワイヤボンディングにより電氣的に接続する第 16 の工程と、

前記母材上において前記電極層に接合された前記半導体素子を含む搭載部分の全体を樹脂で封止して複数個が一体となった半導体装置を形成する第 17 の工程と、

複数個が一体となった前記半導体装置から前記母材を除去する第 18 の工程と、

前記樹脂から露出している前記電極層の裏面に凹部を形成する第 19 の工程と、

前記凹部を含め前記樹脂から露出している前記電極層に金属膜を形成する第 20 の工程と、

前記凹部の底部を貫通する切断線に沿い、前記金属膜を含む前記凹部の幅と同等もしくは前記幅よりも小さい幅で複数個が一体となった前記半導体装置を個片化する第 21 の工程とを有することを特徴とする。

【0012】

第 6 の態様は、

上記第 1、第 2 または第 5 の態様に記載する半導体装置の製造方法において、

前記金属層および前記電極層、または前記電極層は、導電部材の母材上に形成した所定のレジストパターン層で規定される母材の所定領域における所定金属の電鍍により形成することを特徴とする。

【0013】

第 7 の態様は、

上記第 6 の態様に記載する半導体装置の製造方法において、

前記電鍍工程では、前記レジストパターン層の表面を超えて前記所定金属を電着させる

10

20

30

40

50

ことによりレジストパターン層の上面側に張り出すオーバーハング部を前記金属層および前記電極層、または前記電極層の上端部周縁に形成することを特徴とする。

【 0 0 1 4 】

第 8 の態様は、

上記第 1 の態様の前記第 5 の工程、上記第 2 の態様の前記第 1 2 の工程および上記第 5 の態様の前記第 1 9 の工程における凹部は、前記電極層を貫通して前記樹脂の途中まで到達するように形成することを特徴とする。

【 0 0 1 5 】

上記目的を達成する本発明の第 9 の態様に係る半導体装置は、

半導体素子と、該半導体素子と電氣的に接続されている電極層とを樹脂で封止して形成した半導体装置であって、

前記電極層は、前記樹脂の一方向に沿う面に交叉する方向の面である端面が前記樹脂から露出されており、

前記樹脂は、前記一方向に沿う面に交叉する方向の面である端面が、前記電極層の端面と面一となって前記電極層の端面に連続する下端面部と、前記一方向に沿い外側に突出した段部と、該段部を介して前記一方向に沿う面である上面に向けて連続的に伸びる上端面部とを有するとともに、

前記電極層の前記端面には、その全域に前記段部の前記一方向に沿う寸法と同一またはそれ以下の厚さの金属膜が形成されていることを特徴とする。

【 発 明 の 効 果 】

【 0 0 1 6 】

本発明によれば、電極層の端面に形成した金属膜が前記電極層の端面に形成されているので、当該半導体装置を回路基板に半田接合した場合、半導体装置の端面に隣接する先端部から前記端面上部に向けて連続的に立ち上がる曲線状の半田のフィレットが良好に形成される。この結果、半導体装置の上方から前記フィレットの形成状態を容易に視認でき、半田接合の良否を容易かつ確実に検査することができる。

【 図 面 の 簡 単 な 説 明 】

【 0 0 1 7 】

【 図 1 】 本発明の第 1 の実施の形態に係る半導体装置の製造方法における第 1 の工程を示す模式図である。

【 図 2 】 本発明の第 1 の実施の形態に係る半導体装置の製造方法における第 2 の工程を示す模式図である。

【 図 3 】 本発明の第 1 の実施の形態に係る半導体装置の製造方法における第 3 の工程を示す模式図である。

【 図 4 】 本発明の第 1 の実施の形態に係る半導体装置の製造方法における第 4 の工程を示す模式図である。

【 図 5 】 本発明の第 1 の実施の形態に係る半導体装置の製造方法における第 5 の工程を示す模式図である。

【 図 6 】 本発明の第 1 の実施の形態に係る半導体装置の製造方法における第 6 の工程を示す模式図である。

【 図 7 】 本発明の第 1 の実施の形態に係る半導体装置の製造方法における第 7 の工程を示す模式図である。

【 図 8 】 本発明の第 1 の実施の形態に係る半導体装置の製造方法における第 8 の工程を示す模式図である。

【 図 9 】 本発明の第 1 の実施の形態に係る半導体装置の製造方法における第 9 の工程を示す模式図である。

【 図 1 0 】 本発明の第 1 の実施の形態に係る半導体装置の製造方法における第 1 0 の工程を示す模式図である。

【 図 1 1 】 本発明の第 1 の実施の形態に係る半導体装置の製造方法における第 1 1 の工程を示す模式図である。

10

20

30

40

50

【図 1 2】本発明の第 1 の実施の形態に係る製造方法により個片化して作製した半導体装置の一個を示す模式図である。

【図 1 3】本発明の第 2 の実施の形態に係る半導体装置の製造方法における第 9 の工程を示す模式図である。

【図 1 4】本発明の第 2 の実施の形態に係る半導体装置の製造方法における第 1 0 の工程を示す模式図である。

【図 1 5】本発明の第 2 の実施の形態に係る半導体装置の製造方法における第 1 1 の工程を示す模式図である。

【図 1 6】本発明の第 2 の実施の形態に係る製造方法により個片化して作製した半導体装置の一個を示す模式図である。

【図 1 7】本発明の第 3 の実施の形態に係る半導体装置の製造方法における第 3 の工程を示す模式図である。

【図 1 8】本発明の第 3 の実施の形態に係る半導体装置の製造方法における第 6 の工程を示す模式図である。

【図 1 9】本発明の第 3 の実施の形態に係る半導体装置の製造方法における第 7 の工程を示す模式図である。

【図 2 0】本発明の第 3 の実施の形態に係る半導体装置の製造方法における第 1 0 の工程を示す模式図である。

【図 2 1】本発明の第 4 の実施の形態に係る半導体装置の製造方法における第 1 0 の工程を示す模式図である。

【図 2 2】本発明の第 5 の実施の形態に係る半導体装置の製造方法における第 2 の工程を示す模式図である。

【図 2 3】本発明の第 5 の実施の形態に係る半導体装置の製造方法における第 3 の工程を示す模式図である。

【図 2 4】本発明の第 5 の実施の形態に係る半導体装置の製造方法における第 4 の工程を示す模式図である。

【図 2 5】本発明の第 5 の実施の形態に係る半導体装置の製造方法における第 5 の工程を示す模式図である。

【図 2 6】本発明の第 5 の実施の形態に係る半導体装置の製造方法における第 1 0 の工程を示す模式図である。

【図 2 7】従来技術に係る半導体装置を個片化してその一個を示す模式図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施の形態を図面に基づき詳細に説明する。なお、各実施の形態中、同一部分には同一番号を付し重複する説明は省略する。

【0019】

[第 1 の実施の形態]

図 1 ~ 図 1 1 は第 1 の実施の形態の各工程を示す模式図である。これらの図に示すように、本形態に係る半導体装置は、次のような各工程を経て製造される。以下、順次詳細に説明する。

【0020】

< 第 1 の工程 >

図 1 に示すように、平板状の母材 1 の図中 X 軸方向に沿う一方の面（図中の上面；以下同じ）にレジスト 2 A を塗布する。ここで、母材 1 は導電性を有する材料であれば特に限定はないが、S U S が好適である。なお、レジスト 2 A は母材 1 の上面と同様に他方の面（図中の下面；以下同じ）にも塗布しておいても良い。下面にも塗布した場合には、図 3 に示す金属層 3 および電極層 4 の形成に際し、両者の材料（本形態の場合はニッケル）が母材 1 に付着するのを防止するとともに、図 4 に示すめっき膜 5 , 6 の形成に際し、めっきが母材 1 に付着するのを防止することができる。

【0021】

10

20

30

40

50

< 第 2 の工程 >

図 2 に示すように、レジスト 2 A に所定のパターニングを施すことにより所定のレジストパターン層 2 B を形成する。

【 0 0 2 2 】

< 第 3 の工程 >

図 3 に示すように、母材 1 上に形成した所定のレジストパターン層 2 B で規定される母材 1 の所定領域、すなわち導電性の母材 1 の上面が露出している領域における所定金属の電鍍により金属層 3 および電極層 4 をそれぞれ独立に形成する。かかる電鍍工程においては、母材 1 を一方の電極とする。また、電鍍工程における所定金属として本形態ではニッケルを用いた。電鍍を行うための金属としては他にもニッケル・コバルト合金や銅等を適用し得る。

10

【 0 0 2 3 】

本形態における電鍍工程では、レジストパターン層 2 B の表面を超えて導電性金属を電着させることにより金属層 3 および電極層 4 の上端部周縁にレジストパターン層 2 B の上面側に張り出すオーバーハング部 3 A , 4 A を形成した。このように、オーバーハング部 3 A , 4 A を形成することは必須ではない。ただ、オーバーハング部 3 A , 4 A を形成することで、レジストパターン層 2 B を除去した後の樹脂封止工程（図 7 参照）において、樹脂 1 0（図 7 参照；以下同じ）に対し各オーバーハング部 3 A , 4 A を食い込ませることができる。かかる食い込み効果により、後の工程である剥離作業（図 8 参照）等により母材 1 を樹脂 1 0 による封止部側から引き剥して除去する際、金属層 3 および電極層 4 が母材 1 側にくっついて樹脂 1 0 から引き剥がされる心配はなく、確実に樹脂 1 0 による封止部側に残すことができる。この結果、金属層 3 および電極層 4 のズレや欠け等を効果的に防止して、半導体装置 I の信頼性を向上させることができる。また、金属層 3 および電極層 4 の上端部周縁全周にわたって形成される特有のオーバーハング部 3 A , 4 A の形状により、半導体装置 I の裏面側から金属層 3 および電極層 4 と樹脂 1 0 との境界部分を通して侵入する水分等の上方への侵入を阻止し、耐水性にも優れたものとすることができる。

20

【 0 0 2 4 】

< 第 4 の工程 >

図 4 に示すように、オーバーハング部 3 A , 4 A を形成後、上面に金属膜であるめっき膜（本形態では A g めっき膜）5 , 6 を形成した金属層 3 および電極層 4 間のレジストパターン層 2 B を除去する。かかる除去工程により、X 軸方向に関し金属層 3 を挟んで両側に電極層 4 が形成される。この結果、電極層 4 は半分が X 軸方向で隣接する他の半導体装置 I（図 1 1 参照；以下同じ）の電極層 4 となる。かかる金属層 3 と、X 軸方向に関し金属層 3 を挟んで両側に形成される電極層 4 との組が、後に詳述する一個の半導体装置 I の要素となる。

30

【 0 0 2 5 】

なお、当該工程におけるレジストパターン層 2 B の除去処理は必ずしも必要ではない。レジストパターン層 2 B を、後工程（図 7 に示す第 7 の工程）において樹脂 1 0（図 7 参照）で封止する場合に、樹脂 1 0 と一体化することも可能であるからである。この場合のレジストパターン層 2 B はソルダーレジストを使用するのが好適である。

40

【 0 0 2 6 】

< 第 5 の工程 >

図 5 に示すように、めっき膜 5（本形態では銀めっき膜）を介して金属層 3 上に半導体素子 7 を載置し、介在層（半田、ペースト、テープ等）8 で固定する。ここで、めっき膜 5 は必ずしも必要ではない。また、めっき膜 5 としては銀めっき膜に限定する必要はない。ワイヤ 9 やパンプ 1 7（図 1 8 参照；以下同じ）との良好な接着性を確保し得る金属であれば良い。他に金やパラジウムを挙げることができる。

【 0 0 2 7 】

< 第 6 の工程 >

50

図 6 に示すように、接続部材であるワイヤ 9 を用いたワイヤボンディングにより半導体素子 7 を、めっき膜 6 (本形態では銀めっき膜) を介して電極層 4 に電氣的に接続する。ここで、めっき膜 6 は必ずしも必要ではないが、めっき膜 6 を形成しておくことで、電極層 4 に対するワイヤ 9 の固定を、強固・確実なものとすることができる。また、めっき膜 6 としては銀めっき膜に限定する必要はない。ワイヤ 9 との良好な接着性を確保し得る金属であれば良い。他に金やパラジウムを挙げることができる。

【 0 0 2 8 】

< 第 7 の工程 >

図 7 に示すように、母材 1 上において、金属層 3 に載置された半導体素子 7 を含む搭載部分の全体を樹脂 10 で封止して複数個が一体となった半導体装置を形成する。

10

【 0 0 2 9 】

< 第 8 の工程 >

図 8 に示すように、複数個が一体となった半導体装置から母材 1 を剥離除去して樹脂 10 の裏面側に金属層 3 および電極層 4 の裏面を露出させる。なお、母材 1 の除去方法として、剥離除去以外に、溶解除去、研削除去が挙げられる。

【 0 0 3 0 】

< 第 9 の工程 >

図 9 に示すように、樹脂 10 の裏面側から露出している電極層 4 の裏面から上面側に向けて図中の Z 軸方向に沿い電極層 4 を切込むことにより裏面から一体的に連続する凹部 4 B を形成する。

20

【 0 0 3 1 】

< 第 10 の工程 >

図 10 に示すように、樹脂 10 の裏面側から露出している金属層 3 の裏面および凹部 4 B を含む電極層 4 の裏面に無電解めっき法により金属膜であるめっき膜 (本形態では金めっき膜) 11, 12 を形成する。かかるめっき膜 11, 12 の形成により幅 W1 の凹部を介して X 軸方向で隣接する複数個が一体となった個片化する前の半導体装置 I が完成する。なお、本形態においては、めっき膜 11, 12 を無電解めっき法により形成したが、これに限定するものではない。電解めっき法で形成しても構わない。ただ、無電解めっき法による場合がめっき膜 11, 12 をより薄く形成することができる。また、めっき膜 11, 12 は金めっき膜に限定するものではない。半田との濡れ性が良好な金属であれば良い。他に銀、パラジウムが考えられる。

30

【 0 0 3 2 】

< 第 11 の工程 >

図 11 に示すように、凹部 4 B (図 9 参照) の底部を貫通して Z 軸方向に伸びる切断線に沿い刃厚が幅 W1 (図 10 参照) と同等もしくは幅 W1 よりも小さい切断工具であるダイシングソー 13 で複数個が一体となった半導体装置 I を個片化する。かかる個片化の結果、電極層 4 は 2 分割され、半分は X 軸方向で隣接する他の半導体装置 I の電極層 4 となる。

【 0 0 3 3 】

図 12 は、第 1 の実施の形態に係る半導体装置 I を個片化してその一個を示す模式図である。同図に示すように、半導体装置 I は、半導体素子 7 を搭載している金属層 3 と、複数の電極層 4 とを樹脂 10 で一体的に封止して形成したものである。ここで、電極層 4 は、金属層 3 の X 軸方向に沿う両側に配設された半導体素子 7 とワイヤ 9, 9 で接続されるとともに X 軸方向に沿う金属層 3 と反対側の端面が樹脂 10 の端面から露出している。また、金属層 3 および電極層 4 の裏面には個別にめっき膜 11, 12 が形成され、特に電極層 4 のめっき膜 12 は電極層 4 の端面にまで連続して一体的に形成されている。

40

【 0 0 3 4 】

かくして半導体装置 I を回路基板 14 に半田 15 を介して実装する際には、電極層 4 の裏面に施しためっき膜 12 が電極層 4 の端面にまで連続して一体的に形成されているので、半導体装置 I の端面に隣接する先端部から端面に向けて連続的に立ち上がる曲線状の半

50

田 1 2 のフィレットが良好に形成される。この結果、半導体装置 I の上方から前記フィレットの形成状態を容易に視認でき、半田接合の良否を容易かつ確実に検査することができる。

【 0 0 3 5 】

[第 2 の実施の形態]

第 2 の実施の形態において、図 1 ~ 図 8 に示す第 1 ~ 第 8 の工程、すなわち樹脂 1 0 で一体化した半導体装置を母材 1 から剥離するまでは第 1 の実施の形態と全く同様の工程である。本形態においては、母材 1 から剥離除去した後の工程が異なる。そこで、重複する工程の説明は省略し、異なる工程のみを説明する。図 1 3 ~ 図 1 5 は第 2 の実施の形態における第 1 の実施の形態とは異なる各工程を示す模式図である。

10

【 0 0 3 6 】

< 第 9 の工程 >

【 0 0 3 7 】

図 1 3 に示すように、樹脂 1 0 の裏面から露出している電極層 4 の裏面から上面側に向けて電極層 4 を切込むことにより裏面から一体的に連続する凹部 4 C を形成する。このときの切込みで形成される凹部 4 C の幅を W 2 とする。また、当該工程における幅 W 2 の切込みは、電極層 4 を貫通して樹脂 1 0 の途中まで到達するように形成する。

【 0 0 3 8 】

< 第 1 0 の工程 >

図 1 4 に示すように、樹脂 1 0 の裏面側から露出している金属層 3 の裏面および凹部 4 C を含む電極層 4 の裏面に無電解めっき法によりめっき膜（本形態では金めっき膜）1 1 , 1 6 を形成する。かかるめっき膜 1 1 , 1 6 の形成により複数個が一体となった個片化する前の半導体装置 II が完成する。

20

【 0 0 3 9 】

ここで、本形態における電極層 4 では凹部 4 C を形成する Z 軸方向に立上る端面の全域にめっき膜 1 6 が形成される。この結果、半田 1 5（図 1 6 参照）の濡れ性が良好なめっき膜 1 6 を第 1 の実施の形態よりも Z 軸方向に関し、より上方まで形成することができる。なお、本形態においても、第 1 の実施の形態と同様に、めっき膜 1 1 , 1 6 を無電解めっき法により形成したが、これに限定するものではない。電解めっき法で形成しても構わない。ただ、無電解めっき法による場合がめっき膜 1 1 , 1 6 をより薄く形成することができる。また、めっき膜 1 1 , 1 6 は金めっき膜に限定するものではない。半田との濡れ性が良好な金属であれば良い。他に銀、パラジウムが考えられる。

30

【 0 0 4 0 】

< 第 1 1 の工程 >

図 1 5 に示すように、凹部 4 C の底部を貫通する切断線に沿い刃厚がめっき膜 1 6 を含む凹部 4 C の幅 W 2 と同等もしくは幅 W 2 よりも小さい幅 W 3 の切断工具であるダイシングソー（図示せず）で複数個が一体となった半導体装置 II を個片化する。かかる個片化の結果、電極層 4 は 2 分割され、半分は X 軸方向で隣接する他の半導体装置 II の電極層 4 となる。

【 0 0 4 1 】

40

図 1 6 は、第 2 の実施の形態に係る半導体装置 II を個片化してその一個を示す模式図である。同図に示すように、半導体装置 II は、半導体素子 7 を搭載している金属層 3 と、複数の電極層 4 とを樹脂 1 0 で一体的に封止して形成してある。ここで、電極層 4 は、金属層 3 の X 軸方向（一方向）に沿う両側に配設されて半導体素子 7 とワイヤ 9 , 9 で接続されるとともに X 軸方向に沿う金属層 3 と反対側の端面（一方向に沿う面に交叉する方向の面）が樹脂 1 0 の端面から露出している。また、金属層 3 および電極層 4 の裏面には個別にめっき膜 1 1 , 1 6 が形成され、特に電極層 4 のめっき膜 1 6 は電極層 4 の端面にまで連続して一体的に形成されている。すなわち、電極層 4 には、X 軸方向に沿う面である裏面から、該裏面に交叉する Z 軸方向に沿う面である端面にまで一体的に連続してめっき膜 1 6 が形成されている。

50

【 0 0 4 2 】

さらに、樹脂 10 の端面は、Z 軸方向に沿い上方に向かって連続する下部端面部 10 A、段部 10 B および上部端面部 10 C を有している。ここで、下部端面部 10 A は、電極層 4 の端面と面一となって電極層 4 の端面に連続している。段部 10 B は、めっき膜 16 の厚さ以上、すなわち $\{ (\text{幅 } W 2 - \text{幅 } W 3) / 2 \}$ 以上樹脂 10 を外側に突出させた部位である。また、上端面部 10 C は、段部 10 B から樹脂 10 の上面に向けて Z 軸方向に沿い連続的に伸びる面である。この結果、本形態におけるめっき膜 16 は、電極層 4 の端面の全域に残すことができる。

【 0 0 4 3 】

かくして半導体装置 II を回路基板 14 に半田 15 を介して実装する際には、
電極層 4 の裏面に施しためっき膜 16 が電極層 4 の端面全域まで連続して一体的に形成されているので、半導体装置 II の端面に隣接する先端部から端面に向けて連続的に立ち上がる曲線状の半田 15 のフィレットが良好に形成される。この結果、半導体装置 II の上方から前記フィレットの形成状態を容易に視認でき、半田接合の良否を容易かつ確実に検査することができる。ここで、本形態では、金属層 4 の露出している端面の全域がめっき膜 16 で覆われており、端面におけるめっき膜 16 の形成領域が第 1 の実施の形態の場合よりも電極層 4 を貫通して凹部 4 C を形成した分広いので、その分より良好な半田 15 によるフィレットを形成することができる。

【 0 0 4 4 】

[第 3 の実施の形態]

第 3 の実施の形態は、第 1 および第 2 の実施の形態と異なり、半導体素子 7 を載置する金属層 3 を形成することなく、半導体素子 7 を X 軸方向で隣接する電極層 4 に跨って配設したものである（図 20 参照）。かかる第 3 の実施の形態に係る半導体装置の製造方法に関し、第 1 の実施の形態と異なる本形態の特徴的な工程を抽出して説明する。

【 0 0 4 5 】

< 第 3 の工程 >

図 17 に示すように、第 1 の実施の形態における第 1 および第 2 の工程とほぼ同様の工程で X 軸方向で隣接するレジストパターン層 2 B の間に電鍍により電極層 4 を形成する。

【 0 0 4 6 】

< 第 6 の工程 >

第 1 の実施の形態における第 4 および第 5 の工程とほぼ同様の工程でめっき膜 6 を形成するとともにレジストパターン層 2 B を除去した後、図 18 に示すように、X 軸方向で隣接する電極層 4 間に跨って半導体素子 7 を載置し、半導体素子 7 の両端部に配設したバンプ 17 を介して半導体素子 7 を電極層 4 にフリップチップ実装する。

【 0 0 4 7 】

< 第 7 の工程 >

図 19 に示すように、母材 1 上において、電極層 4 に載置された半導体素子 7 を含む搭載部分の全体を樹脂 10 で封止して複数個が一体となった半導体装置 III を形成する。

【 0 0 4 8 】

< 第 10 の工程 >

第 1 の実施の形態における第 8 および第 9 の工程とほぼ同様の工程で樹脂 10 から母材 1 を除去した後、各電極層 4 に凹部 4 B（図 9 参照；以下同じ）を形成する。本形態では、電極層 4 間に金属層 3（例えば、図 7 参照）を有しないので、X 軸方向に関するすべての電極層 4 に凹部 4 B を形成する。かかる切込み工程を経た後、本実施形態の第 10 の工程では、図 20 に示すように、凹部 4 B を含み、樹脂 10 の裏面側から露出している電極層 4 に無電解めっき法によりめっき膜（本形態では金めっき膜）12 を形成する。

【 0 0 4 9 】

その後第 1 の実施の形態の第 11 の工程と同様の態様で複数の半導体装置 III に個片化する。かかる個片化は X 軸方向で隣接する電極層 4 の左半分と右半分およびこれら左右の電極層 4 に跨って配設された半導体素子 7 を樹脂 10 で一体的に封止した半導体装置 III

10

20

30

40

50

を単位として、これを複数個切り出すことにより実施される。ここで、個片化した半導体装置Ⅲは、図 1 2 に示す態様で回路基板 1 4 に実装される。この結果、かかる実装状態において半導体装置Ⅲは半導体装置Ⅰと同様の作用・効果を発揮する。

【 0 0 5 0 】

[第 4 の実施の形態]

第 4 の実施の形態は、第 3 の実施の形態と同様に半導体素子 7 を X 軸方向で隣接する電極層 4 に跨って配設したものであるが、半導体素子 7 を電極層 4 に対しワイヤ 9 により電氣的な接続を確保して実装した点異なる。そこで、第 3 の実施の形態に対応する第 4 の実施の形態における第 1 0 の工程でも、図 2 1 に示すように、第 3 の実施の形態と同様のめっき膜 1 2 を形成する。

10

【 0 0 5 1 】

その後第 3 の実施の形態の第 1 1 の工程と同様の態様で複数の半導体装置Ⅳに個片化する。個片化した半導体装置Ⅳは、図 1 2 に示す態様で回路基板 1 4 に実装される。この結果、かかる実装状態において半導体装置Ⅳは半導体装置Ⅰと同様の作用・効果を発揮する。

【 0 0 5 2 】

[第 5 の実施の形態]

第 5 の実施の形態は、第 1 ～第 4 の実施の形態と異なり、半導体素子 7 を載置する金属層 3 を形成することなく、半導体素子 7 を X 軸方向で隣接する電極層 4 の間に配設して各電極層 3 との間をワイヤ 9 により接続することで両者の電氣的接続を確保したものである（図 2 6 参照）。そこで、第 1 ～第 4 の実施の形態と異なる本形態に特有の工程に関して説明し、第 1 ～第 4 の実施の形態と重複する説明は省略する。

20

【 0 0 5 3 】

< 第 2 の工程 >

図 2 2 に示すように、本発明の第 5 の実施の形態に係る半導体装置の製造方法においても第 1 の工程の後の第 2 の工程で、レジスト層 2 B を形成する。ここで中央部のレジスト層 2 B の除去後の領域が半導体素子 7 （図 2 5 参照）の実装領域となる。

【 0 0 5 4 】

< 第 3 の工程 >

図 2 3 に示すように、第 1 の実施の形態における第 3 の工程と同様に、X 軸方向で隣接するレジスト層 2 B の間に電鍍により電極層 4 を形成する。

30

【 0 0 5 5 】

< 第 4 の工程 >

図 2 4 に示すように、第 1 の実施の形態における第 4 の工程と同様に、電極層 4 の上面に必要に応じめっき膜 6 を形成する、とともにレジストパターン層 2 B を除去する。

【 0 0 5 6 】

< 第 5 の工程 >

図 2 5 に示すように、X 軸方向で隣接し、めっき膜 6 を形成した電極層 4 の間で母材 1 上に半導体素子 7 を配設するとともに、ワイヤ 9 を用いたワイヤボンディングにより各ワイヤ 9 , 9 と電極層 4 , 4 とを電氣的に接続する。

40

【 0 0 5 7 】

< 第 1 0 の工程 >

第 1 の実施の形態における第 6 ～第 9 の工程とほぼ同様の工程により、電極層 4 の裏面側から Z 軸方向に沿って凹部 4 B を形成した電極層 4 に、図 2 6 に示すように、凹部 4 B を含み、樹脂 1 0 の裏面側から露出している電極層 4 に無電解めっき法によりめっき膜 1 2 を形成する。

【 0 0 5 8 】

その後第 1 の実施の形態の第 1 1 の工程と同様の態様で複数の半導体装置Ⅴに個片化する。個片化した半導体装置Ⅴは、図 1 2 に示す態様で回路基板 1 4 に実装される。この結果、かかる実装状態において半導体装置Ⅴは半導体装置Ⅰと同様の作用・効果を発揮する。

50

【 0 0 5 9 】

〔 他 の 実 施 の 形 態 〕

上記第 3 ～ 第 5 の実施の形態における電極層 4 の切込みは Z 軸に関し電極層 4 の途中で止めたが、第 2 の実施の形態に関する図 1 3 ～ 図 1 5 に示すように、電極層 4 を貫通して樹脂 1 0 の部分にまで切込んで、電極層 4 の端面の全域がめっき膜 1 6 で覆われるように形成しても良い。この場合、最終的に個片化した半導体装置 III, IV, V は図 1 2 に示すような態様で回路基板 1 4 上に実装され、図 1 2 に示す実装状態と同様の作用・効果を奏することができる。

【 0 0 6 0 】

また、第 1 および第 2 の実施の形態における金属層 3 および電極層 4、ならびに第 3 ～ 第 5 の実施の形態における電極層 4 は電鍍により形成したが、これに限定する必要はない。例えば金属ペーストを印刷することによっても金属層 3 および電極層 4 を形成することができる。この場合には、レジストパターン層 2 B を形成する必要はない。また、金属板をエッチングもしくはパンチングすることで金属層 3 や電極層 4 を形成した後、粘着テープを貼ることによっても形成することができる。

10

【 0 0 6 1 】

上述の如く電鍍法によることなく金属層 3 や電極層 4 を形成する場合には、母材 1 を電極として機能させる必要はない。そこで、この場合には、母材 1 の材料を導電性部材に限る必要はない。また、金属膜であるめっき膜 1 2, 1 6 は、電極層 4 の裏面および端面に形成してあるが、これに限定する必要はなく、電極層 4 の端面のみに形成しても良い。かかる構成は、第 1 0 の工程におけるめっき膜 1 2, 1 6 の形成を、電極層 4 の裏面にレジストパターン層を形成したうえで行うことで実現できる。

20

【 符号 の 説 明 】

【 0 0 6 2 】

I ～ V 半導体装置

1 母材

2 A レジスト

2 B レジストパターン層

3 金属層

3 A, 4 A オーバーハング部

4 電極層

4 B, 4 C 凹部

5, 6 めっき膜 (銀めっき膜)

7 半導体素子

8, 1 5 半田

9 ワイヤ

1 0 樹脂

1 1, 1 2, 1 6 めっき膜 (金めっき膜)

1 3 ダイシングソー

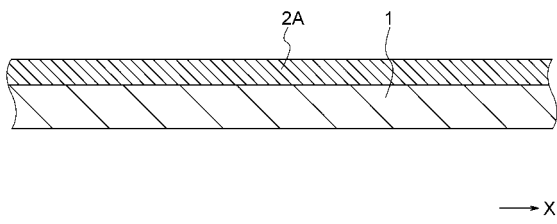
1 4 回路基板

1 7 パンプ

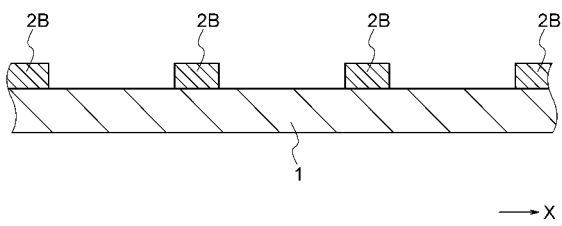
30

40

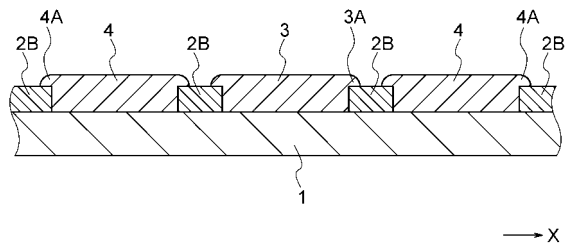
【図 1】



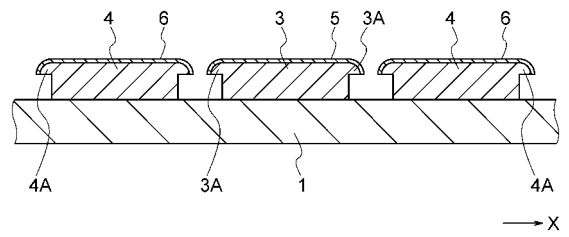
【図 2】



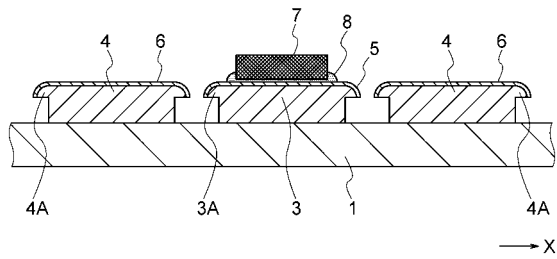
【図 3】



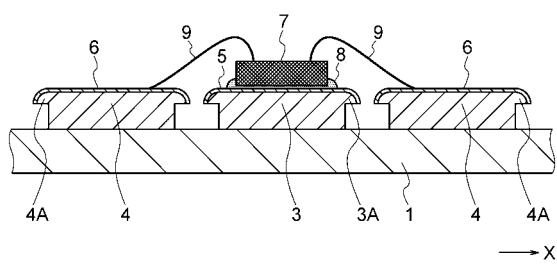
【図 4】



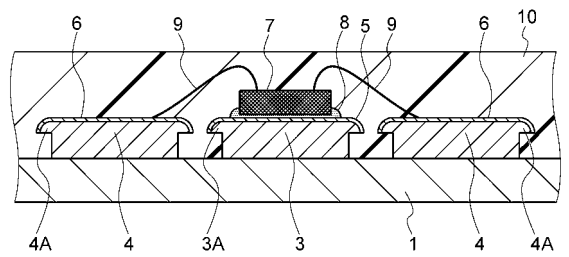
【図 5】



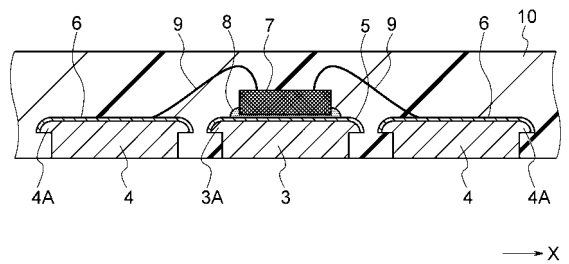
【図 6】



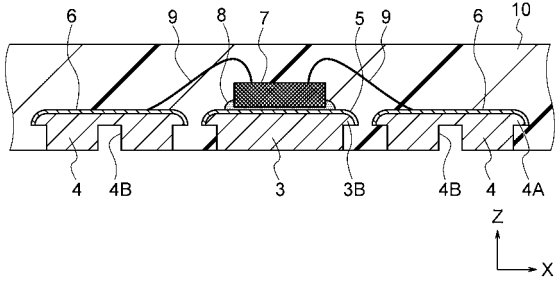
【図 7】



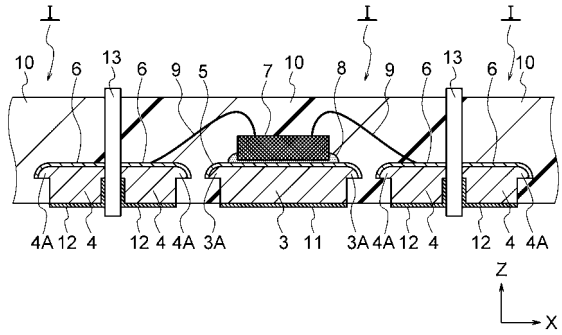
【図 8】



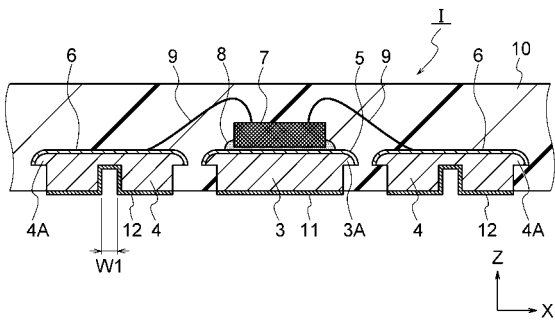
【図 9】



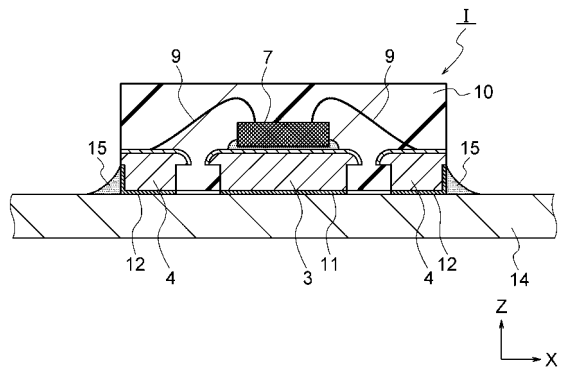
【図 11】



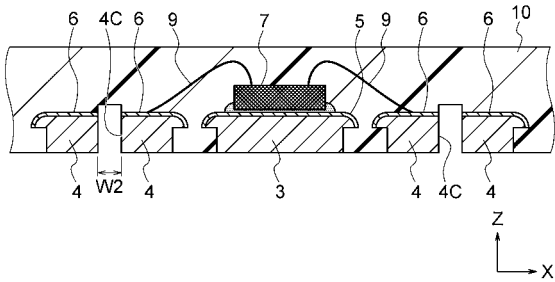
【図 10】



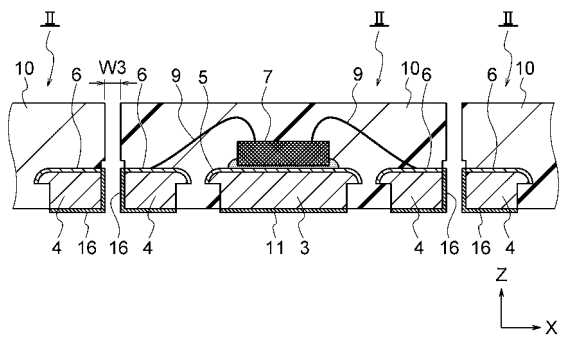
【図 12】



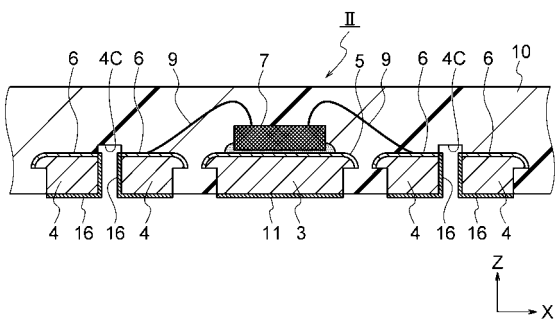
【図 13】



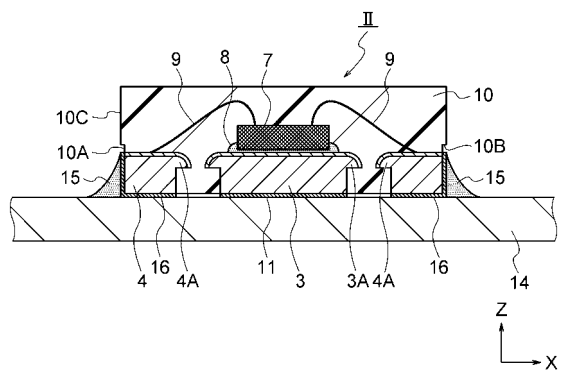
【図 15】



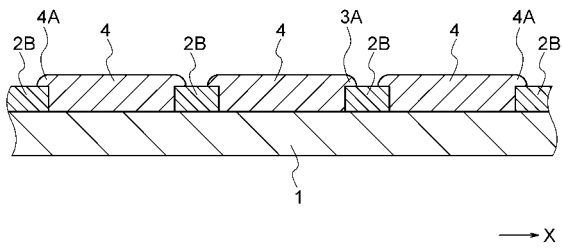
【図 14】



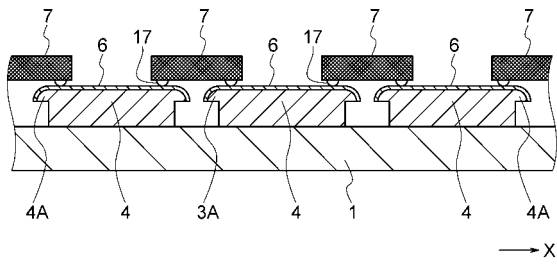
【図 16】



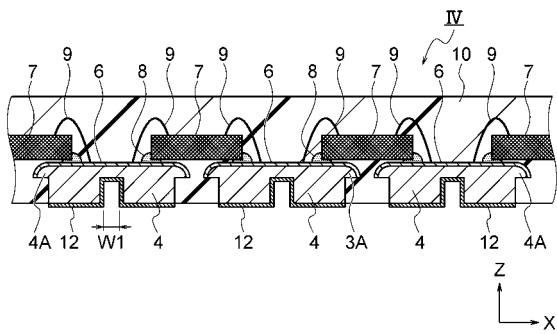
【図 17】



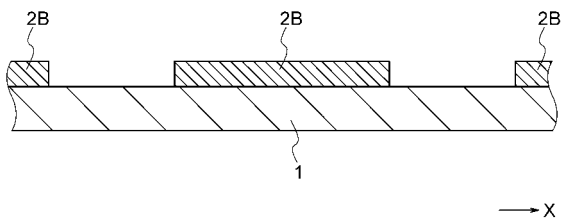
【図 18】



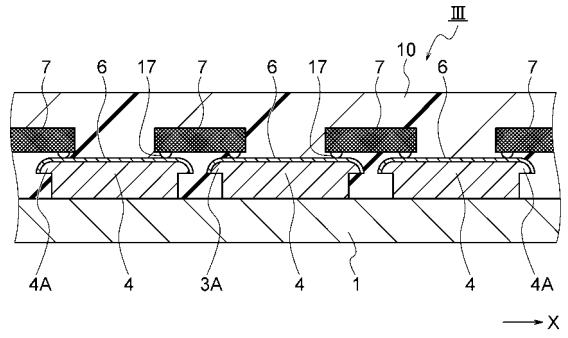
【図 21】



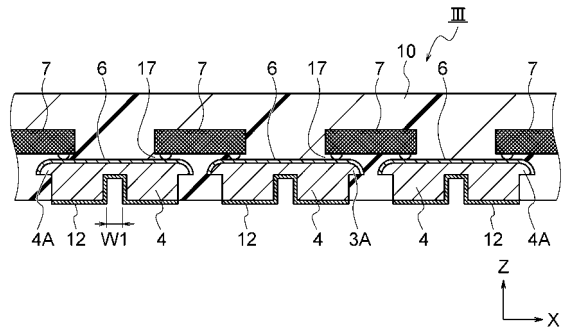
【図 22】



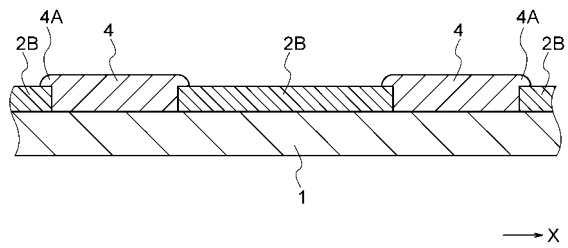
【図 19】



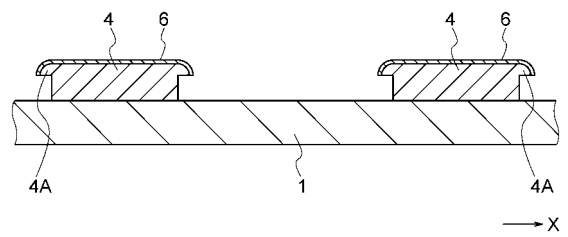
【図 20】



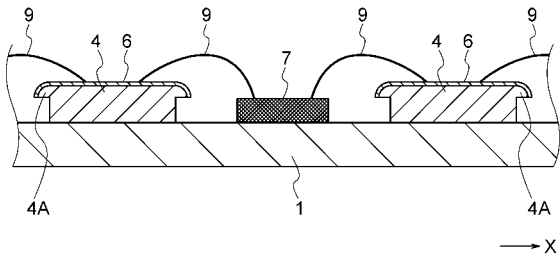
【図 23】



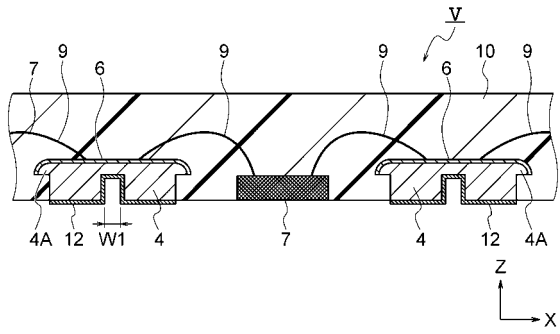
【図 24】



【図 25】



【図 26】



【図 27】

