

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年6月30日(2005.6.30)

【公開番号】特開2003-297078(P2003-297078A)

【公開日】平成15年10月17日(2003.10.17)

【出願番号】特願2002-99065(P2002-99065)

【国際特許分類第7版】

G 1 1 C 11/22

H 0 1 L 27/105

【F I】

G 1 1 C 11/22 5 0 1 L

H 0 1 L 27/10 4 4 4 Z

【手続補正書】

【提出日】平成16年10月18日(2004.10.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

トランジスタのソース、ドレインに強誘電体キャパシタの両端を接続してなる複数のユニットセルが直列接続されて構成されたセルブロックと、

前記セルブロックの両端がそれぞれブロック選択ゲートを介して接続されるビット線対と、

前記セルブロックの各トランジスタのゲートに接続されたワード線と、

前記セルブロック内の所定位置のユニットセルのノードがプレート線選択ゲートを介して接続されるプレート線と、

前記ビット線対にそれぞれ差動入力端子が接続されたセンスアンプと、

を有することを特徴とする強誘電体メモリ装置。

【請求項2】

前記セルブロック内の前記ワード線により選択されたユニットセルに対して、前記プレート線と前記ビット線対の一方との間で読み出し電圧を印加して前記ビット線対の一方に信号電圧を出力させる読み出しモードと、

前記プレート線を前記セルブロックから切り離して、前記ビット線対の間で前記信号電圧を増幅した電圧を前記選択されたニットセルに印加する書き込みモードとを有することを特徴とする請求項1記載の強誘電体メモリ装置。

【請求項3】

前記プレート線は、前記セルブロック内のユニットセル配列の中間ノードに対して前記プレート線選択ゲートを介して接続されていることを特徴とする請求項1記載の強誘電体メモリ装置。

【請求項4】

前記プレート線は、前記セルブロック内のユニットセル配列の一端部に対して前記プレート線選択ゲートを介して接続されていることを特徴とする請求項1記載の強誘電体メモリ装置。

【請求項5】

前記ワード線とビット線対が互いに交差して配設されて、前記ワード線により共通に駆動されるセルブロックが二つずつ対をなして複数個配列され、

対をなすセルブロックのうち第1のセルブロックは、一端が第1のブロック選択ゲートを介してビット線対の一方に、他端が第2のブロック選択ゲートを介してビット線対の他方にそれぞれ接続され、

第2のセルブロックは、一端が第3のブロック選択ゲートを介して前記ビット線対の他方に、他端が第4のブロック選択ゲートを介して前記ビット線の一方にそれぞれ接続される

ことを特徴とする請求項1記載の強誘電体メモリ装置。