

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5609085号
(P5609085)

(45) 発行日 平成26年10月22日 (2014. 10. 22)

(24) 登録日 平成26年9月12日 (2014. 9. 12)

| | |
|-------------------------|----------------|
| (51) Int. Cl. | F I |
| HO 1 L 23/32 (2006. 01) | HO 1 L 23/32 D |
| HO 1 L 23/14 (2006. 01) | HO 1 L 23/14 S |
| HO 1 L 25/04 (2014. 01) | HO 1 L 25/04 Z |
| HO 1 L 25/18 (2006. 01) | |

請求項の数 9 (全 20 頁)

| | | | |
|-----------|-------------------------------|-----------|----------------------------|
| (21) 出願番号 | 特願2009-275861 (P2009-275861) | (73) 特許権者 | 000190688 |
| (22) 出願日 | 平成21年12月3日 (2009. 12. 3) | | 新光電気工業株式会社 |
| (65) 公開番号 | 特開2011-119481 (P2011-119481A) | | 長野県長野市小島田町80番地 |
| (43) 公開日 | 平成23年6月16日 (2011. 6. 16) | (74) 代理人 | 100077621 |
| 審査請求日 | 平成24年10月24日 (2012. 10. 24) | | 弁理士 綿貫 隆夫 |
| | | (74) 代理人 | 100092819 |
| | | | 弁理士 堀米 和春 |
| | | (72) 発明者 | 春原 昌宏 |
| | | | 長野県長野市小島田町80番地 新光電気工業株式会社内 |
| | | 審査官 | 宮本 靖史 |

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

インターポーザと、前記インターポーザ上に設けられた半導体チップとを有する半導体装置であって、

前記インターポーザは、

該インターポーザの厚さ方向に延在して互いに電氣的に絶縁された複数の柱状導体と、

前記半導体チップと前記複数の柱状導体との間に介在する、前記複数の柱状導体側の第1配線層、前記半導体チップ側の第2配線層、および前記第1配線層と前記第2配線層との間の絶縁層と、

を有し、

前記複数の柱状導体間には、外部に開放される空隙が設けられ、

前記複数の柱状導体は、前記絶縁層から露出された前記第1配線層の表面と電氣的に接続され、

前記半導体チップは、前記絶縁層から露出された前記第2配線層の表面と電氣的に接続され、

前記空隙側における、前記複数の柱状導体と接続されずに前記絶縁層から露出された前記第1配線層の表面および前記複数の柱状導体のそれぞれの側面は、絶縁膜で覆われ、

前記絶縁層から露出された前記第1配線層の表面には、前記絶縁膜を介して、前記第1配線層から延在する前記複数の柱状導体の根元を覆い、前記複数の柱状導体の立設を補強する第1補強材が設けられ、

10

20

前記絶縁膜は、酸化シリコン膜からなり、

前記第1補強材は、シリコン基板からなることを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記複数の柱状導体のそれぞれの側面には、前記絶縁膜を介して、前記複数の柱状導体の立設を補強する第2補強材が設けられていることを特徴とする半導体装置。

【請求項3】

請求項1または2記載の半導体装置において、

前記半導体チップとして、発熱量の異なる第1および第2半導体チップが前記インターポーザ上に設けられ、

10

前記第1補強材の、平面視で前記第1および第2半導体チップの間に位置する箇所には、スリットが形成されていることを特徴とする半導体装置。

【請求項4】

請求項1～3のいずれか一項に記載の半導体装置において、

前記柱状導体の先端側の一部が、該柱状導体の側面を覆う前記絶縁膜から突出し、または後退していることを特徴とする半導体装置。

【請求項5】

(a) 第1面とその反対面の第2面を有する基板に、厚さ方向に延在する複数の貫通孔を形成する工程と、

(b) 前記複数の貫通孔の内壁を含む前記基板の表面全体に絶縁膜を形成する工程と、

20

(c) 前記(b)工程後、前記複数の貫通孔のそれぞれを導体で充填することによって、前記基板の厚さ方向に延在して互いに電氣的に絶縁された複数の柱状導体を形成する工程と、

(d) 前記(c)工程後、前記基板の第1面上に前記複数の柱状導体と電氣的に接続される第1配線層、前記第1配線層を覆う絶縁層、前記絶縁層上の第2配線層を形成する工程と、

(e) 前記基板の第2面側から前記基板をエッチングすることによって、前記複数の柱状導体と接続されずに前記絶縁層から露出する前記第1配線層の表面および前記複数の柱状導体のそれぞれの側面を覆う前記絶縁膜を残存させて、前記複数の柱状導体間に空隙を形成する工程と、

30

(f) 前記絶縁層から露出する前記第2配線層の表面に、半導体チップを電氣的に接続して搭載する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項6】

請求項5記載の半導体装置の製造方法において、

前記(a)工程で前記複数の貫通孔を囲む貫通溝を形成した後、前記(c)工程で前記貫通溝を導体で充填すること、または、

前記(d)工程後、前記基板の第2面にレジストパターンを形成した後、前記(e)工程で前記基板をエッチングすること、

によって前記複数の柱状導体を囲む枠体を形成することを特徴とする半導体装置の製造方法。

40

【請求項7】

請求項5または6記載の半導体装置の製造方法において、

前記(e)工程では、前記第1配線層から延在する前記複数の柱状導体の根元を覆うように前記基板を残存させてエッチングすることを特徴とする半導体装置の製造方法。

【請求項8】

請求項5または6記載の半導体装置の製造方法において、

前記(d)工程後、前記(e)工程前に、前記複数の柱状導体の、前記基板の第2面側端部のそれぞれに、前記柱状導体の径より大きいパターンを形成し、

前記(e)工程では、前記パターンをマスクに前記基板をエッチングすることによって

50

、前記複数の柱状導体のそれぞれの側面に前記絶縁膜を介して、前記複数の柱状導体の立設を補強する補強材を形成することを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 5 または 6 記載の半導体装置の製造方法において、

前記 (e) 工程では、前記複数の柱状導体間にスリットを形成するように、前記基板を除去することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造技術に関し、特に、有機基板上に搭載される半導体パッケージ（半導体装置）に適用して有効な技術に関する。

【背景技術】

【0002】

特開 2004 - 42082 号公報（特許文献 1）には、複数の半導体チップを搭載したマルチチップパッケージに関する技術が開示されている。このマルチチップパッケージでは、パッケージ基板（有機基板）上に載置されたシリコンインターポーザを介して複数の半導体チップが搭載されている。

【0003】

なお、本発明者は、発明した結果に基づき、先行技術調査を行った。その結果、特開 2006 - 216723 号公報（特許文献 2）が抽出された。この特許文献 2 には、不要輻射ノイズを高い周波数帯域まで効果的に抑制することを目的として、対の平面電極間に空隙を有する領域を設け、その領域に柱状あるいは円柱状の複数の抵抗体を挟持させたプリント配線基板（有機基板）に関する技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2004 - 42082 号公報

【特許文献 2】特開 2006 - 216723 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

マルチチップパッケージ（半導体パッケージ）は、例えば、有機基板（例えばビルドアップ基板、プリント配線基板）上に複数の半導体チップ（以下、単にチップという）を搭載して構成された半導体装置である。このようなマルチチップパッケージは、例えばコンピュータなどの電子回路が構成された有機基材からなる基板（マザーボード）上に搭載される。

【0006】

ところで、有機基板を用いたマルチチップパッケージでは、シリコン（Si）を基材とするチップと有機基板との熱膨張係数のミスマッチにより、チップと有機基板との間に応力が発生して隙間が生じるなどにより、信頼性が低下する問題がある。また、例えば複数のチップ間を電氣的に接続するための配線は、平坦性の乏しい有機基材に形成されるため、微細配線化に困難である。さらに、例えばチップ間の配線長が長くなることや、これにより有機基板自体が大型化してしまうことが考えられる。

【0007】

このため、本発明者は、近年の半導体装置の小型化、高性能、高機能の要求に応えるべく、次世代パッケージに関する技術について検討している。図 1 に本発明者が検討している半導体装置 100 を模式的に示す。図 1 に示す半導体装置 100 は、シリコンインターポーザ 110 と、その上に搭載されたチップ CP1、CP2 とを含んで構成されており、半導体パッケージということもできる。なお、図 1 では、半導体装置 100 は、半導体装置 100 をキャビティによって収納するような放熱板 120（例えば、ヒートスプレッド

10

20

30

40

50

）と共に有機基板 130（例えば、マザーボード）上に搭載されている状態で示している。

【0008】

シリコンインターポーザ 110 はシリコンを基材 111 とするインターポーザであるため、同じシリコンを基材とするチップ CP1、CP2 との熱膨張係数のミスマッチがなくなる。このため、前述したような応力による問題が発生せず、半導体装置 100 の信頼性を向上することができる。また、シリコンインターポーザ 110 は基材 111 にシリコンを用いており、有機基板と比較して平坦化に優れているため、微細配線を形成し易い。

【0009】

したがって、シリコンインターポーザ 110 を含む半導体装置 100 には、チップ間の配線長を短くし、微細配線によるバスラインの増加により、データ転送速度を向上することが期待できる。また、半導体装置 100 の高機能化において、シリコンインターポーザ 110 には、例えば、ロジック用の半導体素子が形成されたチップや、メモリ用の半導体素子が形成されたチップなどの異種チップを搭載することも期待できる。

【0010】

しかしながら、例えばマザーボードなどの有機基板 130 上に搭載された半導体装置 100 では、有機基板 130 とシリコンインターポーザ 110 との間で熱膨張係数のミスマッチにより、その間に応力が発生している。このため、例えば温度サイクル試験などの過負荷条件では、その応力によって、有機基板 130 とシリコンインターポーザ 110 とが互いに反って接合性が低下するなど、半導体装置 100 の信頼性が低下してしまう。特に、シリコンインターポーザ 110 上にチップ CP1、CP2 を含む複数のチップを搭載するような場合では、搭載する領域も拡大するため、シリコンインターポーザ 110 のサイズが例えば 20 mm 角以上となると信頼性の低下は顕著になる。

【0011】

また、図 1 では、半導体装置 100 の放熱性を向上するために、チップ CP1、CP2 に対して共通の放熱板 120 を取り付け、チップ CP1、CP2 を冷却するようにしている。なお、チップ CP1、CP2 と放熱板 120 とは接合部材 121 を介して接合されており、放熱板 120 と有機基板 130 とは接合部材 122 を介して接合されている。

【0012】

ここで、例えば、チップ CP1 にはロジックなどの熱抵抗が大きく発熱量が高い半導体素子が形成され、チップ CP2 にはメモリなどの熱抵抗が小さく熱に弱い半導体素子が形成されている場合がある。このような場合では、放熱板 120 やシリコンインターポーザ 110 の基材 111（シリコン）によって、チップ CP1 からの発熱は効率良く冷却されるが、その熱がチップ CP2 へ伝導してしまう。このため、チップ CP2 の温度が上昇することによって誤動作や熱破壊が起こる場合もあり、半導体装置 100 の信頼性が低下してしまう。

【0013】

本発明の目的は、半導体装置の信頼性を向上することのできる技術を提供することにある。本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0014】

なお、本発明者が先行技術調査によって抽出した特許文献 2 は、ノイズを抑制することを主題とするものであって、そのために空隙のあるパッケージが記載されているが、信頼性を向上するために、本願において開示される発明に関する記載はされていない。

【課題を解決するための手段】

【0015】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。本発明の一実施形態における半導体装置は、インターポーザと、前記インターポーザ上に設けられた半導体チップとを有する。前記インターポーザは、該インターポーザの厚さ方向に延在して互いに電氣的に絶縁された複数の柱状導体と、前記半導体チッ

10

20

30

40

50

ブと前記複数の柱状導体との間に介在する、前記複数の柱状導体側の第1配線層、前記半導体チップ側の第2配線層、および前記第1配線層と前記第2配線層との間の絶縁層と、を有している。前記複数の柱状導体間には、外部に開放される空隙が設けられている。前記複数の柱状導体は、前記絶縁層から露出された前記第1配線層の表面と電氣的に接続されている。前記半導体チップは、前記絶縁層から露出された前記第2配線層の表面と電氣的に接続されている。前記空隙側における、前記複数の柱状導体と接続されずに前記絶縁層から露出された前記第1配線層の表面および前記複数の柱状導体のそれぞれの側面は、絶縁膜で覆われている。前記絶縁層から露出された前記第1配線層の表面には、前記絶縁膜を介して、前記第1配線層から延在する前記複数の柱状導体の根元を覆い、前記複数の柱状導体の立設を補強する第1補強材が設けられている。前記絶縁膜は、酸化シリコン膜からなる。前記第1補強材は、シリコン基板からなる。

10

【発明の効果】

【0016】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すると、前記一実施形態によって半導体装置の信頼性を向上することができる。

【図面の簡単な説明】

【0017】

【図1】本発明者が検討している半導体装置を模式的に示す説明図である。

【図2】本発明の一実施形態における半導体装置を模式的に示す断面図である。

【図3】図2に示す半導体装置を模式的に示す平面図である。

20

【図4】図2、図3に示す半導体装置を有機基板に搭載した状態を模式的に示す断面図である。

【図5】本発明の一実施形態における製造工程中の半導体装置を模式的に示す断面図である。

【図6】図5に続く製造工程中の半導体装置を模式的に示す断面図である。

【図7】図6に続く製造工程中の半導体装置を模式的に示す断面図である。

【図8】図7に続く製造工程中の半導体装置を模式的に示す断面図である。

【図9】図8に続く製造工程中の半導体装置を模式的に示す断面図である。

【図10】図9に続く製造工程中の半導体装置を模式的に示す断面図である。

【図11】本発明の他の実施形態における半導体装置を模式的に示す断面図である。

30

【図12】本発明の他の実施形態における製造工程中の半導体装置を模式的に示す断面図である。

【図13】本発明の他の実施形態における半導体装置を模式的に示す断面図である。

【図14】本発明の他の実施形態における製造工程中の半導体装置を模式的に示す断面図である。

【図15】本発明の他の実施形態における半導体装置を模式的に示す断面図である。

【図16】本発明の他の実施形態における製造工程中の半導体装置を模式的に示す断面図である。

【図17】本発明の他の実施形態における半導体装置を模式的に示す断面図である。

【図18】半導体装置の要部を模式的に示す断面図である。

40

【図19】半導体装置の要部を模式的に示す断面図である。

【図20】本発明の他の実施形態における半導体装置を模式的に示す断面図である。

【発明を実施するための形態】

【0018】

以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、実施形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する場合がある。

【0019】

(実施形態1)

まず、本実施形態における半導体装置の構造について図2および図3を参照して説明す

50

る。図2は本実施形態における半導体装置1Aを模式的に示す断面図であり、図3は半導体装置1Aを模式的に示す平面図である。図2では図3のA-A線における半導体装置1Aの断面が示されている。また、図3では半導体装置1Aの裏面側からみた平面が示されており、裏面と反対面であるデバイス面に搭載されているチップCP1、CP2、CP3、CP4（破線で示す）が透視して示されている。また、図3では理解を容易にするために柱状導体10および枠体20にはハッチングを付している。

【0020】

半導体装置1Aは、インターポーザ2Aと、インターポーザ2A上に設けられたチップCP1～CP4とを有している。チップCP1は例えばCPUであり、チップCP1にはロジック用の半導体素子が形成されている。また、チップCP2～CP4は例えばDRAMやフラッシュメモリであり、チップCP2～CP4にはメモリ用の半導体素子が形成されている。これらチップCP1～CP4を用いて、半導体装置1Aは所定の動作を行うことができる。

【0021】

インターポーザ2Aは、その厚さ方向に延在して互いに電氣的に絶縁された複数の柱状導体10と、チップCP1～CP4と複数の柱状導体10とを介在する配線層11とを有している。複数の柱状導体10のそれぞれの側面は絶縁膜12で覆われており、複数の柱状導体10間に空隙13を有している。この空隙13はインターポーザ2A（半導体装置1A）の外部に開放されている。また、インターポーザ2Aは、複数の柱状導体10を囲む枠体20を外周に有している。

【0022】

インターポーザ2Aの配線層11は、第1層（最下層）の配線層14aと、第2層（最上層）の配線層14bと、配線層14a、14b間の層間絶縁層15と、配線層14bの所望位置に形成された開口部を有するパッシベーション膜16とを含んで構成されている。例えば、配線層14a、14bは銅（Cu）を含んでなり、層間絶縁層15は酸化シリコンまたは有機樹脂を含んでなり、パッシベーション膜16は有機樹脂を含んでなる。このパッシベーション膜16は、インターポーザ2Aの表面保護膜となっており、最上層の配線層14bを保護している。一方、最下層の配線層14aは、柱状導体10の側面を覆う絶縁膜12が配線層14aに係るようにして形成され、例えば酸化シリコン膜などからなる絶縁膜12によって保護されている。なお、これらで構成される配線層11の全体での厚さは例えば15μm程度で形成される。

【0023】

パッシベーション膜16の開口部から露出する配線層14bは、インターポーザ2Aの外部電極パッドとなっており、この外部電極パッドを介してチップCP1～CP4と配線層11とは電氣的に接続される。また、配線層11では、この外部電極パッドともなる配線層14bと、配線層14aとは、ビア（Via）17を介して相互に接続されている。また、配線層14a（配線層11）は、柱状導体10と電氣的に接続されている。

【0024】

このインターポーザ2A（配線層11）上に、チップCP1～CP4が実装して設けられている。チップCP1～CP4の主面（素子形成面）には、外部接続端子（図示しない）が形成されており、電極 bumps 18を介して、インターポーザ2Aの電極パッド（配線層14b）にフリップチップ接続されている。また、チップCP1～CP4とインターポーザ2A（配線層11）との間にはアンダーフィル樹脂19が充填されている。このアンダーフィル樹脂19によって、インターポーザ2AとチップCP1～CP4の熱膨張係数のミスマッチを防止すると共に、インターポーザ2AとチップCP1～CP4の接続性を向上させている。

【0025】

柱状導体10は、例えば、銅（Cu）を含む導体によって構成され、径が60μm程度、長さ（高さ）が300μm程度の円柱状で形成される。複数の柱状導体10は、配線層11から立設され、それらの間は外部に開放された空隙13となっている。このため、柱

状導体 10 を露出した状態としたのでは、導体（例えば銅）が腐食して、電気的特性が劣化する場合がある。

【0026】

そこで、本実施形態では、柱状導体 10 の側面に例えば酸化シリコン膜などの絶縁膜 12 を覆うことによって、柱状導体 10 が腐食するのを防止している。半導体装置 1 A では、空隙 13 が外部に開放された構造となっているので特に有効となる。柱状導体 10 の腐食の防止により、電気的特性の劣化を防止することによって、半導体装置 1 A の信頼性を向上することができる。なお、柱状導体 10 の先端は、外部との電気的な接続を確保するため、側面の絶縁膜 12 のように覆われずに露出した状態としている。この状態であっても、接続後は例えばはんだなどによって保護されるので柱状導体 10 の先端は腐食しないこととなる。

10

【0027】

同様に、空隙 13 側の配線層 14 a の表面も絶縁膜 12 で覆うことによって、配線層 14 a が腐食するのを防止している。この配線層 14 a の腐食の防止により、電気的特性の劣化を防止することによって、半導体装置 1 A の信頼性を向上することができる。

【0028】

このような半導体装置 1 A は、インターポーザ 2 A 上に設けられたチップ C P 1 ~ C P 4 を含んで構成されており、半導体パッケージ（マルチチップパッケージ）である。半導体装置 1 A は、例えば 11 mm 角程度の大きさで形成されている。

【0029】

20

ところで、図 1 を参照して説明した半導体装置 100 もチップ C P 1、C P 2 を含んで構成されているため、半導体パッケージである。この半導体装置 100 にはシリコンを基材すなわち支持体とするインターポーザ（シリコンインターポーザ 110）上にチップ C P 1、C P 2 が設けられている。これに対して、半導体装置 1 A のインターポーザ 2 A には、このような基材（支持体）に対応するものがない。したがって、半導体装置 1 A は基材レスパッケージということもでき、またインターポーザ 2 A は配線層 11 がフィルム状（例えば、厚さが 15 μm で大きさが 11 mm 角）となるためフレキシブル基板ともいえる。

【0030】

図 4 に半導体装置 1 A を有機基板 130（例えば、マザーボード）上に搭載した状態を示す。例えば、半導体装置 1 A の複数の柱状導体 10 のそれぞれの先端に設けた例えば径が 70 μm 程度のはんだボール 21 を介して、柱状導体 10（例えば、銅）と有機基板 130 のパターン 131（例えば、銅箔）とを接合して、半導体装置 1 A が有機基板 130 上に搭載されている。このように半導体装置 1 A は、複数の柱状導体 10 で接続する構造となっている。

30

【0031】

半導体装置 1 A は、配線層 11 から直立するように設けられた複数の柱状導体 10 を有しており、この複数の柱状導体 10 が脚となって有機基板 130 上に搭載されている。この複数の柱状導体 10 間は空隙 13 を有しているので、有機基板 130 とインターポーザ 2 A との間で生じる応力を緩和することができる。また、インターポーザ 2 A の配線層 11 がフィルム状であるため、インターポーザ 2 A とチップ C P 1 ~ C P 4 との間で生じる応力も緩和することができる。このため、例えば温度サイクル試験などの過負荷条件においても、半導体装置 1 A と有機基板 130 との間での反りが抑制され、半導体装置 1 A としての信頼性を向上することができる。

40

【0032】

また、半導体装置 1 A では、複数のチップ C P 1 ~ C P 4 がインターポーザ 2 A の配線層 11 側の同一面に混載されている。これらチップ C P 1 ~ C P 4 は、ロジック、メモリなどその機能やチップの大きさなどにより熱抵抗が異なる場合がある。例えば、インターポーザ 2 A 上には、熱抵抗が高く発熱量が高いチップ C P 1（例えば、ロジック）と、熱抵抗が低く熱に弱いチップ C P 2 ~ C P 4（例えば、メモリ）が搭載される場合がある。

50

このような場合、発熱量が高いチップと、熱に弱いチップとで熱伝導を分離した構造とすることが有効である。

【0033】

そこで、半導体装置1A(インターポーザ2A)ではチップCP1~CP4間には熱経路となる基板23の基材を設けないような空隙13を有する構造とし、例えばシリコンインターポーザを用いた場合の基材(シリコン)による熱伝導を、遮断している。シリコンは熱伝導率が非常に高く、発熱量の異なる複数のチップを搭載した場合、熱の移動による不具合が生じてしまう。したがって、発熱量が高いチップの影響により、熱に弱いチップの温度が上昇しすぎることによる誤動作や熱破壊が起きることを防止することができ、半導体装置1Aの信頼性を向上することができる。

10

【0034】

また、半導体装置1Aでは基材レスパッケージではあるが、単に基材がないのではなく、複数の柱状導体10を設け、その柱状導体10間に空隙13を有する構造となっている。このため空隙13を冷却路とし、その冷却路に空気や水などを流すことによって、放熱性を高めることもできる。これにより、発熱量が高いチップの影響により、熱に弱いチップの温度が上昇しすぎることによる誤動作や熱破壊が起きることをより防止することができる。半導体装置1Aの信頼性をより向上することができる。

【0035】

また、複数の柱状導体10間に空隙13を有するので、柱状導体10間が例えばシリコンの場合よりもキャパシタンスを低減することができる。したがって、データ転送速度を

20

【0036】

また、半導体装置1Aのインターポーザ2Aでは外周に枠体20を設けている。この枠体20の有無は適宜選択することができるが、本実施形態では、枠体20を設けた場合で説明している。

【0037】

インターポーザ2Aは、複数の柱状導体10と配線層11とを有して構成されており、配線層11はフィルム状(例えば、厚さが15 μ m程度)となっているため、インターポーザ2Aをハンドリングすることが困難な場合も考えられる。そこで、インターポーザ2Aの外周に複数の柱状導体10を囲む枠体20を設けることによって、ハンドリング性を

30

【0038】

なお、半導体装置1Aの枠体20は有機基板130とは接合させずにフリーな状態であっても良いが、図4では、枠体20(例えば、銅)は接合部材22(例えば、はんだ)を介して有機基板130のパターン132(例えば、銅箔)と接合している。半導体装置1Aは、基材レスパッケージであるため、有機基板130に搭載後の実使用時において、外形(形態)の変形が問題となることも考えられる。そこで、枠体20を設け、その枠体20も有機基板130と接合することによって、半導体装置1Aの変形を防止している。

【0039】

次に、本実施形態における半導体装置の製造方法について図面を参照して説明する。まず、図5に示すように、第1面23aとその反対面の第2面23bを有する所定の厚さの基板23を準備する。本実施形態では、基板23の基材をシリコンとしている。次いで、基板23の片面上にレジストを形成した後、フォトリソグラフィ技術を用いて、所望のパターン24を形成する。

40

【0040】

続いて、パターン24をマスクとしたドライエッチングを用いて、図6に示すように、基板23の厚さ方向に延在する複数の貫通孔25と、貫通孔25を囲む貫通溝26を形成する。なお、図6では、貫通孔25、貫通溝26の形成後、パターン24が除去された状態である。また、後の製造工程で、貫通孔25に柱状導体10、貫通溝26に枠体20が

50

形成されることとなる。

【 0 0 4 1 】

この製造工程では、貫通溝 2 6 を形成することとしているが、貫通溝 2 6 の箇所を残すようにしても良い。後述するが、パターニングにより枠体 2 0 と類似した形状に基材（シリコン）を残すことで、シリコン枠体を形成しても良い。

【 0 0 4 2 】

続いて、図 7 に示すように、複数の貫通孔 2 5 の内壁に絶縁膜 1 2 を形成する。また、貫通溝 2 6 の内壁に絶縁膜 1 2 を形成する。具体的には、基板 2 3 としてシリコンを用いているので、基板 2 3 の表面を熱酸化することによって、酸化シリコン膜からなる絶縁膜 1 2 を形成することができる。

10

【 0 0 4 3 】

続いて、図 8 に示すように、複数の貫通孔 2 5 のそれぞれを導体（例えば、銅）で充填することによって、基板 2 3 の厚さ方向に延在して互いに電氣的に絶縁された複数の柱状導体 1 0 を形成する。また、貫通溝 2 6 を導体（例えば、銅）で充填することによって、複数の柱状導体 1 0 を囲む枠体 2 0 を形成する。具体的には、基板 2 3 の第 2 面 2 3 b に導電板を貼り付け、その導電板をシードとした電解めっきにより貫通孔 2 5、貫通溝 2 6 に導体（例えば、銅）を充填する。その後、基板 2 3 の第 1 面 2 3 a 側で平坦処理し、また導電板を除去して、基板 2 3 の第 2 面 2 3 b 側で平坦処理することによって、柱状導体 1 0 および貫通溝 2 0 が形成される。

【 0 0 4 4 】

20

続いて、図 9 に示すように、基板 2 3 の第 1 面 2 3 a 上に複数の柱状導体 1 0 と電氣的に接続される配線層 1 1 を形成する。例えば、セミアディティブ法によって、配線層 1 4 a、層間絶縁層 1 5、および配線層 1 4 b が形成される。この配線層 1 4 b の形成の際には、配線層 1 4 a と配線層 1 4 b とを電氣的に接続するビア 1 7 が形成される。また、配線層 1 4 b 上にパッシベーション膜 1 6 がコーティング、パターニングされて配線層 1 1 が形成される。

【 0 0 4 5 】

続いて、図 1 0 に示すように、配線層 1 1 上に配線層 1 1 と電氣的に接続されるチップ C P 1 ~ C P 4 を搭載する。具体的には、チップ C P 1 ~ C P 4 の主面（素子形成面）に形成されている外部接続端子（図示せず）が、電極バンプ 1 8 を介して配線層 1 4 b にフリップチップ接続される。その後、チップ C P 1 ~ C P 4 と配線層 1 1 との間にはアンダーフィル樹脂 1 9 を充填する。

30

【 0 0 4 6 】

次いで、基板 2 3 においてチップ C P 1 ~ C P 4 が搭載されている第 1 面 2 3 a とは反対面の第 2 面 2 3 b 側から、基板 2 3 の基材を除去する。具体的には、基板 2 3 の第 2 面 2 3 b 側からドライエッチングすることによって、基材となっているシリコンを除去する。このとき、シリコン（基材）に対する銅（柱状導体 1 0、枠体 2 0）や酸化シリコン（絶縁膜 1 2）の選択比によって、基材が除去され、柱状導体 1 0、枠体 2 0 およびそれら側面の絶縁膜 1 2 は残存することとなる。

【 0 0 4 7 】

40

このようにして、図 2 に示した半導体装置 1 A（基材レスパッケージ）が完成する。また、複数の柱状導体 1 0 と配線層 1 1 とを有するインターポーザ 2 A も完成することとなる。

【 0 0 4 8 】

本実施形態では、配線層 1 1 上にチップ C P 1 ~ C P 4 を搭載した後、基板 2 3 の基材を除去して半導体装置 1 A を完成させている。これに限らず、チップ搭載工程は適宜選択することができる。例えば、基板 2 3 の基材を除去した後、配線層 1 1 上にチップ C P 1 ~ C P 4 を搭載して半導体装置 1 A を完成することもできる。

【 0 0 4 9 】

しかしながら、基板 2 3 の基材を除去することによって、配線層 1 1 はフィルム状とな

50

ってしまうので、フィルム状の配線層 11 上にチップ CP1 ~ CP4 を搭載することは困難となる。そこで、本実施形態のように、チップ CP1 ~ CP4 を配線層 11 上に搭載することによって、これらチップ CP1 ~ CP4 を支持体として、基板 23 の基材を除去した方が、製造歩留まりを向上することができる。

【0050】

また、本実施形態では、インターポーザ 2A の枠体 20 を、柱状導体 10 と同一の製造工程で形成した場合について説明した。すなわち、図 6 を参照して説明した製造工程で貫通孔 25 と共に、貫通溝 26 を形成した後、図 8 を参照して説明した製造工程で貫通孔 25 に柱状導体 10 を形成すると共に、貫通溝 26 に枠体 20 を形成した。

【0051】

ここで、図 6 を参照して説明した製造工程で貫通孔 25 のみ形成し、貫通溝 26 を形成しない場合、例えば図 9 で示した状態では枠体 20 が形成されないこととなる。このような場合、基板 23 の第 2 面 23b に、複数の柱状導体 10 を囲むようなレジストパターンを形成した後、図 10 を参照して説明したエッチング工程を行うことによって、枠体 20 と類似した形状の、基板 23 の基材（シリコン）からなる枠体を形成することができる。

【0052】

また、インターポーザ 2A の枠体 20 がない場合、先にチップを搭載する方が有利となる。図 17 に、インターポーザ 2A において枠体 20 がない場合のインターポーザ 2A' と、それを有する半導体装置 1A' を示す。このように枠体がない場合、インターポーザ 2A' がフィルム状となってしまうので、このフィルム状態でチップ CP1 ~ CP4 を搭載することは困難となる。このため、枠体 20 を設けない場合、先にチップ CP1 ~ CP4 を搭載した後、基板 23 の基材を除去することが望ましい。

【0053】

また、本実施形態では、図 2 に示したように、柱状導体 10 の先端は、外部との電気的な接続を確保するため、側面の絶縁膜 12 のように覆われずに露出した状態としている。柱状導体 10 の先端を露出させた場合の構造について図 18 および図 19 を参照して説明する。

【0054】

図 18 では、例えば図 2 で示した柱状導体 10 側面の絶縁膜 12 が、先端側から一部後退した状態となっている。例えばはんだバンプなどの接合部材と接続する場合、柱状導体 10 の導体との接触面積が増加し、また濡れ性が絶縁膜 12（例えば、酸化シリコン膜）より導体（例えば、銅）が良いため、接合部材の保持に有利となり、半導体装置の信頼性を向上させることができる。図 18 に示したような構造は、例えば、図 10 を参照して説明したエッチング工程で、エッチング強度を調整することで形成することができる。

【0055】

一方、図 19 では、例えば図 2 で示した柱状導体 10 が、先端側から一部後退した状態となっている。例えばはんだバンプなどの接合部材と接続する場合、はんだと柱状導体 10 の導体との接触面積が減少するため、はんだバンプ（接合部材）の小径化に有利となる。例えば、半導体装置の小型化などに伴い、小径化されたはんだバンプを有する半導体装置の信頼性を向上することができる。図 19 に示したような構造は、例えば、図 10 で説明したエッチング工程後、柱状導体 10（例えば、銅）をエッチングすること（例えば、塩化第二銅液を用いる）で形成することができる。

【0056】

（実施形態 2）

本実施形態における半導体装置の構造について図 11 を参照して説明する。図 11 は本実施形態における半導体装置 1B を模式的に示す断面図である。なお、前記実施形態 1 で説明した半導体装置 1A では、配線層 14a の空隙 13 側に絶縁膜 12 を設けていたが、本実施形態では、補強材 30 を設けた点が相違する。よって、その点を中心に説明し、また、他の構造の説明は省略する場合がある。

【0057】

10

20

30

40

50

半導体装置 1 B のインターポーザ 2 B では、配線層 1 1 から延在する複数の柱状導体 1 0 の根元を覆い、複数の柱状導体 1 0 の立設を補強する補強材 3 0 が設けられている。この補強材 3 0 は、例えば絶縁性で、かつ、剛性を有するものであり、例えば、ガラス材からなる。このため、例えば、配線層 1 1 から柱状導体 1 0 が倒れるなどの不具合の発生を抑制することができるので、半導体装置 1 B の信頼性を向上することができる。

【 0 0 5 8 】

また、半導体装置 1 B ではチップ C P 1 ~ C P 4 間には熱経路となる基板 2 3 の基材を設けないような空隙 1 3 を有する構造とし、例えばシリコンインターポーザを用いた場合の基材（シリコン）による熱伝導を、遮断している。したがって、発熱量が高いチップの影響により、熱に弱いチップの温度が上昇しすぎることによる誤動作や熱破壊が起きることを防止することができ、半導体装置 1 B の信頼性を向上することができる。

10

【 0 0 5 9 】

また、配線層 1 1 の空隙 1 3 側に、補強材 3 0 を設けることによって、ハンドリング性を向上することができる。このため、図 4 を参照して説明した有機基板 1 3 0 に半導体装置 1 B を容易に搭載することができる。

【 0 0 6 0 】

次に、本実施形態における半導体装置の製造方法について図面を参照して説明する。前記実施形態 1 において図 6 を参照して説明した製造工程後、図 1 2 に示すように、貫通孔 2 5 および貫通溝 2 6 を開口する開口部を有する補強材 3 0 を、基板 2 3 の第 1 面 2 3 a に形成する。具体的には、例えば、補強材 3 0 としてガラス板を用い、そのガラス板を基板 2 3 の第 1 面 2 3 a に接合した後、貫通孔 2 5 および貫通溝 2 6 に対応する開口部を、例えばエッチングによって除去する。

20

【 0 0 6 1 】

あるいは、図 5 を参照して説明した製造工程において基板 2 3 を準備した後、基板 2 3 の第 1 面 2 3 a に補強材を形成する。その後、その補強材上に図 5 で示したようなパターン 2 4 を形成し、図 6 を参照して説明したエッチング工程によって、貫通孔 2 5 および貫通溝 2 6 と共に、貫通孔 2 5 および貫通溝 2 6 を開口する開口部を有する補強材 3 0 を形成しても良い。

【 0 0 6 2 】

その後は、前記実施形態 1 において図 7 ~ 図 1 0 を参照して説明した製造工程を経た後、図 1 1 に示した半導体装置 1 B が完成する。また、複数の柱状導体 1 0 と配線層 1 1 とを有するインターポーザ 2 B も完成することとなる。

30

【 0 0 6 3 】

（実施形態 3）

本実施形態における半導体装置の構造について図 1 3 を参照して説明する。図 1 3 は本実施形態における半導体装置 1 C を模式的に示す断面図である。なお、前記実施形態 1 で説明した半導体装置 1 A では、柱状導体 1 0 の側面（空隙 1 3 側）では絶縁膜 1 2 を設けていたが、本実施形態では、その絶縁膜 1 2 の外側（空隙 1 3 側）に補強材 3 1 を設けた点が相違する。よって、その点を中心に説明し、また、他の構造の説明は省略する場合がある。

40

【 0 0 6 4 】

半導体装置 1 C のインターポーザ 2 C では、複数の柱状導体 1 0 のそれぞれの側面には絶縁膜 1 2 を介して、複数の柱状導体 1 0 の立設を補強する補強材 3 1 が設けられている。この補強材 3 1 は、例えば剛性を有するものであり、例えば基板 2 3 の基材（例えばシリコン）からなる。このため、例えば、配線層 1 1 から柱状導体 1 0 が倒れるなどの不具合の発生を抑制することができるので、半導体装置 1 C の信頼性を向上することができる。

【 0 0 6 5 】

また、半導体装置 1 C ではチップ C P 1 ~ C P 4 間には熱経路となる基板 2 3 の基材を設けないような空隙 1 3 を有する構造とし、例えばシリコンインターポーザを用いた場合

50

の基材（シリコン）による熱伝導を、遮断している。したがって、発熱量が高いチップの影響により、熱に弱いチップの温度が上昇しすぎることによる誤動作や熱破壊が起きることを防止することができ、半導体装置１Ｃの信頼性を向上することができる。

【００６６】

次に、本実施形態における半導体装置の製造方法について図面を参照して説明する。前記実施形態１において図８を参照して説明した製造工程後、図１４に示すように、複数の柱状導体１０の、基板２３の第２面２３ｂ側端部のそれぞれに、柱状導体１０の径より大きいパターン３２を形成する。具体的には、例えば基板２３の第２面２３ｂに銅からなる層を形成した後、その銅層を異方性エッチングなどによってパターンニングして、パターン３２を形成する。これにより、パターン３２は複数の柱状導体１０の第２面２３ｂ側端部に設けられることとなる。

10

【００６７】

その後は、前記実施形態１において図９～図１０を参照して説明した製造工程を経た後、図１３に示した半導体装置１Ｃが完成する。また、複数の柱状導体１０と配線層１１とを有するインターポーザ２Ｃも完成することとなる。

【００６８】

パターン３２をマスクに基板２３の基材を、図１０を参照して説明したエッチングをすることによって、複数の柱状導体１０のそれぞれの側面に絶縁膜１２を介して、複数の柱状導体１０の立設を補強する補強材３１を形成することとなる。その後、パターン３２を除去しても良いが、本実施形態では、パターン３２を柱状導体１０と同一の材料で形成しており、また柱状導体１０の径よりも大きくしている。このため、外部接続端子として有効にパターン３２を利用するため、パターン３２を残存させている。

20

【００６９】

（実施形態４）

本実施形態における半導体装置の構造について図１５を参照して説明する。図１５は本実施形態における半導体装置１Ｄを模式的に示す断面図である。なお、前記実施形態１で説明した半導体装置１Ａでは、複数の柱状導体１０間のすべてに空隙１３を形成していたが、本実施形態では、チップＣＰ１～ＣＰ４間で熱経路を遮断する空隙１３を形成した点が相違する。よって、その点を中心に説明し、また、他の構造の説明は省略する場合がある。

30

【００７０】

半導体装置１Ｄのインターポーザ２Ｄでは、基板２３の基材がほとんど残存し、チップＣＰ１～ＣＰ４間で熱経路を遮断する位置にスリット状の空隙１３が形成されている。なお、図３に示すような半導体装置１Ｄの平面では、チップＣＰ１～ＣＰ間の熱経路を遮断するように十字状のスリット（空隙１３）が形成されることとなる。

【００７１】

半導体装置１ＤではチップＣＰ１～ＣＰ４間には熱経路となる基板２３の基材を設けないような空隙１３を有する構造とし、例えばシリコンインターポーザを用いた場合の基材（シリコン）による熱伝導を、遮断している。したがって、発熱量が高いチップの影響により、熱に弱いチップの温度が上昇しすぎることによる誤動作や熱破壊が起きることを防止することができ、半導体装置１Ｄの信頼性を向上することができる。

40

【００７２】

次に、本実施形態における半導体装置の製造方法について図面を参照して説明する。前記実施形態１において図９を参照して説明した製造工程後、図１０に示すように、配線層１１上に配線層１１と電氣的に接続されるチップＣＰ１～ＣＰ４を搭載し、チップＣＰ１～ＣＰ４と配線層１１との間にはアンダーフィル樹脂１９を充填する。

【００７３】

続いて、図１６に示すように、基板２３においてチップＣＰ１～ＣＰ４が搭載されている第１面２３ａとは反対面の第２面２３ｂ側から、複数の柱状導体１０間にスリット（空隙１３）を形成するように、基板２３の基材を除去する。具体的には、ブレード３３によ

50

ってチップＣＰ１～ＣＰ４間で熱経路を遮断する位置にスリット（空隙１３）を形成する。このようなスリットは、ブレード３３を用いて形成する場合に限らず、エッチングなどを用いて形成しても良い。

【００７４】

これにより、図１５に示した半導体装置１Ｄが完成する。また、複数の柱状導体１０と配線層１１とを有するインターポーザ２Ｄも完成することとなる。

【００７５】

また、図１１で示した補強材３０のように、柱状導体１０が倒れるなどの不具合を防止するために、基板２３の基材（シリコン）でそのような補強材を構成しても良い。図２０に、インターポーザ２Ｄにおいて、配線層１１から延在する複数の柱状導体１０の根元を覆うように基板２３の一部を残存させた場合のインターポーザ２Ｄ'と、それを有する半導体装置１Ｄ'を示す。このように基板２３の基材（シリコン）からなる補強材３４を設けた場合にも、熱の移動を妨げるためスリット（空隙１３）が必須となる。

【００７６】

なお、インターポーザ２Ｄ'では、図１６を参照して説明したスリット工程後、図１０を参照して説明したエッチング工程が適用される。または、インターポーザ２Ｄ'では、図１０を参照して説明したスリット工程後、図１６を参照して説明したエッチング工程が適用される。

【００７７】

以上、本発明者によってなされた発明を実施形態に基づき具体的に説明したが、本発明は前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【００７８】

例えば、熱抵抗が異なる複数の半導体チップを、前記実施形態ではインターポーザの同一面に搭載した場合について説明したが、インターポーザの上下両面に搭載しても良い。具体的には、熱抵抗の高い半導体チップをインターポーザの上面に搭載し、それよりも低い半導体チップをインターポーザの下面に搭載することもできる。これにより、熱抵抗が高く発熱量が高い半導体チップと、熱抵抗が低く熱に弱い半導体チップとを、インターポーザの厚さだけ離間できるので、冷却効果を高めることができる。

【符号の説明】

【００７９】

- １Ａ、１Ａ'、１Ｂ、１Ｃ、１Ｄ、１Ｄ' 半導体装置
- ２Ａ、２Ａ'、２Ｂ、２Ｃ、２Ｄ、２Ｄ' インターポーザ
- １０ 柱状導体
- １１ 配線層
- １２ 絶縁膜
- １３ 空隙
- １４ａ、１４ｂ 配線層
- １５ 層間絶縁層
- １６ パッシベーション膜
- １７ ビア
- １８ 電極バンプ
- １９ アンダーフィル樹脂
- ２０ 枠体
- ２１ はんだボール
- ２２ 接合部材
- ２３ 基板
- ２４ パターン
- ２５ 貫通孔
- ２６ 貫通溝

10

20

30

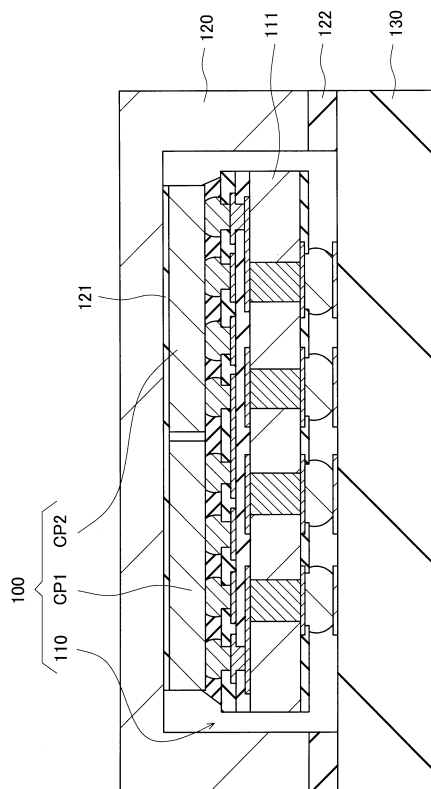
40

50

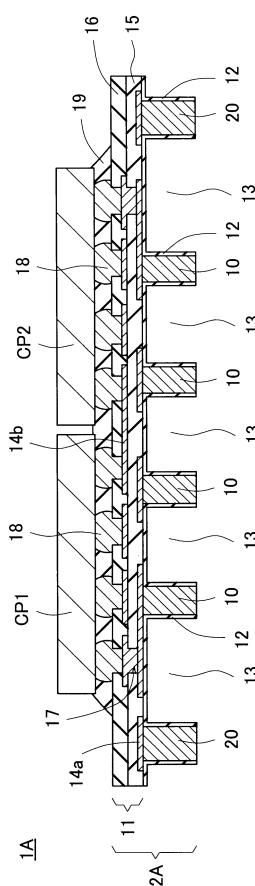
- 30、31 補強材
- 32 パターン
- 33 ブレード
- 34 補強材
- 100 半導体装置
- 110 シリコンインターポーザ
- 111 基材
- 120 放熱板
- 121、122 接合部材
- 130 有機基板
- 131、132 パターン
- CP1、CP2、CP3、CP4 チップ

10

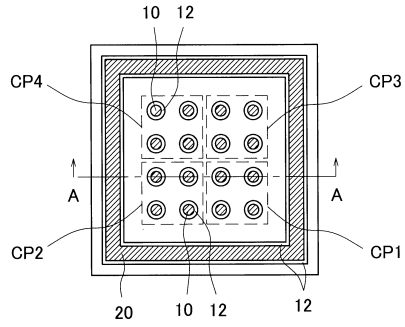
【図1】



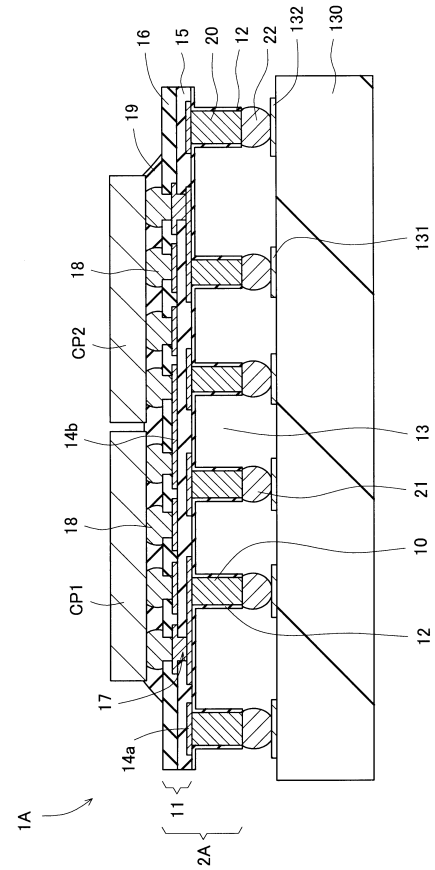
【図2】



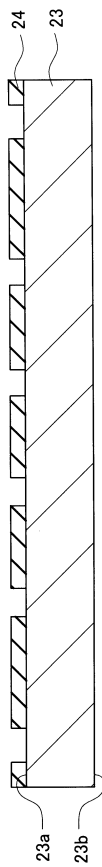
【図 3】



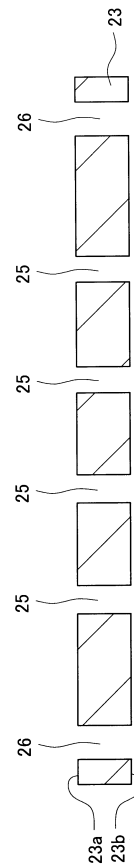
【図 4】



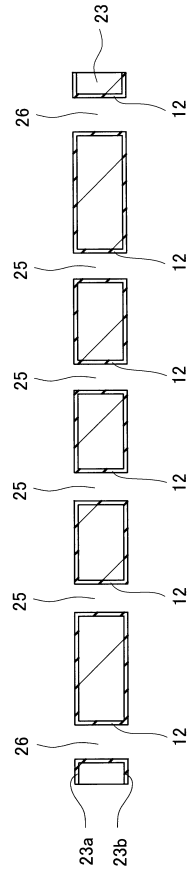
【図 5】



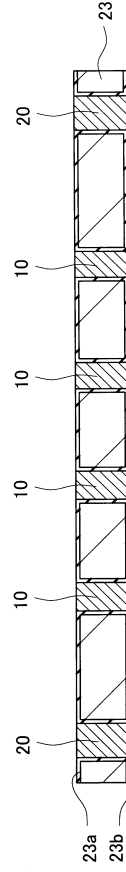
【図 6】



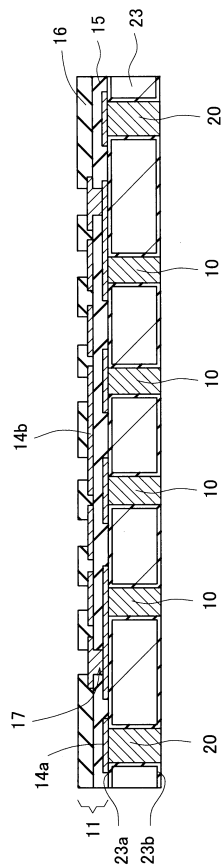
【圖 7】



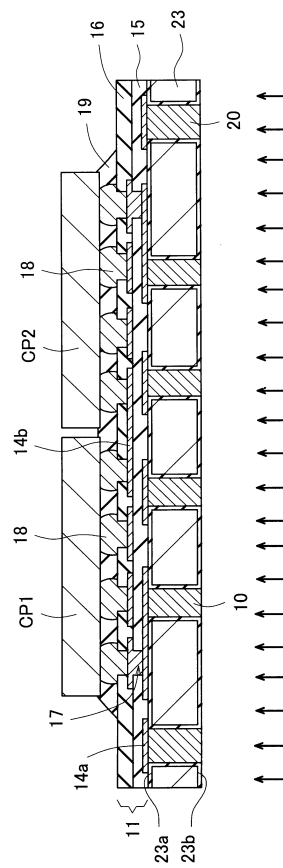
【圖 8】



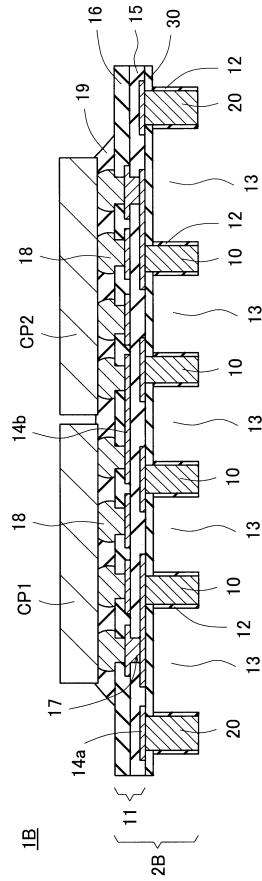
【 図 9 】



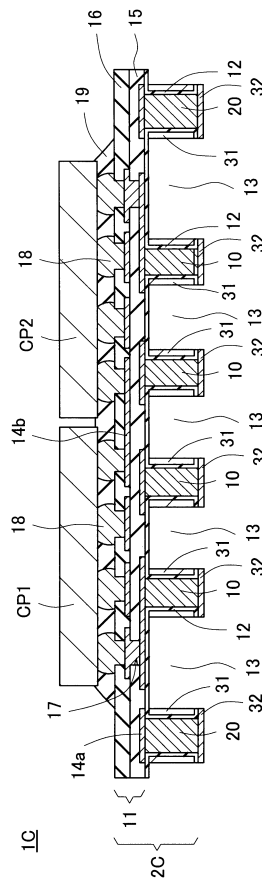
【 図 1 0 】



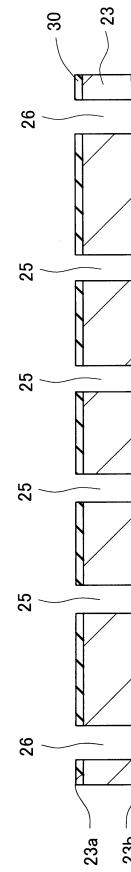
【図 1 1】



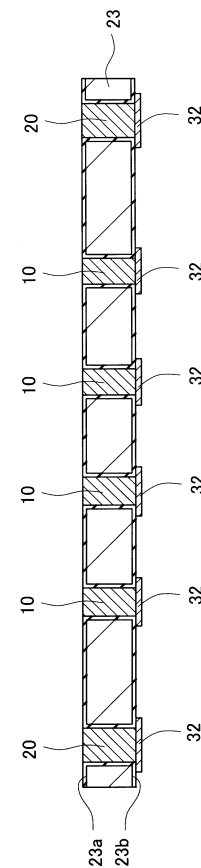
【図 1 3】



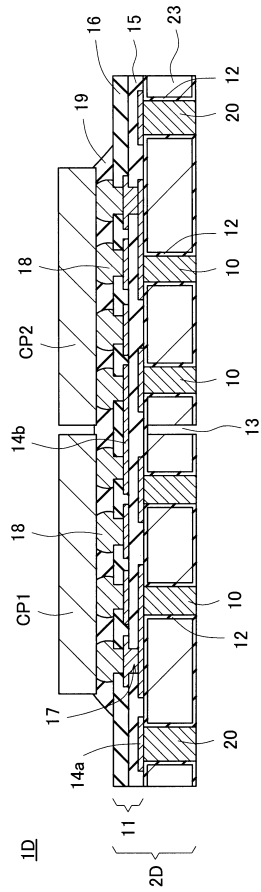
【図 1 2】



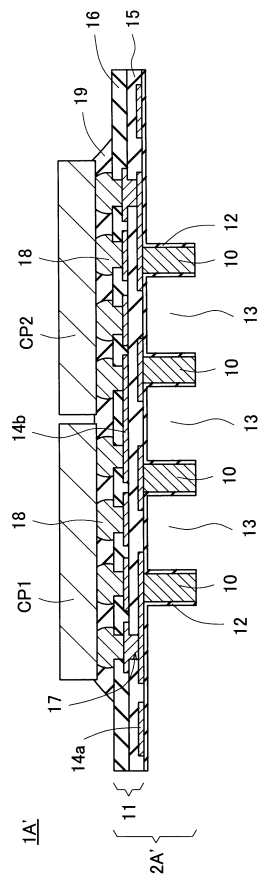
【図 1 4】



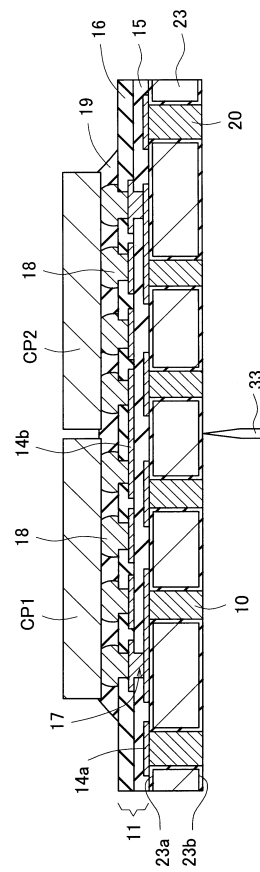
【図 15】



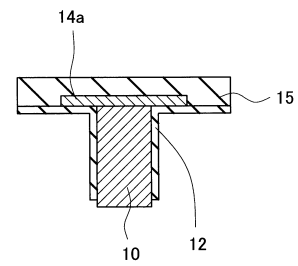
【図 17】



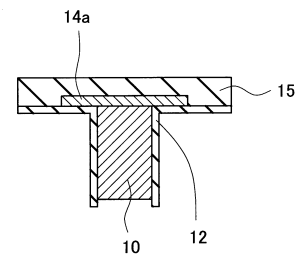
【図 16】



【図 18】



【図 19】



フロントページの続き

(56)参考文献 特開2004-281982(JP,A)
特開2002-270721(JP,A)
特開2009-164262(JP,A)
特開2008-147431(JP,A)
特開2004-079745(JP,A)
特開2004-071719(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/32
H01L 23/12 - 23/15
H01L 25/00 - 25/18