

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2019-203979

(P2019-203979A)

(43) 公開日 令和1年11月28日(2019.11.28)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 621A	5C006
G02F 1/133 (2006.01)	G09G 3/20 611C	5C080
	G09G 3/20 612L	
	G09G 3/20 680C	
審査請求 未請求 請求項の数 3 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2018-98690 (P2018-98690)
 (22) 出願日 平成30年5月23日 (2018. 5. 23)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100126240
 弁理士 阿部 琢磨
 (74) 代理人 100124442
 弁理士 黒岩 創吾
 (72) 発明者 一政 昭司
 東京都大田区下丸子3丁目30番2号 キ
 ヤノン株式会社内
 Fターム(参考) 2H193 ZA04 ZA07 ZB03 ZD11 ZF13
 ZF15 ZF18 ZF36 ZR04

最終頁に続く

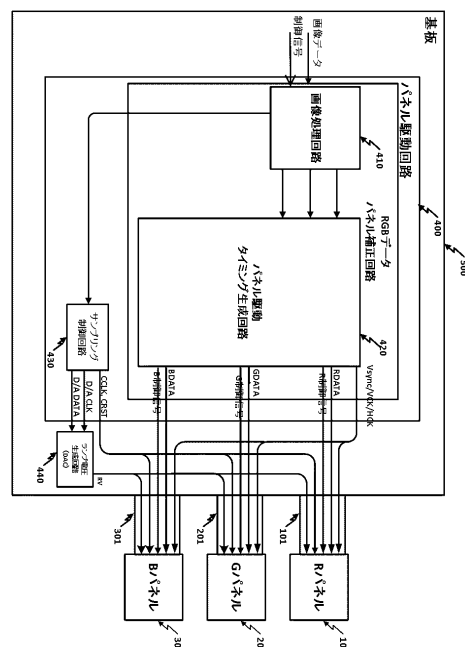
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】データの転送のタイミングをずらすことにより、表示装置における液晶パネルのEMIなどのノイズを低減することを可能とした表示装置の駆動回路を提供すること。

【解決手段】R、G、B毎のデジタル画像データ及び制御信号の出力を行い水平走査及び垂直走査により液晶パネルを駆動する駆動手段400と、駆動手段から出力されるデジタル画像データ及び制御信号を受けて表示を行うR、G、Bの液晶パネル100、200、300で構成される表示装置である。駆動手段400は、R、G、Bそれぞれのデータに対して前記デジタル画像データの出力タイミングをずらすタイミング変更手段420を有し、タイミング変更手段はR、G、B夫々のデータの出力タイミングをずらす。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

R、G、B毎のデジタル画像データ及び制御信号の出力を行い水平走査及び垂直走査により液晶パネルを駆動する駆動手段と、前記駆動手段から出力されるデジタル画像データ及び制御信号を受けて表示を行うR、G、Bの液晶パネルを有する表示装置であって、

前記駆動手段は、R、G、Bそれぞれのデータに対して前記デジタル画像データの出力タイミングをずらすタイミング変更手段を有し、

前記タイミング変更手段はR、G、B夫々のデータの出力タイミングをずらすことを特徴とする表示装置。

【請求項 2】

前記デジタル画像データの出力タイミングは予めデータ出力開始位置がずれていることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記垂直走査を行う毎にデジタル画像データの出力タイミングをずらすことを特徴とする請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に液晶表示装置の駆動回路に関するものである。

【背景技術】

【0002】

従来、液晶表示装置を動作させる際にはノイズの放射の問題があることがよく知られており、近年の表示装置の高解像度化やフレームレートの上昇に伴うデータ転送速度の高速化により、ますますノイズ低減化することの重要性が大きくなっている。ノイズの原因として、駆動の際に電流が流れることによる磁界起因のノイズがあげられる。電流が集中することによって、瞬間的に大電流が流れることが大きなノイズの発生につながっているため、電流が一度に流れる量を分散させることによりノイズを低減させる方法がある。

【0003】

例えば、特許文献 1 ではTFT液晶パネルを駆動するための駆動回路で、R,G,Bデータを転送する際に任意の複数ビット単位で構成されるまとまりごとに少しずつタイミングをずらして転送する技術が開示されている。また、特許文献 2 では液晶パネル駆動ドライバにおいて、ソース線側を駆動させるタイミングを分散させるようなタイミング制御を行う技術が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 1 1－2 5 9 0 5 0 号公報

【特許文献 2】特開 2 0 0 3－2 3 3 3 5 8 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献 1 に開示された技術では、転送のタイミングをずらす際に同一クロック内でずらす方式であるため、`setup・hold` マージンが減少してしまう。データ転送速度の高速化によりタイミングマージンの確保が難しくなっているため、マージンの減少は好ましくない。また、タイミングを微妙にずらすためにはPLLが必要となってしまう、回路構成が複雑化してしまう。

【0006】

また、特許文献 2 に開示された技術では、液晶ドライバが液晶パネルを駆動する部分についてのタイミング分散であり、距離が長くなることでノイズが出やすくなる駆動装置と液晶ドライバ間の転送ノイズを防ぐことが出来ない。

10

20

30

40

50

【0007】

そこで、本発明の目的は、簡易な構造によって転送のタイミングをずらすことにより、タイミングマージンの減少無しにノイズを低減することを可能とした表示装置の駆動回路を提供することである。

【課題を解決するための手段】

【0008】

上記目的を達成するために、本発明の表示装置は、複数の色の表示手段の色毎の画像データ及び制御信号出力を行い表示手段を駆動する駆動手段と、前記駆動手段から出力される画像データ及び制御信号を受けて表示を行う複数の表示手段で構成される表示装置であって、前記駆動手段は、前記表示手段それぞれのデータに対して前記画像データの転送クロックに同期して水平方向の書き込み開始タイミングをRGB毎に画像データの出力タイミングをずらすタイミング変更手段を有し、前記出力タイミングは予めRGBの色毎にずらされたタイミングで画像データを前記表示手段に入力する事の特徴とする。

10

【発明の効果】

【0009】

本発明によれば、RGB毎の表示手段への画像データの転送のタイミングを予めずらす。このように行う事により、繰り返しパターン等で増加する不要輻射ノイズを低減することが可能となる。

【図面の簡単な説明】

【0010】

20

【図1】本発明の実施形態に係る表示装置駆動回路のブロック図

【図2】同表示装置駆動回路における画素の構成を示す図

【図3】レジ調整を必要とする場合のイメージ図

【図4】レジ調整時のタイミングを示すタイミングチャートを示す図

【図5】データずらし時のタイミングを示すタイミングチャートを示す図

【図6】画像に対してのデータを示すタイミングチャートを示す図

【図7】データ解析回路の詳細図

【図8】本発明のフローチャートを示す図

【図9】本実施例の画像例を示す図

【発明を実施するための形態】

30

【0011】

以下に、本発明の好ましい実施の形態を、添付の図面に基づいて詳細に説明する。図1は、本発明の実施形態にかかわる表示装置のブロック図である。図1のパネル駆動回路400及びランプ電圧生成回路501の出力によりR用液晶パネル100、G用液晶パネル200、B用液晶パネル300の駆動を行う構成である。

【0012】

(実施例1)

以下、図1～図4を参照して、本発明の第1の実施例による、レジストレーション（以下レジと呼称する）調整について説明する。

【0013】

40

まず図1～図4を使ってパネル駆動動作の概要を説明する。図1において、基板500上を伝送されてきた画像データはパネル駆動回路400内の、画像処理回路410に入力され、画像処理回路410にてガンマ処理、色むら処理、その他パネル用の補正を行った後、RGBにそれぞれ分離してR/G/Bパネル駆動タイミング生成回路420に入力される。パネル駆動タイミング生成回路420は各色のパネルの駆動タイミング調整を行った後、パネル駆動用の画像データと同期信号を生成する。生成された画像データと同期信号等を含む制御信号はパネル駆動回路400から出力され、基板500とR/G/Bパネルフレキ101、201、301を通してR/G/Bパネル100、200、300に入力される。

【0014】

画像処理回路410は上記とは別に、サンプリング制御回路430へと同期信号を受け

50

渡す。サンプリング制御回路430は受け取った同期信号をもとに各パネルへのサンプリング用信号の出力とランプ電圧生成回路501の制御を行う。ランプ電圧生成回路440はサンプリング制御回路430からの制御でD/A変換を行うことでランプ電圧を生成し、各パネルへと出力する。ランプ電圧は後述のカウンタクロックに同期して上昇或いは下降する。

【0015】

また、図1における液晶パネルであるRパネル100、Gパネル200、Bパネル300は全て同様の構造であり、その内部の構造を図2に示す。H駆動回路110は、パネルタイミング生成回路420からの同期信号及び画像データと、サンプリング制御回路450からのサンプリング信号を受けて水平方向の駆動を行う。H駆動回路110内のインプットデータレジスタ111は、入力された画像データと同期信号を順次受けとって、水平方向に対してのN+1ライン目の1Hライン分の映像データを記憶する。

10

【0016】

データメモリ112は、インプットデータレジスタ111にて記憶した1Hライン分のNライン目の映像データを記憶する。インプットデータレジスタ111からデータメモリ112のデータの移行は、インプットデータレジスタが入力される1Hライン分のデータのブランキング期間中に行われる。データコンパレータ113はデータメモリ112に記憶しているNライン目の映像データと、データコンパレータ113に入力されるカウンタクロックであるCCLKのカウント値を比較する。データコンパレータ113のデータが例えば、1024階調(10bit)の5のデータ(階調)で有った場合、カウンタクロックCCLKのクロック数が5クロックカウントした事によりコンパレータの合致結果を出力する。

20

【0017】

SWコントローラ114は、データコンパレータ113からの出力をもとにアナログSW133のスイッチングを行う。SW信号線132はアナログSW133をON/OFF可能な電圧に変換して出力する。そしてアナログSW133は、ランプ電圧生成回路501で生成されたランプ電圧であるRV131を表示領域130に垂直に配線されたビデオ線134に接続制御する。この接続制御により、映像データに応じたランプ電圧をビデオ線に印加する。Vシフトレジスタ120はパネル駆動回路400からの駆動信号であるVS信号とVCLK信号でV操作信号135を制御する。アナログSW133を介してビデオ線134に供給されるランプ電圧であるRV131は、画素トランジスタ136のドレインに接続される。画素トランジスタ136のゲートにはV操作信号135に接続され、画素トランジスタ136のオン/オフ制御を行う。画素コンデンサ137は画素トランジスタ136のソースに接続されビデオ線134に印加されたランプ電圧を受けて、その電圧を液晶駆動電圧として充電する。

30

【0018】

また、画素トランジスタ136は不図示画素電極に接続されている。ビデオ線134は、画素トランジスタ136のソースに接続されるとともに、配線がコンデンサ容量として機能し、画素コンデンサ136の容量より大きい容量(数百倍から数万倍)で構成されている。また画素コンデンサ136の他端は所定電圧である所のVcomCに接続されている。液晶であるLC138は画素コンデンサ137に充電された電圧と不図示透明電極に印加される所定電圧であるVcomLの電位差を受けて液晶駆動される。液晶であるLC138は画素電極と電位差(実効値)に応じて変化する構成となっている。

40

【0019】

図3はRパネル/Gパネル/Bパネルの表示エリアのイメージ図である。このイメージ図で、水平:1024×垂直:768の表示エリアに対して上下、左右に3画素ずつのRGBのパネルの位置ずれ等が発生した時に表示エリア移動可能な領域、所謂レジ調整領域を有している。水平:1024×垂直:768の表示エリア内のパターンは、白と黒の1画素ごとに表示を繰り返す縦しまパターンである。

【0020】

50

前述の構成に於いて、EMIノイズを悪化させる要因として、データの繰り返しパターンで尚且つ繰り返しパターンデータの差分が大きい場合、例えば図3に示すような縦ストライプの場合である。このような表示パターンの場合、データの転送タイミング開始が同時の場合データの転送クロックで有るところのHCKのクロックの立ち上がりの都度に大きいデータの変位が同時に発生する。そのためデータの変化時に電流が集中することによって、瞬間的に大電流が流れることが大きなノイズの発生をさせる。

【0021】

上記のような状況に対して、駆動方法を図4に示す。図4に於ける駆動は、BASE HSYNCは画像データの入力信号に応じて画像処理回路410から出力されるHSYNCである。このBASE HSYNCに対をもとに、パネル駆動タイミング生成回路420はRパネル100、Gパネル200、Bパネル300毎にHSYNC及びデータの出力タイミングを生成する。パネル駆動タイミング生成回路420は、画像処理回路410からの画像データ及びVSYNC及びHSYNC信号を受けて、V制御信号回路及びラインメモリ421にてパネルを駆動する制御信号を生成する。制御信号V制御信号回路及びラインメモリ421は、垂直方向の開始信号VSYNC及び垂直方向のシフトクロックであるVCK及びデータをパネルに転送するクロックであるHCKを生成出力するとともにBASE HSYNCを生成する。そして、Rデータずらし回路422、Gデータずらし回路423、Bデータずらし回路424にBASE HSYNCに出力する。

【0022】

また、制御信号回路及びラインメモリ421はラインメモリに1水平走査分のRGBそれぞれのデータをRGB毎のラインメモリに書き込む。Rデータずらし回路422、Gデータずらし回路423、Bデータずらし回路424は制御信号回路及びラインメモリ421のラインメモリから1水平走査分のデータを読み出す。またRデータずらし回路422、Gデータずらし回路423、Bデータずらし回路424はBASE HSYNCの出力からRデータずらし回路422で、R HSYNC、Gデータずらし回路423で、G HSYNC Bデータずらし回路424で、B HSYNCを生成する。

【0023】

各RGBのHSYNCは、図4に示すタイミングチャートのように、Rデータずらし回路422出力されるR HSYNCは、BASE HSYNCと同じタイミングで出力される。G HSYNCは、BASE HSYNCに対して1HCK分遅れたタイミングで、B HSYNCは、BASE HSYNCに対して2HCK分遅れたタイミングで出力される。

【0024】

ここで水平1024画素分の表示に対して、+6画素分余分に画素を持っておき、標準状態のDATAでは左右に各3画素分のレジ領域（常に黒表示）を持っているものとする。データ（ここでは簡易的に4ビットで表す）は各色のHSYNCからHCKに同期してパネルへのデータ転送を開始して所定の左のレジ調整画素分の3画素分の転送を行い、順次各RGBパネルにデータを転送して行く。

【0025】

このR HSYNC、G HSYNC、B HSYNC基準から各RGBパネルにデータ転送を行う事により、図3に示すような横方向に1画素毎の白黒パターンの繰り返しパターンでの全て或いは多数のデータが同じタイミングで変化する事を防ぐことが出来る。よって、EMIノイズの低減する事ができる。

【0026】

パネルへのデータ転送は、多くがHSYNCを基準として行われる。このようにHSYNCとデータのHCKとの関係を合わせる事で、パネルのデータを受ける制約を受けることなくEMI低減のデータ転送を行う事が出来る。また、上記実施例に於いてはHSYNC基準について記載したが、パネルによってはデータイネーブ：DEによってパネルへのデータ書き込み信号とするパネルが有る。そのようなパネルの場合、図6に示すようにデータイネーブ：DEを前述のRGB各HSYNCをずらしたようにずらして、パネルにデータを転送しても良い。

【0027】

（実施例2）

10

20

30

40

50

実施例 2 は、前述の実施例 1 の構成で各色毎のHSYNCの生成方法が異なる。HSYNC生成方法を図 4 及び図 5 のタイミングチャートをもとに下記説明する。

【0028】

まずV走査の1ライン目のH走査は、前述の実施例 1 と同様に、制御信号回路及びラインメモリ 4 2 1 はラインメモリに1水平走査分のRGBそれぞれのデータをRGB毎のラインメモリに書き込む。Rデータずらし回路 4 2 2、Gデータずらし回路 4 2 3、Bデータずらし回路 4 2 4 は制御信号回路及びラインメモリ 4 2 1 のラインメモリから1水平走査分のデータを読み出す。

【0029】

またRデータずらし回路 4 2 2、Gデータずらし回路 4 2 3、Bデータずらし回路 4 2 4 はBASE HSYNCの出力からRデータずらし回路 4 2 2 で、R HSYNC、Gデータずらし回路 4 2 3 で、G HSYNC Bデータずらし回路 4 2 4 で、B HSYNCを生成する。

【0030】

各RGBのHSYNCは、図 4 に示すタイミングチャートのように、Rデータずらし回路 4 2 2 出力されるR HSYNCは、BASE HSYNCと同じタイミングで出力される。G HSYNCは、BASE HSYNCに対して1HCK分遅れたタイミングで、B HSYNCは、BASE HSYNCに対して2HCK分遅れたタイミングで出力される。ここで水平1024画素分の表示に対して、+6画素分余分に画素を持っており、標準状態のDATAでは左右に各3画素分のレジ領域（常に黒表示）を持っているものとする。

【0031】

データ（ここでは簡易的に4ビットで表す）は各色のHSYNCからHCKに同期してパネルへのデータ転送を開始して所定の左のレジ調整画素分の3画素分の転送を行い、順次各RGBパネルにデータを転送して行く。このR HSYNC、G HSYNC、B HSYNC基準から各RGBパネルにデータ転送を行う事により、図 3 に示すような横方向に1画素毎の白黒パターンの繰り返しパターンでの全てのデータが同じタイミングで変化する事を防ぐことが出来る。

【0032】

ここで、例えば繰り返しパターンが色毎に異なる場合を図 8 に示す。（A）がRパネルとBパネル、（B）がGパネルで表示された場合は、Rデータずらし回路 4 2 2、Gデータずらし回路 4 2 3、Bデータずらし回路 4 2 4 出力されるデータは、図 9 に示すような同じタイミング全て或いは多数のデータが変化する繰り返しデータとなる。

【0033】

ここで本実施例は、2ライン目、3ライン目と水平走査を行う際に、H_SYNCの出力タイミング即ちデータの出力タイミングを1ライン毎にずらしてデータを出力する。データのずらし方は、図 5 に示すように行う。1ライン目は、前述の実施例 1 と同様にR HSYNCは、BASE HSYNCと同じタイミングで出力される。G HSYNCは、BASE HSYNCに対して1HCK分遅れたタイミングで、B HSYNCは、BASE HSYNCに対して2HCK分遅れたタイミングで出力される。

【0034】

2ライン目は、B HSYNCがBASE HSYNCと同じタイミングで出力する。R HSYNCは、BASE HSYNCに対して1HCK分遅れたタイミングで出力する。G HSYNCは、BASE HSYNCに対して2HCK分遅れたタイミングで出力する。上述のように各、R_データずらし回路 4 2 2、G_データずらし回路 4 2 3、B_データずらし回路 4 2 4 が水平のRラインをカウントしながらずらし量を切り替えながら駆動する。

【0035】

また3ライン目は、G HSYNCがBASE HSYNCと同じタイミングで出力する。B HSYNCは、BASE HSYNCに対して1HCK分遅れたタイミングで出力する。R HSYNCは、BASE HSYNCに対して2HCK分遅れたタイミングで出力する。上述のように各、R_データずらし回路 4 2 2、G_データずらし回路 4 2 3、B_データずらし回路 4 2 4 が水平のRラインをカウントしながらずらし量を切り替えながら駆動して行く。

【0036】

10

20

30

40

50

以上のようにR HSYNC、G HSYNC、B HSYNCを、BASE HSYNCに対してライン毎に切り替えながら駆動することにより、同じタイミング全て或いは多数のデータが変化する繰り返しデータを連続的な発生を防ぐことができるのでEMIノイズの低減することが出来る。

【0037】

本実施例に於いてはHSYNC基準について記載したが、実施例1と同様にパネルによってはデータインーブ：DEによってパネルへのデータ書き込み信号とするパネルが有る。そのようなパネルの場合、図6に示すようにデータインーブ：DEを前述のRGB各HSYNCをずらしたようにずらして、パネルにデータを転送しても良い。

【0038】

以上、本発明の好ましい実施形態について説明したが、本発明はこれらの実施形態に限定されない。本実施例では、ランプ電圧をサンプリングする構成のパネルに関して記述したが、デジタルデータを入力する形式のパネルであれば対応可能である。また、例えば前述の液晶パネルの解像度、透過型・反射型等の液晶パネル方式、及び水平走査線等の本数等、映像信号の入力形式（パラレル/シリアル/データ相数等）は限定されるものではない。また本実施例に於いては、表示手段を液晶パネルにて説明したが、表示手段は液晶パネルに限定される物ではなく、例えばDLPによる3枚構成のプロジェクタで有っても良い事は言う迄も無い。

【0039】

また、本実施例に於いては、データのずらす最少幅を1クロックで説明したが、1クロックに限らず水平走査のクロック数の駆動範囲以内であればRGB毎のHSYNCずらし量を増やしても良い。その要旨の範囲内で種々の変形及び変更が可能である。

【符号の説明】

【0040】

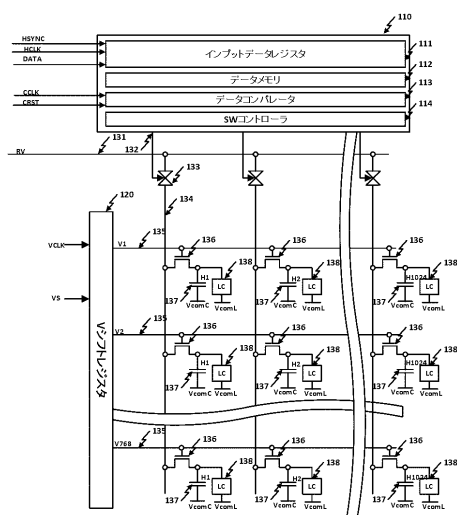
- 100 Rパネル
- 101 Rパネル用フレキ
- 200 Gパネル
- 201 Gパネル用フレキ
- 300 Bパネル
- 301 Bパネル用フレキ
- 400 パネル駆動回路
- 410 画像処理回路
- 420 パネル駆動タイミング生成回路
- 430 サンプリング制御回路
- 440 ランプ電圧生成回路
- 500 基板

10

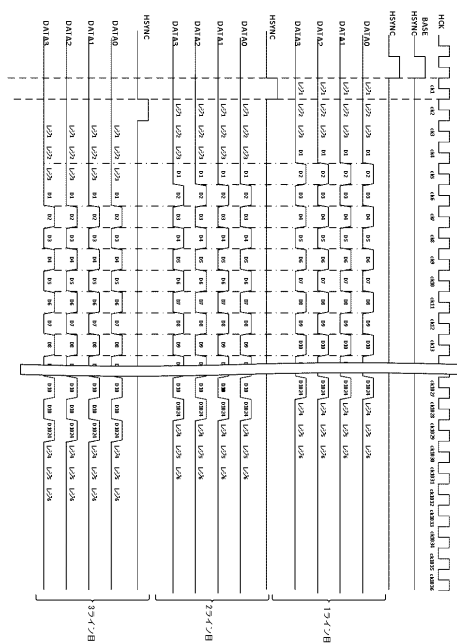
20

30

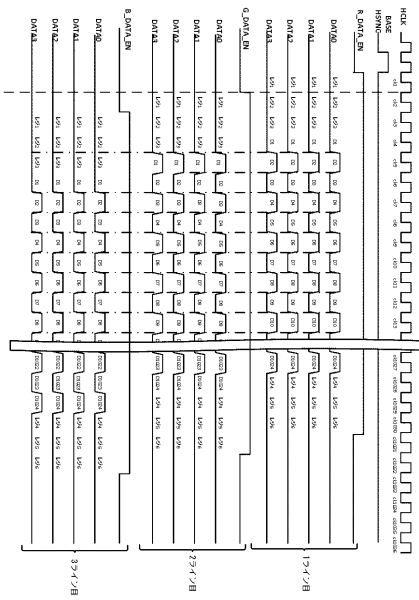
【図 2】



【図 4】



【図 9】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 8 0 E	
	G 0 2 F 1/133 5 5 0	

F ターム(参考)	5C006	AA22	AC21	AF21	AF44	AF46	AF52	AF71	AF82	BB16	BB28
		BC12	BC16	BF03	BF05	BF11	BF14	EC11	FA22	FA32	
	5C080	BB05	CC03	DD05	DD12	FF11	JJ02	JJ03	JJ04		