



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I865775 B

(45)公告日：中華民國 113 (2024) 年 12 月 11 日

(21)申請案號：110116070

(22)申請日：中華民國 110 (2021) 年 05 月 04 日

(51)Int. Cl. : G06N3/06 (2006.01)

G06N3/063 (2023.01)

G06F30/392 (2020.01)

(30)優先權：2020/05/15	日本	2020-085737
2020/07/31	日本	2020-129885
2020/07/31	日本	2020-129929
2020/08/03	日本	2020-131822
2021/02/17	日本	2021-023247

(71)申請人：日商半導體能源研究所股份有限公司(日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：青木健 AOKI, TAKESHI (JP)；黑川義元 KUROKAWA, YOSHIYUKI (JP)；上妻宗廣 KOZUMA, MUNEHIRO (JP)；金村卓郎 KANEMURA, TAKURO (JP)；井上達則 INOUE, TATSUNORI (JP)

(74)代理人：林怡芳；童啓哲

(56)參考文獻：

TW 201732609A

TW 201809815A

TW 201809815A

TW 201818234A

審查人員：黃鴻鈞

申請專利範圍項數：29 項 圖式數：42 共 298 頁

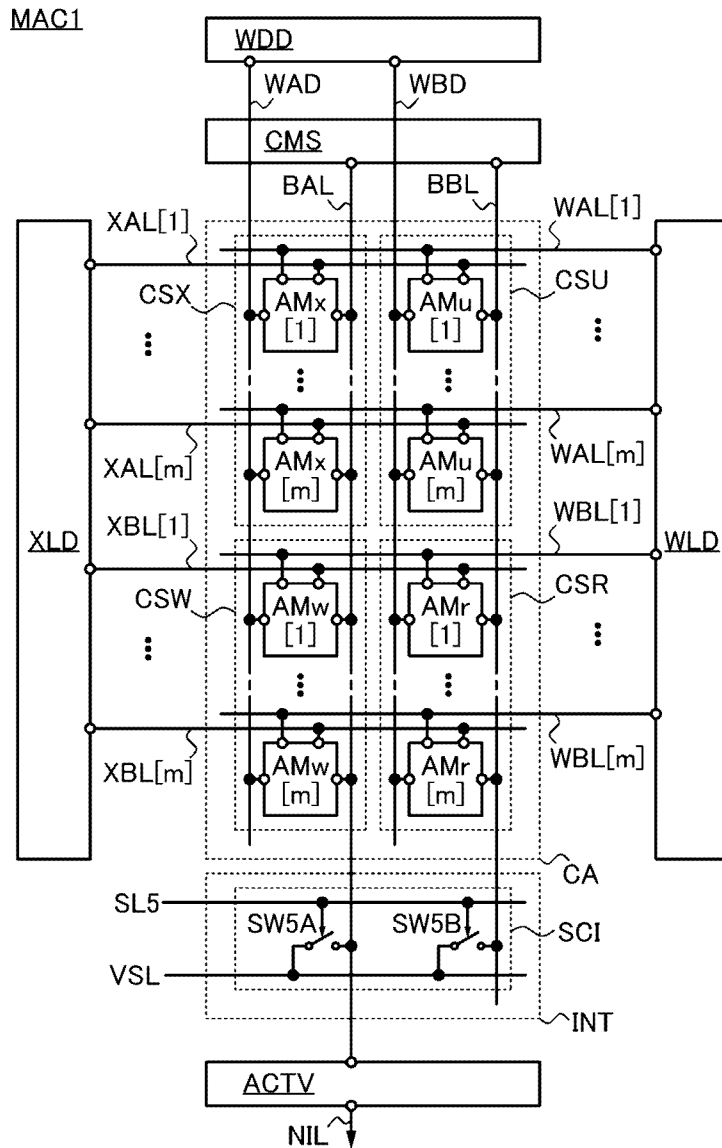
(54)名稱

半導體裝置及電子裝置

(57)摘要

本發明的一個實施方式提供一種電路面積小且功耗低的半導體裝置。一種半導體裝置，包括第一至第四單元、電流鏡電路、第一至第四佈線，並且第一至第四單元的每一個包括第一電晶體、第二電晶體以及電容器。在第一至第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接。第一佈線與第一單元及第二單元的第二電晶體的第一端子電連接，第二佈線與第三單元及第四單元的第二電晶體的第一端子電連接，第三佈線與第一單元及第三單元的電容器的第二端子電連接，第四佈線與第二單元及第四單元的電容器的第二端子電連接。電流鏡電路與第一佈線及第二佈線電連接。

指定代表圖：



【圖1】

符號簡單說明：

MAC1:運算電路

CA:記憶單元陣列

WDD:電路

CMS:電路

XLD:電路

WLD:電路

INT:電路

ACTV:電路

CSX:電路

CSU:電路

CSW:電路

CSR:電路

AMx[1]:記憶單元

AMx[m]:記憶單元

AMu[1]:記憶單元

AMu[m]:記憶單元

AMw[1]:記憶單元

AMw[m]:記憶單元

AMr[1]:記憶單元

AMr[m]:記憶單元

SCI:電路

XAL[1]:佈線

XAL[m]:佈線

XBL[1]:佈線

XBL[m]:佈線

WAL[1]:佈線

WAL[m]:佈線

WBL[1]:佈線

WBL[m]:佈線

WAD:佈線

WBD:佈線

BAL:佈線

BBL:佈線

NIL:佈線

SL5:佈線

VSL:佈線

I865775

TW I865775 B

SW5A:開關

SW5B:開關



I865775

【發明摘要】

【中文發明名稱】半導體裝置及電子裝置

【中文】

本發明的一個實施方式提供一種電路面積小且功耗低的半導體裝置。一種半導體裝置，包括第一至第四單元、電流鏡電路、第一至第四佈線，並且第一至第四單元的每一個包括第一電晶體、第二電晶體以及電容器。在第一至第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接。第一佈線與第一單元及第二單元的第二電晶體的第一端子電連接，第二佈線與第三單元及第四單元的第二電晶體的第一端子電連接，第三佈線與第一單元及第三單元的電容器的第二端子電連接，第四佈線與第二單元及第四單元的電容器的第二端子電連接。電流鏡電路與第一佈線及第二佈線電連接。

【指定代表圖】圖1

【代表圖之符號簡單說明】

MAC1：運算電路

CA：記憶單元陣列

WDD：電路

CMS：電路

XLD：電路

WLD：電路

INT：電路

ACTV：電路

CSX：電路

CSU：電路

CSW：電路

CSR：電路

AMx[1]：記憶單元

AMx[m]：記憶單元

AMu[1]：記憶單元

AMu[m]：記憶單元

AMw[1]：記憶單元

AMw[m]：記憶單元

AMr[1]：記憶單元

AMr[m]：記憶單元

SCI：電路

XAL[1]：佈線

XAL[m]：佈線

XBL[1]：佈線

XBL[m]：佈線

WAL[1]：佈線

WAL[m]：佈線

WBL[1]：佈線

WBL[m]：佈線

WAD：佈線

WBD：佈線

BAL：佈線

BBL：佈線

NIL：佈線

SL5：佈線

VSL：佈線

SW5A：開關

SW5B：開關

【特徵化學式】無

【發明說明書】

【中文發明名稱】半導體裝置及電子裝置

【技術領域】

【0001】本發明的一個實施方式係關於一種半導體裝置及電子裝置。

【0002】本發明的一個實施方式不侷限於上述技術領域。本說明書等所公開的發明的技術領域係關於一種物體、工作方法或製造方法。此外，本發明的一個實施方式係關於一種製程（process）、機器（machine）、產品（manufacture）或者組合物（composition of matter）。因此，明確而言，作為本說明書所公開的本發明的一個實施方式的技術領域的例子可以舉出半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、蓄電裝置、攝像裝置、記憶體裝置、信號處理裝置、感測器、處理器、電子裝置、系統、它們的驅動方法、它們的製造方法或它們的檢查方法。

【先前技術】

【0003】現在，以人腦結構為模型的積體電路的開發日益火熱。該積體電路組裝有作為腦子結構的電子電路且包括相當於人腦的“神經元”及“神經突觸”的電路。因此，有時將上述積體電路稱為“神經形性（neuro-morphic）”、“腦子形性（brain-morphic）”或“腦子激發（brain-inspire）”。該積體電路具有非諾依曼型架構，與隨著處理速度的增加功耗也變高的諾依曼型架構相比，可以期待以極低功耗進行並列處理。

【0004】包括“神經元”及“神經突觸”的模仿神經網路的資料處理模型被稱為人工神經網路（ANN）。藉由利用人工神經網路，甚至可以以與人等同或者超過人的精度進行推斷。在人工神經網路中，主要進行神經元輸出的權重之和的運算，亦即積和運算。

【0005】例如，專利文獻 1 公開了將使用 OS 電晶體（有時被稱為氧化物半導體電晶體）的記憶單元用於執行積和運算的電路的發明。OS 電晶體是指在通道形成區域中含有金屬氧化物半導體的電晶體，該電晶體的關電流極小（例如，非專利文獻 1 及 2）。此外，已製造了使用 OS 電晶體各種半導體裝置（例如，非專利文獻 3 及 4）。OS 電晶體的製程可以納入現有 Si 電晶體（在通道形成區域中含有 Si 的電晶體）的 CMOS 製程，OS 電晶體可以層疊在 Si 電晶體上（例如，非專利文獻 4）。

【0006】

[專利文獻 1]日本專利申請公開第 2017-168099 號公報

[非專利文獻]

【0007】

[非專利文獻 1]S.Yamazaki et al. , “Properties of crystalline In-Ga-Zn-oxide semiconductor and its transistor characteristics ,” Jpn.J.Appl.Phys. , vol.53 , 04ED18 (2014) .

[非專利文獻 2]K.Kato et al. , “Evaluation of Off-State Current Characteristics of Transistor Using Oxide Semiconductor Material , Indium-Gallium-Zinc Oxide ,” Jpn.J.Appl.Phys. , vol.51 , 021201 (2012) .

[非專利文獻 3]S.Amano et al. , “Low Power LC Display Using In-Ga-Zn-Oxide TFTs Based on Variable Frame Frequency , “SID Symp.Dig.Papers , vol.41 , pp.626-629 (2010) .

[非專利文獻 4]T.Ishizu et al. , “Embedded Oxide Semiconductor Memories : A Key Enabler for Low-Power ULSI ,” ECS Tran. , vol.79 , pp.149-156 (2017) .

【發明內容】

【0008】在使用數位電路執行積和運算的情況下，使用數位乘法電路執行作為乘數的數位資料（乘數資料）與作為被乘數的數位資料（被乘數資料）相乘的運算。然後，使用數位加法電路執行藉由該乘法得到的數位資料（積資料）的加法運算，以取得作為該積和運算的結果的數位資料（積和資料）。作為數位乘法電路及數位加法電路的需求，較佳為能夠處理多位運算。但是，在此情況下，數位乘法電路及數位加法電路的電路規模均增大，這可能會導致整個運算電路的電路面積及功耗的增加。

【0009】此外，人工神經網路除了進行積和運算以外還進行活化函數的運算。如果使用數位電路執行活化函數的運算，則如上所述那樣可能會導致整個運算電路的電路面積及功耗的增加。此外，如果使用類比電路而不使用數位乘法電路及數位加法電路進行積和運算，則該類比電路所輸出的運算結果成為類比信號，由此為了將該運算結果輸入到進行活化函數的運算的數位電路而需要將該運算結果從類比信號轉換成數位信號一次。再者，該數位電路輸出作為數位信號的運算結果，由此在使用該運算結果再次進行積和運算時需要將該運算結果的數位信號轉換成類比信號，以將其輸入到該類比電路。尤其是，人工神經網路反復進行積和運算及活化函數的運算，由此在類比電路和數位電路混合在一起的電路中，頻繁地轉換數位信號和類比信號。由此，有時轉換數位信號和類比信號的電路的功耗也可能會增加。

【0010】本發明的一個實施方式的目的之一是提供一種能夠進行積和運算及/或活化函數的運算的半導體裝置。此外，本發明的一個實施方式的目的之一是提供一種功耗低的半導體裝置。

【0011】此外，本發明的一個實施方式的目的之一是提供一種新穎的半導體裝置等。此外，本發明的一個實施方式的目的之一是提供一種包括上述半導體裝置的電子裝置。

【0012】注意，本發明的一個實施方式的目的是不侷限於上述目的。上述目的並不妨礙其他目的的存在。其他目的是指將在下面的記載中描述的上述以外的目的。本領域技術人員可以從說明書或圖式等的記載中導出並適當衍生上述以外的目的。本發明的一個實施方式實現上述目的及其他目的中的至少一個目的。此外，本發明的一個實施方式不一定需要實現所有的上述目的及其他目的。

【0013】 (1)

本發明的一個實施方式是一種半導體裝置，包括第一單元、第二單元、第三單元、第四單元、電流鏡電路、第一佈線、第二佈線、第三佈線及第四佈線。第一單元、第二單元、第三單元及第四單元的每一個包括第一電晶體、第二電晶體及電容器。在第一單元、第二單元、第三單元及第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接。第一單元的第二電晶體的第一端子與第一佈線電連接，第一單元的電容器的第二端子與第三佈線電連接。第二單元的第二電晶體的第一端子與第一佈線電連接，第二單元的電容器的第二端子與第四佈線電連接。第三單元的第二電晶體的第一端子與第二佈線電連接，第三單元的電容器的第二端子與第三佈線電連接。第四單元的第二電晶體的第一端子與第二佈線電連接，第四單元的電容器的第二端子與第四佈線電連接。電流鏡電路與第一佈線及第二佈線電連接，電流鏡電路具有使對應於第一佈線的電位的電流流過第二佈線的功能。第一資料根據第一電位和第二電位的差異而設定，第二資料根據第三電位和第四電位的差異而設定。第一單元具有在第一單元的電容器的第一端子中保持第一電位的功能，第二單元具有在第二單元的電容器的第一端子中保持第二電位的功能，第三單元具有在第三單元的電容器的第一端子中保持第二電位的功能，第四單元具有在第四單元的電容器的第一端子中保持第一電位的功能。第三佈線被輸

入第三電位，並且第四佈線被輸入第四電位，使得從電流鏡電路流至第二佈線的電流量減去從第二佈線流至第三單元的第二電晶體的第一端子的電流量及從第二佈線流至第四單元的第二電晶體的第一端子的電流量而得的電流量對應於第一資料與第二資料之積。

【0014】 (2)

此外，本發明的一個實施方式是一種半導體裝置，包括 m 個 (m 為 1 以上的整數) 第一單元、 m 個第二單元、 m 個第三單元、 m 個第四單元、電流鏡電路、第一佈線、第二佈線、 m 個第三佈線及 m 個第四佈線。 m 個第一單元、 m 個第二單元、 m 個第三單元及 m 個第四單元的每一個包括第一電晶體、第二電晶體及電容器。在 m 個第一單元、 m 個第二單元、 m 個第三單元及 m 個第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接。 m 個第一單元的每一個的第二電晶體的第一端子與第一佈線電連接，第 i 個 (i 為 1 以上且 m 以下的整數) 第一單元的電容器的第二端子與第 i 個第三佈線電連接。 m 個第二單元的每一個的第二電晶體的第一端子與第一佈線電連接，第 i 個第二單元的電容器的第二端子與第 i 個第四佈線電連接。 m 個第三單元的每一個的第二電晶體的第一端子與第二佈線電連接，第 i 個第三單元的電容器的第二端子與第 i 個第三佈線電連接。 m 個第四單元的每一個的第二電晶體的第一端子與第二佈線電連接，第 i 個第四單元的電容器的第二端子與第 i 個第四佈線電連接。電流鏡電路與第一佈線及第二佈線電連接，電流鏡電路具有使對應於第一佈線的電位的電流流過第二佈線的功能。在與第 i 個第三佈線電連接的第一單元及第三單元的每一個中，第一單元具有在第一單元的電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能，第三單元具有在第三單元的電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能。此外，在與第 i 個第四佈線電連接的第二單元及第四單元的每一個中，第二單元具有在第二單元的電容器的第一

端子中保持電位 $V_{w\beta}[i]$ 的功能，第四單元具有在第四單元的電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能。第 i 個第三佈線被輸入電位 $V_{x\alpha}[i]$ ，並且第 i 個第四佈線被輸入電位 $V_{x\beta}[i]$ ，使得從電流鏡電路流至第二佈線的電流量減去從第二佈線流至 m 個第三單元的每一個的第二電晶體的第一端子的電流量之和及從第二佈線流至 m 個第四單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量對應於數學式 (A1) 的值。

【0015】

[數學式 1]

$$\sum_{i=1}^m (V_{w\alpha}[i] - V_{w\beta}[i])(V_{x\alpha}[i] - V_{x\beta}[i]) \quad \dots(A1)$$

【0016】 (3)

此外，本發明的一個實施方式是一種半導體裝置，包括第一單元、第二單元、第三單元、第四單元、第一電流源、第二電流源、減法電路、第一佈線、第二佈線、第三佈線及第四佈線。第一單元、第二單元、第三單元及第四單元的每一個包括第一電晶體、第二電晶體及電容器。在第一單元、第二單元、第三單元及第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接。第一單元的第二電晶體的第一端子與第一佈線電連接，第一單元的電容器的第二端子與第三佈線電連接。第二單元的第二電晶體的第一端子與第一佈線電連接，第二單元的電容器的第二端子與第四佈線電連接。第三單元的第二電晶體的第一端子與第二佈線電連接，第三單元的電容器的第二端子與第三佈線電連接。第四單元的第二電晶體的第一端子與第二佈線電連接，第四單元的電容器的第二端子與第四佈線電連接。第一電流源與第一佈線電連接，第二電流源與第二佈線電連接。此外，從第一電流源流過第一佈線的電流量為從第二電流源流過第二佈線的電流量的 0.9 倍以上且 1.1 倍以下。

此外，減法電路的第一輸入端子與第一佈線電連接，減法電路的第二輸入端子與第二佈線電連接。第一資料根據第一電位和第二電位的差異而設定，第二資料根據第三電位和第四電位的差異而設定。第一單元具有在第一單元的電容器的第一端子中保持第一電位的功能，第二單元具有在第二單元的電容器的第一端子中保持第二電位的功能，第三單元具有在第三單元的電容器的第一端子中保持第二電位的功能，第四單元具有在第四單元的電容器的第一端子中保持第一電位的功能。第三佈線被輸入第三電位，並且第四佈線被輸入第四電位，使得從第一電流源流至第一佈線的電流量減去從第一佈線流至第一單元及第二單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量輸入到減法電路的第一輸入端子，並且從第二電流源流至第二佈線的電流量減去從第二佈線流至第三單元及第四單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量輸入到減法電路的第二輸入端子。由此，從減法電路的輸出端子輸出對應於第一資料與第二資料之積的電壓。

【0017】 (4)

本發明的一個實施方式是一種半導體裝置，包括 m 個 (m 為 1 以上的整數) 第一單元、 m 個第二單元、 m 個第三單元、 m 個第四單元、第一電流源、第二電流源、減法電路、第一佈線、第二佈線、 m 個第三佈線及 m 個第四佈線。 m 個第一單元、 m 個第二單元、 m 個第三單元及 m 個第四單元的每一個包括第一電晶體、第二電晶體及電容器。在 m 個第一單元、 m 個第二單元、 m 個第三單元及 m 個第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接。 m 個第一單元的每一個的第二電晶體的第一端子與第一佈線電連接，第 i 個 (i 為 1 以上且 m 以下的整數) 第一單元的電容器的第二端子與第 i 個第三佈線電連接。 m 個第二單元的每一個的第二電晶體的第一端子與第一佈線電連接，第 i 個第二單元的電容器的第二端子與第 i 個

第四佈線電連接。m 個第三單元的每一個的第二電晶體的第一端子與第二佈線電連接，第 i 個第三單元的電容器的第二端子與第 i 個第三佈線電連接。m 個第四單元的每一個的第二電晶體的第一端子與第二佈線電連接，第 i 個第四單元的電容器的第二端子與第 i 個第四佈線電連接。第一電流源與第一佈線電連接，第二電流源與第二佈線電連接。此外，從第一電流源流過第一佈線的電流量為從第二電流源流過第二佈線的電流量的 0.9 倍以上且 1.1 倍以下。此外，減法電路的第一輸入端子與第一佈線電連接，減法電路的第二輸入端子與第二佈線電連接。在與第 i 個第三佈線電連接的第一單元及第三單元的每一個中，第一單元具有在第一單元的電容器的第一端子中保持電位 $V_{W\alpha}[i]$ 的功能，第三單元具有在第三單元的電容器的第一端子中保持電位 $V_{W\beta}[i]$ 的功能。此外，在與第 i 個第四佈線電連接的第二單元及第四單元的每一個中，第二單元具有在第二單元的電容器的第一端子中保持電位 $V_{W\beta}[i]$ 的功能，第四單元具有在第四單元的電容器的第一端子中保持電位 $V_{W\alpha}[i]$ 的功能。第 i 個第三佈線被輸入電位 $V_{X\alpha}[i]$ ，並且第 i 個第四佈線被輸入電位 $V_{X\beta}[i]$ ，使得從第一電流源流至第一佈線的電流量減去從第一佈線流至 m 個第一單元及第二單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量輸入到減法電路的第一輸入端子，並且從第二電流源流至第二佈線的電流量減去從第二佈線流至 m 個第三單元及第四單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量輸入到減法電路的第二輸入端子。由此，從減法電路的輸出端子輸出對應於數學式 (A2) 的值的電壓。

【0018】

[數學式 2]

$$\sum_{i=1}^m (V_{W\alpha}[i] - V_{W\beta}[i])(V_{X\alpha}[i] - V_{X\beta}[i]) \quad \dots(A2)$$

【0019】 (5)

此外，本發明的一個實施方式是一種半導體裝置，包括第一單元、第二單元、第三單元、第四單元、第一佈線、第二佈線及第三佈線。第一單元、第二單元、第三單元及第四單元的每一個包括第一電晶體、第二電晶體及電容器。此外，在第一單元、第二單元、第三單元及第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接，第一電晶體的閘極與第一佈線電連接。此外，第二佈線與第一單元的第一電晶體的第二端子及第四單元的第一電晶體的第二端子電連接，並且第三佈線與第二單元的第一電晶體的第二端子及第三單元的第一電晶體的第二端子電連接。

【0020】 (6)

此外，本發明的一個實施方式是一種半導體裝置，包括第一單元、第二單元、第三單元、第四單元、第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、第六佈線及第七佈線。此外，第一單元、第二單元、第三單元及第四單元的每一個包括第一電晶體、第二電晶體及電容器。在第一單元、第二單元、第三單元及第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接。第一單元的第二電晶體的第一端子與第四佈線電連接，第一單元的電容器的第二端子與第六佈線電連接，第一單元的第一電晶體的第二端子與第二佈線電連接，第一單元的第一電晶體的閘極與第一佈線電連接。第二單元的第二電晶體的第一端子與第四佈線電連接，第二單元的電容器的第二端子與第七佈線電連接，第二單元的第一電晶體的第二端子與第三佈線電連接，第二單元的第一電晶體的閘極與第一佈線電連接。第三單元的第二電晶體的第一端子與第五佈線電連接，第三單元的電容器的第二端子與第六佈線電連接，第三單元的第一電晶體的第二端子與第三佈線電連接，第三單元的第一電晶體的閘極與第一佈線電連接。第四單元的第二電晶體的第一端子與第五佈線電連接，第四單元的電容器的第二端子與第七佈線電連接，第四單元的

第一電晶體的第二端子與第二佈線電連接，並且第四單元的第一電晶體的閘極與第一佈線電連接。

【0021】 (7)

此外，本發明的一個實施方式是上述(6)所示的半導體裝置，較佳為包括電流鏡電路。此外，電流鏡電路較佳為與第四佈線及第五佈線電連接。此外，電流鏡電路具有使對應於第四佈線的電位的電流流過第五佈線的功能。

【0022】 (8)

此外，本發明的一個實施方式是上述(7)所示的半導體裝置，較佳為得到第一資料與第二資料之積。第一資料根據第一電位和第二電位的差異而設定，第二資料根據第三電位和第四電位的差異而設定。此外，第一單元具有在第一單元的電容器的第一端子中保持第一電位的功能，第二單元具有在第二單元的電容器的第一端子中保持第二電位的功能，第三單元具有在第三單元的電容器的第一端子中保持第二電位的功能，第四單元具有在第四單元的電容器的第一端子中保持第一電位的功能。第六佈線被輸入第三電位，並且第七佈線被輸入第四電位，使得從電流鏡電路流至第五佈線的電流量減去從第五佈線流至第三單元的第二電晶體的第一端子的電流量及從第五佈線流至第四單元的第二電晶體的第一端子的電流量而得的電流量對應於第一資料與第二資料之積。

【0023】 (9)

此外，本發明的一個實施方式是上述(6)所示的半導體裝置，較佳為包括第一電流源、第二電流源及減法電路。此外，第一電流源較佳為與第四佈線電連接，第二電流源較佳為與第五佈線電連接。此外，減法電路的第一輸入端子較佳為與第四佈線電連接，減法電路的第二輸入端子較佳為與第五佈線電連接。此外，從第一電流源流過第四佈線的電流量較佳為從第二電流源流過第五佈線的電流量的 0.9 倍以上且 1.1 倍以下。

【0024】 (10)

此外，本發明的一個實施方式是上述(9)所示的半導體裝置，較佳為得到第一資料與第二資料之積。第一資料根據第一電位和第二電位的差異而設定，第二資料根據第三電位和第四電位的差異而設定。第一單元具有在第一單元的電容器的第一端子中保持第一電位的功能，第二單元具有在第二單元的電容器的第一端子中保持第二電位的功能，第三單元具有在第三單元的電容器的第一端子中保持第二電位的功能，第四單元具有在第四單元的電容器的第一端子中保持第一電位的功能。第六佈線被輸入第三電位，並且第七佈線被輸入第四電位，使得從第一電流源流至第四佈線的電流量減去從第四佈線流至第一單元及第二單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量輸入到減法電路的第一輸入端子，並且從第二電流源流至第五佈線的電流量減去從第五佈線流至第三單元及第四單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量輸入到減法電路的第二輸入端子。由此，從減法電路的輸出端子輸出對應於第一資料與第二資料之積的電壓。

【0025】 (11)

此外，本發明的一個實施方式是一種半導體裝置，包括 m 個 (m 為 1 以上的整數) 第一單元、 m 個第二單元、 m 個第三單元、 m 個第四單元、電流鏡電路、 m 個第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、 m 個第六佈線及 m 個第七佈線。此外， m 個第一單元、 m 個第二單元、 m 個第三單元及 m 個第四單元的每一個包括第一電晶體、第二電晶體及電容器。在 m 個第一單元、 m 個第二單元、 m 個第三單元及 m 個第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接。 m 個第一單元的每一個的第二電晶體的第一端子與第四佈線電連接，第 i 個 (i 為 1 以上且 m 以下的整數) 第一單元的電容器的第二端子與第 i 個第六佈線電連接， m 個第一單

元的每一個的第一電晶體的第二端子與第二佈線電連接，第 i 個第一單元的每一電晶體的閘極與第 i 個第一佈線電連接。 m 個第二單元的每一個的第二電晶體的第一端子與第四佈線電連接，第 i 個第二單元的電容器的第二端子與第 i 個第七佈線電連接， m 個第二單元的每一個的第一電晶體的第二端子與第三佈線電連接，第 i 個第二單元的第一電晶體的閘極與第 i 個第一佈線電連接。 m 個第三單元的每一個的第二電晶體的第一端子與第五佈線電連接，第 i 個第三單元的電容器的第二端子與第 i 個第六佈線電連接， m 個第三單元的每一個的第一電晶體的第二端子與第三佈線電連接，第 i 個第三單元的第一電晶體的閘極與第 i 個第一佈線電連接。 m 個第四單元的每一個的第二電晶體的第一端子與第五佈線電連接，第 i 個第四單元的電容器的第二端子與第 i 個第七佈線電連接， m 個第四單元的每一個的第一電晶體的第二端子與第二佈線電連接，第 i 個第四單元的第一電晶體的閘極與第 i 個第一佈線電連接。再者，電流鏡電路與第四佈線及第五佈線電連接。此外，電流鏡電路具有使對應於第四佈線的電位的電流流過第五佈線的功能。此外，在與第 i 個第六佈線電連接的第一單元及第三單元的每一個中，第一單元具有在第一單元的電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能，第三單元具有在第三單元的電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能。此外，在與第 i 個第七佈線電連接的第二單元及第四單元的每一個中，第二單元具有在第二單元的電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能，第四單元具有在第四單元的電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能。第 i 個第六佈線被輸入電位 $V_{x\alpha}[i]$ ，並且第 i 個第七佈線被輸入電位 $V_{x\beta}[i]$ ，使得從電流鏡電路流至第五佈線的電流量減去從第五佈線流至 m 個第三單元的每一個的第二電晶體的第一端子的電流量之和及從第五佈線流至 m 個第四單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量對應於數學式 (A3) 的值。

【0026】

[數學式 3]

$$\sum_{i=1}^m (V_{W\alpha|i} - V_{W\beta|i})(V_{X\alpha|i} - V_{X\beta|i}) \quad \dots(A3)$$

【0027】 (12)

此外，本發明的一個實施方式是一種半導體裝置，包括 m 個（ m 為 1 以上的整數）第一單元、 m 個第二單元、 m 個第三單元、 m 個第四單元、第一電流源、第二電流源、減法電路、 m 個第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、 m 個第六佈線及 m 個第七佈線。此外， m 個第一單元、 m 個第二單元、 m 個第三單元及 m 個第四單元的每一個包括第一電晶體、第二電晶體及電容器。在 m 個第一單元、 m 個第二單元、 m 個第三單元及 m 個第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接。 m 個第一單元的每一個的第二電晶體的第一端子與第四佈線電連接，第 i 個（ i 為 1 以上且 m 以下的整數）第一單元的電容器的第二端子與第 i 個第六佈線電連接， m 個第一單元的每一個的第一電晶體的第二端子與第二佈線電連接，第 i 個第一單元的第一電晶體的閘極與第 i 個第一佈線電連接。 m 個第二單元的每一個的第二電晶體的第一端子與第四佈線電連接，第 i 個第二單元的電容器的第二端子與第 i 個第七佈線電連接， m 個第二單元的每一個的第一電晶體的第二端子與第三佈線電連接，第 i 個第二單元的第一電晶體的閘極與第 i 個第一佈線電連接。 m 個第三單元的每一個的第二電晶體的第一端子與第五佈線電連接，第 i 個第三單元的電容器的第二端子與第 i 個第六佈線電連接， m 個第三單元的每一個的第一電晶體的第二端子與第三佈線電連接，第 i 個第三單元的第一電晶體的閘極與第 i 個第一佈線電連接。 m 個第四單元的每一個的第二電晶體的第一端子與第五佈線電連接，第 i 個第四單元的電容器的第二端

子與第 i 個第七佈線電連接， m 個第四單元的每一個的第一電晶體的第二端子與第二佈線電連接，第 i 個第四單元的第一電晶體的閘極與第 i 個第一佈線電連接。再者，第一電流源與第四佈線電連接，第二電流源與第五佈線電連接。此外，從第一電流源流過第四佈線的電流量為從第二電流源流過第五佈線的電流量的 0.9 倍以上 1.1 倍以下。此外，減法電路的第一輸入端子與第四佈線電連接，減法電路的第二輸入端子與第五佈線電連接。在與第 i 個第六佈線電連接的第一單元及第三單元的每一個中，第一單元具有在第一單元的電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能，第三單元具有在第三單元的電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能。此外，在與第 i 個第七佈線電連接的第二單元及第四單元的每一個中，第二單元具有在第二單元的電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能，第四單元具有在第四單元的電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能。第 i 個第六佈線被輸入電位 $V_{x\alpha}[i]$ ，並且第 i 個第七佈線被輸入電位 $V_{x\beta}[i]$ ，使得從第一電流源流至第四佈線的電流量減去從第四佈線流至 m 個第一單元及第二單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量輸入到減法電路的第一輸入端子，並且從第二電流源流至第五佈線的電流量減去從第五佈線流至 m 個第三單元及第四單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量輸入到減法電路的第二輸入端子。由此，從減法電路的輸出端子輸出對應於數學式 (A4) 的值的電壓。

【0028】

[數學式 4]

$$\sum_{i=1}^m (V_{w\alpha}[i] - V_{w\beta}[i])(V_{x\alpha}[i] - V_{x\beta}[i]) \quad \dots(A4)$$

【0029】 (13)

此外，本發明的一個實施方式是一種半導體裝置，包括第一單元、第二單元、第三單元、第四單元、第一電流鏡電路、第二電流鏡電路及第三電流鏡電路。此外，第一單元、第二單元、第三單元及第四單元的每一個包括第一電晶體、第二電晶體及電容器。在第一單元、第二單元、第三單元及第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接。此外，第一單元的第一電晶體的閘極與第二單元的第一電晶體的閘極、第三單元的第一電晶體的閘極及第四單元的第一電晶體的閘極電連接。第一電流鏡電路的第一端子與第一單元的第二電晶體的第一端子電連接，第一電流鏡電路的第二端子與第四單元的第二電晶體的第一端子電連接。第二電流鏡電路的第一端子與第三單元的第二電晶體的第一端子電連接，第二電流鏡電路的第二端子與第二單元的第二電晶體的第一端子電連接。第三電流鏡電路的第一端子與第二單元的第二電晶體的第一端子電連接，第三電流鏡電路的第二端子與第四單元的第二電晶體的第一端子電連接。此外，第一電流鏡電路具有使對應於第一電流鏡電路的第一端子的電位的電流從第一電流鏡電路的第一端子及第二端子流出外部的功能。此外，第二電流鏡電路具有使對應於第二電流鏡電路的第一端子的電位的電流從第二電流鏡電路的第一端子及第二端子流出外部的功能。此外，第三電流鏡電路具有使對應於第三電流鏡電路的第一端子的電位的電流從第三電流鏡電路的第一端子及第二端子流入內部的功能。

【0030】（14）

此外，本發明的一個實施方式是上述（13）所示的半導體裝置，第一單元的電容器的第二端子較佳為與第三單元的電容器的第二端子電連接，第一單元的第一電晶體的第二端子較佳為與第四單元的第一電晶體的第二端子電連接，第二單元的電容器的第二端子較佳為與第四單元的電容器的第二端子電連接，

第二單元的第一電晶體的第二端子較佳為與第三單元的第一電晶體的第二端子電連接。

【0031】 (15)

此外，本發明的一個實施方式是上述(14)所示的半導體裝置，較佳為得到第一資料與第二資料之積。第一資料根據第一電位和第二電位的差異而設定，第二資料根據第三電位和第四電位的差異而設定。此外，第一單元具有在第一單元的電容器的第一端子中保持第一電位的功能，第二單元具有在第二單元的電容器的第一端子中保持第二電位的功能，第三單元具有在第三單元的電容器的第一端子中保持第二電位的功能，第四單元具有在第四單元的電容器的第一端子中保持第一電位的功能。第一單元的電容器的第二端子及第三單元的電容器的第二端子都被輸入第三電位，並且第二單元的電容器的第二端子及第四單元的電容器的第二端子都被輸入第四電位，使得從第一電流鏡電路的第二端子流過的電流量減去流過第四單元的第二電晶體的第一端子的電流量及流過第三電流鏡電路的第三端子的電流量而得的電流量對應於第一資料與第二資料之積。

【0032】 (16)

此外，本發明的一個實施方式是一種半導體裝置，包括第一單元、第二單元、第三單元、第四單元、第一電流鏡電路、第二電流鏡電路、第三電流鏡電路及第四電流鏡電路。此外，第一單元、第二單元、第三單元及第四單元的每一個包括第一電晶體、第二電晶體及電容器。在第一單元、第二單元、第三單元及第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接。此外，第一單元的第一電晶體的閘極與第二單元的第一電晶體的閘極、第三單元的第一電晶體的閘極及第四單元的第一電晶體的閘極電連接。第一電流鏡電路的第一端子與第一單元的第二電晶體的第一端子電連

接，第一電流鏡電路的第二端子與第四單元的第二電晶體的第一端子電連接。第二電流鏡電路的第一端子與第三單元的第二電晶體的第一端子電連接，第二電流鏡電路的第二端子與第三電流鏡電路的第一端子電連接。第三電流鏡電路的第二端子與第四單元的第二電晶體的第一端子電連接。第四電流鏡電路的第一端子與第二單元的第二電晶體的第一端子電連接，第四電流鏡電路的第二端子與第四單元的第二電晶體的第一端子電連接。此外，第一電流鏡電路具有使對應於第一電流鏡電路的第一端子的電位的電流從第一電流鏡電路的第一端子及第二端子流出外部的功能。此外，第二電流鏡電路具有使對應於第二電流鏡電路的第一端子的電位的電流從第二電流鏡電路的第一端子及第二端子流出外部的功能。此外，第三電流鏡電路具有使對應於第三電流鏡電路的第一端子的電位的電流從第三電流鏡電路的第一端子及第二端子流入內部的功能。此外，第四電流鏡電路具有使對應於第四電流鏡電路的第一端子的電位的電流從第四電流鏡電路的第一端子及第二端子流出外部的功能。

【0033】 (17)

此外，本發明的一個實施方式是上述(16)所示的半導體裝置，第一單元的電容器的第二端子較佳為與第三單元的電容器的第二端子電連接，第一單元的第二電晶體的第二端子較佳為與第四單元的第二電晶體的第二端子電連接，第二單元的電容器的第二端子較佳為與第四單元的電容器的第二端子電連接，第二單元的第二電晶體的第二端子較佳為與第三單元的第二電晶體的第二端子電連接。

【0034】 (18)

此外，本發明的一個實施方式是上述(17)所示的半導體裝置，較佳為得到第一資料與第二資料之積。第一資料根據第一電位和第二電位的差異而設定，第二資料根據第三電位和第四電位的差異而設定。此外，第一單元具有在

第一單元的電容器的第一端子中保持第一電位的功能，第二單元具有在第二單元的電容器的第一端子中保持第二電位的功能，第三單元具有在第三單元的電容器的第一端子中保持第二電位的功能，第四單元具有在第四單元的電容器的第一端子中保持第一電位的功能。第一單元的電容器的第二端子及第三單元的電容器的第二端子都被輸入第三電位，並且第二單元的電容器的第二端子及第四單元的電容器的第二端子都被輸入第四電位，使得從第一電流鏡電路的第二端子流過的電流量及從第四電流鏡電路的第二端子流過的電流量之和減去流過第四單元的第二電晶體的第一端子的電流量及流過第三電流鏡電路的第三端子的電流量而得的電流量對應於第一資料與第二資料之積。

【0035】 (19)

此外，本發明的一個實施方式是一種半導體裝置，包括第一單元、第二單元、第三單元、第四單元、第一佈線、第二佈線及第三佈線。第一單元、第二單元、第三單元及第四單元的每一個包括第一電晶體、第二電晶體及電容器。尤其是，第二單元及第三單元所包括的電容器包含可具有鐵電性的材料。在第一單元、第二單元、第三單元及第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接，第一電晶體的閘極與第一佈線電連接。此外，第二佈線與第一單元的第一電晶體的第二端子及第四單元的第一電晶體的第二端子電連接，第三佈線與第二單元的第一電晶體的第二端子及第三單元的第一電晶體的第二端子電連接。

【0036】 (20)

此外，本發明的一個實施方式是上述 (19) 所示的半導體裝置，可具有鐵電性的材料較佳為選自氧化鉛、氧化鋯、 HfZrO_x (x 為大於 0 的實數)、釷安定氧化鋯、鈦酸鋇、 PbTiO_x 、鋯鈦酸鉛、鈦酸鋇、鈦酸鋇、鈦酸鋇、鈦酸鋇、鈦酸鋇中一個或多個材料。

【0037】 (21)

此外，本發明的一個實施方式是一種半導體裝置，包括第一單元、第二單元、第三單元、第四單元、第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、第六佈線及第七佈線。第一單元、第二單元、第三單元及第四單元的每一個包括第一電晶體、第二電晶體及電容器。尤其是，第二單元及第三單元所包括的電容器包含可具有鐵電性的材料。在第一單元、第二單元、第三單元及第四單元的每一個中，第一電晶體的第一端子與電容器的第一端子及第二電晶體的閘極電連接，第一單元的第一電晶體的第二端子與第二佈線電連接。此外，第一單元的電容器的第二端子與第六佈線電連接，第一單元的第二電晶體的第一端子與第四佈線電連接，第一單元的第一電晶體的閘極與第一佈線電連接。此外，第二單元的第一電晶體的第二端子與第三佈線電連接，第二單元的電容器的第二端子與第七佈線電連接，第二單元的第二電晶體的第一端子與第四佈線電連接，第二單元的第一電晶體的閘極與第一佈線電連接。此外，第三單元的第一電晶體的第二端子與第三佈線電連接，第三單元的電容器的第二端子與第六佈線電連接，第三單元的第二電晶體的第一端子與第五佈線電連接，第三單元的第一電晶體的閘極與第一佈線電連接。此外，第四單元的第一電晶體的第二端子與第二佈線電連接，第四單元的電容器的第二端子與第七佈線電連接，第四單元的第二電晶體的第一端子與第五佈線電連接，第四單元的第一電晶體的閘極與第一佈線電連接。

【0038】 (22)

此外，本發明的一個實施方式是上述(21)所示的半導體裝置，可具有鐵電性的材料較佳為選自氧化鉛、氧化鋯、 HfZrO_x (X為大於0的實數)、釔安定氧化鋯、鈦酸鋇、 PbTiO_x 、鋯鈦酸鉛、鈦酸鋇、鈦酸鋇、鈦酸鋇、鈦酸鋇、鈦酸鋇、鈦酸鋇中一個或多個材料。

【0039】 (23)

此外，本發明的一個實施方式是上述(21)或(22)所示的半導體裝置，較佳為包括第一電路及第二電路。尤其是，第二佈線較佳為與第一電路電連接，第三佈線較佳為與第二電路電連接，第一電路包括類比數位轉換電路，並且第二電路包括電壓源。

【0040】 (24)

此外，本發明的一個實施方式是上述(21)至(23)中任一所示的半導體裝置，較佳為包括電流鏡電路。尤其是，電流鏡電路較佳為與第四佈線及第五佈線電連接，電流鏡電路較佳為具有使對應於第四佈線的電位的電流流過第五佈線的功能。

【0041】 (25)

此外，本發明的一個實施方式是上述(24)所示的半導體裝置，較佳為得到第一資料與第二資料之積。第一資料根據第一電位和第二電位的差異而設定，第二資料根據第三電位和第四電位的差異而設定。此外，第一單元具有在第一單元的電容器的第一端子中保持第一電位的功能，第二單元具有在第二單元的電容器的第一端子中保持第二電位的功能，第三單元具有在第三單元的電容器的第一端子中保持第二電位的功能，第四單元具有在第四單元的電容器的第一端子中保持第一電位的功能。第六佈線被輸入第三電位，並且第七佈線被輸入第四電位，使得從電流鏡電路流至第五佈線的電流量減去從第五佈線流至第三單元的第二電晶體的第一端子的電流量及從第五佈線流至第四單元的第二電晶體的第一端子的電流量而得的電流量對應於第一資料與第二資料之積。

【0042】 (26)

此外，本發明的一個實施方式是上述(21)或(22)所示的半導體裝置，較佳為包括第一電流源、第二電流源及減法電路。此外，第一電流源較佳為與

第四佈線電連接，第二電流源較佳為與第五佈線電連接。此外，減法電路的第一輸入端子較佳為與第四佈線電連接，減法電路的第二輸入端子較佳為與第五佈線電連接。此外，從第一電流源流過第四佈線的電流量較佳為從第二電流源流過第五佈線的電流量的 0.9 倍以上且 1.1 倍以下。

【0043】 (27)

此外，本發明的一個實施方式是上述 (26) 所示的半導體裝置，較佳為得到第一資料與第二資料之積。第一資料根據第一電位和第二電位的差異而設定，第二資料根據第三電位和第四電位的差異而設定。第一單元具有在第一單元的電容器的第一端子中保持第一電位的功能，第二單元具有在第二單元的電容器的第一端子中保持第二電位的功能，第三單元具有在第三單元的電容器的第一端子中保持第二電位的功能，第四單元具有在第四單元的電容器的第一端子中保持第一電位的功能。第六佈線被輸入第三電位，並且第七佈線被輸入第四電位，使得從第一電流源流至第四佈線的電流量減去從第四佈線流至第一單元及第二單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量輸入到減法電路的第一輸入端子，並且從第二電流源流至第五佈線的電流量減去從第五佈線流至第三單元及第四單元的每一個的第二電晶體的第一端子的電流量之和而得的電流量輸入到減法電路的第二輸入端子。由此，從減法電路的輸出端子輸出對應於第一資料與第二資料之積的電壓。

【0044】 (28)

此外，本發明的一個實施方式是上述 (1) 至 (27) 中任一所示的半導體裝置，較佳為在第一單元、第二單元、第三單元及第四單元中，第一電晶體及第二電晶體都在通道形成區域中包含金屬氧化物。

【0045】 (29)

此外，本發明的一個實施方式是一種電子裝置，包括上述（1）至（28）中任一所示的半導體裝置及外殼。

【0046】 在本說明書等中，半導體裝置是指利用半導體特性的裝置以及包括半導體元件（電晶體、二極體、光電二極體等）的電路及包括該電路的裝置等。此外，半導體裝置是指能夠利用半導體特性而發揮作用的所有裝置。例如，作為半導體裝置的例子，有積體電路、具備積體電路的晶片、封裝中容納有晶片的電子構件。此外，記憶體裝置、顯示裝置、發光裝置、照明設備以及電子裝置等本身是半導體裝置，或者有時包括半導體裝置。

【0047】 此外，在本說明書等中，當記載為“X 與 Y 連接”時，表示在本說明書等中公開了如下情況：X 與 Y 電連接的情況；X 與 Y 在功能上連接的情況；以及 X 與 Y 直接連接的情況。因此，不侷限於圖式或文中所示的連接關係，例如其他的連接關係也在圖式或文中所記載的範圍內記載。X 和 Y 都是物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜、層等）。

【0048】 作為 X 和 Y 電連接的情況的一個例子，可以在 X 和 Y 之間連接一個以上的能夠電連接 X 和 Y 的元件（例如開關、電晶體、電容器、電感器、電阻器、二極體、顯示器件、發光器件、負載等）。此外，開關具有控制開啟或關閉的功能。換言之，藉由使開關處於導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過。

【0049】 作為 X 與 Y 在功能上連接的情況的一個例子，例如可以在 X 與 Y 之間連接有一個以上的能夠在功能上連接 X 與 Y 的電路（例如，邏輯電路（反相器、NAND 電路、NOR 電路等）、信號轉換電路（數位類比轉換電路、類比數位轉換電路、伽瑪校正電路等）、電位位準轉換電路（電源電路（升壓電路、降壓電路等）、改變信號的電位位準的位準轉移電路等）、電壓源、電流源、切換電路、放大電路（能夠增大信號振幅或電流量等的電路、運算放大

器、差動放大電路、源極隨耦電路、緩衝電路等）、信號產生電路、記憶體電路、控制電路等）。注意，例如，即使在 X 與 Y 之間夾有其他電路，當從 X 輸出的信號傳送到 Y 時，就可以說 X 與 Y 在功能上是連接著的。

【0050】此外，當明確地記載為“X 與 Y 電連接”時，包括如下情況：X 與 Y 電連接的情況（換言之，以中間夾有其他元件或其他電路的方式連接 X 與 Y 的情況）；以及 X 與 Y 直接連接的情況（換言之，以中間不夾有其他元件或其他電路的方式連接 X 與 Y 的情況）。

【0051】例如，可以表現為“X、Y、電晶體的源極（或第一端子等）與電晶體的汲極（或第二端子等）互相電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表現為“電晶體的源極（或第一端子等）與 X 電連接，電晶體的汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）與 Y 依次電連接”。或者，可以表達為“X 藉由電晶體的源極（或第一端子等）及電晶體的汲極（或第二端子等）與 Y 電連接，X、電晶體的源極（或第一端子等）、電晶體的汲極（或第二端子等）、Y 依次設置”。藉由使用與這種例子相同的顯示方法規定電路結構中的連接順序，可以區分電晶體的源極（或第一端子等）與汲極（或第二端子等）而決定技術範圍。注意，這種顯示方法是一個例子，不侷限於上述顯示方法。在此，X 和 Y 為物件（例如，裝置、元件、電路、佈線、電極、端子、導電膜、層等）。

【0052】此外，即使在電路圖上獨立的組件彼此電連接，也有時一個組件兼有多個組件的功能。例如，在佈線的一部分用作電極時，一個導電膜兼有佈線和電極的兩個組件的功能。因此，本說明書中的“電連接”的範疇內還包括這種一個導電膜兼有多個組件的功能的情況。

【0053】在本說明書等中，“電阻元件”例如包括具有高於 0Ω 的電阻值的電路元件、佈線等。因此，在本說明書等中，“電阻元件”包括具有電阻值的佈線、電流流過源極和汲極之間的電晶體、二極體、線圈等。因此，“電阻元件”也可以稱為“電阻”、“負載”、“具有電阻值的區域”等，與此相反，“電阻”、“負載”、“具有電阻值的區域”也可以稱為“電阻元件”等。作為電阻值，例如較佳為 $1\text{m}\Omega$ 以上且 10Ω 以下，更佳為 $5\text{m}\Omega$ 以上且 5Ω 以下，進一步較佳為 $10\text{m}\Omega$ 以上且 1Ω 以下。此外，例如也可以為 1Ω 以上且 $1\times 10^9\Omega$ 以下。

【0054】在本說明書等中，“電容器”例如包括具有高於 0F 的靜電電容值的電路元件、具有高於 0F 的靜電電容值的佈線的區域、寄生電容、電晶體的閘極電容等。因此，在本說明書等中，“電容器”、“寄生電容”、“閘極電容”等也可以稱為“電容”等，與此相反，“電容”也可以稱為“電容器”、“寄生電容”、“閘極電容”等。此外，“電容”的“一對電極”也可以稱為“一對導電體”、“一對導電區域”、“一對區域”等。靜電電容值例如可以為 0.05fF 以上且 10pF 以下。此外，例如，還可以為 1pF 以上且 $10\mu\text{F}$ 以下。

【0055】在本說明書等中，電晶體包括閘極、源極以及汲極這三個端子。閘極用作控制電晶體的導通狀態的控制端子。用作源極或汲極的兩個端子是電晶體的輸入輸出端子。根據電晶體的導電型（ n 通道型、 p 通道型）及對電晶體的三個端子施加的電位的高低，兩個輸入輸出端子中的一方用作源極而另一方用作汲極。因此，在本說明書等中，源極和汲極可以相互調換。在本說明書等中，在說明電晶體的連接關係時，使用“源極和汲極中的一個”（第一電極或第一端子）、“源極和汲極中的另一個”（第二電極或第二端子）的表述。此外，根據電晶體的結構，有時除了上述三個端子以外還包括背閘極。在此情況下，在本說明書等中，有時將電晶體的閘極和背閘極中的一個稱為第一閘極，將電晶體的閘極和背閘極的另一個稱為第二閘極。並且，在相同電晶體中，有時可

以將“閘極”與“背閘極”相互調換。此外，在電晶體包括三個以上的閘極時，在本說明書等中，有時將各閘極稱為第一閘極、第二閘極、第三閘極等。

【0056】例如在本說明書等中，作為電晶體的一個例子可以採用具有兩個以上的閘極電極的多閘極結構電晶體。當採用多閘極結構時，由於將通道形成區域串聯連接，所以成為多個電晶體串聯連接的結構。因此，藉由採用多閘極結構，可以降低關態電流（off-state current），且提高電晶體的耐壓性（提高可靠性）。或者，藉由利用多閘極結構，當電晶體在飽和區域工作時，即便汲極-源極間的電壓發生變化，汲極-源極間電流的變化也不太大，從而可以得到傾斜角平坦的電壓-電流特性。當利用傾斜角平坦的電壓-電流特性時，可以實現理想的電流源電路或電阻值極高的主動負載。其結果是，可以實現特性良好的差動電路或電流鏡電路等。

【0057】此外，電路圖示出一個電路元件的情況有時包括該電路元件具有多個電路元件的情況。例如，電路圖示出一個電阻器的情況包括兩個以上的電阻器串聯連接的情況。此外，例如，電路圖示出一個電容器的情況包括兩個以上的電容器並聯連接的情況。此外，例如，電路圖示出一個電晶體的情況包括兩個以上的電晶體串聯連接且各電晶體的閘極彼此電連接的情況。同樣，例如，電路圖示出一個開關的情況包括該開關具有兩個以上的電晶體，兩個以上的電晶體串聯電連接或者並聯電連接並且各電晶體的閘極彼此電連接的情況。

【0058】此外，在本說明書等中，節點也可以根據電路結構或裝置結構等稱為端子、佈線、電極、導電層、導電體或雜質區域等。此外，端子、佈線等也可以稱為節點。

【0059】此外，在本說明書等中，可以適當地調換“電壓”和“電位”。“電壓”是指與參考電位之間的電位差，例如在參考電位為地電位（接地電位）時，也可以將“電壓”稱為“電位”。接地電位不一定意味著 0V。此外，電位是相

對性的，根據參考電位的變化而供應到佈線的電位、施加到電路等的電位、從電路等輸出的電位等也產生變化。

【0060】此外，在本說明書等中，“高位準電位”、“低位準電位”不意味著特定的電位。例如，在兩個佈線都被記為“用作供應高位準電位的佈線”的情況下，兩個佈線所供應的高位準電位也可以互不相同。同樣，在兩個佈線都被記為“用作供應低位準電位的佈線”的情況下，兩個佈線所供應的低位準電位也可以互不相同。

【0061】“電流”是指電荷的移動現象（導電），例如，“發生正帶電體的導電”的記載可以替換為“在與其相反方向上發生負帶電體的導電”的記載。因此，在本說明書等中，在沒有特別的說明的情況下，“電流”是指載子移動時的電荷的移動現象（導電）。在此，作為載子可以舉出電子、電洞、陰離子、陽離子、絡離子等，載子根據電流流過的系統（例如，半導體、金屬、電解液、真空中等）不同。此外，佈線等中的“電流的方向”是帶正電的載子移動的方向，以正電流量記載。換言之，帶負電的載子移動的方向與電流方向相反，以負電流量記載。因此，在本說明書等中，在沒有特別的說明的情況下，關於電流的正負（或電流的方向），“電流從元件 A 向元件 B 流過”等記載可以替換為“電流從元件 B 向元件 A 流過”等記載。此外，“對元件 A 輸入電流”等記載可以替換為“從元件 A 輸出電流”等記載。

【0062】此外，在本說明書等中，“第一”、“第二”、“第三”等序數詞是為了避免組件的混淆而附加上的。因此，該序數詞不限制組件的個數。此外，該序數詞不限制組件的順序。此外，例如，本說明書等的實施方式之一中附有“第一”的組件有可能在其他的實施方式或申請專利範圍中附有“第二”的組件。此外，例如，在本說明書等中，一個實施方式中的“第一”所指的組件有可能在其他實施方式或申請專利範圍的範圍中被省略。

【0063】在本說明書中，為了方便起見，有時使用“上”、“下”等表示配置的詞句以參照圖式說明組件的位置關係。此外，組件的位置關係根據描述各組件的方向適當地改變。因此，不侷限於說明書等中所說明的詞句，根據情況可以適當地換詞句。例如，在“位於導電體的頂面的絕緣體”的表述中，藉由將所示的圖式的方向旋轉 180 度，也可以稱為“位於導電體的下面的絕緣體”。

【0064】此外，“上”或“下”這樣的術語不侷限於組件的位置關係為“正上”或“正下”且直接接觸的情況。例如，如果是“絕緣層 A 上的電極 B”的表述，則不一定必須在絕緣層 A 上直接接觸地形成有電極 B，也可以包括在絕緣層 A 與電極 B 之間包括其他組件的情況。

【0065】此外，在本說明書等中，根據狀況，可以互相調換“膜”和“層”等詞句。例如，有時可以將“導電層”調換為“導電膜”。此外，有時可以將“絕緣膜”變換為“絕緣層”。此外，根據情況或狀態，可以使用其他詞句代替“膜”和“層”等詞句。例如，有時可以將“導電層”或“導電膜”變換為“導電體”。此外，例如有時可以將“絕緣層”或“絕緣膜”變換為“絕緣體”。

【0066】注意，在本說明書等中，“電極”、“佈線”、“端子”等的詞句不在功能上限定其組件。例如，有時將“電極”用作“佈線”的一部分，反之亦然。再者，“電極”或“佈線”還包括多個“電極”或“佈線”被形成為一體的情況等。此外，例如，有時將“端子”用作“佈線”或“電極”的一部分，反之亦然。再者，“端子”的詞句包括多個“電極”、“佈線”、“端子”等被形成為一體的情況等。因此，例如，“電極”可以為“佈線”或“端子”的一部分，例如，“端子”可以為“佈線”或“電極”的一部分。此外，“電極”、“佈線”、“端子”等的詞句有時置換為“區域”等的詞句。

【0067】在本說明書等中，根據情況或狀態，可以互相調換“佈線”、“信號線”及“電源線”等詞句。例如，有時可以將“佈線”變換為“信號線”。此外，例如

有時可以將“佈線”變換為“電源線”。反之亦然，有時可以將“信號線”或“電源線”變換為“佈線”。有時可以將“電源線”變換為“信號線”。反之亦然，有時可以將“信號線”變換為“電源線”。此外，根據情況或狀態，可以互相將施加到佈線的“電位”變換為“信號”。反之亦然，有時可以將“信號”變換為“電位”。

【0068】 在本說明書等中，半導體的雜質是指構成半導體膜的主要成分之外的物質。例如，濃度低於 0.1atomic% 的元素是雜質。當包含雜質時，例如，半導體中的缺陷態密度有可能提高，載子移動率有可能降低或結晶性有可能降低。在半導體是氧化物半導體時，作為改變半導體特性的雜質，例如有第 1 族元素、第 2 族元素、第 13 族元素、第 14 族元素、第 15 族元素或主要成分之外的過渡金屬等，尤其是，例如有氫（也包含於水中）、鋰、鈉、矽、硼、磷、碳、氮等。明確而言，當半導體是矽層時，作為改變半導體特性的雜質，例如有第 1 族元素、第 2 族元素、第 13 族元素、第 15 族元素等（有時不包含氧、氫）。

【0069】 在本說明書等中，開關是指具有藉由變為導通狀態（開啟狀態）或非導通狀態（關閉狀態）來控制是否使電流流過的功能的元件。或者，開關是指具有選擇並切換電流路徑的功能的元件。作為開關的一個例子，可以使用電開關或機械開關等。換而言之，開關只要可以控制電流，就不侷限於特定的元件。

【0070】 電開關的例子包括電晶體（例如雙極電晶體或 MOS 電晶體）、二極體（例如 PN 二極體、PIN 二極體、肖特基二極體、金屬-絕緣體-金屬（MIM）二極體、金屬-絕緣體-半導體（MIS）二極體或者二極體接法的電晶體）或者組合這些元件的邏輯電路等。當作為開關使用電晶體時，電晶體的“導通狀態”是指電晶體的源極電極與汲極電極在電性上短路的狀態、能夠使電流流過源極電極與汲極電極間的狀態等。此外，電晶體的“非導通狀態”是指電

晶體的源極電極與汲極電極在電性上斷開的狀態。當將電晶體僅用作開關時，對電晶體的極性（導電型）沒有特別的限制。

【0071】作為機械開關的例子，可以舉出利用了 MEMS（微機電系統）技術的開關。該開關具有以機械方式可動的電極，並且藉由移動該電極來控制導通和非導通而進行工作。

【0072】在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下的狀態。因此，也包括該角度為 -5° 以上且 5° 以下的狀態。“大致平行”是指兩條直線形成的角度為 -30° 以上且 30° 以下的狀態。此外，“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下的狀態。因此，也包括該角度為 85° 以上且 95° 以下的狀態。“大致垂直”是指兩條直線形成的角度為 60° 以上且 120° 以下的狀態。

【0073】根據本發明的一個實施方式，可以提供一種能夠進行積和運算及/或活化函數的運算的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種功耗低的半導體裝置。

【0074】根據本發明的一個實施方式，可以提供一種新穎的半導體裝置。此外，根據本發明的一個實施方式，可以提供一種包括上述半導體裝置的電子裝置。

【0075】注意，本發明的一個實施方式的效果不侷限於上述效果。上述效果並不妨礙其他效果的存在。其他效果是指將在下面的記載中描述的上述以外的效果。本領域技術人員可以從說明書或圖式等的記載中導出並適當衍生上述以外的效果。此外，本發明的一個實施方式具有上述效果及其他效果中的至少一個效果。因此，本發明的一個實施方式根據情況而有時沒有上述效果。

【圖式簡單說明】

【0076】

[圖 1]是示出半導體裝置的一個例子的方塊圖。

[圖 2]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 3A]及[圖 3B]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 4A]至[圖 4C]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 5A]至[圖 5C]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 6]是示出半導體裝置的一個例子的電路圖。

[圖 7]是示出半導體裝置的工作例子的時序圖。

[圖 8]是示出半導體裝置的一個例子的方塊圖。

[圖 9]是示出半導體裝置所包括的電路的結構例子的方塊圖。

[圖 10]是示出半導體裝置的一個例子的方塊圖。

[圖 11]是示出半導體裝置的一個例子的方塊圖。

[圖 12]是示出半導體裝置的一個例子的方塊圖。

[圖 13]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 14]是示出半導體裝置的一個例子的電路圖。

[圖 15]是示出半導體裝置的工作例子的時序圖。

[圖 16]是示出半導體裝置的一個例子的方塊圖。

[圖 17]是示出半導體裝置的一個例子的方塊圖。

[圖 18]是示出半導體裝置的一個例子的方塊圖。

[圖 19]是示出半導體裝置的一個例子的方塊圖。

[圖 20]是示出半導體裝置的一個例子的方塊圖。

[圖 21]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 22]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 23]是示出半導體裝置所包括的電路的結構例子的方塊圖。

[圖 24]是示出半導體裝置的工作例子的時序圖。

[圖 25]是示出半導體裝置的工作例子的時序圖。

[圖 26]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 27]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 28]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 29]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 30]是示出半導體裝置所包括的電路的結構例子的電路圖。

[圖 31A]及[圖 31B]是說明分層神經網路的圖。

[圖 32]是示出半導體裝置的結構例子的方塊圖。

[圖 33]是示出半導體裝置的結構例子的方塊圖。

[圖 34]是示出半導體裝置的結構例子的剖面示意圖。

[圖 35A]至[圖 35C]是示出電晶體的結構例子的剖面示意圖。

[圖 36]是示出半導體裝置的結構例子的剖面示意圖。

[圖 37A]及[圖 37B]是示出電晶體的結構例子的剖面示意圖。

[圖 38]是示出電晶體的結構例子的剖面示意圖。

[圖 39A]是說明 IGZO 的結晶結構的分類的圖，[圖 39B]是說明結晶性 IGZO 的 XRD 譜的圖，[圖 39C]是說明結晶性 IGZO 的奈米束電子繞射圖案

的圖。

[圖 40A]是示出半導體晶圓的一個例子的立體圖，[圖 40B]是示出晶片的一個例子的立體圖，[圖 40C]及[圖 40D]是示出電子構件的一個例子的立體圖。

[圖 41]是示出電子裝置的一個例子的示意圖。

[圖 42A]至[圖 42C]是示出電子裝置的一個例子的示意圖。

【實施方式】

【0077】在人工神經網路（以下稱為神經網路）中，神經突觸的結合強度可以藉由對神經網路供應習知的資訊改變。有時將這樣的對神經網路提供習知的資訊決定結合強度的處理稱為“學習”。

【0078】並且，藉由對“學習”（決定了結合強度）過的神經網路提供某個資訊，可以根據其結合強度輸出新資訊。有時將這樣的在神經網路中根據被提供的資訊和結合強度輸出新資訊的處理稱為“推論”或“認知”。

【0079】作為神經網路的模型，例如可以舉出 Hopfield 神經網路、分層神經網路等。尤其是，有時將具有多層結構的神經網路稱為“深度神經網路”（DNN），將利用深度神經網路的機器學習稱為“深度學習”。

【0080】在本說明書等中，金屬氧化物（metal oxide）是指廣義上的金屬的氧化物。金屬氧化物被分類為氧化物絕緣體、氧化物導電體（包括透明氧化物導電體）和氧化物半導體（Oxide Semiconductor，也可以簡稱為 OS）等。例如，在電晶體的通道形成區域包含金屬氧化物的情況下，有時將該金屬氧化物稱為氧化物半導體。換言之，在金屬氧化物能夠構成包括具有放大作用、整流作用及開關作用中的至少一個的電晶體的通道形成區域時，該金屬氧化物稱為金屬氧化物半導體（metal oxide semiconductor），簡稱為 OS。此外，也可以將 OS 電晶體稱為包含金屬氧化物或氧化物半導體的電晶體。

【0081】此外，在本說明書等中，有時將包含氮的金屬氧化物也稱為金屬氧化物（metal oxide）。此外，也可以將包含氮的金屬氧化物稱為金屬氧氮化物（metal oxynitride）。

【0082】此外，在本說明書等中，各實施方式所示的結構可以與其他實施方式所示的結構適當地組合而構成本發明的一個實施方式。此外，當在一個實施方式中示出多個結構例子時，可以適當地組合這些結構例子。

【0083】此外，可以將某一實施方式（實施例）中說明的內容（或其一部分）應用/組合/替換成該實施方式中說明的其他內容（或其一部分）和另一個或多個其他實施方式中說明的內容（或其一部分）中的至少一個內容。

【0084】注意，實施方式中說明的內容是指各實施方式（或實施例）中利用各種圖式所說明的內容或者利用說明書所記載的文章而說明的內容。

【0085】此外，藉由將某一實施方式中示出的圖式（或其一部分）與該圖式的其他部分、該實施方式中示出的其他圖式（或其一部分）和另一個或多個其他實施方式中示出的圖式（或其一部分）中的至少一個圖式組合，可以構成更多圖。

【0086】參照圖式說明本說明書所記載的實施方式。注意，所屬技術領域的通常知識者可以很容易地理解一個事實，就是實施方式可以以多個不同形式來實施，其方式和詳細內容可以在不脫離本發明的精神及其範圍的條件下被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在實施方式所記載的內容中。注意，在實施方式中的發明的結構中，有時在不同的圖式中共同使用相同的元件符號來表示相同的部分或具有相同功能的部分，而省略反復說明。在立體圖或俯視圖等中，為了明確起見，有時省略部分組件的圖示。

【0087】此外，在本說明書等中，在多個要素使用同一符號並且需要區分它們時，有時對符號附加“_1”，“[n]”，“[m, n]”等用於識別的符號。此外，在圖式等中，在對符號附加“_1”，“[n]”，“[m, n]”等用於識別的符號的情況下，如果不需要在本說明書等中區分它們，有時不附加“_1”，“[n]”，“[m, n]”等用於識別的符號。

【0088】在圖式中，為便於清楚地說明，有時誇大表示大小、層的厚度或區域。因此，本發明並不侷限於圖式中的尺寸。此外，在圖式中，示意性地示

出理想的例子，因此本發明不侷限於圖式所示的形狀或數值等。例如，可以包括因雜訊或定時偏差等所引起的信號、電壓或電流的不均勻等。

【0089】（實施方式 1）

在本實施方式中，說明作為本發明的一個實施方式的半導體裝置的能夠進行積和運算及函數運算的運算電路的一例。

【0090】 <半導體裝置的結構例子 1>

圖 1 示出能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置的結構例子。

【0091】 圖 1 示出運算電路 MAC1，也就是能夠進行積和運算及函數運算的運算電路的結構例子。運算電路 MAC1 是進行被後述多個記憶單元保持的多個第一資料和被輸入的多個第二資料的積和運算並使用該積和運算的結果進行活化函數的運算的電路。作為一個例子，多個第一資料及多個第二資料可以為類比電路資料或多值資料（離散資料）。此外，有時將多個第一資料統稱為第一組的第一資料等。同樣，有時將多個第二資料統稱為第二組的第二資料等。

【0092】 作為一個例子，運算電路 MAC1 包括記憶單元陣列 CA、電路 CMS、電路 WDD、電路 XLD、電路 WLD、電路 INT 及電路 ACTV。

【0093】 記憶單元陣列 CA 包括記憶單元 AMx[1]至記憶單元 AMx[m]（m 為 1 以上的整數）、記憶單元 AMw[1]至記憶單元 AMw[m]、記憶單元 AMu[1]至記憶單元 AMu[m]及記憶單元 AMr[1]至記憶單元 AMr[m]。

【0094】 在本說明書等中，有時假設如下情況來進行說明：記憶單元 AMx[1]至記憶單元 AMx[m]包括在電路 CSX 中，記憶單元 AMu[1]至記憶單元 AMu[m]包括在電路 CSU 中，記憶單元 AMw[1]至記憶單元 AMw[m]包括在電路 CSW 中，記憶單元 AMr[1]至記憶單元 AMr[m]包括在電路 CSR 中。

【0095】在記憶單元陣列 CA 中，各記憶單元配置為 $2m$ 行 2 列的矩陣狀。尤其是，記憶單元 $AMx[1]$ 至記憶單元 $AMx[m]$ 配置在記憶單元陣列 CA 的 1 行 1 列至 m 行 1 列的位址，記憶單元 $AMw[1]$ 至記憶單元 $AMw[m]$ 配置在記憶單元陣列 CA 的 $m+1$ 行 1 列至 $2m$ 行 1 列的位址，記憶單元 $AMu[1]$ 至記憶單元 $AMu[m]$ 配置在記憶單元陣列 CA 的 1 行 2 列至 m 行 2 列的位址，並且記憶單元 $AMr[1]$ 至記憶單元 $AMr[m]$ 配置在記憶單元陣列 CA 的 $m+1$ 行 2 列至 $2m$ 行 2 列的位址。

【0096】記憶單元 AMx 、記憶單元 AMw 、記憶單元 AMu 以及記憶單元 AMr 都具有保持對應於第一資料的電壓的功能。對應於第一資料的電壓例如可以是指記憶單元 $AMu[i]$ 及記憶單元 $AMw[i]$ 所保持的電壓和記憶單元 $AMx[i]$ 及記憶單元 $AMr[i]$ 所保持的電壓的差異。

【0097】記憶單元 $AMx[1]$ 與佈線 WAD、佈線 BAL、佈線 WAL[1]、佈線 XAL[1] 電連接。此外，記憶單元 $AMx[m]$ 與佈線 WAD、佈線 BAL、佈線 WAL[m]、佈線 XAL[m] 電連接。此外，記憶單元 $AMw[1]$ 與佈線 WAD、佈線 BAL、佈線 WBL[1]、佈線 XBL[1] 電連接。此外，記憶單元 $AMw[m]$ 與佈線 WAD、佈線 BAL、佈線 WBL[m]、佈線 XBL[m] 電連接。此外，記憶單元 $AMu[1]$ 與佈線 WBD、佈線 BBL、佈線 WAL[1]、佈線 XAL[1] 電連接。此外，記憶單元 $AMu[m]$ 與佈線 WBD、佈線 BBL、佈線 WAL[m]、佈線 XAL[m] 電連接。此外，記憶單元 $AMr[1]$ 與佈線 WBD、佈線 BBL、佈線 WBL[1]、佈線 XBL[1] 電連接。此外，記憶單元 $AMr[m]$ 與佈線 WBD、佈線 BBL、佈線 WBL[m]、佈線 XBL[m] 電連接。

【0098】記憶單元 $AMx[1]$ 至記憶單元 $AMx[m]$ 、記憶單元 $AMw[1]$ 至記憶單元 $AMw[m]$ 、記憶單元 $AMu[1]$ 至記憶單元 $AMu[m]$ 以及記憶單元 $AMr[1]$ 至記憶單元 $AMr[m]$ 的每一個的詳細電路結構將在後面敘述。

【0099】作為一個例子，電路 CMS 與佈線 BAL 及佈線 BBL 電連接。電路 CMS 具有將電流從佈線 BAL 供應給記憶單元 AMx[1]至記憶單元 AMx[m]及記憶單元 AMw[1]至記憶單元 AMw[m]的每一個的功能及將電流從佈線 BBL 供應給記憶單元 AMu[1]至記憶單元 AMu[m]及記憶單元 AMr[1]至記憶單元 AMr[m]的每一個的功能。此外，藉由電路 CMS，流過佈線 BAL 的電流量及流過佈線 BBL 的電流量較佳為相等。明確而言，流過佈線 BAL 的電流量較佳為流過佈線 BBL 的電流量的 0.85 倍以上、0.9 倍以上或 0.95 倍以上且 1.05 倍以下、1.1 倍以下或 1.15 倍以下。上述下限值及上限值可以分別組合。

【0100】此外，關於電路 CMS 的具體結構例子將在後面敘述。

【0101】作為一個例子，電路 WDD 與佈線 WAD 及佈線 WBD 電連接。電路 WDD 具有發送用來儲存在記憶單元陣列 CA 所包括的各記憶單元中的資料的功能。例如，電路 WDD 能夠將作為該資料的第一資料或參考資料發送給佈線 WAD 及佈線 WBD 的每一個。

【0102】作為一個例子，電路 WLD 與佈線 WAL[1]至佈線 WAL[m]及佈線 WBL[1]至佈線 WBL[m]電連接。電路 WLD 具有在向記憶單元陣列 CA 所包括的記憶單元寫入資料時選擇作為資料寫入目標的記憶單元的功能。明確而言，例如，當將資料寫入到記憶單元陣列 CA 的記憶單元 AMx[i]（i 為 1 以上且 m 以下的整數）及記憶單元 AMu[i]時，電路 WLD 對佈線 WAL[i]供應高位準電位而對佈線 WAL[i]以外的佈線 WAL[1]至佈線 WAL[m]及佈線 WBL[1]至佈線 WBL[m]供應低位準電位，由此可以選擇作為資料寫入目標的記憶單元 AMx[i]及記憶單元 AMu[i]。此外，例如，當將資料寫入到記憶單元陣列 CA 的記憶單元 AMw[i]及記憶單元 AMr[i]時，電路 WLD 對佈線 WBL[i]供應高位準電位而對佈線 WAL[1]至佈線 WAL[m]及佈線 WBL[i]以外的佈線 WBL[1]至佈線

WBL[m]供應低位準電位，可以選擇作為資料寫入目標的記憶單元 AMw[i]及記憶單元 AMr[i]。

【0103】作為一個例子，電路 XLD 與佈線 XAL[1]至佈線 XAL[m]及佈線 XBL[1]至佈線 XBL[m]電連接。電路 XLD 具有將用來與第一資料相乘的第二資料發送到記憶單元陣列 CA 所包括的各記憶單元的功能。明確而言，例如，電路 XLD 可以對佈線 XAL[1]至佈線 XAL[m]及佈線 XBL[1]至佈線 XBL[m]供應對應於第二資料的電位。

【0104】作為一個例子，電路 INT 與佈線 BAL 及佈線 BBL 電連接。電路 INT 例如具有對佈線 BAL 及佈線 BBL 輸入規定電壓的功能。作為該電壓，例如可以為低位準電位、接地電位。

【0105】作為具體結構例子，電路 INT 包括電路 SCI，電路 SCI 包括開關 SW5A 及開關 SW5B。開關 SW5A 的第一端子與佈線 BAL 電連接，開關 SW5A 的第二端子與佈線 VSL 電連接。此外，開關 SW5B 的第一端子與佈線 BBL 電連接，開關 SW5B 的第二端子與佈線 VSL 電連接。此外，開關 SW5A 及開關 SW5B 的各控制端子與佈線 SL5 電連接。

【0106】開關 SW5A 及開關 SW5B 例如可以採用類比電路開關、電晶體等電開關。此外，開關 SW5A 及開關 SW5B 例如也可以採用機械開關。此外，在開關 SW5A 及開關 SW5B 採用電晶體的情況下，該電晶體可以使用 OS 電晶體或在通道形成區域中包含 Si 的電晶體（以下稱為 Si 電晶體）。

【0107】此外，在本實施方式中，開關 SW5A 及開關 SW5B 都在控制端子被輸入高位準電位時成為開啟狀態而在控制端子被輸入低位準電位時成為關閉狀態。

【0108】作為一個例子，佈線 SL5 被用作供應用來切換開關 SW5A 及開關 SW5B 的導通狀態和非導通狀態的電壓的佈線。因此，該電壓例如可以為高位準電位或低位準電位。

【0109】作為一個例子，佈線 VSL 被用作供應定電壓的佈線。該定電壓例如可以為低位準電位、接地電位等。

【0110】作為一個例子，電路 ACTV 與佈線 BAL 及佈線 NIL 電連接。電路 ACTV 例如具有輸出對應於從佈線 BAL 流過電路 ACTV 的電流量的電壓的功能、使用該電壓根據預定的函數系統進行運算的功能、將該函數運算的結果輸出到佈線 NIL 的功能。

【0111】尤其是在電路 ACTV 中，作為該函數系統，例如，可以使用 sigmoid 函數、tanh 函數、softmax 函數、ReLU 函數（斜坡函數）、定限函數等。此外，這些函數例如可以應用於神經網路中的活化函數。

【0112】<<記憶單元陣列 CA 的結構例子>>

以下說明記憶單元陣列 CA 所包括的記憶單元 AMx[1]至記憶單元 AMx[m]、記憶單元 AMu[1]至記憶單元 AMu[m]、記憶單元 AMw[1]至記憶單元 AMw[m]及記憶單元 AMr[1]至記憶單元 AMr[m]的結構例子。

【0113】圖 2 是示出記憶單元陣列 CA 的結構例子的電路圖。記憶單元陣列 CA 具有計算出多個第一資料和多個第二資料的積和的功能。

【0114】在圖 2 所示的記憶單元陣列 CA 中，記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 都包括電晶體 M1、電晶體 M2 及電容器 C1。

【0115】此外，記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 的每一個所包括的電晶體 M1 的尺寸較佳為相同。此外，記憶單元

AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 的每一個所包括的電晶體 M2 的尺寸較佳為相同。

【0116】在電晶體的尺寸相同的情況下，各電晶體的電特性可以幾乎相同。因此，在記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 的每一個所包括的電晶體 M1 的尺寸相同，並且記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 的每一個所包括的電晶體 M2 的尺寸相同的情況下，記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 能夠在同一條件下進行幾乎相同的工作。在此，同一條件例如是指電晶體 M1 的源極、汲極、閘極等的電位、電晶體 M2 的源極、汲極、閘極等的電位、輸入到記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 的每一個的電壓等。

【0117】此外，除非特別說明均包括電晶體 M1 被用作切換元件的情況。也就是說，包括電晶體 M1 的閘極、源極及汲極合適地被輸入在電晶體 M1 起到切換元件作用的範圍的電壓的情況。但是，本發明的一個實施方式不侷限於此。例如，電晶體 M1 可以在開啟狀態下工作在飽和區域或線性區域。此外，為了減少流過電晶體 M1 的電流量，電晶體 M1 可以工作在次臨界值區域。此外，電晶體 M1 工作在線性區域的情況、工作在飽和區域的情況以及工作在次臨界值區域的情況可以混合存在。此外，電晶體 M1 工作在線性區域的情況和工作在飽和區域的情況可以混合存在，工作在飽和區域的情況和工作在次臨界值區域的情況可以混合存在，或者，工作在線性區域的情況和工作在次臨界值區域的情況可以混合存在。

【0118】在本說明書等中，次臨界值區域是指在示出電晶體的閘極電壓 (V_g)-汲極電流 (I_d) 特性的圖表中閘極電壓低於臨界電壓的區域。此外，次臨界值區域是指偏離緩變通道近似（只考慮漂移電流的模型）的伴隨載子擴散

的電流流過的區域。此外，次臨界值區域是指相對於閘極電壓的增大汲極電流以指數函數增大的區域。此外，次臨界值區域包括可被視為上述各區域的區域。

【0119】此外，電晶體工作在次臨界值區域時的汲極電流被稱為次臨界值電流。次臨界值電流不依賴汲極電壓而相對於閘極電壓以指數函數增大。在使用次臨界值電流的電路工作中，可以減少汲極電壓不均勻的影響。

【0120】此外，除非特別說明均包括電晶體 M2 在開啟狀態下工作在飽和區域的情況。也就是說，包括上述各電晶體的閘極、源極及汲極合適地被輸入在工作在飽和區域的範圍的電壓的情況。但是，本發明的一個實施方式不侷限於此。為了減少被供應的電壓的振幅值，電晶體 M2 可以工作在線性區域。此外，為了減少流過電晶體 M2 的電流量，電晶體 M2 可以工作在次臨界值區域。此外，電晶體 M2 工作在線性區域的情況、工作在飽和區域的情況以及工作在次臨界值區域的情況可以混合存在。此外，電晶體 M2 工作在線性區域的情況和工作在飽和區域的情況可以混合存在。此外，電晶體 M2 工作在線性區域的情況和工作在次臨界值區域的情況可以混合存在。

【0121】此外，電晶體 M1 較佳為 OS 電晶體。再者，電晶體 M1 的通道形成區域更佳為含有包含銻、鎘、鋅中的至少一個的氧化物。此外，電晶體 M1 的通道形成區域也可以含有包含銻、元素 M（作為元素 M 例如可以舉出選自鋁、鈮、銅、鈇、鉍、硼、鈦、鐵、鎳、銻、銻、鋁、鏷、銻、釷、釷、鎢和鎂等中的一種或多種等）和鋅中的至少一個的氧化物。此外，電晶體 M1 進一步較佳為具有實施方式 5 所示的電晶體的結構。

【0122】藉由使用 OS 電晶體作為電晶體 M1，可以抑制電晶體 M1 的洩漏電流，由此有時可以實現計算精度高的積和運算電路。此外，藉由使用 OS 電晶體作為電晶體 M1，可以使在電晶體 M1 處於非導通狀態下的從存儲節點

(例如，後述節點 $Nx[1]$ 、節點 $Nx[m]$ 、節點 $Nu[1]$ 、節點 $Nu[m]$ 、節點 $Nw[1]$ 、節點 $Nw[m]$ 、節點 $Nr[1]$ 、節點 $Nr[m]$ 等) 向寫入字線 (例如，佈線 WAD 、佈線 WBD) 的洩漏電流變得非常小。也就是說，可以減少存儲節點的電位的更新工作，由此可以降低積和運算電路的功耗。

【0123】此外，藉由使用 OS 電晶體作為電晶體 $M2$ ，也可以同時製造電晶體 $M1$ 及電晶體 $M2$ ，由此有時可以縮短積和運算電路的製程。此外，電晶體 $M2$ 也可以不是 OS 電晶體而是 Si 電晶體。作為矽，例如可以使用非晶矽 (有時稱為氫化非晶矽)、微晶矽、多晶矽或單晶矽等。

【0124】此外，當 OS 電晶體的閘極電壓小於電晶體的臨界電壓時，每通道寬度 $1\mu\text{m}$ 的汲極電流小於 $1\times 10^{-20}\text{A}$ ，小於 $1\times 10^{-22}\text{A}$ 或者小於 $1\times 10^{-24}\text{A}$ 。此外，當 OS 電晶體的閘極電壓為電晶體的臨界電壓時，每通道寬度 $1\mu\text{m}$ 的汲極電流為 $1.0\times 10^{-8}\text{A}$ 以下、 $1.0\times 10^{-12}\text{A}$ 以下或 $1.0\times 10^{-15}\text{A}$ 以下。也就是說，OS 電晶體可以擴大工作在次臨界值區域的閘極電壓的範圍。明確而言，在 OS 電晶體的臨界電壓為 V_{th} 的情況下，可以在次臨界值區域中利用在 $(V_{th}-1.0\text{V})$ 以上且 V_{th} 以下或者在 $(V_{th}-0.5\text{V})$ 以上且 V_{th} 以下的範圍的閘極電壓進行電路工作。

【0125】另一方面，Si 電晶體的關態電流大，工作在次臨界值區域的閘極電壓的範圍窄。在利用次臨界值電流的情況下，與 Si 電晶體相比，OS 電晶體能夠在寬的閘極電壓範圍進行電路工作。

【0126】在圖 2 所示的電晶體 $M1$ 及電晶體 $M2$ 中示出背閘極而不示出該背閘極的連接關係，但是可以在進行設計時決定該背閘極的電連接點。例如，在包括背閘極的電晶體中，為了提高該電晶體的通態電流，可以使閘極與背閘極電連接。換言之，例如，可以使電晶體 $M1$ 的閘極與背閘極電連接，也可以使電晶體 $M2$ 的閘極與背閘極電連接。此外，例如，在包括背閘極的電晶體

中，為了使該電晶體的臨界電壓改變或降低該電晶體的關態電流，也可以設置用來使該電晶體的背閘極與外部電路等電連接的佈線而藉由該外部電路等對該電晶體的背閘極供應電位。

【0127】此外，雖然圖 2 所示的電晶體 M1 及電晶體 M2 包括背閘極，但本發明的一個實施方式的半導體裝置不侷限於此。例如，圖 2 所示的電晶體 M1 及電晶體 M2 也可以為不包括背閘極的結構，亦即單閘極結構的電晶體。此外，也可以為一部分電晶體包括背閘極且其他一部分電晶體不包括背閘極。

【0128】此外，雖然圖 2 所示的電晶體 M1 及電晶體 M2 為 n 通道型電晶體，但本發明的一個實施方式的半導體裝置不侷限於此。例如，也可以將電晶體 M1 及電晶體 M2 的一部分或全部置換成 p 通道型電晶體。

【0129】關於上述的電晶體的結構、極性的變形例子不侷限於對電晶體 M1 及電晶體 M2 的使用。例如，也可以對後述電晶體 M3A 及電晶體 M3B、在說明書的其他部分中記載的電晶體、開關、包括在電路中的電晶體或者其他圖式所示的電晶體等的結構、極性進行同樣的改變。

【0130】在記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 的每一個中，電晶體 M1 的第一端子與電晶體 M2 的閘極電連接。電晶體 M2 的第一端子與佈線 VR 電連接。電容器 C1 的第一端子與電晶體 M2 的閘極電連接。

【0131】在記憶單元 AMx[1]至記憶單元 AMx[m]的每一個中，電晶體 M1 的第二端子與佈線 WAD 電連接，電晶體 M2 的第二端子與佈線 BAL 電連接。此外，在記憶單元 AMx[i]中，電晶體 M1 的閘極與佈線 WAL[i]電連接，電容器 C1 的第二端子與佈線 XAL[i]電連接。此外，在記憶單元 AMx[1]中，電晶體 M1 的第一端子、電晶體 M2 的閘極以及電容器 C1 的第一端子電連接的部分為

節點 $Nx[1]$ ，在記憶單元 $AMx[m]$ 中，電晶體 $M1$ 的第一端子、電晶體 $M2$ 的閘極以及電容器 $C1$ 的第一端子電連接的部分為節點 $Nx[m]$ 。

【0132】 在記憶單元 $AMu[1]$ 至記憶單元 $AMu[m]$ 的每一個中，電晶體 $M1$ 的第二端子與佈線 WBD 電連接，電晶體 $M2$ 的第二端子與佈線 BBL 電連接。此外，在記憶單元 $AMu[i]$ 中，電晶體 $M1$ 的閘極與佈線 $WAL[i]$ 電連接，電容器 $C1$ 的第二端子與佈線 $XAL[i]$ 電連接。此外，在記憶單元 $AMu[1]$ 中，電晶體 $M1$ 的第一端子、電晶體 $M2$ 的閘極以及電容器 $C1$ 的第一端子電連接的部分為節點 $Nu[1]$ ，在記憶單元 $AMu[m]$ 中，電晶體 $M1$ 的第一端子、電晶體 $M2$ 的閘極以及電容器 $C1$ 的第一端子電連接的部分為節點 $Nu[m]$ 。

【0133】 在記憶單元 $AMw[1]$ 至記憶單元 $AMw[m]$ 的每一個中，電晶體 $M1$ 的第二端子與佈線 WAD 電連接，電晶體 $M2$ 的第二端子與佈線 BAL 電連接。此外，在記憶單元 $AMw[i]$ 中，電晶體 $M1$ 的閘極與佈線 $WBL[i]$ 電連接，電容器 $C1$ 的第二端子與佈線 $XBL[i]$ 電連接。此外，在記憶單元 $AMw[1]$ 中，電晶體 $M1$ 的第一端子、電晶體 $M2$ 的閘極以及電容器 $C1$ 的第一端子電連接的部分為節點 $Nw[1]$ ，在記憶單元 $AMw[m]$ 中，電晶體 $M1$ 的第一端子、電晶體 $M2$ 的閘極以及電容器 $C1$ 的第一端子電連接的部分為節點 $Nw[m]$ 。

【0134】 在記憶單元 $AMr[1]$ 至記憶單元 $AMr[m]$ 的每一個中，電晶體 $M1$ 的第二端子與佈線 WBD 電連接，電晶體 $M2$ 的第二端子與佈線 BBL 電連接。此外，在記憶單元 $AMr[i]$ 中，電晶體 $M1$ 的閘極與佈線 $WBL[i]$ 電連接，電容器 $C1$ 的第二端子與佈線 $XBL[i]$ 電連接。此外，在記憶單元 $AMr[1]$ 中，電晶體 $M1$ 的第一端子、電晶體 $M2$ 的閘極、電容器 $C1$ 的第一端子電連接的部分為節點 $Nr[1]$ ，在記憶單元 $AMr[m]$ 中，電晶體 $M1$ 的第一端子、電晶體 $M2$ 的閘極以及電容器 $C1$ 的第一端子電連接的部分為節點 $Nr[m]$ 。

【0135】上述節點 $N_x[1]$ 、節點 $N_x[m]$ 、節點 $N_u[1]$ 、節點 $N_u[m]$ 、節點 $N_w[1]$ 、節點 $N_w[m]$ 、節點 $N_r[1]$ 及節點 $N_r[m]$ 被用作各記憶單元的存儲節點。

【0136】佈線 VR 是用來使電流流過記憶單元 AM_x 、記憶單元 AM_u 、記憶單元 AM_w 及記憶單元 AM_r 的各電晶體 M2 的第一端子-第二端子間的佈線。因此，佈線 VR 被用作用來供應規定電位的佈線。此外，在本實施方式中，佈線 VR 所供應的電位例如可以為低位準電位、接地電位或低於接地電位的電位。在此，圖 2 所示的多個佈線 VR 既可為相同又可為互不相同。此外，圖 2 所示的多個佈線 VR 也可以部分相同而其餘都不同。尤其是，在多個佈線 VR 的全部或一部不同的情況下，可以對各佈線分別供應不同的電位。換言之，圖 13 所示的多個佈線 VR 既可被供應同一的電位又可分別被供應不同的電位。

【0137】<<電路 CMS 的結構例子>>

接著，說明電路 CMS 的結構例子。

【0138】圖 3A 示出可應用於圖 1 的電路 CMS 的電路結構例子，圖 3A 的電路 CMS 包括電路 CM。此外，電路 CM 包括作為 p 通道型電晶體的電晶體 M3A 及電晶體 M3B、開關 SW7A、開關 SW7B。

【0139】電晶體 M3A 的第一端子與開關 SW7A 的第一端子電連接，電晶體 M3A 的第二端子與佈線 VHE 電連接。開關 SW7A 的第二端子與佈線 BAL 電連接。此外，電晶體 M3B 的第一端子與開關 SW7B 的第一端子、電晶體 M3A 的閘極及電晶體 M3B 的閘極電連接，電晶體 M3B 的第二端子與佈線 VHE 電連接。開關 SW7B 的第二端子與佈線 BBL 電連接。此外，開關 SW7A 及開關 SW7B 的各控制端子與佈線 SL7 電連接。

【0140】此外，電晶體 M3A 及電晶體 M3B 較佳為都是在通道形成區域中包含矽的電晶體（以下稱為 Si 電晶體）。此外，包含在通道形成區域中的矽例如可以為非晶矽（有時稱為氫化非晶矽）、微晶矽、多晶矽或單晶矽等。

【0141】此外，除非特別說明均包括電晶體 M3A 及電晶體 M3B 都在開啟狀態下工作在飽和區域的情況。也就是說，包括上述各電晶體的閘極、源極及汲極合適地被輸入在工作在飽和區域的範圍的電壓的情況。但是，本發明的一個實施方式不侷限於此。為了減少被供應的電壓的振幅值，電晶體 M3A 及電晶體 M3B 可以工作在線性區域。此外，為了減少流過電晶體 M3A 及電晶體 M3B 的電流量，電晶體 M3A 及電晶體 M3B 可以工作在次臨界值區域。此外，電晶體 M3A 及電晶體 M3B 工作在線性區域的情況、工作在飽和區域的情況以及工作在次臨界值區域的情況可以混合存在。此外，電晶體 M3A 及電晶體 M3B 工作在線性區域的情況和工作在飽和區域的情況可以混合存在。此外，電晶體 M3A 及電晶體 M3B 工作在飽和區域的情況和工作在次臨界值區域的情況可以混合存在。此外，電晶體 M3A 及電晶體 M3B 工作在線性區域的情況和工作在次臨界值區域的情況可以混合存在。

【0142】此外，作為開關 SW7A 及開關 SW7B，例如可以使用可應用於開關 SW5A 及開關 SW5B 的開關。在本實施方式中，開關 SW7A 及開關 SW7B 都在控制端子被輸入高位準電位時成為開啟狀態而在控制端子被輸入低位準電位時成為關閉狀態。

【0143】作為一個例子，佈線 VHE 被用作供應定電壓的佈線。該定電壓例如較佳為高位準電位。

【0144】作為一個例子，佈線 SL7 被用作供應用來切換開關 SW7A 及開關 SW7B 的導通狀態和非導通狀態的電壓的佈線。因此，該電壓例如可以為高位準電位或低位準電位。

【0145】圖 3A 所示的電路 CM 因具有上述結構而被用作電流鏡電路。明確而言，圖 3A 的電路 CM 具有參照電晶體 M3B 的第一端子（佈線 BBL）的電位並使對應於該電位的電流分別流過電晶體 M3A 及電晶體 M3B 的各源極-汲極

間的功能。換言之，電路 CMS 具有使與流過電晶體 M3B 的源極-汲極間的電流量大致相等的電流流過電晶體 M3A 的源極-汲極間的功能。

【0146】此外，電路 CMS 的結構不侷限於圖 3A 所示的結構。例如，電路 CMS 也可以具有如圖 3B 所示的電路 CMS 那樣以共源共柵（cascode）連接電晶體 M3A 和電晶體 M4A 並以共源共柵連接電晶體 M3B 和電晶體 M4B 的結構。明確而言，電晶體 M3A 的第一端子與電晶體 M4A 的第一端子電連接，電晶體 M3A 的第二端子與佈線 VHE 電連接。此外，電晶體 M3B 的第一端子與電晶體 M4B 的第一端子、電晶體 M3A 的閘極及電晶體 M3B 的閘極電連接，電晶體 M3B 的第二端子與佈線 VHE 電連接。電晶體 M4A 的第二端子與佈線 BAL 電連接。電晶體 M4B 的第二端子與佈線 BBL、電晶體 M4A 的閘極及電晶體 M4B 的閘極電連接。像圖 3B 所示的電路 CMS 那樣，藉由以共源共柵連接電路 CM 所包括的電晶體，可以使利用電路 CM 的電流鏡電路更穩定工作。

【0147】此外，圖 3A 的電路 CMS 雖然具有電晶體 M3A 的第一端子藉由開關 SW7A 電連接於佈線 BAL 且電晶體 M3B 的第一端子藉由開關 SW7B 電連接於佈線 BBL 的結構，但是開關 SW7A 及開關 SW7B 的電連接位置不侷限於此。例如，圖 3A 的電路 CMS 可以具有電晶體 M3A 的第二端子藉由開關 SW7A 電連接於佈線 VHE 的結構（未圖示）及/或電晶體 M3B 的第二端子藉由開關 SW7B 電連接於佈線 VHE 的結構（未圖示）。此外，圖 3B 的電路 CMS 具有電晶體 M4A 的第二端子藉由開關 SW7A 電連接於佈線 BAL 且電晶體 M4B 的第二端子藉由開關 SW7B 電連接於佈線 BBL 的結構，但是開關 SW7A 及開關 SW7B 的電連接位置不侷限於此。例如，圖 3B 的電路 CMS 可以具有電晶體 M3A 的第二端子藉由開關 SW7A 電連接於佈線 VHE 的結構，也可以具有電晶體 M3A 的第一端子藉由開關 SW7A 電連接於電晶體 M4A 的第一端子的結構。此外，例如，圖 3B 的電路 CMS 可以具有電晶體 M3B 的第二端子藉由開

關 SW7B 電連接於佈線 VHE 的結構，也可以具有電晶體 M3B 的第一端子藉由開關 SW7B 電連接於電晶體 M4B 的第一端子的結構。如上所述，在圖 3A 及圖 3B 中，開關 SW7A 及開關 SW7B 的電連接位置可以在設計階段自由決定的。因此，在本發明的一個實施方式中，對開關 SW7A 及開關 SW7B 的電連接位置沒有特別的限制。

【0148】 <<電路 ACTV 的結構例子>>

接著，說明可應用於運算電路 MAC1 的電路 ACTV 的結構例子。

【0149】 圖 4A 是示出電路 ACTV 的結構例子的電路圖。作為一個例子，電路 ACTV 包括電路 ACP，電路 ACP 包括電路 IVC、電路 ACF、開關 SW4A。

【0150】 開關 SW4A 的第一端子與佈線 BAL 電連接，開關 SW4A 的第二端子與電路 IVC 的第一端子電連接，電路 IVC 的第二端子與電路 ACF 的第一端子電連接。電路 ACF 的第二端子與佈線 NIL 電連接。此外，開關 SW4A 的控制端子與佈線 SL4 電連接。此外，在後述實施方式 2 中，將佈線 BAL 置換成佈線 BAN 來進行說明。

【0151】 電路 IVC 具有將對應於輸入到第一端子的電流量的電壓輸出到第二端子的功能。也就是說，電路 IVC 被用作電流電壓轉換電路。

【0152】 電路 ACF 具有相應於輸入到第一端子的電壓根據所定義的函數系統進行運算的功能及將該函數系統的運算結果輸出到電路 ACF 的第二端子（佈線 NIL）的功能。作為該函數系統，例如可以舉出 sigmoid 函數、tanh 函數、softmax 函數、ReLU 函數（斜坡函數）、定限函數等。

【0153】 作為開關 SW4A，例如可以使用可應用於開關 SW5A 及開關 SW5B 的開關。

【0154】作為一個例子，佈線 SL4 被用作供應用來切換開關 SW4A 的導通狀態和非導通狀態的電壓的佈線。因此，該電壓例如可以為高位準電位或低位準電位。

【0155】接著，說明電路 IVC 的具體結構例子。圖 4B 所示的電路 ACTV 是可應用於圖 4A 的電路 ACTV 的電路結構，圖 4B 示出電路 IVC 的具體結構例子。在圖 4B 中，電路 IVC 包括運算放大器 OP 及負載 LEA。運算放大器 OP 的反相輸入端子與電路 IVC 的第一端子及負載 LEA 的第一端子電連接，運算放大器 OP 的輸出端子與負載 LEA 的第二端子及電路 IVC 的第二端子電連接。此外，運算放大器 OP 的非反相輸入端子與佈線 VRPL 電連接。此外，假設運算放大器 OP 的非反相輸入端子藉由電路 IVC 的第三端子連接於佈線 VRPL。

【0156】負載 LEA 例如可以使用電阻器、二極體、電晶體等。

【0157】作為一個例子，佈線 VRPL 被用作供應定電壓的佈線。該定電壓例如可以為接地電位、低位準電位等。

【0158】尤其是，藉由將佈線 VRPL 供應的電位設定為接地電位，將接地電位輸入到運算放大器 OP 的非反相輸入端子。此外，運算放大器 OP 的反相輸入端子藉由負載 LEA 電連接於運算放大器 OP 的輸出端子（具有負反饋的連接結構），由此運算放大器 OP 的反相輸入端子的電位可被視為虛擬接地。

【0159】此外，作為可應用於圖 4A 的電路 ACTV 的電路結構，除了圖 4B 的電路結構以外，還可以使用圖 4C 的電路 ACTV。圖 4C 所示的電路 ACP 不僅包括電路 IVC 及電路 ACF 還包括電流源 CCS。在圖 4C 中，電路 IVC 包括運算放大器 OP、負載 LEA、負載 LEB。運算放大器 OP 的反相輸入端子與電路 IVC 的第一端子及負載 LEA 的第一端子電連接，運算放大器 OP 的輸出端子與負載 LEA 的第二端子及電路 IVC 的第二端子電連接。此外，運算放大器 OP 的非反相輸入端子與電流源 CCS 的輸出端子及負載 LEB 的第一端子電連接，

電流源 CCS 的輸入端子與佈線 VDL 電連接，負載 LEB 的第二端子與佈線 VSSL 電連接。此外，假設運算放大器 OP 的非反相輸入端子與電流源 CCS 的輸出端子之間夾有電路 IVC 的第三端子。

【0160】負載 LEB 例如較佳為使用與負載 LEA 同樣的電路元件。

【0161】作為一個例子，佈線 VDL 被用作供應定電壓的佈線。該定電壓例如可以為高位準電位等。

【0162】作為一個例子，佈線 VSSL 被用作供應定電壓的佈線。該定電壓例如可以為接地電位、低位準電位等。

【0163】圖 4C 所示的電路 IVC 被用作減法電路。明確而言，可以將對應於從佈線 BAL 流至電路 IVC 的第一端子的電流量與從電流源 CCS 的輸出端子流至電路 IVC 的第三端子的電流量的差異的電壓輸出到電路 IVC 的第二端子。此外，在電路 IVC 被用作減法電路的情況下，電路 IVC 所包括的負載 LEA 及負載 LEB 較佳為都具有相等的電阻值。

【0164】此外，如果從電流源 CCS 的輸出端子流至電路 IVC 的第三端子的電流為 0A（沒有電流流過），並且電路 IVC 的第三端子的電位與圖 4B 的佈線 VRPL 供應的電位相等，則圖 4C 的電路 ACTV 與圖 4B 的電路 ACTV 等效。

【0165】接著，說明電路 ACF 的具體結構例子。圖 5A 是可應用於圖 4A 的電路 ACTV 的電路結構，圖 5A 示出電路 ACF 的具體結構例子。在圖 5A 中，電路 ACF 包括作為 p 通道型電晶體的電晶體 M5 及開關 SW4F。電晶體 M5 的第一端子與電路 ACF 的第一端子電連接，電晶體 M5 的第二端子與開關 SW4F 的第一端子電連接，開關 SW4F 的第二端子與電路 ACF 的第二端子電連接。此外，電晶體 M5 的閘極與佈線 VBA 電連接，開關 SW4F 的控制端子與佈線 SL4 電連接。

【0166】作為一個例子，佈線 VBA 被用作供應任意定電壓的佈線。

【0167】作為開關 SW4F，例如可以使用可應用於開關 SW5A 及開關 SW5B 的開關。此外，開關 SW4F 的控制端子與佈線 SL4 電連接，由此開關 SW4F 可以與開關 SW4A 同步地切換開啟狀態和關閉狀態。

【0168】電晶體 M5 被用作佈線 BAL 與佈線 NIL 間的傳輸電晶體。此外，從電晶體 M5 的第二端子輸出的電壓取決於輸入到電晶體 M5 的第一端子的電壓及施加到電晶體 M5 的閘極的電壓。在此，假設電晶體 M5 的第一端子的電壓為 V_A ，施加到電晶體 M5 的閘極的電壓（佈線 VBA 施加的電壓）為 V_{BIAS} ，並且電晶體 M5 的臨界電壓為 V_{th} 的情況。在此，當 V_A 為 $V_{BIAS}+V_{th}$ 以上時，電晶體 M5 向第二端子輸出約 V_A 的電壓。此外，當 V_A 小於 $V_{BIAS}+V_{th}$ 時，電晶體 M5 向第二端子輸出約 $V_{BIAS}+V_{th}$ 的電壓。也就是說，輸出到電晶體 M5 的第二端子的電壓可被視為以電晶體 M5 的第一端子的電壓為輸入值的 ReLU 函數（斜坡函數）的運算結果。

【0169】此外，作為可應用於圖 4A 的電路 ACTV 的電路 ACF 的其他電路結構，例如可以舉出圖 5B 所示的電路 ACTV 的電路 ACF。圖 5B 所示的電路 ACF 包括比較器 CMP。明確而言，比較器 CMP 的第一端子與電路 ACF 的第一端子電連接，比較器 CMP 的第二端子與佈線 VBA 電連接，比較器 CMP 的輸出端子與電路 ACF 的第二端子電連接。

【0170】在此，佈線 VBA 被用作供應用來與比較器 CMP 的第一端子的電位進行比較的電壓的佈線。因此，該電壓可以為任意定電壓。

【0171】藉由將圖 5B 的電路 ACTV 應用於運算電路 MAC1 的電路 ACTV，可以使圖 5B 的電路 ACF 根據從電路 IVC 供應的電壓與佈線 VBA 供應的電壓的大小關係將低位準電位或高位準電位（2 值的數位信號）輸出到佈線 NIL。也就是說，在圖 5B 的電路 ACF 中，輸出到電路 ACF 的第二端子的電

壓可被視為以電路 ACF 的第一端子的電壓為輸入值的階梯函數（斜坡函數）的運算結果。

【0172】此外，作為可應用於圖 4A 的電路 ACTV 的電路 ACF 的其他電路結構，例如可以舉出圖 5C 所示的電路 ACTV 的電路 ACF。此外，圖 5C 所示的電路 ACF 包括類比數位轉換電路 ADC。明確而言，類比數位轉換電路 ADC 的輸入端子與電路 ACF 的第一端子電連接，類比數位轉換電路 ADC 的輸出端子與電路 ACF 的第二端子電連接。也就是說，圖 5C 的電路 ACF 具有將電路 ACF 的第一端子的類比電壓轉換成數位值來將其輸出到電路 ACF 的第二端子的結構。此外，在將圖 5C 的電路 ACTV 應用於圖 4A 的電路 ACTV 的情況下，與電路 ACTV 電連接的佈線 NIL 個數較佳為對應於位數的個數。

【0173】<運算電路的工作例子>

接著，說明運算電路 MAC1 的工作例子。

【0174】如圖 6 所示，在此說明的運算電路 MAC1 是使用圖 2 的記憶單元陣列 CA 作為記憶單元陣列 CA 並使用圖 3A 的電路 CMS 作為電路 CMS 的運算電路 MAC1A。此外，圖 6 所示的運算電路 MAC1A 是主要選出記憶單元陣列 CA、電路 CMS、電路 XLD、電路 WLD、電路 INT 來表示的。此外，雖然未圖示，但是圖 6 的運算電路 MAC1A 的電路 ACTV 使用圖 4A 的電路 ACTV。

【0175】圖 7 是運算電路 MAC1A 的工作例子的時序圖。圖 7 的時序圖示出時間 T01 至時間 T13 或其附近的佈線 WAL[1]、佈線 WAL[m]、佈線 WBL[1]、佈線 WBL[m]、佈線 SL4、佈線 SL5、佈線 SL7、佈線 WAD、佈線 WBD、佈線 XAL[1]、佈線 XAL[m]、佈線 XBL[1]、佈線 XBL[m]、節點 Nx[1]、節點 Nx[m]、節點 Nu[1]、節點 Nu[m]、節點 Nw[1]、節點 Nw[m]、節

點 Nr[1]及節點 Nr[m]的電位變動。此外，在圖 7 中，High 表示高位準電位，Low 表示低位準電位。

【0176】此外，在本工作例子中，佈線 VR 供應的電壓為接地電位。

【0177】<<時間 T01 之前>>

在時間 T01 之前，假設節點 Nx[1]至節點 Nx[m]、節點 Nu[1]至節點 Nu[m]、節點 Nw[1]至節點 Nw[m]及節點 Nr[1]至節點 Nr[m]的各電位為接地電位。此外，在圖 15 中，GND 表示接地電位。

【0178】此外，藉由電路 WDD（圖 6 未示出），佈線 WAD 及佈線 WBD 都被輸入低位準電位。

【0179】此外，藉由電路 XLD，佈線 XAL[1]至佈線 XAL[m]及佈線 XBL[1]至佈線 XBL[m]都被輸入參考電位 V_{RFP} 。此外， V_{RFP} 既可高於接地電位又可低於接地電位。

【0180】此外，藉由電路 WLD，佈線 WAL[1]至佈線 WAL[m]及佈線 WBL[1]至佈線 WBL[m]都被輸入低位準電位。由此，記憶單元陣列 CA 的所有記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 所包括的電晶體 M1 都處於關閉狀態。

【0181】此外，佈線 SL4、佈線 SL5 及佈線 SL7 都被輸入低位準電位。由此，開關 SW4A、開關 SW5A、開關 SW5B、開關 SW7A 及開關 SW7B 都處於關閉狀態。

【0182】<<時間 T01 至時間 T02>>

在時間 T01 至時間 T02 中，佈線 SL5 被輸入高位準電位。由此，電路 INT 所包括的開關 SW5A 及開關 SW5B 都成為開啟狀態。

【0183】藉由開關 SW5A 及開關 SW5B 都成為開啟狀態，佈線 BAL 及佈線 BBL 都與佈線 VSL 成為導通狀態，使得佈線 BAL 及佈線 BBL 都被輸入來

自佈線 VSL 的電位。在本工作例子中，佈線 VSL 是分別向佈線 BAL 及佈線 BBL 供應初始化電位的佈線，該初始化電位為接地電位。由此，在時間 T01 至時間 T02 中，佈線 BAL 及佈線 BBL 的各電位成為接地電位。

【0184】此外，記憶單元陣列 CA 的所有記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 所包括的各電晶體 M2 的第一端子從佈線 VR 被供應接地電位，由此各電晶體 M2 的第一端子-第二端子間的電壓成為 0V。再者，節點 Nx[1]至節點 Nx[m]、節點 Nu[1]至節點 Nu[m]、節點 Nw[1]至節點 Nw[m]及節點 Nr[1]至節點 Nr[m]的各電位為接地電位，由此各電晶體 M2 成為關閉狀態。

【0185】 <<時間 T02 至時間 T03>>

在時間 T02 至時間 T03 中，佈線 WAL[1]被輸入高位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMx[1]及記憶單元 AMu[1]所包括的各電晶體 M1 的閘極被施加高位準電位，使得各電晶體 M1 成為開啟狀態。

【0186】此外，在時間 T02 至時間 T03 中，佈線 WAD 被輸入比接地電位大出 $V_{w\beta}[1]$ 的電位。此時，因為記憶單元 AMx[1]的電晶體 M1 處於開啟狀態，所以佈線 WAD 與節點 Nx[1]成為導通狀態，使得記憶單元 AMx[1]的電容器 C1 的第一端子（節點 Nx[1]）被輸入比接地電位大出 $V_{w\beta}[1]$ 的電位。

【0187】此外，在時間 T02 至時間 T03 中，佈線 WBD 被輸入比接地電位大出 $V_{w\alpha}[1]$ 的電位。此時，因為記憶單元 AMu[1]的電晶體 M1 處於開啟狀態，所以佈線 WBD 與節點 Nu[1]成為導通狀態，使得記憶單元 AMu[1]的電容器 C1 的第一端子（節點 Nu[1]）被輸入比接地電位大出 $V_{w\alpha}[1]$ 的電位。

【0188】在此， $V_w[1]$ 定義為如下數學式。

【0189】

[數學式 5]

$$V_w[1] = V_{w\alpha}[1] - V_{w\beta}[1] \quad \dots(1.1)$$

【0190】 $V_w[1]$ 為對應於 m 個第一資料中的第一個的電壓。也就是說， $V_{w\alpha}[1]$ 及 $V_{w\beta}[1]$ 都可以說是對應於 m 個第一資料中的第一個的電壓。此外，如果滿足數學式 (1.1)，則可以任意決定 $V_{w\alpha}[1]$ 及 $V_{w\beta}[1]$ 的電壓的組合。例如， $V_{w\alpha}[1]$ 既可高於 $V_{w\beta}[1]$ 又可低於 $V_{w\beta}[1]$ ，或者，也可以等於 $V_{w\beta}[1]$ 。也就是說， $V_w[1]$ 可以為正電壓、0 或負電壓。

【0191】此外，因為開關 SW5A 處於開啟狀態，所以佈線 BAL 被輸入接地電位。此外，在記憶單元 AMx[1]中，因為電晶體 M2 的第一端子被輸入來自佈線 VR 的接地電位，所以電晶體 M2 的第一端子-第二端子間的電壓幾乎成為 0V。由此，記憶單元 AMx[1]的電晶體 M2 的第一端子-第二端子間沒有電流流過。

【0192】同樣，因為開關 SW5B 處於開啟狀態，所以佈線 BBL 被輸入接地電位。此外，在記憶單元 AMu[1]中，因為電晶體 M2 的第一端子被輸入來自佈線 VR 的接地電位，所以電晶體 M2 的第一端子-第二端子間的電壓也幾乎成為 0V。由此，記憶單元 AMu[1]的電晶體 M2 的第一端子-第二端子間也沒有電流流過。

【0193】在此，在時間 T02 至時間 T03 中，佈線 WAL[2]至佈線 WAL[m]及佈線 WBL[1]至佈線 WBL[m]從時間 T02 之前一直被輸入低位準電位。由此，在記憶單元陣列 CA 中，配置在第二行至第 m 行的記憶單元 AMx[2]至記憶單元 AMx[m]及記憶單元 AMu[2]至記憶單元 AMu[m]、配置在第 $m+1$ 行至第 $2m$ 行的記憶單元 AMw[1]至記憶單元 AMw[m]及記憶單元 AMr[1]至記憶單元 AMr[m]所包括的各電晶體 M1 的閘極被施加低位準電位，由此各電晶體 M1 處於關閉狀態。由此，分別輸入到佈線 WAD 及佈線 WBD 的資料不會寫入到

節點 $Nx[2]$ 至節點 $Nx[m]$ 、節點 $Nu[2]$ 至節點 $Nu[m]$ 、節點 $Nw[1]$ 至節點 $Nw[m]$ 及節點 $Nr[1]$ 至節點 $Nr[m]$ 。

【0194】 <<時間 T03 至時間 T04>>

在時間 T03 至時間 T04 中，佈線 $WAL[1]$ 被輸入低位準電位。由此，在記憶單元陣列 CA 中，記憶單元 $AMx[1]$ 及記憶單元 $AMu[1]$ 所包括的各電晶體 M1 的閘極被施加低位準電位，使得各電晶體 M1 成為關閉狀態。

【0195】 在記憶單元 $AMx[1]$ 中，電晶體 M1 成為關閉狀態，使得記憶單元 $AMx[1]$ 的電容器 C1 的第一端子（節點 $Nx[1]$ ）保持比接地電位大出 $V_{w\beta}[1]$ 的電位。此外，在記憶單元 $AMu[1]$ 中，電晶體 M1 成為關閉狀態，使得記憶單元 $AMu[1]$ 的電容器 C1 的第一端子（節點 $Nu[1]$ ）保持比接地電位大出 $V_{w\alpha}[1]$ 的電位。

【0196】 此外，時間 T03 至時間 T04 中，與時間 T02 至時間 T03 中的向記憶單元 $AMx[1]$ 寫入電壓 $V_{w\beta}[1]$ 的工作同樣，向配置在記憶單元陣列 CA 的第二行至第 $m-1$ 行的記憶單元 $AMx[2]$ 至記憶單元 $AMx[m-1]$ 依次寫入電壓 $V_{w\beta}[2]$ 至 $V_{w\beta}[m-1]$ 。此外，在進行向記憶單元 $AMx[2]$ 至記憶單元 $AMx[m-1]$ 寫入電壓的工作同時，向配置在記憶單元陣列 CA 的第二行至第 $m-1$ 行的記憶單元 $AMu[2]$ 至記憶單元 $AMu[m-1]$ 寫入電壓 $V_{w\alpha}[2]$ 至 $V_{w\alpha}[m-1]$ 。

【0197】 此時，位於第 p 行（ p 為 2 以上且 $m-1$ 以下的整數）的記憶單元 $AMx[p]$ 保持電壓 $V_{w\beta}[p]$ ，記憶單元 $AMu[p]$ 保持電壓 $V_{w\alpha}[p]$ 。在此，與數學式 (1.1) 同樣，對應於 m 個第一資料中的第 p 個的電壓 $V_w[p]$ 定義為如下數學式。

【0198】

[數學式 6]

$$V_w[p] = V_{w\alpha}[p] - V_{w\beta}[p] \quad \dots(1.2)$$

【0199】 $V_w[p]$ 為對應於 m 個第一資料中的第 p 個的電壓。也就是說， $V_{w\alpha}[p]$ 及 $V_{w\beta}[p]$ 都可以說是對應於 m 個第一資料中的第 p 個的電壓。此外，如果滿足數學式 (1.2)，則可以任意決定 $V_{w\alpha}[p]$ 及 $V_{w\beta}[p]$ 的電壓的組合。例如， $V_{w\alpha}[p]$ 既可高於 $V_{w\beta}[p]$ 又可低於 $V_{w\beta}[p]$ ，或者，也可以等於 $V_{w\beta}[p]$ 。也就是說， $V_w[p]$ 可以為正電壓、0 或負電壓。

【0200】<<時間 T04 至時間 T05>>

在時間 T04 至時間 T05 中，佈線 WAL[m]被輸入高位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMx[m]及記憶單元 AMu[m]所包括的各電晶體 M1 的閘極被施加高位準電位，使得各電晶體 M1 成為開啟狀態。

【0201】此外，在時間 T04 至時間 T05 中，佈線 WAD 被輸入比接地電位大出 $V_{w\beta}[m]$ 的電位。此時，因為記憶單元 AMx[m]的電晶體 M1 處於開啟狀態，所以佈線 WAD 與節點 Nx[m]成為導通狀態，使得記憶單元 AMx[m]的電容器 C1 的第一端子（節點 Nx[m]）被輸入比接地電位大出 $V_{w\beta}[m]$ 的電位。

【0202】此外，在時間 T04 至時間 T05 中，佈線 WBD 被輸入比接地電位大出 $V_{w\alpha}[m]$ 的電位。此時，因為記憶單元 AMu[m]的電晶體 M1 處於開啟狀態，所以佈線 WBD 與節點 Nu[m]成為導通狀態，使得記憶單元 AMu[m]的電容器 C1 的第一端子（節點 Nu[m]）被輸入比接地電位大出 $V_{w\alpha}[m]$ 的電位。

【0203】在此， $V_w[m]$ 定義為如下數學式。

【0204】

[數學式 7]

$$V_w[m] = V_{w\alpha}[m] - V_{w\beta}[m] \quad \dots(1.3)$$

【0205】 $V_w[m]$ 為對應於 m 個第一資料中的第一個的電壓。也就是說， $V_{w\alpha}[m]$ 及 $V_{w\beta}[m]$ 都可以說是對應於 m 個第一資料中的第一個的電壓。此外，如果滿足數學式 (1.3)，則可以任意決定 $V_{w\alpha}[m]$ 及 $V_{w\beta}[m]$ 的電壓的組合。例

如， $V_{w\alpha}[m]$ 既可高於 $V_{w\beta}[m]$ 又可低於 $V_{w\beta}[m]$ ，或者，也可以等於 $V_{w\beta}[m]$ 。也就是說， $V_w[m]$ 可以為正電壓、0 或負電壓。

【0206】此外，因為開關 SW5A 處於開啟狀態，所以佈線 BAL 被輸入接地電位。此外，在記憶單元 AMx[m]中，因為電晶體 M2 的第一端子被輸入來自佈線 VR 的接地電位，所以電晶體 M2 的第一端子-第二端子間的電壓幾乎成為 0V。由此，記憶單元 AMx[m]的電晶體 M2 的第一端子-第二端子間沒有電流流過。

【0207】同樣，因為開關 SW5B 處於開啟狀態，所以佈線 BBL 被輸入接地電位。此外，在記憶單元 AMu[m]中，因為電晶體 M2 的第一端子被輸入來自佈線 VR 的接地電位，所以電晶體 M2 的第一端子-第二端子間的電壓也幾乎成為 0V。由此，記憶單元 AMu[m]的電晶體 M2 的第一端子-第二端子間也沒有電流流過。

【0208】在此，在時間 T04 至時間 T05 中，佈線 WAL[1]至佈線 WAL[m-1]及佈線 WBL[1]至佈線 WBL[m]從時間 T04 之前一直被輸入低位準電位。由此，在記憶單元陣列 CA 中，配置在第一行至第 m-1 行的記憶單元 AMx[1]至記憶單元 AMx[m-1]及記憶單元 AMu[1]至記憶單元 AMu[m-1]、配置在第 m+1 行至第 2m 行的記憶單元 AMw[1]至記憶單元 AMw[m]及記憶單元 AMr[1]至記憶單元 AMr[m]所包括的各電晶體 M1 的閘極被施加低位準電位，由此各電晶體 M1 處於關閉狀態。由此，分別輸入到佈線 WAD 及佈線 WBD 的資料不會寫入到節點 Nx[1]至節點 Nx[m-1]、節點 Nu[1]至節點 Nu[m-1]、節點 Nw[1]至節點 Nw[m]及節點 Nr[1]至節點 Nr[m]。

【0209】<<時間 T05 至時間 T06>>

在時間 T05 至時間 T06 中，佈線 WAL[m]被輸入低位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMx[m]及記憶單元 AMu[m]所包括的各電晶體 M1 的閘極被施加低位準電位，使得各電晶體 M1 成為關閉狀態。

【0210】在記憶單元 AMx[m]中，電晶體 M1 成為關閉狀態，使得記憶單元 AMx[m]的電容器 C1 的第一端子（節點 Nx[m]）保持比接地電位大出 $V_{wb}[m]$ 的電位。此外，在記憶單元 AMu[m]中，電晶體 M1 成為關閉狀態，使得記憶單元 AMu[m]的電容器 C1 的第一端子（節點 Nu[m]）保持比接地電位大出 $V_{wa}[m]$ 的電位。

【0211】 <<時間 T06 至時間 T07>>

在時間 T06 至時間 T07 中，佈線 WBL[1]被輸入高位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMw[1]及記憶單元 AMr[1]所包括的各電晶體 M1 的閘極被施加高位準電位，使得各電晶體 M1 成為開啟狀態。

【0212】此外，在時間 T06 至時間 T07 中，佈線 WAD 被輸入比接地電位大出 $V_{wa}[1]$ 的電位。此時，因為記憶單元 AMw[1]的電晶體 M1 處於開啟狀態，所以佈線 WAD 與節點 Nw[1]成為導通狀態，使得記憶單元 AMw[1]的電容器 C1 的第一端子（節點 Nw[1]）被輸入比接地電位大出 $V_{wa}[1]$ 的電位。

【0213】此外，在時間 T06 至時間 T07 中，佈線 WBD 被輸入比接地電位大出 $V_{wb}[1]$ 的電位。此時，因為記憶單元 AMr[1]的電晶體 M1 處於開啟狀態，所以佈線 WBD 與節點 Nr[1]成為導通狀態，使得記憶單元 AMr[1]的電容器 C1 的第一端子（節點 Nr[1]）被輸入比接地電位大出 $V_{wb}[1]$ 的電位。

【0214】此外，因為開關 SW5A 處於開啟狀態，所以佈線 BAL 被輸入接地電位。此外，在記憶單元 AMw[1]中，因為電晶體 M2 的第一端子被輸入來自佈線 VR 的接地電位，所以電晶體 M2 的第一端子-第二端子間的電壓幾乎成

為 0V。由此，記憶單元 AMw[1]的電晶體 M2 的第一端子-第二端子間沒有電流流過。

【0215】同樣，因為開關 SW5B 處於開啟狀態，所以佈線 BBL 被輸入接地電位。此外，在記憶單元 AMr[1]中，因為電晶體 M2 的第一端子被輸入來自佈線 VR 的接地電位，所以電晶體 M2 的第一端子-第二端子間的電壓也幾乎成為 0V。由此，記憶單元 AMr[1]的電晶體 M2 的第一端子-第二端子間也沒有電流流過。

【0216】在此，在時間 T06 至時間 T07 中，佈線 WAL[1]至佈線 WAL[m]及佈線 WBL[2]至佈線 WBL[m]從時間 T06 之前一直被輸入低位準電位。由此，在記憶單元陣列 CA 中，配置在第一行至第 m 行的記憶單元 AMx[1]至記憶單元 AMx[m]及記憶單元 AMu[1]至記憶單元 AMu[m]、配置在第 m+2 行至第 2m 行的記憶單元 AMw[2]至記憶單元 AMw[m]及記憶單元 AMr[2]至記憶單元 AMr[m]所包括的各電晶體 M1 的閘極被施加低位準電位，由此各電晶體 M1 處於關閉狀態。由此，分別輸入到佈線 WAD 及佈線 WBD 的資料不會寫入到節點 Nx[1]至節點 Nx[m]、節點 Nu[1]至節點 Nu[m]、節點 Nw[2]至節點 Nw[m]及節點 Nr[2]至節點 Nr[m]。

【0217】 <<時間 T07 至時間 T08>>

在時間 T07 至時間 T08 中，佈線 WBL[1]被輸入低位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMw[1]及記憶單元 AMr[1]所包括的各電晶體 M1 的閘極被施加低位準電位，使得各電晶體 M1 成為關閉狀態。

【0218】在記憶單元 AMw[1]中，電晶體 M1 成為關閉狀態，使得記憶單元 AMw[1]的電容器 C1 的第一端子（節點 Nw[1]）保持比接地電位大出 $V_{w\alpha}[1]$ 的電位。此外，在記憶單元 AMr[1]中，電晶體 M1 成為關閉狀態，使得記憶單

元 $AMr[1]$ 的電容器 $C1$ 的第一端子（節點 $Nr[1]$ ）保持比接地電位大出 $V_{w\beta}[1]$ 的電位。

【0219】此外，時間 $T07$ 至時間 $T08$ 中，與時間 $T06$ 至時間 $T07$ 中的向記憶單元 $AMw[1]$ 寫入電壓 $V_{w\alpha}[1]$ 的工作同樣，向配置在記憶單元陣列 CA 的第 $m+2$ 行至第 $2m-1$ 行的記憶單元 $AMw[2]$ 至記憶單元 $AMw[m-1]$ 依次寫入電壓 $V_{w\alpha}[2]$ 至 $V_{w\alpha}[m-1]$ 。此外，在進行向記憶單元 $AMw[2]$ 至記憶單元 $AMw[m-1]$ 寫入電壓的工作同時，向配置在記憶單元陣列 CA 的第 $2m+1$ 行至第 $2m-1$ 行的記憶單元 $AMr[2]$ 至記憶單元 $AMr[m-1]$ 寫入電壓 $V_{w\beta}[2]$ 至 $V_{w\beta}[m-1]$ 。

【0220】 <<時間 $T08$ 至時間 $T09$ >>

在時間 $T08$ 至時間 $T09$ 中，佈線 $WAL[m]$ 被輸入高位準電位。由此，在記憶單元陣列 CA 中，記憶單元 $AMw[m]$ 及記憶單元 $AMr[m]$ 所包括的各電晶體 $M1$ 的閘極被施加高位準電位，使得各電晶體 $M1$ 成為開啟狀態。

【0221】此外，在時間 $T08$ 至時間 $T09$ 中，佈線 WAD 被輸入比接地電位大出 $V_{w\alpha}[m]$ 的電位。此時，因為記憶單元 $AMw[m]$ 的電晶體 $M1$ 處於開啟狀態，所以佈線 WAD 與節點 $Nw[m]$ 成為導通狀態，使得記憶單元 $AMw[m]$ 的電容器 $C1$ 的第一端子（節點 $Nw[m]$ ）被輸入比接地電位大出 $V_{w\alpha}[m]$ 的電位。

【0222】此外，在時間 $T08$ 至時間 $T09$ 中，佈線 WBD 被輸入比接地電位大出 $V_{w\beta}[m]$ 的電位。此時，因為記憶單元 $AMr[m]$ 的電晶體 $M1$ 處於開啟狀態，所以佈線 WBD 與節點 $Nr[m]$ 成為導通狀態，使得記憶單元 $AMr[m]$ 的電容器 $C1$ 的第一端子（節點 $Nr[m]$ ）被輸入比接地電位大出 $V_{w\beta}[m]$ 的電位。

【0223】此外，因為開關 $SW5A$ 處於開啟狀態，所以佈線 BAL 被輸入接地電位。此外，在記憶單元 $AMw[m]$ 中，因為電晶體 $M2$ 的第一端子被輸入來自佈線 VR 的接地電位，所以電晶體 $M2$ 的第一端子-第二端子間的電壓幾乎成

為 0V。由此，記憶單元 AMw[m]的電晶體 M2 的第一端子-第二端子間沒有電流流過。

【0224】同樣，因為開關 SW5B 處於開啟狀態，所以佈線 BBL 被輸入接地電位。此外，在記憶單元 AMr[m]中，因為電晶體 M2 的第一端子被輸入來自佈線 VR 的接地電位，所以電晶體 M2 的第一端子-第二端子間的電壓也幾乎成為 0V。由此，記憶單元 AMr[m]的電晶體 M2 的第一端子-第二端子間也沒有電流流過。

【0225】在此，在時間 T08 至時間 T09 中，佈線 WAL[1]至佈線 WAL[m]及佈線 WBL[1]至佈線 WBL[m-1]從時間 T08 之前一直被輸入低位準電位。由此，在記憶單元陣列 CA 中，配置在第一行至第 m 行的記憶單元 AMx[1]至記憶單元 AMx[m]及記憶單元 AMu[1]至記憶單元 AMu[m]、配置在第 m+1 行至第 2m-1 行的記憶單元 AMw[1]至記憶單元 AMw[m-1]及記憶單元 AMr[1]至記憶單元 AMr[m-1]所包括的各電晶體 M1 的閘極被施加低位準電位，由此各電晶體 M1 處於關閉狀態。由此，分別輸入到佈線 WAD 及佈線 WBD 的資料不會寫入到節點 Nx[1]至節點 Nx[m]、節點 Nu[1]至節點 Nu[m]、節點 Nw[1]至節點 Nw[m-1]及節點 Nr[1]至節點 Nr[m-1]。

【0226】 <<時間 T09 至時間 T10>>

在時間 T09 至時間 T10 中，佈線 WBL[m]被輸入低位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMw[m]及記憶單元 AMr[m]所包括的各電晶體 M1 的閘極被施加低位準電位，使得各電晶體 M1 成為關閉狀態。

【0227】在記憶單元 AMw[m]中，電晶體 M1 成為關閉狀態，使得記憶單元 AMw[m]的電容器 C1 的第一端子（節點 Nw[m]）保持比接地電位大出 $V_{wa}[m]$ 的電位。此外，在記憶單元 AMr[m]中，電晶體 M1 成為關閉狀態，使

得記憶單元 $AMr[m]$ 的電容器 $C1$ 的第一端子（節點 $Nr[m]$ ）保持比接地電位大出 $V_{w\beta}[m]$ 的電位。

【0228】經時間 $T01$ 至時間 $T10$ 中的工作，可以向記憶單元陣列 CA 所包括的記憶單元 AMx 、記憶單元 AMu 、記憶單元 AMw 及記憶單元 AMr 的每一個寫入對應於第一資料的電壓。

【0229】<<時間 $T10$ 至時間 $T11$ >>

在時間 $T10$ 至時間 $T11$ 中，佈線 $SL5$ 被輸入低位準電位。由此，在電路 INT 中，開關 $SW5A$ 及開關 $SW5B$ 都成為關閉狀態。

【0230】<<時間 $T11$ 至時間 $T12$ >>

在時間 $T11$ 至時間 $T12$ 中，佈線 $XAL[1]$ 至佈線 $XAL[m]$ 分別被輸入對應於 m 個第二資料的電位。在此，例如，從電路 XLD 輸入到佈線 $XAL[1]$ 的電位為比接地電位高出 $V_{x\alpha}[1]$ 的電位，從電路 XLD 輸入到佈線 $XAL[p]$ 的電位比接地電位高出 $V_{x\alpha}[p]$ ，從電路 XLD 輸入到佈線 $XAL[m]$ 的電位比接地電位高出 $V_{x\alpha}[m]$ 的電位。

【0231】因為佈線 $XAL[1]$ 的電位從接地電位提升到 $V_{x\alpha}[1]$ ，所以記憶單元 $AMx[1]$ 及記憶單元 $AMu[1]$ 的各電容器 $C1$ 的第二端子被施加 $V_{x\alpha}[1]$ 。此時，節點 $Nx[1]$ 及節點 $Nu[1]$ 都處於電浮動狀態，由此藉由電容器 $C1$ 的電容耦合，節點 $Nx[1]$ 及節點 $Nu[1]$ 的各電位發生變化。

【0232】在記憶單元 $AMx[1]$ 及記憶單元 $AMu[1]$ 的每一個中，電晶體 $M2$ 的閘極電位的增幅相當於佈線 $XAL[1]$ 的電位變化乘以取決於記憶單元結構的電容耦合係數的電位。該電容耦合係數根據電容器 $C1$ 的電容、電晶體 $M2$ 的閘極電容、寄生電容等而算出。在本工作例子中，記憶單元 AMx 及記憶單元 AMu 的各電容耦合係數為 h 。

【0233】因此，當佈線 XAL[1]的電位變化為 $V_{x\alpha}[1]$ 時，節點 Nx[1]及節點 Nu[1]的各電位變化為 $hV_{x\alpha}[1]$ 。也就是說，節點 Nx[1]的電位成為 $V_{w\beta}[1]+hV_{x\alpha}[1]$ ，節點 Nu[1]的電位成為 $V_{w\alpha}[1]+hV_{x\alpha}[1]$ 。

【0234】此外，在本工作例子中，關於記憶單元陣列 CA 所包括的記憶單元 AMx[1]及記憶單元 AMu[1]以外的記憶單元，也將各電容耦合係數設定為 h 來進行說明。

【0235】由此，因為佈線 XAL[p]的電位從接地電位提升到 $V_{x\alpha}[p]$ ，所以記憶單元 AMx[p]及記憶單元 AMu[p]的各電容器 C1 的第二端子被施加 $V_{x\alpha}[p]$ 。此時，節點 Nx[p]及節點 Nu[p]都處於電浮動狀態，由此藉由電容器 C1 的電容耦合，節點 Nx[p]及節點 Nu[p]的各電位發生變化。明確而言，節點 Nx[p]的電位成為 $V_{w\beta}[p]+hV_{x\alpha}[p]$ ，節點 Nu[p]的電位成為 $V_{w\alpha}[p]+hV_{x\alpha}[p]$ 。

【0236】此外，因為佈線 XAL[m]的電位從接地電位提升到 $V_{x\alpha}[m]$ ，所以記憶單元 AMx[m]及記憶單元 AMu[m]的各電容器 C1 的第二端子被施加 $V_{x\alpha}[m]$ 。此時，節點 Nx[m]及節點 Nu[m]都處於電浮動狀態，由此藉由電容器 C1 的電容耦合，節點 Nx[m]及節點 Nu[m]的各電位發生變化。明確而言，節點 Nx[m]的電位成為 $V_{w\beta}[m]+hV_{x\alpha}[m]$ ，節點 Nu[m]的電位成為 $V_{w\alpha}[m]+hV_{x\alpha}[m]$ 。

【0237】此外，在時間 T11 至時間 T12 中，佈線 XBL[1]至佈線 XBL[m]分別被輸入對應於 m 個第二資料的電位。在此，例如，從電路 XLD 輸入到佈線 XBL[1]的電位為比接地電位高出 $V_{x\beta}[1]$ 的電位，從電路 XLD 輸入到佈線 XBL[p]的電位比接地電位高出 $V_{x\beta}[p]$ ，從電路 XLD 輸入到佈線 XBL[m]的電位比接地電位高出 $V_{x\beta}[m]$ 的電位。

【0238】因為佈線 XBL[1]的電位從接地電位提升到 $V_{x\beta}[1]$ ，所以記憶單元 AMw[1]及記憶單元 AMr[1]的各電容器 C1 的第二端子被施加 $V_{x\beta}[1]$ 。此時，節

點 $Nw[1]$ 及節點 $Nr[1]$ 都處於電浮動狀態，由此藉由電容器 $C1$ 的電容耦合，節點 $Nw[1]$ 及節點 $Nr[1]$ 的各電位發生變化。

【0239】在本工作例子中，記憶單元陣列 CA 所包括的記憶單元 AMw 及記憶單元 AMr 的各電容耦合係數與記憶單元 AMx 及記憶單元 AMu 同樣被設定為 h 。

【0240】因此，當佈線 $XBL[1]$ 的電位變化為 $V_{x\beta}[1]$ 時，節點 $Nw[1]$ 及節點 $Nr[1]$ 的各電位變化為 $hV_{x\beta}[1]$ 。也就是說，節點 $Nw[1]$ 的電位成為 $V_{w\alpha}[1]+hV_{x\beta}[1]$ ，節點 $Nr[1]$ 的電位成為 $V_{w\beta}[1]+hV_{x\beta}[1]$ 。

【0241】由此，因為佈線 $XBL[p]$ 的電位從接地電位提升到 $V_{x\beta}[p]$ ，所以記憶單元 $AMx[p]$ 及記憶單元 $AMr[p]$ 的各電容器 $C1$ 的第二端子被施加 $V_{x\beta}[p]$ 。此時，節點 $Nw[p]$ 及節點 $Nr[p]$ 都處於電浮動狀態，由此藉由電容器 $C1$ 的電容耦合，節點 $Nw[p]$ 及節點 $Nr[p]$ 的各電位發生變化。明確而言，節點 $Nw[p]$ 的電位成為 $V_{w\alpha}[p]+hV_{x\beta}[p]$ ，節點 $Nr[p]$ 的電位成為 $V_{w\beta}[p]+hV_{x\beta}[p]$ 。

【0242】此外，因為佈線 $XBL[m]$ 的電位從接地電位提升到 $V_{x\beta}[m]$ ，所以記憶單元 $AMw[m]$ 及記憶單元 $AMu[m]$ 的各電容器 $C1$ 的第二端子被施加 $V_{x\beta}[m]$ 。此時，節點 $Nw[m]$ 及節點 $Nr[m]$ 都處於電浮動狀態，由此藉由電容器 $C1$ 的電容耦合，節點 $Nw[m]$ 及節點 $Nr[m]$ 的各電位發生變化。明確而言，節點 $Nw[m]$ 的電位成為 $V_{w\alpha}[m]+hV_{x\beta}[m]$ ，節點 $Nu[m]$ 的電位成為 $V_{w\beta}[m]+hV_{x\beta}[m]$ 。

【0243】在此， $V_x[1]$ 、 $V_x[p]$ 及 $V_x[m]$ 定義為如下數學式。

【0244】

[數學式 8]

$$V_x[1] = V_{x\alpha}[1] - V_{x\beta}[1] \quad \dots(1.4)$$

$$V_x[p] = V_{x\alpha}[p] - V_{x\beta}[p] \quad \dots(1.5)$$

$$V_x[m] = V_{x\alpha}[m] - V_{x\beta}[m] \quad \dots(1.6)$$

【0245】 $V_x[1]$ 至 $V_x[m]$ 都是對應於第二資料的電壓。也就是說， $V_{x\alpha}[1]$ 至 $V_{x\alpha}[m]$ 及 $V_{x\beta}[1]$ 至 $V_{x\beta}[m]$ 都可以說是對應於第二資料的電壓。此外，如果滿足數學式(1.4)至數學式(1.6)，則可以任意決定 $V_{x\alpha}[i]$ 及 $V_{x\beta}[i]$ 的電壓的組合。例如， $V_{x\alpha}[i]$ 既可高於 $V_{x\beta}[i]$ 又可低於 $V_{x\beta}[i]$ ，或者，也可以等於 $V_{x\beta}[i]$ 。也就是說， $V_x[i]$ 可以為正電壓、0或負電壓。

【0246】<<時間 T12 至時間 T13>>

在時間 T12 至時間 T13 中，佈線 SL4 及佈線 SL7 被輸入高位準電位。由此，電路 CMS 中的開關 SW7A 及開關 SW7B 和電路 ACTV 中的開關 SW4A 都成為開啟狀態。

【0247】此時，記憶單元 AMx[1]至記憶單元 AMx[m]及記憶單元 AMw[1]至記憶單元 AMw[m]的每一個所包括的各電晶體 M2 的第二端子藉由佈線 BAL 與電路 CM 所包括的電晶體 M3A 的第一端子成為導通狀態。此外，記憶單元 AMx[1]至記憶單元 AMx[m]及記憶單元 AMw[1]至記憶單元 AMw[m]所包括的各電晶體 M2 的第二端子藉由佈線 BAL 與電路 ACTV 所包括的電路 IVC 的第一端子成為導通狀態。此外，記憶單元 AMu[1]至記憶單元 AMu[m]及記憶單元 AMr[1]至記憶單元 AMr[m]所包括的各電晶體 M2 的第二端子藉由佈線 BBL 與電路 CM 所包括的電晶體 M3B 的第一端子成為導通狀態。

【0248】在此，考察記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 的各電晶體 M2 中從第二端子流過第一端子的電流。

【0249】假設從佈線 BAL 藉由記憶單元 AMx[1]的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMx[1]}$ ，則 $I_{AMx[1]}$ 可以表示為如下數學式。

【0250】

[數學式 9]

$$I_{AMx[1]} = k(V_{W\beta}[1] + hV_{X\alpha}[1] - V_{th})^2 \quad \dots(1.7)$$

【0251】K 表示取決於電晶體 M2 的通道長度、通道寬度、移動率及閘極絕緣膜的電容等的常數。此外， V_{th} 表示電晶體 M2 的臨界電壓。此外，常數 k 不但可以適用於記憶單元 AMx，還可以適用於記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr。此外，記憶單元 AMx 以外的記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 所包括的電晶體 M2 的臨界電壓也表示為 V_{th} 。

【0252】此外，假設從佈線 BAL 藉由記憶單元 AMx[m] 的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMx[m]}$ ，則 $I_{AMx[m]}$ 可以表示為如下數學式。

【0253】

[數學式 10]

$$I_{AMx[m]} = k(V_{W\beta}[m] + hV_{X\alpha}[m] - V_{th})^2 \quad \dots(1.8)$$

【0254】也就是說，假設從佈線 BAL 流過記憶單元 AMx[1] 至記憶單元 AMx[m] 的各電晶體 M2 的第二端子的電流量的總和為 I_x ，則 I_x 可以根據數學式 (1.7) 及數學式 (1.8) 表示為如下數學式。

【0255】

[數學式 11]

$$I_x = k \sum_{i=1}^m (V_{W\beta}[i] + hV_{X\alpha}[i] - V_{th})^2 \quad \dots(1.9)$$

【0256】同樣，假設從佈線 BAL 藉由記憶單元 AMw[1] 的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMw[1]}$ ，並且從佈線 BAL 藉由記憶單元 AMw[m] 的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMw[m]}$ ，則 $I_{AMw[1]}$ 及 $I_{AMw[m]}$ 可以表示為如下數學式。

【0257】

[數學式 12]

$$I_{AMw[1]} = k(V_{W\alpha}[1] + hV_{X\beta}[1] - V_{th})^2 \quad \dots(1.10)$$

$$I_{AMw[m]} = k(V_{W\alpha}[m] + hV_{X\beta}[m] - V_{th})^2 \quad \dots(1.11)$$

【0258】也就是說，假設從佈線 BAL 流過記憶單元 AMw[1]至記憶單元 AMw[m]的各電晶體 M2 的第二端子的電流量的總和為 I_w ，則 I_w 可以根據數學式 (1.10) 及數學式 (1.11) 表示為如下數學式。

【0259】

[數學式 13]

$$I_w = k \sum_{i=1}^m (V_{W\alpha}[i] + hV_{X\beta}[i] - V_{th})^2 \quad \dots(1.12)$$

【0260】同樣，假設從佈線 BBL 藉由記憶單元 AMu[1]的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMu[1]}$ ，並且從佈線 BBL 藉由記憶單元 AMu[m]的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMu[m]}$ ，則 $I_{AMu[1]}$ 及 $I_{AMu[m]}$ 可以表示為如下數學式。

【0261】

[數學式 14]

$$I_{AMu[1]} = k(V_{W\alpha}[1] + hV_{X\alpha}[1] - V_{th})^2 \quad \dots(1.13)$$

$$I_{AMu[m]} = k(V_{W\alpha}[m] + hV_{X\alpha}[m] - V_{th})^2 \quad \dots(1.14)$$

【0262】也就是說，假設從佈線 BBL 流過記憶單元 AMu[1]至記憶單元 AMu[m]的各電晶體 M2 的第二端子的電流量的總和為 I_u ，則 I_u 可以根據數學式 (1.13) 及數學式 (1.14) 表示為如下數學式。

【0263】

[數學式 15]

$$I_u = k \sum_{i=1}^m (V_{W\alpha}[i] + hV_{X\alpha}[i] - V_{th})^2 \quad \dots(1.15)$$

【0264】同樣，假設從佈線 BBL 藉由記憶單元 AMr[1]的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMr[1]}$ ，並且從佈線 BBL 藉由記憶單元 AMr[m]的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMr[m]}$ ，則 $I_{AMr[1]}$ 及 $I_{AMr[m]}$ 可以表示為如下數學式。

【0265】

[數學式 16]

$$I_{AMr[1]} = k(V_{W\beta}[1] + hV_{X\beta}[1] - V_{th})^2 \quad \dots(1.16)$$

$$I_{AMr[m]} = k(V_{W\beta}[m] + hV_{X\beta}[m] - V_{th})^2 \quad \dots(1.17)$$

【0266】也就是說，假設從佈線 BBL 流過記憶單元 AMr[1]至記憶單元 AMr[m]的各電晶體 M2 的第二端子的電流量的總和為 I_r ，則 I_r 可以根據數學式 (1.16) 及數學式 (1.17) 表示為如下數學式。

【0267】

[數學式 17]

$$I_r = k \sum_{i=1}^m (V_{W\beta}[i] + hV_{X\beta}[i] - V_{th})^2 \quad \dots(1.18)$$

【0268】在時間 T12 至時間 T13 中，電路 CMS 所包括的開關 SW7B 處於開啟狀態，並且電路 INT 所包括的開關 SW5B 處於關閉狀態，由此藉由佈線 BBL 流過記憶單元 AMu[1]至記憶單元 AMu[m]及記憶單元 AMr[1]至記憶單元 AMr[m]的電流的總和 I_u+I_r 藉由電晶體 M3B 的第一端子從佈線 VHE 流出的。此時，電晶體 M3B 的第一端子（閘極）的電壓成為對應於電流量 I_u+I_r 的電壓。

【0269】此外，因為電路 CM 為電流鏡電路，所以流過電晶體 M3B 的第一端子-第二端子間的電流量與流過電晶體 M3A 的第一端子-第二端子間的電流量大致相等。在時間 T12 至時間 T13 中，電路 CMS 所包括的開關 SW7A 處於開啟狀態，由此從佈線 VHE 藉由電晶體 M3B 流過佈線 BAL 的電流量成為 $I_u + I_r$ 。

【0270】此外，電路 INT 所包括的開關 SW5B 處於關閉狀態，並且電路 ACTV 所包括的開關 SW4A 處於開啟狀態，由此電流從佈線 BAL 藉由開關 SW4A 流過電路 ACTV 所包括的電路 IVC 的第一端子。假設為該電流量為 I_{EV} ，則 I_{EV} 可以表示為如下數學式。

【0271】

[數學式 18]

$$I_{EV} = I_u + I_r - I_x - I_w \quad \dots(1.19)$$

【0272】數學式 (1.19) 可以根據數學式 (1.1) 至數學式 (1.6)、數學式 (1.9)、數學式 (1.12)、數學式 (1.15) 及數學式 (1.18) 表示為如下數學式。

【0273】

[數學式 19]

$$\begin{aligned} I_{EV} &= 2hk \sum_{i=1}^m (V_{W\alpha|i} - V_{W\beta|i})(V_{X\alpha|i} - V_{X\beta|i}) \\ &= 2hk \sum_{i=1}^m V_{W|i} V_{X|i} \quad \dots(1.20) \end{aligned}$$

【0274】根據數學式 (1.20)，從佈線 BAL 輸入到電路 ACTV 的電流量 I_{EV} 與對應於第一資料的電位 $V_w[1]$ 至 $V_w[m]$ 與對應於第二資料的電位 $V_x[1]$ 至

$V_x[m]$ 的積和成比。也就是說，第一資料與第二資料之積和可以表示為電流量 I_{EV} 。

【0275】藉由電流 I_{EV} 流過電路 ACTV 所包括的電路 IVC 的第一端子，從電路 IVC 的第三端子輸出對應於 I_{EV} 的電壓。然後，該電壓輸入到電路 ACF 的第一端子，使得電路 ACF 使用該電壓進行預先定義的函數系統的運算，由此將運算結果作為電壓（或電流等）從佈線 NIL 輸出。

【0276】在此，數學式（1.1）至數學式（1.3）可以各自變形為 $V_{W\alpha}[i]=V_{W\beta}[i]+V_W[i]$ 。也就是說，在記憶單元 AMu[i]及記憶單元 AMw[i]中保持 $V_{W\beta}[i]+V_W[i]$ 。 $V_{W\beta}[i]$ 可以為任意電壓，由此 $V_{W\beta}[1]$ 至 $V_{W\beta}[m]$ 也可以都是同一電壓。例如，假設為 $V_{W\beta}[1]$ 至 $V_{W\beta}[m]$ 都是 V_{PR} ，則在記憶單元 AMx[i]中保持 V_{PR} ，在記憶單元 AMu[i]中保持 $V_{PR}+V_W[i]$ ，在記憶單元 AMw[i]中保持 $V_{PR}+V_W[i]$ ，並在記憶單元 AMr[i]中保持 V_{PR} 。如此，藉由將 $V_{W\beta}[1]$ 至 $V_{W\beta}[m]$ 都設定為 V_{PR} ，以 V_{PR} 為基準電壓在記憶單元 AMu 及記憶單元 AMw 中保持基準電壓加以對應於第一資料的電壓的電壓並在記憶單元 AMx 及記憶單元 AMr 中保持基準電壓，也可以同樣進行數學式（1.20）的運算。

【0277】此外，數學式（1.4）至數學式（1.6）可以各自變形為 $V_{X\alpha}[i]=V_{X\beta}[i]+V_X[i]$ 。也就是說，在時間 T11 至時間 T12 中，佈線 XAL[i]被輸入 $V_{X\beta}[i]+V_X[i]$ 。 $V_{X\beta}[i]$ 可以為任意電壓，由此 $V_{X\beta}[1]$ 至 $V_{X\beta}[m]$ 也可以都是同一電壓。例如，假設為 $V_{X\beta}[1]$ 至 $V_{X\beta}[m]$ 都是 V_{RFP} ，則佈線 XAL[i]被輸入 $V_{RFP}+V_X[i]$ ，並且佈線 XBL[i]被輸入 V_{RFP} 。如此，藉由將 $V_{X\beta}[1]$ 至 $V_{X\beta}[m]$ 都設定為 V_{RFP} ，以 V_{RFP} 為基準電壓向佈線 XAL 輸入基準電壓加以對應於第二資料的電壓並向佈線 XBL 輸入基準電壓，也可以同樣進行數學式（1.20）的運算。

【0278】<半導體裝置的結構例子 2>

在此，說明與圖 1 的運算電路 MAC1 不同的能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置。

【0279】與圖 1 的運算電路 MAC1 同樣，圖 8 的運算電路 MAC2 是能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置的一個例子。運算電路 MAC2 與運算電路 MAC1 的不同之處在於：電路 CMS 的電路結構；以及運算電路 MAC2 中的佈線 BBL 與電路 ACTV 電連接的點。

【0280】運算電路 MAC2 所包括的電路 CMS 包括電流源 CSA 及電流源 CSB。電流源 CSA 的輸入端子與佈線 VHE 電連接，電流源 CSA 的輸出端子與佈線 BAL 電連接。電流源 CSB 的輸入端子與佈線 VHE 電連接，電流源 CSB 的輸出端子與佈線 BBL 電連接。

【0281】此外，運算電路 MAC2 所包括的電路 CMS 具有上述電路結構，由此沒有圖 3A 及圖 3B 所示的電流鏡電路的功能。

【0282】作為一個例子，佈線 VHE 可以如圖 3A 及圖 3B 的電路 CMS 所示那樣供應定電壓。作為該定電壓，例如較佳為高位準電位。

【0283】電流源 CSA 及電流源 CSB 都具有因輸入端子被輸入電源電位而將定電流輸出到輸出端子的功能。此外，電流源 CSA 及電流源 CSB 各自輸出到輸出端子的電流量較佳為相等。明確而言，從電流源 CSA 的輸出端子流過佈線 BAL 的電流量較佳為從電流源 CSB 的輸出端子流過佈線 BBL 的電流量的 0.85 倍以上、0.9 倍以上或 0.95 倍以上且 1.05 倍以下、1.1 倍以下或 1.15 倍以下。上述下限值及上限值可以分別組合。

【0284】此外，如上所述，佈線 BBL 與電路 ACTV 電連接。在圖 8 中，電路 ACTV 例如較佳為具有輸出對應於從佈線 BAL 流過電路 ACTV 的電流量和從佈線 BBL 流過電路 ACTV 的電流量的差異的電壓的功能、使用該電壓根

據預定的函數系統進行運算的功能、將該函數運算的結果輸出到佈線 NIL 的功能。

【0285】明確而言，圖 8 的運算電路 MAC2 所包括的電路 ACTV 例如可以為圖 9 所示的電路 ACTV。圖 9 所示的電路 ACTV 包括電路 ACP，電路 ACP 包括開關 SW4A、開關 SW4B、電路 IVC、電路 ACF。

【0286】圖 9 的電路 IVC 包括運算放大器 OP、負載 LEA、負載 LEB，並具有與圖 4C 的電路 ACTV 所包括的電路 IVC 相同的電路結構。因此，關於圖 9 的電路 IVC 的說明可以參照圖 4C 的電路 IVC 的記載。

【0287】此外，圖 9 的電路 ACF 例如可以具有與圖 4A 至圖 4C 所示的電路 ACTV 所包括的電路 ACF 同樣的電路。因此，與圖 4A 至圖 4C 的電路 ACF 同樣，圖 9 的電路 ACF 可以具有相應於輸入到第一端子的電壓根據所定義的函數系統進行運算的功能及將該函數系統的運算結果輸出到電路 ACF 的第二端子（佈線 NIL）的功能。

【0288】開關 SW4A 的第一端子與佈線 BAL 電連接，開關 SW4A 的第二端子藉由電路 IVC 的第一端子電連接於運算放大器 OP 的反相輸入端子及負載 LEA 的第一端子。電路 ACF 的第一端子藉由電路 IVC 的第二端子電連接於運算放大器 OP 的輸出端子及負載 LEA 的第二端子。開關 SW4B 的第一端子與佈線 BBL 電連接，開關 SW4B 的第二端子藉由電路 IVC 的第三端子電連接於運算放大器 OP 的非反相輸入端子及負載 LEB 的第一端子。此外，開關 SW4A 及開關 SW4B 的各控制端子與佈線 SL4 電連接。

【0289】作為開關 SW4B，例如可以使用可應用於開關 SW4A、開關 SW5A 及開關 SW5B 的開關。

【0290】在圖 9 的電路 ACTV 中，例如藉由將高位準電位輸入到佈線 SL4，使得開關 SW4A 及開關 SW4B 都成為開啟狀態，可以使來自佈線 BAL 的

電流流過電路 IVC 的第一端子，並可以使來自佈線 BBL 的電流流過電路 IVC 的第三端子。

【0291】例如，在圖 8 的運算電路 MAC2 中，假設從電流源 CSA 及電流源 CSB 分別流過佈線 BAL 及佈線 BBL 的電流量為 I_{cs} ，從佈線 BAL 流過記憶單元 $AMx[1]$ 至記憶單元 $AMx[m]$ 的電流量的總和為 I_x ，從佈線 BAL 流過記憶單元 $AMw[1]$ 至記憶單元 $AMw[m]$ 的電流量的總和為 I_w ，則從佈線 BAL 流過電路 IVC 的第一端子的電流量為 $I_{cs}-I_x-I_w$ 。此外，假設從佈線 BBL 流過記憶單元 $AMu[1]$ 至記憶單元 $AMu[m]$ 的電流量的總和為 I_u ，從佈線 BBL 流過記憶單元 $AMr[1]$ 至記憶單元 $AMr[m]$ 的電流量的總和為 I_r ，則從佈線 BBL 流過電路 IVC 的第三端子的電流量為 $I_{cs}-I_u-I_r$ 。

【0292】在圖 9 的電路 IVC 為減法電路的情況（例如，負載 LEA 及負載 LEB 為電阻器的情況）下，電路 IVC 的第二端子輸出對應於輸入到電路 IVC 的第一端子的電流量與輸入到電路 IVC 的第三端子的電流量的差異（ $-I_u-I_r+I_x+I_w$ ）的電壓。根據數學式（1.19）、數學式（1.20），該電流量的差異取決於多個第一資料與多個第二資料之積和，由此從電路 IVC 的第二端子輸出的電壓可以說是對應於多個第一資料與多個第二資料之積和的電壓。

【0293】然後，該電壓輸入到電路 ACF 的第一端子，使得電路 ACF 使用該電壓進行預先定義的函數系統的運算，由此將運算結果作為電壓（或電流等）從佈線 NIL 輸出。

【0294】〈半導體裝置的結構例子 3〉

接著，說明與圖 1 的運算電路 MAC1 及圖 8 的運算電路 MAC2 不同的能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置。

【0295】與運算電路 MAC1 及運算電路 MAC2 同樣，圖 10 的運算電路 MAC3 是能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置的一

個例子。運算電路 MAC3 為運算電路 MAC1 的變形例子，電路 CSW 所包括的記憶單元 AMw 及電路 CSR 所包括的記憶單元 AMr 的個數與運算電路 MAC1 不同。

【0296】例如，在運算電路 MAC3 中，電路 CSW 所包括的記憶單元 AMw 的個數可以為 g 個（ g 為 m 以外的 1 以上的整數），電路 CSR 所包括的記憶單元 AMr 的個數可以為 g 個。由此，佈線 XBL 及佈線 WBL 的個數都是 g 個。

【0297】首先，說明 g 為 1 以上且小於 m 的情況。

【0298】對應於多個第一資料的電壓為 $V_w[1]$ 至 $V_w[m]$ ，並且以滿足數學式 (1.1) 至數學式 (1.3) 的方式定義 $V_{w\alpha}[1]$ 至 $V_{w\alpha}[m]$ 及 $V_{w\beta}[1]$ 至 $V_{w\beta}[m]$ 。此外，記憶單元 AMw[1] 至記憶單元 AMw[m]、記憶單元 AMu[1] 至記憶單元 AMu[m] 都分別保持電壓 $V_{w\alpha}[1]$ 至 $V_{w\alpha}[m]$ ，記憶單元 AMx[1] 至記憶單元 AMx[m]、記憶單元 AMr[1] 至記憶單元 AMr[m] 都分別保持 $V_{w\beta}[1]$ 至 $V_{w\beta}[m]$ 。

【0299】此時，考慮如下情況：在圖 7 的時序圖的時間 T11 至時間 T12 中，佈線 XBL[1] 至佈線 XBL[m] 的電位的變化量小，例如， $V_{x\beta}[1]$ 至 $V_{x\beta}[m]$ 都是 0V 的情況。在此，例如，從佈線 BAL 流過記憶單元 AMw[i] 的電流 $I_{AMw}[i]$ 根據數學式 (1.10) 及數學式 (1.11) 而成為 $I_{AMw}[i]=k(V_{w\alpha}[i]-V_{th})^2$ ，從佈線 BBL 流過記憶單元 AMr[i] 的電流 $I_{AMr}[i]$ 根據數學式 (1.16) 及數學式 (1.17) 而成為 $I_{AMr}[i]=k(V_{w\beta}[i]-V_{th})^2$ 。此時，在 $V_w[i]=V_{w\alpha}[i]-V_{w\beta}[i]$ 接近 0 的情況下， $I_{AMw}[i]$ 及 $I_{AMr}[i]$ 可被視為大致相同的電流量。因此，作為流過佈線 BBL 的電流的一部分的 $I_{AMr}[i]$ 也是從電路 CMS 流過佈線 BAL 的電流的一部分，由此在佈線 BAL 中作為從電路 CMS 流出的電流的一部分 $I_{AMr}[i]$ 與流過記憶單元 AMw[i] 的電流 $I_{AMw}[i]$ 抵消。

【0300】反过来说，在预先知道分别输入到記憶单元 $AMw[i]$ 及記憶单元 $AMr[i]$ 的電壓 $V_{w\alpha}[i]$ 和 $V_{w\beta}[i]$ 的差異接近 0 的情況下，不需要將 $V_{w\alpha}[i]$ 及 $V_{w\beta}[i]$ 分別寫入到記憶单元 $AMw[i]$ 及記憶单元 $AMr[i]$ 。由此，可以減少電路 CSW 所包括的記憶單元 AMw 的個數及電路 CSR 所包括的記憶單元 AMr 的個數，還可以減少電路 CSW 所包括的記憶單元 AMw 及電路 CSR 所包括的記憶單元 AMr 所需的功耗。

【0301】此外，在圖 7 的時序圖的時間 T11 至時間 T12 中，假設佈線 $XAL[i]$ 的電位的變化量為 $V_{X\alpha}[i]$ ($=V_X[i]$)，則從佈線 BAL 流過記憶单元 $AMx[i]$ 的電流量為 $I_{AMx}[i]=k(V_{w\beta}[i]+hV_{X\alpha}[i]-V_{th})^2$ ，從佈線 BBL 流過記憶单元 $AMu[i]$ 的電流量為 $I_{AMu}[i]=k(V_{w\alpha}[i]+hV_{X\alpha}[i]-V_{th})^2$ 。有時 $V_{X\alpha}[i]$ 越大， $I_{AMx}[i]$ 和 $I_{AMu}[i]$ 的電流量的差異越大，由此與記憶单元 $AMw[i]$ 及記憶单元 $AMr[i]$ 不同，較佳將對應於第一資料的電壓分別寫入到記憶单元 $AMx[i]$ 及記憶单元 $AMu[i]$ 。

【0302】接著，說明 g 超過 m ，例如， $g=m+1$ 的情況。

【0303】對應於多個第一資料的電壓為 $V_w[1]$ 至 $V_w[m]$ ，並且以滿足數學式 (1.1) 至數學式 (1.3) 的方式定義 $V_{w\alpha}[1]$ 至 $V_{w\alpha}[m]$ 及 $V_{w\beta}[1]$ 至 $V_{w\beta}[m]$ 。此外，記憶單元 $AMw[1]$ 至記憶單元 $AMw[m]$ 、記憶單元 $AMu[1]$ 至記憶單元 $AMu[m]$ 都分別保持電壓 $V_{w\alpha}[1]$ 至 $V_{w\alpha}[m]$ ，記憶單元 $AMx[1]$ 至記憶單元 $AMx[m]$ 、記憶單元 $AMr[1]$ 至記憶單元 $AMr[m]$ 都分別保持 $V_{w\beta}[1]$ 至 $V_{w\beta}[m]$ 。

【0304】再者，對記憶單元 $AMr[m+1]$ 寫入任意電壓 V_b ，對記憶單元 $AMw[m+1]$ 寫入接地電位。此外，在圖 7 的時序圖的時間 T11 至時間 T12 中，佈線 $XBL[m+1]$ 的電壓不發生變化。在此情況下，在圖 15 的時序圖的時間 T12 至時間 T13 中，在從佈線 BBL 流過記憶單元 $AMr[m+1]$ 的電流為 I_b 時， I_b 及從佈線 BAL 流過電路 ACTV 的電流量 I_{EV} 分別表示為如下數學式。

【0305】

[數學式 20]

$$I_b = k \sum_{i=1}^m (V_b - V_{th})^2 \quad \dots(1.21)$$

$$I_{EV} = 2hk \sum_{i=1}^m V_w[i]V_x[i] + I_b \quad \dots(1.22)$$

【0306】數學式（1.22）相當於對積和結果予以任意值的數學式。這可以應用於例如在分層神經網路的運算中對加權係數與神經元的信號的積和運算結果予以作為任意值的偏置（偏離）的計算等。

【0307】雖然以上說明了對記憶單元 AMr[m+1]寫入任意電壓 V_b 並對記憶單元 AMw[m+1]寫入接地電位的情況，但是也可以對記憶單元 AMr[m+1]寫入接地電位並對記憶單元 AMw[m+1]寫入任意電壓 V_b 。在此情況下，從佈線 BAL 流過記憶單元 AMw[m+1]的電流量為 I_b ，由此從佈線 BAL 流過電路 ACTV 的電流量 I_{EV} 為數學式（1.21）的 I_b 被置換成 $-I_b$ 的值。也就是說，對積和結果予以的任意值也可以為負值。

【0308】此外，也可以在省略差異接近 0 的上述電壓 $V_{wa}[i]$ 及 $V_{wb}[i]$ 的寫入的同時對積和運算結果加入上述任意值。此外，此時，記憶單元陣列 CA 的行數，亦即 g 的值既可為 1 以上且小於 m 又可為大於 m 。

【0309】此外， g 的值也可以為 m 。在此情況下，例如，在圖 1 的運算電路 MAC1 中，在預先知道分別寫入到記憶單元 AMw[i]及記憶單元 AMr[i]的電壓 $V_{wa}[i]$ 和 $V_{wb}[i]$ 的差異接近 0 的情況下，例如，不將 $V_{wa}[i]$ 和 $V_{wb}[i]$ 分別寫入到記憶單元 AMw[i]及記憶單元 AMr[i]而將任意電壓 V_b 寫入到記憶單元 AMw[i]及記憶單元 AMr[i]中的一個並將接地電位寫入到記憶單元 AMw[i]及記

憶單元 $AMr[i]$ 中的另一個，可以在省略差異接近 0 的電壓 $V_{w\alpha}[i]$ 及 $V_{w\beta}[i]$ 的寫入的同時對積和運算結果加入任意值。

【0310】此外，本發明的一個實施方式的半導體裝置不侷限於本實施方式所示的運算電路 $MAC1$ 至運算電路 $MAC3$ 等。例如，在同樣使用多個第二資料同時進行多個積和運算的情況下，可以使用圖 11 所示的運算電路 $MAC4$ 。運算電路 $MAC4$ 具有在每一列上配置 n 個（ n 為 1 以上的整數）圖 1 的運算電路 $MAC1$ 的記憶單元陣列 CA 的結構。

【0311】圖 11 示出記憶單元陣列 $CA[1]$ 至記憶單元陣列 $CA[n]$ ，將記憶單元陣列 $CA[1]$ 至記憶單元陣列 $CA[n]$ 統稱為記憶單元陣列 CAS 。此外，因為運算電路 $MAC4$ 包括 n 個記憶單元陣列 CA ，所以圖 11 中的電路 CMS 包括作為 n 個電路 CM 的電路 $CM[1]$ 至電路 $CM[n]$ ，電路 INT 包括作為 n 個電路 SCI 的電路 $SCI[1]$ 至電路 $SCI[n]$ ，電路 $ACTV$ 包括作為 n 個電路 ACP 的電路 $ACP[1]$ 至電路 $ACP[n]$ 。此外，運算電路 $MAC4$ 包括相當於運算電路 $MAC1$ 的佈線 BAL 的佈線 $BAL[1]$ 至佈線 $BAL[n]$ 、相當於運算電路 $MAC1$ 的佈線 BBL 的佈線 $BBL[1]$ 至佈線 $BBL[n]$ 、相當於運算電路 $MAC1$ 的佈線 WAD 的佈線 $WAD[1]$ 至佈線 $WAD[n]$ 、相當於運算電路 $MAC1$ 的佈線 WBD 的佈線 $WBD[1]$ 至佈線 $WBD[n]$ 、相當於運算電路 $MAC1$ 的佈線 NIL 的佈線 $NIL[1]$ 至佈線 $NIL[n]$ 。

【0312】記憶單元陣列 $CA[1]$ 與佈線 $BAL[1]$ 、佈線 $BBL[1]$ 、佈線 $WAD[1]$ 、佈線 $WBD[1]$ 、佈線 $XAL[1]$ 至佈線 $XAL[m]$ 、佈線 $XBL[1]$ 至佈線 $XBL[m]$ 、佈線 $WAL[1]$ 至佈線 $WAL[m]$ 以及佈線 $WBL[1]$ 至佈線 $WBL[m]$ 電連接。電路 WDD 與佈線 $WAD[1]$ 及佈線 $WBD[1]$ 電連接。此外，電路 CMS 的電路 $CM[1]$ 與佈線 $BAL[1]$ 及佈線 $BBL[1]$ 電連接，電路 INT 的電路 $SCI[1]$ 與佈線

BAL[1]、佈線 BBL[1]以及電路 ACTV 中的電路 ACP[1]電連接。電路 ACP[1]與佈線 NIL[1]電連接。

【0313】同樣，記憶單元陣列 CA[n]與佈線 BAL[n]、佈線 BBL[n]、佈線 WAD[n]、佈線 WBD[n]、佈線 XAL[1]至佈線 XAL[m]、佈線 XBL[1]至佈線 XBL[m]、佈線 WAL[1]至佈線 WAL[m]以及佈線 WBL[1]至佈線 WBL[m]電連接。電路 WDD 與佈線 WAD[n]及佈線 WBD[n]電連接。此外，電路 CMS 的電路 CM[n]與佈線 BAL[n]及佈線 BBL[n]電連接，電路 INT 的電路 SCI[n]與佈線 BAL[n]、佈線 BBL[n]以及電路 ACTV 中的電路 ACP[n]電連接。電路 ACP[n]與佈線 NIL[n]電連接。

【0314】與圖 7 的時序圖的工作同樣，圖 11 的運算電路 MAC4 對記憶單元陣列 CA[1]至記憶單元陣列 CA[n]分別寫入第一組至第 n 組的對應於第一資料的電壓，然後對佈線 XAL[1]至佈線 XAL[m]及佈線 XBL[1]至佈線 XBL[m]輸入對應於第二資料的電壓，由此可以將第一組至第 n 組的各第一資料與第二資料之積和運算同時輸出到佈線 NIL[1]至佈線 NIL[n]。

【0315】<半導體裝置的結構例子 4>

在此，說明與上述運算電路 MAC1、運算電路 MAC1A、運算電路 MAC2、運算電路 MAC3 不同的能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置。

【0316】圖 12 示出運算電路 MAC5，也就是與上述運算電路 MAC1 等同樣能夠進行積和運算及函數運算的運算電路的結構例子。運算電路 MAC5 是進行被後述多個記憶單元保持的多個第一資料和被輸入的多個第二資料的積和運算並使用該積和運算的結果進行函數運算的電路。

【0317】作為一個例子，運算電路 MAC5 包括記憶單元陣列 CA、電路 CMS、電路 WDD、電路 XLD、電路 WLD、電路 INT 及電路 ACTV。

【0318】記憶單元陣列 CA 包括電路 CS[1]至電路 CS[m]（在此， m 為 1 以上的整數）。此外，電路 CS[1]至電路 CS[m]的每一個包括記憶單元 AMu、記憶單元 AMx、記憶單元 AMw、記憶單元 AMr。雖然在圖 12 中未示出，但在本說明書等中，電路 CS[i]（ i 為 1 以上且 m 以下的整數）所包括的記憶單元 AMu、記憶單元 AMx、記憶單元 AMw、記憶單元 AMr 有時分別被記為記憶單元 AMu[i]、記憶單元 AMx[i]、記憶單元 AMw[i]、記憶單元 AMr[i]。

【0319】在記憶單元陣列 CA 中，各記憶單元配置為 $2m$ 行 2 列的矩陣狀。作為一個例子，在圖 12 中，記憶單元 AMu[i]配置在 $2i-1$ 行 1 列的位址，記憶單元 AMw[i]配置在 $2i$ 行 1 列的位址，記憶單元 AMx[i]配置在 $2i-1$ 行 2 列的位址，並且記憶單元 AMr[i]配置在 $2i$ 行 2 列的位址。

【0320】記憶單元 AMx、記憶單元 AMw、記憶單元 AMu 以及記憶單元 AMr 都具有保持對應於第一資料的電壓的功能。對應於第一資料的電壓例如可以是指記憶單元 AMu[i]及記憶單元 AMw[i]所保持的電壓和記憶單元 AMx[i]及記憶單元 AMr[i]所保持的電壓的差異。

【0321】記憶單元 AMu[1]與佈線 WAD、佈線 BBL、佈線 WL[1]、佈線 XAL[1]電連接。此外，記憶單元 AMw[1]與佈線 WAD、佈線 BAL、佈線 WL[1]、佈線 XBL[1]電連接。此外，記憶單元 AMx[1]與佈線 WBD、佈線 BAL、佈線 WL[1]、佈線 XAL[1]電連接。此外，記憶單元 AMr[1]與佈線 WBD、佈線 BBL、佈線 WL[1]、佈線 XBL[1]電連接。此外，記憶單元 AMu[m]與佈線 WAD、佈線 BBL、佈線 WL[m]、佈線 XAL[m]電連接。此外，記憶單元 AMw[m]與佈線 WAD、佈線 BAL、佈線 WL[m]、佈線 XBL[m]電連接。此外，記憶單元 AMx[m]與佈線 WBD、佈線 BAL、佈線 WL[m]、佈線 XAL[m]電連接。此外，記憶單元 AMr[m]與佈線 WBD、佈線 BBL、佈線 WL[m]、佈線 XBL[m]電連接。

【0322】電路 CS[1]至電路 CS[m]的每一個所包括的記憶單元 AMu、記憶單元 AMw、記憶單元 AMx、記憶單元 AMr 的每一個的詳細結構將在後面敘述。

【0323】作為一個例子，電路 CMS 與佈線 BAL 及佈線 BBL 電連接。電路 CMS 具有將電流藉由佈線 BAL 供應給記憶單元 AMx[1]至記憶單元 AMx[m]及記憶單元 AMw[1]至記憶單元 AMw[m]的每一個的功能及將電流藉由佈線 BBL 供應給記憶單元 AMu[1]至記憶單元 AMu[m]及記憶單元 AMr[1]至記憶單元 AMr[m]的每一個的功能。此外，藉由電路 CMS，流過佈線 BAL 的電流量及流過佈線 BBL 的電流量較佳為相等。

【0324】此外，關於電路 CMS 的具體結構例子參照可以應用於上述運算電路 MAC1 的電路 CMS 的說明。

【0325】作為一個例子，關於電路 WDD 參照可以應用於上述運算電路 MAC1 的電路 WDD 的說明。

【0326】作為一個例子，電路 WLD 與佈線 WL[1]至佈線 WL[m]電連接。電路 WLD 具有在向記憶單元陣列 CA 所包括的記憶單元寫入資料時選擇作為資料寫入目標的記憶單元的功能。明確而言，例如，佈線 WL[i]與電路 CS[i]所包括的記憶單元 AMu[i]、記憶單元 AMw[i]、記憶單元 AMx[i]及記憶單元 AMr[i]電連接，由此電路 WLD 選擇記憶單元陣列 CA 所包括的電路 CS[1]至電路 CS[m]中的任何一個，使得所選出的電路 CS 所包括的記憶單元 AMu、記憶單元 AMw、記憶單元 AMx 及記憶單元 AMr 成為作為資料寫入目標的記憶單元。

【0327】例如，當將資料寫入到記憶單元陣列 CA 的電路 CS[i]所包括的各記憶單元時，藉由對佈線 WL[i]供應高位準電位而對佈線 WL[i]以外的佈線 WL[1]至佈線 WL[m]供應低位準電位，電路 WLD 可以選擇電路 CS[i]所包括的

記憶單元 $AMu[i]$ 、記憶單元 $AMw[i]$ 、記憶單元 $AMx[i]$ 及記憶單元 $AMr[i]$ 作為資料寫入目標。

【0328】關於電路 XLD 例如參照可以應用於上述運算電路 MAC1 的電路 XLD 的說明。

【0329】關於電路 INT 例如參照可以應用於上述運算電路 MAC1 的電路 INT 的說明。

【0330】關於電路 ACTV 例如參照可以應用於上述運算電路 MAC1 的電路 ACTV 的說明。

【0331】<<記憶單元陣列 CA 的結構例子>>

以下說明記憶單元陣列 CA 的電路 CS[1]至電路 CS[m]所包括的記憶單元 AMu 、記憶單元 AMw 、記憶單元 AMx 及記憶單元 AMr 的結構例子。

【0332】圖 13 是示出記憶單元陣列 CA 的結構例子的電路圖。記憶單元陣列 CA 具有計算出多個第一資料和多個第二資料的積和的功能。

【0333】在圖 13 所示的記憶單元陣列 CA 中，記憶單元 AMx 、記憶單元 AMu 、記憶單元 AMw 及記憶單元 AMr 都包括電晶體 M1、電晶體 M2 及電容器 C1。

【0334】此外，關於記憶單元 AMx 、記憶單元 AMu 、記憶單元 AMw 及記憶單元 AMr 所包括的各電晶體 M1 及電晶體 M2，參照上述運算電路 MAC1 的記憶單元 AMx 、記憶單元 AMu 、記憶單元 AMw 及記憶單元 AMr 所包括的各電晶體 M1 及電晶體 M2 的說明。

【0335】在記憶單元 AMx 、記憶單元 AMu 、記憶單元 AMw 及記憶單元 AMr 的每一個中，電晶體 M1 的第一端子與電晶體 M2 的閘極電連接。電晶體 M2 的第一端子與佈線 VR 電連接。電容器 C1 的第一端子與電晶體 M2 的閘極電連接。

【0336】在記憶單元 AMu[1]至記憶單元 AMu[m]的每一個中，電晶體 M1 的第二端子與佈線 WAD 電連接，電晶體 M2 的第二端子與佈線 BBL 電連接。此外，在記憶單元 AMu[i]中，電晶體 M1 的閘極與佈線 WL[i]電連接，電容器 C1 的第二端子與佈線 XAL[i]電連接。此外，在記憶單元 AMu[1]中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 Nu[1]，在記憶單元 AMu[m]中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 Nu[m]。

【0337】在記憶單元 AMw[1]至記憶單元 AMw[m]的每一個中，電晶體 M1 的第二端子與佈線 WAD 電連接，電晶體 M2 的第二端子與佈線 BAL 電連接。此外，在記憶單元 AMw[i]中，電晶體 M1 的閘極與佈線 WL[i]電連接，電容器 C1 的第二端子與佈線 XBL[i]電連接。此外，在記憶單元 AMw[1]中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 Nw[1]，在記憶單元 AMw[m]中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 Nw[m]。

【0338】在記憶單元 AMx[1]至記憶單元 AMx[m]的每一個中，電晶體 M1 的第二端子與佈線 WBD 電連接，電晶體 M2 的第二端子與佈線 BAL 電連接。此外，在記憶單元 AMx[i]中，電晶體 M1 的閘極與佈線 WL[i]電連接，電容器 C1 的第二端子與佈線 XAL[i]電連接。此外，在記憶單元 AMx[1]中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 Nx[1]，在記憶單元 AMx[m]中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 Nx[m]。

【0339】在記憶單元 AMr[1]至記憶單元 AMr[m]的每一個中，電晶體 M1 的第二端子與佈線 WBD 電連接，電晶體 M2 的第二端子與佈線 BBL 電連接。此外，在記憶單元 AMr[i]中，電晶體 M1 的閘極與佈線 WL[i]電連接，電容器

C1 的第二端子與佈線 XBL[i]電連接。此外，在記憶單元 AMr[1]中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 Nr[1]，在記憶單元 AMr[m]中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 Nr[m]。

【0340】上述節點 Nx[1]、節點 Nx[m]、節點 Nu[1]、節點 Nu[m]、節點 Nw[1]、節點 Nw[m]、節點 Nr[1]及節點 Nr[m]被用作各記憶單元的存儲節點。

【0341】關於佈線 VR，參照上述運算電路 MAC1 所包括的佈線 VR 的說明。

【0342】<運算電路的工作例子>

接著，說明運算電路 MAC5 的工作例子。

【0343】如圖 14 所示，在此說明的運算電路 MAC5 是使用圖 13 的記憶單元陣列 CA 作為記憶單元陣列 CA 並使用圖 3A 的電路 CMS 作為電路 CMS 的運算電路 MAC5A。此外，圖 14 所示的運算電路 MAC5A 是主要選出記憶單元陣列 CA、電路 CMS、電路 XLD、電路 WLD、電路 INT 來表示的。此外，雖然未圖示，但是圖 14 的運算電路 MAC5A 的電路 ACTV 使用圖 4A 的電路 ACTV。

【0344】圖 15 是運算電路 MAC5A 的工作例子的時序圖。圖 15 的時序圖示出時間 T21 至時間 T29 或其附近的佈線 WL[1]、佈線 WL[m]、佈線 SL4、佈線 SL5、佈線 SL7、佈線 WAD、佈線 WBD、佈線 XAL[1]、佈線 XAL[m]、佈線 XBL[1]、佈線 XBL[m]、節點 Nx[1]、節點 Nx[m]、節點 Nu[1]、節點 Nu[m]、節點 Nw[1]、節點 Nw[m]、節點 Nr[1]及節點 Nr[m]的電位變動。此外，在圖 15 中，High 表示高位準電位，Low 表示低位準電位。

【0345】此外，在本工作例子中，佈線 VR 供應的電壓為接地電位。

【0346】<<時間 T21 之前>>

在時間 T21 之前，假設節點 Nu[1]至節點 Nu[m]、節點 Nw[1]至節點 Nw[m]、節點 Nx[1]至節點 Nx[m]及節點 Nr[1]至節點 Nr[m]的各電位為接地電位。此外，在圖 15 中，GND 表示接地電位。

【0347】此外，藉由電路 WDD（圖 14 未示出），佈線 WAD 及佈線 WBD 都被輸入低位準電位。

【0348】此外，藉由電路 XLD，佈線 XAL[1]至佈線 XAL[m]及佈線 XBL[1]至佈線 XBL[m]都被輸入參考電位 V_{RFP} 。此外， V_{RFP} 既可高於接地電位又可低於接地電位。

【0349】此外，藉由電路 WLD，佈線 WL[1]至佈線 WL[m]都被輸入低位準電位。由此，記憶單元陣列 CA 的所有記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 所包括的電晶體 M1 都處於關閉狀態。

【0350】此外，佈線 SL4、佈線 SL5 及佈線 SL7 都被輸入低位準電位。由此，開關 SW4A、開關 SW5A、開關 SW5B、開關 SW7A 及開關 SW7B 都處於關閉狀態。

【0351】<<時間 T21 至時間 T22>>

在時間 T21 至時間 T22 中，佈線 SL5 被輸入高位準電位。由此，電路 INT 所包括的開關 SW5A 及開關 SW5B 都成為開啟狀態。

【0352】藉由開關 SW5A 及開關 SW5B 都成為開啟狀態，佈線 BAL 及佈線 BBL 都與佈線 VSL 成為導通狀態，使得佈線 BAL 及佈線 BBL 都被輸入來自佈線 VSL 的電位。在本工作例子中，佈線 VSL 是分別向佈線 BAL 及佈線 BBL 供應初始化電位的佈線，該初始化電位為接地電位。由此，在時間 T21 至時間 T22 中，佈線 BAL 及佈線 BBL 的各電位成為接地電位。

【0353】此外，記憶單元陣列 CA 的所有記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 所包括的各電晶體 M2 的第一端子從佈

線 VR 被供應接地電位，由此各電晶體 M2 的第一端子-第二端子間的電壓成為 0V。再者，節點 Nx[1]至節點 Nx[m]、節點 Nu[1]至節點 Nu[m]、節點 Nw[1]至節點 Nw[m]及節點 Nr[1]至節點 Nr[m]的各電位為接地電位，由此各電晶體 M2 成為關閉狀態。

【0354】 <<時間 T22 至時間 T23>>

在時間 T22 至時間 T23 中，佈線 WL[1]被輸入高位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMu[1]、記憶單元 AMw[1]、記憶單元 AMx[1]及記憶單元 AMr[1]所包括的各電晶體 M1 的閘極被施加高位準電位，使得各電晶體 M1 成為開啟狀態。

【0355】 此外，在時間 T22 至時間 T23 中，佈線 WAD 被輸入比接地電位大出 $V_{w\alpha}[1]$ 的電位。此時，因為記憶單元 AMu[1]及記憶單元 AMw[1]的各電晶體 M1 處於開啟狀態，所以佈線 WAD 與節點 Nu[1]成為導通狀態，並且佈線 WAD 與節點 Nw[1]成為導通狀態。由此，記憶單元 AMu[1]的電容器 C1 的第一端子（節點 Nu[1]）及記憶單元 AMw[1]的電容器 C1 的第一端子（節點 Nw[1]）都被輸入比接地電位大出 $V_{w\alpha}[1]$ 的電位。

【0356】 此外，在時間 T22 至時間 T23 中，佈線 WBD 被輸入比接地電位大出 $V_{w\beta}[1]$ 的電位。此時，因為記憶單元 AMx[1]及記憶單元 AMr[1]的各電晶體 M1 處於開啟狀態，所以佈線 WBD 與節點 Nx[1]成為導通狀態，並且佈線 WBD 與節點 Nr[1]成為導通狀態。由此，記憶單元 AMx[1]的電容器 C1 的第一端子（節點 Nx[1]）及記憶單元 AMr[1]的電容器 C1 的第一端子（節點 Nr[1]）都被輸入比接地電位大出 $V_{w\beta}[1]$ 的電位。

【0357】 在此， $V_w[1]$ 定義為本實施方式所示的數學式 (1.1)。

【0358】 在數學式 (1.1) 中， $V_w[1]$ 為對應於 m 個第一資料中的第一個的電壓。也就是說， $V_{w\alpha}[1]$ 及 $V_{w\beta}[1]$ 都可以說是對應於 m 個第一資料中的第一個

的電壓。此外，如果滿足數學式（1.1），則可以任意決定 $V_{w\alpha}[1]$ 及 $V_{w\beta}[1]$ 的電壓的組合。例如， $V_{w\alpha}[1]$ 既可高於 $V_{w\beta}[1]$ 又可低於 $V_{w\beta}[1]$ ，或者，也可以等於 $V_{w\beta}[1]$ 。也就是說， $V_w[1]$ 可以為正電壓、0 或負電壓。

【0359】此外，因為開關 SW5A 處於開啟狀態，所以佈線 BAL 被輸入接地電位。此外，在記憶單元 AMu[1] 及記憶單元 AMw[1] 中，因為各電晶體 M2 的第一端子被輸入來自佈線 VR 的接地電位，所以各電晶體 M2 的第一端子-第二端子間的電壓幾乎成為 0V。由此，記憶單元 AMu[1] 及記憶單元 AMw[1] 的各電晶體 M2 的第一端子-第二端子間沒有電流流過。

【0360】同樣，因為開關 SW5B 處於開啟狀態，所以佈線 BBL 被輸入接地電位。此外，在記憶單元 AMx[1] 及記憶單元 AMr[1] 中，因為各電晶體 M2 的第一端子被輸入來自佈線 VR 的接地電位，所以各電晶體 M2 的第一端子-第二端子間的電壓也幾乎成為 0V。由此，記憶單元 AMx[1] 及記憶單元 AMr[1] 的各電晶體 M2 的第一端子-第二端子間也沒有電流流過。

【0361】在此，在時間 T22 至時間 T23 中，佈線 WL[2] 至佈線 WL[m] 從時間 T22 之前一直被輸入低位準電位。由此，在記憶單元陣列 CA 的電路 CS[2] 至電路 CS[m] 中，記憶單元 AMu、記憶單元 AMw、記憶單元 AMx 及記憶單元 AMr 所包括的各電晶體 M1 的閘極被施加低位準電位，由此各電晶體 M1 處於關閉狀態。由此，分別輸入到佈線 WAD 及佈線 WBD 的資料不會寫入到節點 Nu[2] 至節點 Nu[m]、節點 Nw[2] 至節點 Nw[m]、節點 Nx[2] 至節點 Nx[m] 及節點 Nr[2] 至節點 Nr[m]。

【0362】 <<時間 T23 至時間 T24>>

在時間 T23 至時間 T24 中，佈線 WL[1] 被輸入低位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMu[1]、記憶單元 AMw[1]、記憶單元 AMx[1] 及

記憶單元 $AMr[1]$ 所包括的各電晶體 $M1$ 的閘極被施加低位準電位，使得各電晶體 $M1$ 成為關閉狀態。

【0363】在記憶單元 $AMu[1]$ 及記憶單元 $AMw[1]$ 中，各電晶體 $M1$ 成為關閉狀態，使得記憶單元 $AMu[1]$ 的電容器 $C1$ 的第一端子（節點 $Nu[1]$ ）及記憶單元 $AMw[1]$ 的電容器 $C1$ 的第一端子（節點 $Nw[1]$ ）分別保持比接地電位大出 $V_{w\alpha}[1]$ 的電位。此外，在記憶單元 $AMx[1]$ 及記憶單元 $AMr[1]$ 中，各電晶體 $M1$ 成為關閉狀態，使得記憶單元 $AMx[1]$ 的電容器 $C1$ 的第一端子（節點 $Nx[1]$ ）及記憶單元 $AMr[1]$ 的電容器 $C1$ 的第一端子（節點 $Nr[1]$ ）分別保持比接地電位大出 $V_{w\beta}[1]$ 的電位。

【0364】此外，時間 $T23$ 至時間 $T24$ 中，與時間 $T22$ 至時間 $T23$ 中的向電路 $CS[1]$ 中的記憶單元 $AMu[1]$ 、記憶單元 $AMw[1]$ 、記憶單元 $AMx[1]$ 及記憶單元 $AMr[1]$ 分別寫入電位的工作同樣，向電路 $CS[2]$ 至電路 $CS[m-1]$ 中的記憶單元 AMu 、記憶單元 AMw 、記憶單元 AMx 及記憶單元 AMr 依次寫入電位。明確而言，例如，藉由將保持一定期間的高位準電位的信號依次輸入到佈線 $WL[2]$ 至佈線 $WL[m-1]$ ，並根據該信號改變佈線 WAD 及佈線 WBD 的各電位，可以將規定電位寫入到電路 $CS[2]$ 至電路 $CS[m-1]$ 的每一個中的記憶單元 AMu 、記憶單元 AMw 、記憶單元 AMx 及記憶單元 AMr 。在此，記憶單元 $AMu[2]$ 至記憶單元 $AMu[m-1]$ 、記憶單元 $AMw[2]$ 至記憶單元 $AMw[m-1]$ 依次被寫入 $V_{w\alpha}[2]$ 至 $V_{w\alpha}[m-1]$ 。此外，在對記憶單元 $AMu[2]$ 至記憶單元 $AMu[m-1]$ 、記憶單元 $AMw[2]$ 至記憶單元 $AMw[m-1]$ 的每一個寫入電壓的同時，還對記憶單元 $AMx[2]$ 至記憶單元 $AMx[m-1]$ 、記憶單元 $AMr[2]$ 至記憶單元 $AMr[m-1]$ 依次寫入 $V_{w\beta}[2]$ 至 $V_{w\beta}[m-1]$ 。

【0365】此時，位於第 p 行（ p 為 2 以上且 $m-1$ 以下的整數）的記憶單元 $AMx[p]$ 保持電壓 $V_{w\beta}[p]$ ，記憶單元 $AMu[p]$ 保持電壓 $V_{w\alpha}[p]$ 。在此，與數學式

(1.1) 同樣，對應於 m 個第一資料中的第 p 個的電壓 $V_w[p]$ 定義為本實施方式所示的數學式 (1.2)。

【0366】在數學式 (1.2) 中， $V_w[p]$ 為對應於 m 個第一資料中的第 p 個的電壓。也就是說， $V_{w\alpha}[p]$ 及 $V_{w\beta}[p]$ 都可以說是對應於 m 個第一資料中的第 p 個的電壓。此外，如果滿足數學式 (1.2)，則可以任意決定 $V_{w\alpha}[p]$ 及 $V_{w\beta}[p]$ 的電壓的組合。例如， $V_{w\alpha}[p]$ 既可高於 $V_{w\beta}[p]$ 又可低於 $V_{w\beta}[p]$ ，或者，也可以等於 $V_{w\beta}[p]$ 。也就是說， $V_w[p]$ 可以為正電壓、0 或負電壓。

【0367】 <<時間 T24 至時間 T25>>

在時間 T24 至時間 T25 中，佈線 WL[m] 被輸入高位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMu[m]、記憶單元 AMw[m]、記憶單元 AMx[m] 及記憶單元 AMr[m] 所包括的各電晶體 M1 的閘極被施加高位準電位，使得各電晶體 M1 成為開啟狀態。

【0368】此外，在時間 T24 至時間 T25 中，佈線 WAD 被輸入比接地電位大出 $V_{w\alpha}[m]$ 的電位。此時，因為記憶單元 AMu[m] 及記憶單元 AMw[m] 的各電晶體 M1 處於開啟狀態，所以佈線 WAD 與節點 Nu[m] 成為導通狀態，並且佈線 WAD 與節點 Nw[m] 成為導通狀態。由此，記憶單元 AMu[m] 的電容器 C1 的第一端子（節點 Nu[m]）及記憶單元 AMw[m] 的電容器 C1 的第一端子（節點 Nw[m]）都被輸入比接地電位大出 $V_{w\alpha}[m]$ 的電位。

【0369】此外，在時間 T24 至時間 T25 中，佈線 WBD 被輸入比接地電位大出 $V_{w\beta}[m]$ 的電位。此時，因為記憶單元 AMx[m] 及記憶單元 AMr[m] 的各電晶體 M1 處於開啟狀態，所以佈線 WBD 與節點 Nx[m] 成為導通狀態，並且佈線 WBD 與節點 Nr[m] 成為導通狀態。由此，記憶單元 AMx[m] 的電容器 C1 的第一端子（節點 Nx[m]）及記憶單元 AMr[m] 的電容器 C1 的第一端子（節點 Nr[m]）都被輸入比接地電位大出 $V_{w\beta}[m]$ 的電位。

【0370】在此， $V_w[m]$ 定義為本實施方式所示的數學式（1.3）。

【0371】在數學式（1.3）中， $V_w[m]$ 為對應於 m 個第一資料中的第 m 個的電壓。也就是說， $V_{w\alpha}[m]$ 及 $V_{w\beta}[m]$ 都可以說是對應於 m 個第一資料中的第 m 個的電壓。此外，如果滿足數學式（1.3），則可以任意決定 $V_{w\alpha}[m]$ 及 $V_{w\beta}[m]$ 的電壓的組合。例如， $V_{w\alpha}[m]$ 既可高於 $V_{w\beta}[m]$ 又可低於 $V_{w\beta}[m]$ ，或者，也可以等於 $V_{w\beta}[m]$ 。也就是說， $V_w[m]$ 可以為正電壓、0 或負電壓。

【0372】此外，因為開關 SW5A 處於開啟狀態，所以佈線 BAL 被輸入接地電位。此外，在記憶單元 AMu[m]及記憶單元 AMw[m]中，因為各電晶體 M2 的第一端子被輸入來自佈線 VR 的接地電位，所以各電晶體 M2 的第一端子-第二端子間的電壓幾乎成為 0V。由此，記憶單元 AMu[m]及記憶單元 AMw[m]的各電晶體 M2 的第一端子-第二端子間沒有電流流過。

【0373】同樣，因為開關 SW5B 處於開啟狀態，所以佈線 BBL 被輸入接地電位。此外，在記憶單元 AMx[m]及記憶單元 AMr[m]中，因為各電晶體 M2 的第一端子被輸入來自佈線 VR 的接地電位，所以各電晶體 M2 的第一端子-第二端子間的電壓也幾乎成為 0V。由此，記憶單元 AMx[m]及記憶單元 AMr[m]的各電晶體 M2 的第一端子-第二端子間也沒有電流流過。

【0374】在此，在時間 T24 至時間 T25 中，佈線 WL[1]至佈線 WL[m-1]從時間 T24 之前一直被輸入低位準電位。由此，在記憶單元陣列 CA 的電路 CS[1]至電路 CS[m-1]中，記憶單元 AMu、記憶單元 AMw、記憶單元 AMx 及記憶單元 AMr 所包括的各電晶體 M1 的閘極被施加低位準電位，由此各電晶體 M1 處於關閉狀態。由此，分別輸入到佈線 WAD 及佈線 WBD 的資料不會寫入到節點 Nu[1]至節點 Nu[m-1]、節點 Nw[1]至節點 Nw[m-1]、節點 Nx[1]至節點 Nx[m-1]及節點 Nr[1]至節點 Nr[m-1]。

【0375】<<時間 T25 至時間 T26>>

在時間 T25 至時間 T26 中，佈線 WL[m]被輸入低位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMu[m]、記憶單元 AMw[m]、記憶單元 AMx[m] 及記憶單元 AMr[m]所包括的各電晶體 M1 的閘極被施加低位準電位，使得各電晶體 M1 成為關閉狀態。

【0376】在記憶單元 AMu[m]及記憶單元 AMw[m]中，各電晶體 M1 成為關閉狀態，使得記憶單元 AMu[m]的電容器 C1 的第一端子（節點 Nu[m]）及記憶單元 AMw[m]的電容器 C1 的第一端子（節點 Nw[m]）分別保持比接地電位大出 $V_{w\alpha}[m]$ 的電位。此外，在記憶單元 AMx[m]及記憶單元 AMr[m]中，各電晶體 M1 成為關閉狀態，使得記憶單元 AMx[m]的電容器 C1 的第一端子（節點 Nx[m]）及記憶單元 AMr[m]的電容器 C1 的第一端子（節點 Nr[m]）分別保持比接地電位大出 $V_{w\beta}[m]$ 的電位。

【0377】經時間 T21 至時間 T26 中的工作，可以向記憶單元陣列 CA 所包括的記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 的每一個寫入對應於第一資料的電壓。

【0378】<<時間 T26 至時間 T27>>

在時間 T26 至時間 T27 中，佈線 SL5 被輸入低位準電位。由此，在電路 INT 中，開關 SW5A 及開關 SW5B 都成為關閉狀態。

【0379】<<時間 T27 至時間 T28>>

在時間 T27 至時間 T28 中，佈線 XAL[1]至佈線 XAL[m]分別被輸入對應於 m 個第二資料的電位。在此，例如，從電路 XLD 輸入到佈線 XAL[1]的電位為比接地電位高出 $V_{x\alpha}[1]$ 的電位，從電路 XLD 輸入到佈線 XAL[p]的電位比接地電位高出 $V_{x\alpha}[p]$ ，從電路 XLD 輸入到佈線 XAL[m]的電位比接地電位高出 $V_{x\alpha}[m]$ 的電位。

【0380】因為佈線 XAL[1]的電位從接地電位提升到 $V_{x\alpha}[1]$ ，所以記憶單元 AMu[1]及記憶單元 AMx[1]的各電容器 C1 的第二端子被施加 $V_{x\alpha}[1]$ 。此時，節點 Nu[1]及節點 Nx[1]都處於電浮動狀態，由此藉由電容器 C1 的電容耦合，節點 Nu[1]及節點 Nx[1]的各電位發生變化。

【0381】在記憶單元 AMu[1]及記憶單元 AMx[1]的每一個中，電晶體 M2 的閘極電位的增幅相當於佈線 XAL[1]的電位變化乘以取決於記憶單元結構的電容耦合係數的電位。該電容耦合係數根據電容器 C1 的電容、電晶體 M2 的閘極電容、寄生電容等而算出。在本工作例子中，記憶單元 AMu 及記憶單元 AMx 的各電容耦合係數為 h 。

【0382】因此，當佈線 XAL[1]的電位變化為 $V_{x\alpha}[1]$ 時，節點 Nu[1]及節點 Nx[1]的各電位變化為 $hV_{x\alpha}[1]$ 。也就是說，節點 Nu[1]的電位成為 $V_{w\alpha}[1]+hV_{x\alpha}[1]$ ，節點 Nx[1]的電位成為 $V_{w\beta}[1]+hV_{x\alpha}[1]$ 。

【0383】此外，在本工作例子中，關於記憶單元陣列 CA 所包括的記憶單元 AMu[1]及記憶單元 AMx[1]以外的記憶單元，也將各電容耦合係數設定為 h 來進行說明。

【0384】由此，因為佈線 XAL[p]的電位從接地電位提升到 $V_{x\alpha}[p]$ ，所以記憶單元 AMu[p]及記憶單元 AMx[p]的各電容器 C1 的第二端子被施加 $V_{x\alpha}[p]$ 。此時，節點 Nu[p]及節點 Nx[p]都處於電浮動狀態，由此藉由電容器 C1 的電容耦合，節點 Nu[p]及節點 Nx[p]的各電位發生變化。明確而言，節點 Nu[p]的電位成為 $V_{w\alpha}[p]+hV_{x\alpha}[p]$ ，節點 Nx[p]的電位成為 $V_{w\beta}[p]+hV_{x\alpha}[p]$ 。

【0385】此外，因為佈線 XAL[m]的電位從接地電位提升到 $V_{x\alpha}[m]$ ，所以記憶單元 AMu[m]及記憶單元 AMx[m]的各電容器 C1 的第二端子被施加 $V_{x\alpha}[m]$ 。此時，節點 Nu[m]及節點 Nx[m]都處於電浮動狀態，由此藉由電容器

C1 的電容耦合，節點 Nu[m]及節點 Nx[m]的各電位發生變化。明確而言，節點 Nu[m]的電位成為 $V_{w\alpha}[m]+hV_{x\alpha}[m]$ ，節點 Nx[m]的電位成為 $V_{w\beta}[m]+hV_{x\alpha}[m]$ 。

【0386】此外，在時間 T27 至時間 T28 中，佈線 XBL[1]至佈線 XBL[m]分別被輸入對應於 m 個第二資料的電位。在此，例如，從電路 XLD 輸入到佈線 XBL[1]的電位為比接地電位高出 $V_{x\beta}[1]$ 的電位，從電路 XLD 輸入到佈線 XBL[p]的電位比接地電位高出 $V_{x\beta}[p]$ ，從電路 XLD 輸入到佈線 XBL[m]的電位比接地電位高出 $V_{x\beta}[m]$ 的電位。

【0387】因為佈線 XBL[1]的電位從接地電位提升到 $V_{x\beta}[1]$ ，所以記憶單元 AMw[1]及記憶單元 AMr[1]的各電容器 C1 的第二端子被施加 $V_{x\beta}[1]$ 。此時，節點 Nw[1]及節點 Nr[1]都處於電浮動狀態，由此藉由電容器 C1 的電容耦合，節點 Nw[1]及節點 Nr[1]的各電位發生變化。

【0388】在本工作例子中，記憶單元陣列 CA 所包括的記憶單元 AMw 及記憶單元 AMr 的各電容耦合係數與記憶單元 AMx 及記憶單元 AMu 同樣被設定為 h。

【0389】因此，當佈線 XBL[1]的電位變化為 $V_{x\beta}[1]$ 時，節點 Nw[1]及節點 Nr[1]的各電位變化為 $hV_{x\beta}[1]$ 。也就是說，節點 Nw[1]的電位成為 $V_{w\alpha}[1]+hV_{x\beta}[1]$ ，節點 Nr[1]的電位成為 $V_{w\beta}[1]+hV_{x\beta}[1]$ 。

【0390】由此，因為佈線 XBL[p]的電位從接地電位提升到 $V_{x\beta}[p]$ ，所以記憶單元 AMw[p]及記憶單元 AMr[p]的各電容器 C1 的第二端子被施加 $V_{x\beta}[p]$ 。此時，節點 Nw[p]及節點 Nr[p]都處於電浮動狀態，由此藉由電容器 C1 的電容耦合，節點 Nw[p]及節點 Nr[p]的各電位發生變化。明確而言，節點 Nw[p]的電位成為 $V_{w\alpha}[p]+hV_{x\beta}[p]$ ，節點 Nr[p]的電位成為 $V_{w\beta}[p]+hV_{x\beta}[p]$ 。

【0391】此外，因為佈線 XBL[m]的電位從接地電位提升到 $V_{x\beta}[m]$ ，所以記憶單元 AMw[m]及記憶單元 AMr[m]的各電容器 C1 的第二端子被施加

$V_{x\beta}[m]$ 。此時，節點 $Nw[m]$ 及節點 $Nr[m]$ 都處於電浮動狀態，由此藉由電容器 $C1$ 的電容耦合，節點 $Nw[m]$ 及節點 $Nr[m]$ 的各電位發生變化。明確而言，節點 $Nw[m]$ 的電位成為 $V_{w\alpha}[m]+hV_{x\beta}[m]$ ，節點 $Nu[m]$ 的電位成為 $V_{w\beta}[m]+hV_{x\beta}[m]$ 。

【0392】 在此， $V_x[1]$ 、 $V_x[p]$ 及 $V_x[m]$ 定義為本實施方式所示的數學式 (1.4) 至數學式 (1.6)。

【0393】 在數學式 (1.4) 至數學式 (1.6) 中， $V_x[1]$ 至 $V_x[m]$ 都是對應於第二資料的電壓。也就是說， $V_{x\alpha}[1]$ 至 $V_{x\alpha}[m]$ 及 $V_{x\beta}[1]$ 至 $V_{x\beta}[m]$ 都可以說是對應於第二資料的電壓。此外，如果滿足數學式 (1.4) 至數學式 (1.6)，則可以任意決定 $V_{x\alpha}[i]$ 及 $V_{x\beta}[i]$ 的電壓的組合。例如， $V_{x\alpha}[i]$ 既可高於 $V_{x\beta}[i]$ 又可低於 $V_{x\beta}[i]$ ，或者，也可以等於 $V_{x\beta}[i]$ 。也就是說， $V_x[i]$ 可以為正電壓、0 或負電壓。

【0394】 <<時間 T28 至時間 T29>>

在時間 T28 至時間 T29 中，佈線 SL4 及佈線 SL7 被輸入高位準電位。由此，電路 CMS 中的開關 SW7A 及開關 SW7B 和電路 ACTV 中的開關 SW4A 都成為開啟狀態。

【0395】 此時，記憶單元 $AMx[1]$ 至記憶單元 $AMx[m]$ 及記憶單元 $AMw[1]$ 至記憶單元 $AMw[m]$ 的每一個所包括的各電晶體 M2 的第二端子藉由佈線 BAL 與電路 CM 所包括的電晶體 M3A 的第一端子成為導通狀態。此外，記憶單元 $AMx[1]$ 至記憶單元 $AMx[m]$ 及記憶單元 $AMw[1]$ 至記憶單元 $AMw[m]$ 所包括的各電晶體 M2 的第二端子藉由佈線 BAL 與電路 ACTV 所包括的電路 IVC 的第一端子成為導通狀態。此外，記憶單元 $AMu[1]$ 至記憶單元 $AMu[m]$ 及記憶單元 $AMr[1]$ 至記憶單元 $AMr[m]$ 所包括的各電晶體 M2 的第二端子藉由佈線 BBL 與電路 CM 所包括的電晶體 M3B 的第一端子成為導通狀態。

【0396】在此，考察記憶單元 AM_x 、記憶單元 AM_u 、記憶單元 AM_w 及記憶單元 AM_r 的各電晶體 M_2 中從第二端子流過第一端子的電流。

【0397】假設從佈線 BAL 藉由記憶單元 $AM_x[1]$ 的電晶體 M_2 的第二端子流過第一端子的電流為 $I_{AM_x[1]}$ ，則 $I_{AM_x[1]}$ 可以表示為本實施方式所示的數學式 (1.7)。

【0398】在數學式 (1.7) 中， K 表示取決於電晶體 M_2 的通道長度、通道寬度、移動率及閘極絕緣膜的電容等的常數。此外， V_{th} 表示電晶體 M_2 的臨界電壓。此外，常數 k 不但可以適用於記憶單元 AM_x ，還可以適用於記憶單元 AM_u 、記憶單元 AM_w 及記憶單元 AM_r 。此外，記憶單元 AM_x 以外的記憶單元 AM_u 、記憶單元 AM_w 及記憶單元 AM_r 所包括的電晶體 M_2 的臨界電壓也表示為 V_{th} 。

【0399】此外，假設從佈線 BAL 藉由記憶單元 $AM_x[m]$ 的電晶體 M_2 的第二端子流過第一端子的電流為 $I_{AM_x[m]}$ ，則 $I_{AM_x[m]}$ 可以表示為本實施方式所示的數學式 (1.7)。

【0400】也就是說，假設從佈線 BAL 流過記憶單元 $AM_x[1]$ 至記憶單元 $AM_x[m]$ 的各電晶體 M_2 的第二端子的電流量的總和為 I_x ，則 I_x 可以根據數學式 (1.7) 及數學式 (1.8) 表示為本實施方式所示的數學式 (1.9)。

【0401】同樣，假設從佈線 BAL 藉由記憶單元 $AM_w[1]$ 的電晶體 M_2 的第二端子流過第一端子的電流為 $I_{AM_w[1]}$ ，並且從佈線 BAL 藉由記憶單元 $AM_w[m]$ 的電晶體 M_2 的第二端子流過第一端子的電流為 $I_{AM_w[m]}$ ，則 $I_{AM_w[1]}$ 及 $I_{AM_w[m]}$ 可以表示為本實施方式所示的數學式 (1.10) 及數學式 (1.11)。

【0402】也就是說，假設從佈線 BAL 流過記憶單元 $AM_w[1]$ 至記憶單元 $AM_w[m]$ 的各電晶體 M_2 的第二端子的電流量的總和為 I_w ，則 I_w 可以根據數學式 (1.10) 及數學式 (1.11) 表示為本實施方式所示的數學式 (1.12)。

【0403】同樣，假設從佈線 BBL 藉由記憶單元 AMu[1]的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMu[1]}$ ，並且從佈線 BBL 藉由記憶單元 AMu[m]的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMu[m]}$ ，則 $I_{AMu[1]}$ 及 $I_{AMu[m]}$ 可以表示為本實施方式所示的數學式 (1.13) 及數學式 (1.14)。

【0404】也就是說，假設從佈線 BBL 流過記憶單元 AMu[1]至記憶單元 AMu[m]的各電晶體 M2 的第二端子的電流量的總和為 I_u ，則 I_u 可以根據數學式 (1.13) 及數學式 (1.14) 表示為本實施方式所示的數學式 (1.15)。

【0405】同樣，假設從佈線 BBL 藉由記憶單元 AMr[1]的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMr[1]}$ ，並且從佈線 BBL 藉由記憶單元 AMr[m]的電晶體 M2 的第二端子流過第一端子的電流為 $I_{AMr[m]}$ ，則 $I_{AMr[1]}$ 及 $I_{AMr[m]}$ 可以表示為本實施方式所示的數學式 (1.16) 及數學式 (1.17)。

【0406】也就是說，假設從佈線 BBL 流過記憶單元 AMr[1]至記憶單元 AMr[m]的各電晶體 M2 的第二端子的電流量的總和為 I_r ，則 I_r 可以根據數學式 (1.16) 及數學式 (1.17) 表示為本實施方式所示的數學式 (1.18)。

【0407】在時間 T28 至時間 T29 中，電路 CMS 所包括的開關 SW7B 處於開啟狀態，並且電路 INT 所包括的開關 SW5B 處於關閉狀態，由此藉由佈線 BBL 流過記憶單元 AMu[1]至記憶單元 AMu[m]及記憶單元 AMr[1]至記憶單元 AMr[m]的電流的總和 I_u+I_r 藉由電晶體 M3B 的第一端子從佈線 VHE 流出的。此時，電晶體 M3B 的第一端子（閘極）的電壓成為對應於電流量 I_u+I_r 的電壓。

【0408】此外，因為電路 CM 為電流鏡電路，所以流過電晶體 M3B 的第一端子-第二端子間的電流量與流過電晶體 M3A 的第一端子-第二端子間的電流量大致相等。在時間 T28 至時間 T29 中，電路 CMS 所包括的開關 SW7A 處於

開啟狀態，由此從佈線 VHE 藉由電晶體 M3A 流過佈線 BAL 的電流量成為 $I_u + I_r$ 。

【0409】再者，因為佈線 BAL 與記憶單元 AMx[1]至記憶單元 AMx[m]及記憶單元 AMw[1]至記憶單元 AMw[m]電連接，所以從佈線 BAL 流過記憶單元 AMx[1]至記憶單元 AMx[m]的電流量為 I_x ，並且從佈線 BAL 流過記憶單元 AMw[1]至記憶單元 AMw[m]的電流量為 I_w 。

【0410】此外，電路 INT 所包括的開關 SW5A 及開關 SW5B 處於關閉狀態，並且電路 ACTV 所包括的開關 SW4A 處於開啟狀態，由此電流從佈線 BAL 藉由開關 SW4A 流過電路 ACTV 所包括的電路 IVC 的第一端子。假設為該電流量為 I_{EV} ，則 I_{EV} 可以表示為本實施方式所示的數學式 (1.19)。

【0411】因此，根據數學式 (1.1) 至數學式 (1.6)、數學式 (1.9)、數學式 (1.12)、數學式 (1.15) 及數學式 (1.18)，數學式 (1.19) 可以與數學式 (1.20) 同樣表示為如下數學式。

【0412】

[數學式 21]

$$\begin{aligned} I_{EV} &= 2hk \sum_{i=1}^m (V_{W\alpha}[i] - V_{W\beta}[i])(V_{X\alpha}[i] - V_{X\beta}[i]) \\ &= 2hk \sum_{i=1}^m V_W[i]V_X[i] \quad \dots(1.23) \end{aligned}$$

【0413】根據數學式 (1.23)，從佈線 BAL 輸入到電路 ACTV 的電流量 I_{EV} 與對應於第一資料的電位 $V_w[1]$ 至 $V_w[m]$ 與對應於第二資料的電位 $V_x[1]$ 至 $V_x[m]$ 的積和成比。也就是說，第一資料與第二資料之積和可以表示為電流量 I_{EV} 。

【0414】藉由電流 I_{EV} 流過電路 ACTV 所包括的電路 IVC 的第一端子，從電路 IVC 的第三端子輸出對應於 I_{EV} 的電壓。然後，該電壓輸入到電路 ACF 的第一端子，使得電路 ACF 使用該電壓進行預先定義的函數系統的運算，由此將運算結果作為電壓（或電流等）從佈線 NIL 輸出。

【0415】在此，數學式 (1.1) 至數學式 (1.3) 可以各自變形為 $V_{W\alpha}[i]=V_{W\beta}[i]+V_W[i]$ 。也就是說，在記憶單元 AMu[i] 及記憶單元 AMw[i] 中保持 $V_{W\beta}[i]+V_W[i]$ 。 $V_{W\beta}[i]$ 可以為任意電壓，由此 $V_{W\beta}[1]$ 至 $V_{W\beta}[m]$ 也可以都是同一電壓。例如，假設為 $V_{W\beta}[1]$ 至 $V_{W\beta}[m]$ 都是 V_{PR} ，則在記憶單元 AMu[i] 及記憶單元 AMw[i] 中都保持 $V_{PR}+V_W[i]$ ，在記憶單元 AMx[i] 及記憶單元 AMr[i] 中都保持 V_{PR} 。如此，藉由將 $V_{W\beta}[1]$ 至 $V_{W\beta}[m]$ 都設定為 V_{PR} ，以 V_{PR} 為基準電壓在記憶單元 AMu 及記憶單元 AMw 中保持基準電壓加以對應於第一資料的電壓的電壓並在記憶單元 AMx 及記憶單元 AMr 中保持基準電壓，也可以同樣進行數學式 (1.23) 的運算。

【0416】此外，數學式 (1.4) 至數學式 (1.6) 可以各自變形為 $V_{X\alpha}[i]=V_{X\beta}[i]+V_X[i]$ 。也就是說，在時間 T27 至時間 T28 中，佈線 XAL[i] 被輸入 $V_{X\beta}[i]+V_X[i]$ 。 $V_{X\beta}[i]$ 可以為任意電壓，由此 $V_{X\beta}[1]$ 至 $V_{X\beta}[m]$ 也可以都是同一電壓。例如，假設為 $V_{X\beta}[1]$ 至 $V_{X\beta}[m]$ 都是 V_{RFP} ，則佈線 XAL[i] 被輸入 $V_{RFP}+V_X[i]$ ，並且佈線 XBL[i] 被輸入 V_{RFP} 。如此，藉由將 $V_{X\beta}[1]$ 至 $V_{X\beta}[m]$ 都設定為 V_{RFP} ，以 V_{RFP} 為基準電壓向佈線 XAL 輸入基準電壓加以對應於第二資料的電壓並向佈線 XBL 輸入基準電壓，也可以同樣進行數學式 (1.23) 的運算。

【0417】<半導體裝置的結構例子 5>

在此，說明與圖 12 的運算電路 MAC5 不同的能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置。

【0418】與圖 12 的運算電路 MAC5 同樣，圖 16 的運算電路 MAC6 是能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置的一個例子。運算電路 MAC6 與運算電路 MAC5 的不同之處在於：電路 CMS 的電路結構；以及運算電路 MAC6 中的佈線 BBL 與電路 ACTV 電連接的點。

【0419】運算電路 MAC6 所包括的電路 CMS 包括電流源 CSA 及電流源 CSB。電流源 CSA 的輸入端子與佈線 VHE 電連接，電流源 CSA 的輸出端子與佈線 BAL 電連接。電流源 CSB 的輸入端子與佈線 VHE 電連接，電流源 CSB 的輸出端子與佈線 BBL 電連接。

【0420】此外，運算電路 MAC6 所包括的電路 CMS 具有上述電路結構，由此沒有圖 3A 及圖 3B 所示的電流鏡電路的功能。

【0421】作為一個例子，佈線 VHE 可以如圖 3A 及圖 3B 的電路 CMS 所示那樣供應定電壓。作為該定電壓，例如較佳為高位準電位。

【0422】電流源 CSA 及電流源 CSB 都具有因輸入端子被輸入電源電位而將定電流輸出到輸出端子的功能。此外，電流源 CSA 及電流源 CSB 各自輸出到輸出端子的電流量較佳為相等。明確而言，從電流源 CSA 的輸出端子流過佈線 BAL 的電流量較佳為從電流源 CSB 的輸出端子流過佈線 BBL 的電流量的 0.85 倍以上、0.9 倍以上或 0.95 倍以上且 1.05 倍以下、1.1 倍以下或 1.15 倍以下。上述下限值及上限值可以分別組合。

【0423】此外，如上所述，佈線 BBL 與電路 ACTV 電連接。在圖 16 中，電路 ACTV 例如較佳為具有輸出對應於從佈線 BAL 流過電路 ACTV 的電流量和從佈線 BBL 流過電路 ACTV 的電流量的差異的電壓的功能、使用該電壓根據預定的函數系統進行運算的功能、將該函數運算的結果輸出到佈線 NIL 的功能。

【0424】明確而言，圖 16 的運算電路 MAC6 所包括的電路 ACTV 例如可以為圖 9 所示的電路 ACTV。

【0425】在圖 9 的電路 ACTV 中，例如藉由將高位準電位輸入到佈線 SL4，使得開關 SW4A 及開關 SW4B 都成為開啟狀態，可以使來自佈線 BAL 的電流流過電路 IVC 的第一端子，並可以使來自佈線 BBL 的電流流過電路 IVC 的第三端子。

【0426】例如，在圖 16 的運算電路 MAC6 中，假設從電流源 CSA 及電流源 CSB 分別流過佈線 BAL 及佈線 BBL 的電流量為 I_{cs} ，從佈線 BAL 流過記憶單元 AMx[1]至記憶單元 AMx[m]的電流量的總和為 I_x ，從佈線 BAL 流過記憶單元 AMw[1]至記憶單元 AMw[m]的電流量的總和為 I_w ，則從佈線 BAL 流過電路 IVC 的第一端子的電流量為 $I_{cs}-I_x-I_w$ 。此外，假設從佈線 BBL 流過記憶單元 AMu[1]至記憶單元 AMu[m]的電流量的總和為 I_u ，從佈線 BBL 流過記憶單元 AMr[1]至記憶單元 AMr[m]的電流量的總和為 I_r ，則從佈線 BBL 流過電路 IVC 的第三端子的電流量為 $I_{cs}-I_u-I_r$ 。

【0427】在圖 9 的電路 IVC 為減法電路的情況（例如，負載 LEA 及負載 LEB 為電阻器的情況）下，電路 IVC 的第二端子輸出對應於輸入到電路 IVC 的第一端子的電流量與輸入到電路 IVC 的第三端子的電流量的差異（ $-I_u-I_r+I_x+I_w$ ）的電壓。根據數學式（1.19）、數學式（1.20），該電流量的差異取決於多個第一資料與多個第二資料之積和，由此從電路 IVC 的第二端子輸出的電壓可以說是對應於多個第一資料與多個第二資料之積和的電壓。

【0428】然後，該電壓輸入到電路 ACF 的第一端子，使得電路 ACF 使用該電壓進行預先定義的函數系統的運算，由此將運算結果作為電壓（或電流等）從佈線 NIL 輸出。

【0429】<半導體裝置的結構例子 6>

接著，說明與圖 12 的運算電路 MAC5 及圖 16 的運算電路 MAC6 不同的能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置。

【0430】圖 17 的運算電路 MAC7 是與運算電路 MAC5 及運算電路 MAC6 同樣能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置的一個例子。運算電路 MAC7 是運算電路 MAC5 的變形例子，其中使用一個佈線 XBL[1, 2] 代替運算電路 MAC5 中的佈線 XBL[1] 及佈線 XBL[2] 並使用一個佈線 XBL[m-1, m] 代替運算電路 MAC5 中的佈線 XBL[m-1] 及佈線 XBL[m]，這一點與運算電路 MAC5 不同。也就是說，圖 17 的運算電路 MAC7 的佈線 XBL 的個數為 $m/2$ 。注意，在圖 17 的運算電路 MAC7 中， m 為 2 以上的偶數。

【0431】因此，在圖 17 所示的運算電路 MAC7 中，記憶單元 AMw[1]、記憶單元 AMr[1]、記憶單元 AMw[2]、記憶單元 AMr[2] 與佈線 XBL[1, 2] 電連接，記憶單元 AMw[m-1]、記憶單元 AMr[m-1]、記憶單元 AMw[m]、記憶單元 AMr[m] 與佈線 XBL[m-1, m] 電連接。

【0432】此外，在圖 17 的記憶單元陣列 CA 中，各記憶單元與運算電路 MAC5 同樣配置為 $2m$ 行 2 列的矩陣狀。作為一個例子，在圖 17 中，記憶單元 AMu[i] 配置在 $2i-1$ 行 1 列的位址，記憶單元 AMw[i] 配置在 $2i$ 行 1 列的位址，記憶單元 AMx[i] 配置在 $2i-1$ 行 2 列的位址，記憶單元 AMr[i] 配置在 $2i$ 行 2 列的位址，記憶單元 AMu[i+1] 配置在 $2i+2$ 行 1 列的位址，記憶單元 AMw[i+1] 配置在 $2i+1$ 行 1 列的位址，記憶單元 AMx[i+1] 配置在 $2i+2$ 行 2 列的位址，記憶單元 AMr[i+1] 配置在 $2i+1$ 行 2 列的位址。在圖 17 的運算電路 MAC7 中， i 為 1 以上且 m 以下的奇數。

【0433】因此，雖然在圖 17 中未示出，但是記憶單元 AMw[i]、記憶單元 AMr[i]、記憶單元 AMw[i+1]、記憶單元 AMr[i+1] 與佈線 XBL[i, i+1] 電連接。

【0434】接著，說明圖 17 的運算電路 MAC7 的工作例子。此外，關於運算電路 MAC7 的工作例子參照圖 15 的時序圖的工作例子，主要說明在該時序圖中沒有記載的部分。

【0435】對應於多個第一資料的電壓為 $V_w[1]$ 至 $V_w[m]$ ，並且以滿足數學式 (1.1) 至數學式 (1.3) 的方式定義 $V_{w\alpha}[1]$ 至 $V_{w\alpha}[m]$ 及 $V_{w\beta}[1]$ 至 $V_{w\beta}[m]$ 。此外，記憶單元 $AM_w[1]$ 至記憶單元 $AM_w[m]$ 、記憶單元 $AM_u[1]$ 至記憶單元 $AM_u[m]$ 都分別保持電壓 $V_{w\alpha}[1]$ 至 $V_{w\alpha}[m]$ ，記憶單元 $AM_x[1]$ 至記憶單元 $AM_x[m]$ 、記憶單元 $AM_r[1]$ 至記憶單元 $AM_r[m]$ 都分別保持 $V_{w\beta}[1]$ 至 $V_{w\beta}[m]$ 。

【0436】此外，對應於多個第二資料的電壓為 $V_x[1]$ 至 $V_x[m]$ ，並且以滿足數學式 (1.4) 至數學式 (1.6) 的方式定義 $V_{x\alpha}[1]$ 至 $V_{x\alpha}[m]$ 及 $V_{x\beta}[1]$ 至 $V_{x\beta}[m]$ 。注意， $V_{x\beta}[i]$ 與 $V_{x\beta}[i+1]$ 是同一電壓，亦即 $V_{x\beta}[i]=V_{x\beta}[i+1]=V_{x\beta}[i, i+1]$ 。像這樣，藉由定義對應於多個第二資料的電壓 $V_x[1]$ 至 $V_x[m]$ ，可以在運算電路 MAC7 中將電壓 $V_{x\alpha}[1]$ 至 $V_{x\alpha}[m]$ 分別輸入到佈線 $XAL[1]$ 至佈線 $XAL[m]$ 並將 $V_{x\beta}[1, 2]$ 至 $V_{x\beta}[m-1, m]$ 分別輸入到佈線 $XBL[1, 2]$ 至佈線 $XBL[m-1, m]$ 。

【0437】在時間 T27 至時間 T28 中，在運算電路 MAC7 中，藉由將電壓 $V_{x\alpha}[1]$ 至 $V_{x\alpha}[m]$ 分別輸入到佈線 $XAL[1]$ 至佈線 $XAL[m]$ 並將 $V_{x\beta}[1, 2]$ 至 $V_{x\beta}[m-1, m]$ 分別輸入到佈線 $XBL[1, 2]$ 至佈線 $XBL[m-1, m]$ ，可以與運算電路 MAC5 同樣進行多個第一資料和多個第二資料的積和運算及函數運算。

【0438】運算電路 MAC7 的佈線 XBL 個數少於運算電路 MAC5 的佈線 XBL 個數，由此可以使運算電路 MAC7 的電路面積小於運算電路 MAC5 的電路面積。此外，輸入到運算電路 MAC7 的佈線 XBL 的電壓信號個數少於輸入到運算電路 MAC5 的電壓信號個數，由此可以使運算電路 MAC7 的功耗小於運算電路 MAC5 的功耗。

【0439】雖然在上述說明中 $V_{x\beta[i]}$ 與 $V_{x\beta[i+1]}$ 是同一電壓，但是也可以與運算電路 MAC5 的工作例子的說明一樣將 $V_{x\beta[1]}$ 至 $V_{x\beta[m]}$ 設定為同一電壓（例如， V_{RFP} ）。

【0440】<半導體裝置的結構例子 7>

接著，說明與圖 12 的運算電路 MAC5、圖 16 的運算電路 MAC6 及圖 17 的運算電路 MAC7 不同的能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置。

【0441】圖 18 的運算電路 MAC8 是與運算電路 MAC5、運算電路 MAC6、運算電路 MAC7 同樣能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置的一個例子。運算電路 MAC8 是運算電路 MAC5 的變形例子，其中在記憶單元陣列 CA 中設置有電路 CSb，這一點與運算電路 MAC5 不同。

【0442】在圖 18 所示的運算電路 MAC8 中，電路 CSb 包括記憶單元 AMub、記憶單元 AMwb、記憶單元 AMxb、記憶單元 AMrb。此外，記憶單元 AMub 相當於電路 CS[1] 至電路 CS[m] 的每一個的記憶單元 AMu，記憶單元 AMwb 相當於電路 CS[1] 至電路 CS[m] 的每一個的記憶單元 AMw，記憶單元 AMxb 相當於電路 CS[1] 至電路 CS[m] 的每一個的記憶單元 AMx，記憶單元 AMrb 相當於電路 CS[1] 至電路 CS[m] 的每一個的記憶單元 AMr。

【0443】接著，說明運算電路 MAC8 的工作例子。此外，關於運算電路 MAC8 的工作例子參照圖 15 的時序圖的工作例子，主要說明在該時序圖中沒有記載的部分。

【0444】對應於多個第一資料的電壓為 $V_w[1]$ 至 $V_w[m]$ ，並且以滿足數學式 (1.1) 至數學式 (1.3) 的方式定義 $V_{w\alpha[1]}$ 至 $V_{w\alpha[m]}$ 及 $V_{w\beta[1]}$ 至 $V_{w\beta[m]}$ 。此外，記憶單元 AMw[1] 至記憶單元 AMw[m]、記憶單元 AMu[1] 至記憶單元

AMu[m]都分別保持電壓 $V_{w\alpha}[1]$ 至 $V_{w\alpha}[m]$ ，記憶單元 AMx[1]至記憶單元 AMx[m]、記憶單元 AMr[1]至記憶單元 AMr[m]都分別保持 $V_{w\beta}[1]$ 至 $V_{w\beta}[m]$ 。

【0445】此外，例如，在圖 15 的時序圖的時間 T25 至時間 T26 中，記憶單元 AMub 及記憶單元 AMwb 保持電壓 $V_{wb\alpha}$ ，記憶單元 AMxb 及記憶單元 AMrb 保持電壓 $V_{wb\beta}$ 。此外，定義滿足 $V_{wb}=V_{wb\alpha}-V_{wb\beta}$ 的電壓 V_{wb} 。

【0446】此外，例如，在圖 15 的時序圖的時間 T27 至時間 T28 中，佈線 XALb 被輸入電壓 $V_{xb\alpha}$ ，佈線 XBLb 被輸入電壓 $V_{xb\beta}$ 。此外，定義滿足 $V_{xb}=V_{xb\alpha}-V_{xb\beta}$ 的電壓 V_{xb} 。

【0447】此時，在圖 15 的時序圖的時間 T28 至時間 T29 中，在記憶單元 AMwb 及記憶單元 AMxb 的來自佈線 BAL 的電流量分別為 I_{AMwb} 、 I_{AMxb} 的情況下， I_{AMwb} 及 I_{AMxb} 可以分別表示為 $I_{AMwb}=k(V_{wb\alpha}+V_{xb\beta}-V_{th})^2$ 、 $I_{AMxb}=k(V_{wb\beta}+V_{xb\alpha}-V_{th})^2$ 。此外，在記憶單元 AMub 及記憶單元 AMrb 的來自佈線 BBL 的電流量分別為 I_{AMub} 、 I_{AMrb} 的情況下， I_{AMub} 及 I_{AMrb} 可以分別表示為 $I_{AMub}=k(V_{wb\alpha}+V_{xb\alpha}-V_{th})^2$ 、 $I_{AMrb}=k(V_{wb\beta}+V_{xb\beta}-V_{th})^2$ 。

【0448】此外，在圖 15 的時序圖的時間 T28 至時間 T29 中，從佈線 BAL 流過電路 ACTV 的電流量 I_{EV} 表示為如下數學式。在此，

$$I_b=I_{AMub}+I_{AMrb}+I_{AMxb}+I_{AMwb}。$$

【0449】

[數學式 22]

$$\begin{aligned}
I_{EV} &= 2hk \sum_{i=1}^m V_W[i]V_X[i] + I_b \\
&= 2hk \sum_{i=1}^m V_W[i]V_X[i] + I_{AMub} + I_{AMrb} - I_{AMxb} - I_{AMwb} \\
&= 2hk \left\{ \sum_{i=1}^m V_W[i]V_X[i] + (V_{Wb\alpha} - V_{Wb\beta})(V_{Xb\alpha} - V_{Xb\beta}) \right\} \quad \dots(1.24)
\end{aligned}$$

【0450】與數學式（1.22）同樣，數學式（1.24）相當於對積和結果予以任意值的數學式。這可以應用於例如在分層神經網路的運算中對加權係數與神經元的信號的積和運算結果予以作為任意值的偏置（偏離）的計算等。

【0451】此外，例如，藉由使從佈線 BAL 流過記憶單元 AMxb 及記憶單元 AMwb 的電流之和 $I_{AMxb}+I_{AMwb}$ 大於從佈線 BBL 流過記憶單元 AMub 及記憶單元 AMrb 的電流之和 $I_{AMub}+I_{AMrb}$ ，可以使數學式（1.24）的 I_b 的值小於 0。也就是說，對積和結果予以的任意值也可以為負值。

【0452】此外，在記憶單元 AMub、記憶單元 AMwb、記憶單元 AMxb 及記憶單元 AMrb 中的至少一個中，流過電晶體 M2 的第一端子-第二端子間的電流量可以為 0。例如，藉由將流過記憶單元 AMwb、記憶單元 AMxb 及記憶單元 AMrb 的各電晶體 M2 的第一端子-第二端子間的電流量設定為 0，可以將數學式（1.24）的電流量 I_b 置換成 $I_b=I_{AMub}$ 。此外，藉由將流過記憶單元 AMub、記憶單元 AMxb 及記憶單元 AMrb 的各電晶體 M2 的第一端子-第二端子間的電流量設定為 0，可以將數學式（1.24）的電流量 I_b 置換成 $I_b=I_{AMwb}$ 。也就是說，當設定對積和運算結果賦予的任意值時，不一定需要使用流過記憶單元 AMub、記憶單元 AMwb、記憶單元 AMxb 及記憶單元 AMrb 的各電晶體 M2 的第一端子-第二端子間的電流的全部。因此，運算電路 MAC8 也可以具有在電路 CSb 中沒設置記憶單元 AMub、記憶單元 AMwb、記憶單元 AMxb 及記憶

單元 AMrb 中的至少一個的結構。例如，電路 CSb 可以為只有記憶單元 AMub 及記憶單元 AMxb 的電路、只有記憶單元 AMwb 及記憶單元 AMrb 的電路、只有記憶單元 AMub 及記憶單元 AMwb 的電路或只有記憶單元 AMxb 及記憶單元 AMrb 的電路。此外，例如，電路 CSb 可以具有記憶單元 AMub、記憶單元 AMwb、記憶單元 AMxb 及記憶單元 AMrb 中的任一個，或者，可以不具有選自記憶單元 AMub、記憶單元 AMwb、記憶單元 AMxb 及記憶單元 AMrb 中的一個。

【0453】此外，本發明的一個實施方式的半導體裝置不侷限於本實施方式所示的運算電路 MAC5 至運算電路 MAC8 等。例如，在同樣使用多個第二資料同時進行多個積和運算的情況下，可以使用圖 19 所示的運算電路 MAC9。運算電路 MAC9 具有在各列上分別配置 n 個（n 為 1 以上的整數）圖 12 的運算電路 MAC5 的記憶單元陣列 CA 的結構。

【0454】圖 19 示出記憶單元陣列 CA[1]至記憶單元陣列 CA[n]，將記憶單元陣列 CA[1]至記憶單元陣列 CA[n]統稱為記憶單元陣列 CAS。此外，因為運算電路 MAC9 包括 n 個記憶單元陣列 CA，所以圖 19 中的電路 CMS 包括作為 n 個電路 CM 的電路 CM[1]至電路 CM[n]，電路 INT 包括作為 n 個電路 SCI 的電路 SCI[1]至電路 SCI[n]，電路 ACTV 包括作為 n 個電路 ACP 的電路 ACP[1]至電路 ACP[n]。此外，運算電路 MAC9 包括相當於運算電路 MAC5 的佈線 BAL 的佈線 BAL[1]至佈線 BAL[n]、相當於運算電路 MAC5 的佈線 BBL 的佈線 BBL[1]至佈線 BBL[n]、相當於運算電路 MAC5 的佈線 WAD 的佈線 WAD[1]至佈線 WAD[n]、相當於運算電路 MAC5 的佈線 WBD 的佈線 WBD[1]至佈線 WBD[n]、相當於運算電路 MAC5 的佈線 NIL 的佈線 NIL[1]至佈線 NIL[n]。

【0455】記憶單元陣列 CA[1]與佈線 BAL[1]、佈線 BBL[1]、佈線 WAD[1]、佈線 WBD[1]、佈線 XAL[1]至佈線 XAL[m]、佈線 XBL[1]至佈線 XBL[m]以及佈線 WL[1]至佈線 WL[m]電連接。電路 WDD 與佈線 WAD[1]及佈線 WBD[1]電連接。此外，電路 CMS 的電路 CM[1]與佈線 BAL[1]及佈線 BBL[1]電連接，電路 INT 的電路 SCI[1]與佈線 BAL[1]、佈線 BBL[1]以及電路 ACTV 中的電路 ACP[1]電連接。電路 ACP[1]與佈線 NIL[1]電連接。

【0456】同樣，記憶單元陣列 CA[n]與佈線 BAL[n]、佈線 BBL[n]、佈線 WAD[n]、佈線 WBD[n]、佈線 XAL[1]至佈線 XAL[m]、佈線 XBL[1]至佈線 XBL[m]以及佈線 WL[1]至佈線 WL[m]電連接。電路 WDD 與佈線 WAD[n]及佈線 WBD[n]電連接。此外，電路 CMS 的電路 CM[n]與佈線 BAL[n]及佈線 BBL[n]電連接，電路 INT 的電路 SCI[n]與佈線 BAL[n]、佈線 BBL[n]以及電路 ACTV 中的電路 ACP[n]電連接。電路 ACP[n]與佈線 NIL[n]電連接。

【0457】與圖 15 的時序圖的工作同樣，圖 19 的運算電路 MAC9 對記憶單元陣列 CA[1]至記憶單元陣列 CA[n]分別寫入第一組至第 n 組所包括的對應於多個第一資料的電壓，然後對佈線 XAL[1]至佈線 XAL[m]及佈線 XBL[1]至佈線 XBL[m]輸入對應於第二資料的電壓，由此可以將第一組至第 n 組的各多個第一資料與多個第二資料之積和運算同時輸出到佈線 NIL[1]至佈線 NIL[n]。

【0458】此外，雖然在本實施方式中說明了運算電路 MAC5 至運算電路 MAC9 所包括的電晶體為 OS 電晶體或 Si 電晶體的情況，但是本發明的一個實施方式不侷限於此。作為運算電路 MAC5 至運算電路 MAC9 所包括的電晶體，例如可以使用在通道形成區域中包含 Ge 等的電晶體、在通道形成區域中包含 ZnSe、CdS、GaAs、InP、GaN、SiGe 等化合物半導體的電晶體、在通道形成區域中包含碳奈米管的電晶體、在通道形成區域中包含有機半導體的電晶體等。

【0459】注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

【0460】（實施方式 2）

在本實施方式中，說明作為本發明的一個實施方式的半導體裝置的能夠同時進行多個積和運算的運算電路的一個例子。

【0461】〈半導體裝置的結構例子 1〉

圖 20 示出能夠進行多個第一資料和多個第二資料的積和運算的半導體裝置的結構例子。此外，圖 20 所示的半導體裝置例如能夠同時進行多個積和運算。此外，圖 20 的半導體裝置能夠進行以該積和運算結果為輸入值的函數運算。此外，圖 20 的半導體裝置能夠同時進行多個函數運算。

【0462】圖 20 的運算電路 MAC10 與上述實施方式所示的運算電路 MAC5 同樣進行被多個記憶單元保持的多個第一資料和被輸入的多個第二資料的積和運算並使用該積和運算的結果進行活化函數的運算的電路。作為一個例子，多個第一資料及多個第二資料可以為類比電路資料或多值資料（離散資料）。

【0463】作為一個例子，運算電路 MAC10 包括記憶單元陣列 CA、電路 CMS1、電路 CMS2、電路 WDD、電路 XLD、電路 WLD、電路 INT、電路 ACTV。

【0464】記憶單元陣列 CA 包括電路 CUW[1, 1]至電路 CUW[m, n]（在此，m、n 都是 1 以上的整數）、電路 CXR[1]至電路 CXR[m]。此外，電路 CUW[1, 1]至電路 CUW[m, n]的每一個包括記憶單元 AM_u 及記憶單元 AM_w，電路 CXR[1]至電路 CXR[m]的每一個包括記憶單元 AM_x 及記憶單元 AM_r。雖然在圖 20 中未示出，但是在本說明書等中，電路 CUW[i, j]（在此，i 為 1 以上且 m 以下的整數，j 為 1 以上且 n 以下的整數）所包括的記憶單元 AM_u、記憶單元 AM_w 有時分別被記為記憶單元 AM_u[i, j]、記憶單元

AMw[i, j]。此外，在本說明書等中，電路 CXR[i]所包括的記憶單元 AMx、記憶單元 AMr 有時分別被記為記憶單元 AMx[j]、記憶單元 AMr[j]。

【0465】在記憶單元陣列 CA 中，各記憶單元配置為 2m 行 n+1 列的矩陣狀。作為一個例子，在圖 20 中，記憶單元 AMu[i, j]配置在 2i-1 行 j 列的位址，記憶單元 AMw[i, j]配置在 2i 行 j 列的位址，記憶單元 AMx[i]配置在 2i-1 行 n+1 列的位址，並且記憶單元 AMr[i]配置在 2i 行 n+1 列的位址。

【0466】記憶單元 AMx、記憶單元 AMw、記憶單元 AMu 以及記憶單元 AMr 都具有保持對應於第一資料的電壓的功能。對應於第一資料的電壓例如可以是指記憶單元 AMu[i, j]及記憶單元 AMw[i, j]所保持的電壓和記憶單元 AMx[i]及記憶單元 AMr[i]所保持的電壓的差異。

【0467】尤其是，記憶單元陣列 CA 的第一列至第 n 列的記憶單元分別保持第一組至第 n 組的對應於多個第一資料的電壓。明確而言，例如，第一組所包括的對應於多個第一資料的電壓分別被位於第一列的記憶單元 AMu[1, 1]至記憶單元 AMu[m, 1]及記憶單元 AMw[1, 1]至記憶單元 AMw[m, 1]保持，第 n 組所包括的對應於多個第一資料的電壓分別被位於第 n 列的記憶單元 AMu[1, n]至記憶單元 AMu[m, n]及記憶單元 AMw[1, n]至記憶單元 AMw[m, n]保持。如此，第 j 組所包括的對應於多個第一資料的電壓分別被位於第 j 列的記憶單元 AMu[1, j]至記憶單元 AMu[m, j]及記憶單元 AMw[1, j]至記憶單元 AMw[m, j]保持。

【0468】記憶單元 AMu[1, 1]與佈線 WAD[1]、佈線 BAP[1]、佈線 WL[1]、佈線 XAL[1]電連接。此外，記憶單元 AMw[1, 1]與佈線 WAD[1]、佈線 BAN[1]、佈線 WL[1]、佈線 XBL[1]電連接。記憶單元 AMu[1, n]與佈線 WAD[n]、佈線 BAP[n]、佈線 WL[1]、佈線 XAL[1]電連接。此外，記憶單元 AMw[1, n]與佈線 WAD[n]、佈線 BAN[n]、佈線 WL[1]、佈線 XBL[1]電連

接。記憶單元 $AMx[1]$ 與佈線 WBD、佈線 BBP、佈線 $WL[1]$ 、佈線 $XAL[1]$ 電連接。此外，記憶單元 $AMr[1]$ 與佈線 WBD、佈線 BBN、佈線 $WL[1]$ 、佈線 $XBL[1]$ 電連接。記憶單元 $AMu[m, 1]$ 與佈線 $WAD[1]$ 、佈線 $BAP[1]$ 、佈線 $WL[m]$ 、佈線 $XAL[m]$ 電連接。此外，記憶單元 $AMw[m, 1]$ 與佈線 $WAD[1]$ 、佈線 $BAN[1]$ 、佈線 $WL[m]$ 、佈線 $XBL[m]$ 電連接。記憶單元 $AMu[m, n]$ 與佈線 $WAD[n]$ 、佈線 $BAP[n]$ 、佈線 $WL[m]$ 、佈線 $XAL[m]$ 電連接。此外，記憶單元 $AMw[m, n]$ 與佈線 $WAD[n]$ 、佈線 $BAN[n]$ 、佈線 $WL[m]$ 、佈線 $XBL[m]$ 電連接。記憶單元 $AMx[m]$ 與佈線 WBD、佈線 BBP、佈線 $WL[m]$ 、佈線 $XAL[m]$ 電連接。此外，記憶單元 $AMr[m]$ 與佈線 WBD、佈線 BBN、佈線 $WL[m]$ 、佈線 $XBL[m]$ 電連接。

【0469】作為電路 $CUW[1, 1]$ 至電路 $CUW[m, n]$ 的每一個所包括的記憶單元 AMu 及記憶單元 AMw 、電路 $CXR[1]$ 至電路 $CXR[m]$ 的每一個所包括的記憶單元 AMx 及記憶單元 AMr 的詳細電路結構，例如，可以採用與可以應用於上述實施方式所示的運算電路 MAC5 的記憶單元 AMu 、記憶單元 AMw 、記憶單元 AMx 及記憶單元 AMr 同樣的電路結構。

【0470】作為一個例子，電路 CMS1 包括電路 $CMA[1]$ 至電路 $CMA[n]$ 及電路 CMB。電路 $CMA[1]$ 與佈線 $BAN[1]$ 及佈線 $BAP[1]$ 電連接，電路 $CMA[n]$ 與佈線 $BAN[n]$ 及佈線 $BAP[n]$ 電連接，電路 CMB 與佈線 BBN 及佈線 BBP 電連接。

【0471】電路 $CMA[j]$ 例如具有將電流藉由佈線 $BAP[j]$ 供應給記憶單元 $AMu[1, j]$ 至記憶單元 $AMu[m, j]$ 的功能及將電流藉由佈線 $BAN[j]$ 供應給記憶單元 $AMw[1, j]$ 至記憶單元 $AMw[m, j]$ 的功能。此外，藉由電路 $CMA[j]$ ，流過佈線 $BAP[j]$ 的電流量及流過佈線 $BAN[j]$ 的電流量較佳為相等。明確而言，例如，從電路 $CMA[j]$ 流過佈線 $BAP[j]$ 的電流量較佳為從電路 $CMA[j]$ 流過佈線

BAN[j]的電流量的 0.85 倍以上、0.9 倍以上或 0.95 倍以上且 1.05 倍以下、1.1 倍以下或 1.15 倍以下。上述下限值及上限值可以分別組合。

【0472】此外，電路 CMB 例如具有將電流藉由佈線 BBP 供應給記憶單元 AMx[1]至記憶單元 AMx[m]的功能及將電流藉由佈線 BBN 供應給記憶單元 AMr[1]至記憶單元 AMr[m]的功能。此外，藉由電路 CMB，流過佈線 BBP 的電流量及流過佈線 BBN 的電流量較佳為相等。明確而言，從電路 CMB 流過佈線 BBP 的電流量較佳為從電路 CMB 流過佈線 BBN 的電流量的 0.85 倍以上、0.9 倍以上或 0.95 倍以上且 1.05 倍以下、1.1 倍以下或 1.15 倍以下。上述下限值及上限值可以分別組合。

【0473】此外，關於電路 CMS1 的具體結構例子將在後面敘述。

【0474】作為一個例子，電路 WDD 與佈線 WAD[1]至佈線 WAD[n]及佈線 WBD 電連接。電路 WDD 具有發送用來儲存在記憶單元陣列 CA 所包括的各記憶單元中的資料的功能。此外，關於電路 WDD 參照上述實施方式 1 所示的運算電路 MAC5 所包括的電路 WDD 的說明。

【0475】關於電路 WLD，參照上述實施方式 1 所示的運算電路 MAC5 所包括的電路 WLD 的說明。

【0476】關於電路 XLD，參照上述實施方式 1 所示的運算電路 MAC5 所包括的電路 XLD 的說明。

【0477】作為一個例子，電路 INT 與佈線 BAP[1]至佈線 BAP[n]、佈線 BAN[1]至佈線 BAN[n]、佈線 BBP 及佈線 BBN 電連接。電路 INT 例如具有分別對佈線 BAP[1]至佈線 BAP[n]、佈線 BAN[1]至佈線 BAN[n]、佈線 BBP、佈線 BBN 輸入規定電壓的功能。作為該電壓，例如可以為低位準電位、接地電位。

【0478】作為具體結構例子，電路 INT 包括電路 SCIA[1]至電路 SCIA[n] 及電路 SCIB。此外，電路 SCIA[1]至電路 SCIA[n]及電路 SCIB 都可以具有與運算電路 MAC5 的電路 INT 所包括的電路 SCI 相同的結構。明確而言，在圖 20 所示的電路 INT 中，電路 SCIA[1]至電路 SCIA[n]及電路 SCIB 都包括開關 SW5A 及開關 SW5B。此外，在電路 SCIA[j]中，開關 SW5A 的第一端子與佈線 BAN[j]電連接，開關 SW5A 的第二端子與佈線 VSL 電連接，開關 SW5B 的第一端子與佈線 BAP[j]電連接，開關 SW5B 的第二端子與佈線 VSL 電連接。此外，開關 SW5A 及開關 SW5B 的各控制端子與佈線 SL5 電連接。同樣，在電路 SCIB 中，開關 SW5A 的第一端子與佈線 BBN 電連接，開關 SW5A 的第二端子與佈線 VSL 電連接，開關 SW5B 的第一端子與佈線 BBP 電連接，開關 SW5B 的第二端子與佈線 VSL 電連接。此外，開關 SW5A 及開關 SW5B 的各控制端子與佈線 SL5 電連接。

【0479】此外，在本實施方式中，開關 SW5A 及開關 SW5B 都在控制端子被輸入高位準電位時成為開啟狀態而在控制端子被輸入低位準電位時成為關閉狀態。

【0480】作為一個例子，佈線 SL5 被用作供應用來切換開關 SW5A 及開關 SW5B 的導通狀態和非導通狀態的電壓的佈線。因此，該電壓例如可以為高位準電位或低位準電位。

【0481】作為一個例子，佈線 VSL 被用作供應定電壓的佈線。該定電壓例如可以為低位準電位、接地電位等。

【0482】作為一個例子，電路 CMS2 與佈線 BAN[1]至佈線 BAN[n]及佈線 BBN 電連接。電路 CMS2 例如具有排出流過佈線 BBN 的電流的功能及排出分別流過佈線 BAN[1]至佈線 BAN[n]的功能。此外，藉由電路 CMS2，從佈線 BBN 排出的電流量及從佈線 BAN[1]至佈線 BAN[n]分別排出的電流量較佳為相

等。明確而言，例如，從佈線 BBN 流過電路 CMS2 的電流量為從佈線 BAN[j] 流過電路 CMS2 的電流量的 0.85 倍以上、0.9 倍以上或 0.95 倍以上且 1.05 倍以下、1.1 倍以下或 1.15 倍以下。上述下限值及上限值可以分別組合。

【0483】作為一個例子，電路 ACTV 包括電路 ACP[1]至電路 ACP[n]。電路 ACP[1]與佈線 BAN[1]及佈線 NIL[1]電連接，電路 ACP[n]與佈線 BAN[n]及佈線 NIL[n]電連接。作為電路 ACP[1]至電路 ACP[n]，例如可以具有與上述實施方式 1 所示的運算電路 MAC5 的電路 ACTV 所包括的電路 ACP 相同的結構。此外，雖然在圖 4A 至圖 4C、圖 5A 至圖 5C 中分別示出開關 SW4A 的第一端子與佈線 BAL 電連接的結構，但是在本實施方式中，將圖 4A 至圖 4C、圖 5A 至圖 5C 所示的佈線 BAL 置換成佈線 BAN 來進行說明。

【0484】<<記憶單元陣列 CA 的結構例子>>

以下說明記憶單元陣列 CA 的電路 CUW[1, 1]至電路 CUW[m, n]的每一個所包括的記憶單元 AMu 及記憶單元 AMw、電路 CXR[1]至電路 CXR[m]的每一個所包括的記憶單元 AMx 及記憶單元 AMr 的結構例子。

【0485】圖 21 是示出記憶單元陣列 CA 的結構例子的電路圖。記憶單元陣列 CA 具有與上述實施方式所示的運算電路 MAC5 同樣進行多個第一資料與多個第二資料之積和運算的功能。

【0486】此外，圖 21 所示的記憶單元 AMu、記憶單元 AMw、記憶單元 AMx 及記憶單元 AMr 具有與圖 13 所示的記憶單元 AMu、記憶單元 AMw、記憶單元 AMx 及記憶單元 AMr 同樣的結構。因此，關於記憶單元 AMw、記憶單元 AMx 及記憶單元 AMr 所包括的電路元件的說明，參照上述實施方式所示的記憶單元 AMu、記憶單元 AMw、記憶單元 AMx 及記憶單元 AMr 的說明。

【0487】在記憶單元 AMu[i, 1]至記憶單元 AMu[i, n]的每一個中，電晶體 M1 的閘極與佈線 WL[i]電連接，電容器 C1 的第二端子與佈線 XAL[i]電連

接。此外，在記憶單元 $AMu[i, 1]$ 中，電晶體 M1 的第二端子與佈線 WAD[1] 電連接，電晶體 M2 的第二端子與佈線 BAP[1] 電連接。此外，在記憶單元 $AMu[i, n]$ 中，電晶體 M1 的第二端子與佈線 WAD[n] 電連接，電晶體 M2 的第二端子與佈線 BAP[n] 電連接。雖然在圖 21 中未示出，但是在記憶單元 $AMu[i, j]$ 中，電晶體 M1 的第二端子與佈線 WAD[j] 電連接，電晶體 M2 的第二端子與佈線 BAP[j] 電連接。此外，在記憶單元 $AMu[i, j]$ 中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 $Nu[i, j]$ 。

【0488】在記憶單元 $AMw[i, 1]$ 至記憶單元 $AMw[i, n]$ 的每一個中，電晶體 M1 的閘極與佈線 WL[i] 電連接，電容器 C1 的第二端子與佈線 XBL[i] 電連接。此外，在記憶單元 $AMw[i, 1]$ 中，電晶體 M1 的第二端子與佈線 WAD[1] 電連接，電晶體 M2 的第二端子與佈線 BAN[1] 電連接。此外，在記憶單元 $AMw[i, n]$ 中，電晶體 M1 的第二端子與佈線 WAD[n] 電連接，電晶體 M2 的第二端子與佈線 BAN[n] 電連接。雖然在圖 21 中未示出，但是在記憶單元 $AMw[i, j]$ 中，電晶體 M1 的第二端子與佈線 WAD[j] 電連接，電晶體 M2 的第二端子與佈線 BAN[j] 電連接。此外，在記憶單元 $AMw[i, j]$ 中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 $Nw[i, j]$ 。

【0489】在記憶單元 $AMx[i]$ 中，電晶體 M1 的閘極與佈線 WL[i] 電連接，電容器 C1 的第二端子與佈線 XAL[i] 電連接，電晶體 M1 的第二端子與佈線 WBD 電連接，電晶體 M2 的第二端子與佈線 BBP 電連接。此外，在記憶單元 $AMx[i]$ 中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 $Nx[i]$ 。

【0490】在記憶單元 AMr[i]中，電晶體 M1 的閘極與佈線 WL[i]電連接，電容器 C1 的第二端子與佈線 XBL[i]電連接，電晶體 M1 的第二端子與佈線 WBD 電連接，電晶體 M2 的第二端子與佈線 BBN 電連接。此外，在記憶單元 AMr[i]中，電晶體 M1 的第一端子、電晶體 M2 的閘極、電容器 C1 的第一端子電連接的部分為節點 Nr[i]。

【0491】<<電路 CMS1 的結構例子>>

接著，說明可以應用於圖 20 的電路 CMS1 所包括的電路 CMA[1]至電路 CMA[n]及電路 CMB 的電路結構例子。

【0492】作為圖 21 的電路 CMS1，示出可以應用於電路 CMA[1]至電路 CMA[n]及電路 CMB 的電路結構例子。明確而言，作為圖 21 所示的電路 CMA[1]至電路 CMA[n]及電路 CMB，使用圖 3A 的電路 CM 的結構。因此，關於圖 21 所示的電路 CMA[1]至電路 CMA[n]及電路 CMB 電路的電路結構及其所包括的電路元件等，參照上述實施方式所示的電路 CM 的記載。

【0493】在電路 CMA[1]中，開關 SW7A 的第二端子與佈線 BAN[1]電連接，開關 SW7B 的第二端子與佈線 BAP[1]電連接。此外，在電路 CMA[n]中，開關 SW7A 的第二端子與佈線 BAN[n]電連接，開關 SW7B 的第二端子與佈線 BAP[n]電連接。雖然在圖 21 中未示出，但是在電路 CMA[j]中，開關 SW7A 的第二端子與佈線 BAN[j]電連接，開關 SW7B 的第二端子與佈線 BAP[j]電連接。此外，在電路 CMB 中，開關 SW7A 的第二端子與佈線 BBN 電連接，開關 SW7B 的第二端子與佈線 BBP 電連接。

【0494】<<電路 CMS2 的結構例子>>

接著，說明圖 20 的電路 CMS2 的電路結構例子。

【0495】作為圖 20 的電路 CMS2，例如可以使用圖 21 所示的電路 CMS2 的電路結構。作為一個例子，圖 21 的電路 CMS2 包括開關 SW8A[1]至開關 SW8A[n]、開關 SW8B、電晶體 M6A[1]至電晶體 M6A[n]、電晶體 M6B。

【0496】開關 SW8A[1]的第一端子與佈線 BAN[1]及電路 ACP[1]（在圖 20 中示出而在圖 21 中未示出）電連接，開關 SW8A[1]的第二端子與電晶體 M6A[1]的第一端子電連接。電晶體 M6A[1]的第二端子與佈線 VLL 電連接。開關 SW8A[n]的第一端子與佈線 BAN[n]及電路 ACP[n]（在圖 20 中示出而在圖 21 中未示出）電連接，開關 SW8A[n]的第二端子與電晶體 M6A[n]的第一端子電連接。電晶體 M6A[n]的第二端子與佈線 VLL 電連接。開關 SW8B 的第一端子與佈線 BBN 電連接，開關 SW8B 的第二端子與電晶體 M6B 的第一端子電連接。電晶體 M6B 的第二端子與佈線 VLL 電連接。此外，電晶體 M6B 的閘極與開關 SW8B 的第二端子、電晶體 M6B 的第一端子、電晶體 M6A[1]至電晶體 M6A[n]的各閘極電連接。此外，開關 SW8A[1]至開關 SW8A[n]、開關 SW8B 的各控制端子與佈線 SL8 電連接。

【0497】作為開關 SW8A[1]至開關 SW8A[n]及開關 SW8B，例如可以使用可以應用於開關 SW5A 及開關 SW5B 的開關。此外，在本實施方式中，開關 SW8A 及開關 SW8B 都在控制端子被輸入高位準電位時成為開啟狀態而在控制端子被輸入低位準電位時成為關閉狀態。

【0498】作為一個例子，佈線 SL8 被用作供應用來切換開關 SW8A[1]至開關 SW8A[n]及開關 SW8B 的導通狀態和非導通狀態的電壓的佈線。因此，該電壓例如可以為高位準電位或低位準電位。

【0499】作為一個例子，佈線 VLL 被用作供應定電壓的佈線。該定電壓例如較佳為低位準電位、接地電位等。

【0500】此外，電晶體 M6A[1]至電晶體 M6A[n]及電晶體 M6B 的每一個例如較佳為 n 通道型電晶體。此外，電晶體 M6A[1]至電晶體 M6A[n]及電晶體 M6B 的每一個例如可以使用 OS 電晶體或 Si 電晶體等。此外，作為 OS 電晶體，可以使用可以應用於電晶體 M1 或電晶體 M2 的電晶體。此外，在電晶體 M6A[1]至電晶體 M6A[n]及電晶體 M6B 使用 Si 電晶體的情況下，該 Si 電晶體的通道形成區域所包含的矽例如可以為非晶矽（有時稱為氫化非晶矽）、微晶矽、多晶矽、單晶矽等。

【0501】此外，除非特別說明均包括電晶體 M6A[1]至電晶體 M6A[n]及電晶體 M6B 都在開啟狀態下工作在飽和區域的情況。也就是說，包括上述各電晶體的閘極、源極及汲極合適地被輸入在工作在飽和區域的範圍的電壓的情況。但是，本發明的一個實施方式不侷限於此。為了減少被供應的電壓的振幅值，電晶體 M6A[1]至電晶體 M6A[n]及電晶體 M6B 可以工作在線性區域。此外，為了減少流過電晶體 M6A[1]至電晶體 M6A[n]及電晶體 M6B 的電流量，電晶體 M6A[1]至電晶體 M6A[n]及電晶體 M6B 可以工作在次臨界值區域。此外，電晶體 M6A[1]至電晶體 M6A[n]及電晶體 M6B 工作在線性區域的情況、工作在飽和區域的情況以及工作在次臨界值區域的情況可以混合存在。此外，電晶體 M6A[1]至電晶體 M6A[n]及電晶體 M6B 工作在線性區域的情況和工作在飽和區域的情況可以混合存在。此外，電晶體 M6A[1]至電晶體 M6A[n]及電晶體 M6B 工作在飽和區域的情況和工作在次臨界值區域的情況可以混合存在。此外，電晶體 M6A[1]至電晶體 M6A[n]及電晶體 M6B 工作在線性區域的情況和工作在次臨界值區域的情況可以混合存在。

【0502】圖 21 所示的電路 CMS2 因具有上述結構而被用作電流鏡電路。明確而言，圖 21 的電路 CMS2 具有參照電晶體 M6B 的第一端子（佈線 BBN）的電位並使對應於該電位的電流分別流過電晶體 M6A[1]至電晶體 M6A[n]及電

晶體 M6B 的各源極-汲極間的功能。換言之，電路 CMS2 具有使與流過電晶體 M6B 的源極-汲極間的電流量大致相等的電流流過電晶體 M6A[1]至電晶體 M6A[n]的各源極-汲極間的功能。

【0503】此外，電路 CMS2 的結構不侷限於圖 21 所示的結構。例如，電路 CMS2 也可以具有如圖 22 所示的電路 CMS2 那樣以共源共柵分別連接電晶體 M6A[1]至電晶體 M6A[n]和電晶體 M7A[1]至電晶體 M7A[n]並以共源共柵連接電晶體 M6B 和電晶體 M7B 的結構。明確而言，電晶體 M6A[1]的第二端子與電晶體 M7A[1]的第一端子電連接，電晶體 M7A[1]的第二端子與佈線 VLL 電連接。此外，電晶體 M6A[n]的第二端子與電晶體 M7A[n]的第一端子電連接，電晶體 M7A[n]的第二端子與佈線 VLL 電連接。此外，電晶體 M6B 的第二端子與電晶體 M7B 的第一端子、電晶體 M7A[1]至電晶體 M7A[n]的各閘極及電晶體 M7B 的閘極電連接，電晶體 M7B 的第二端子與佈線 VLL 電連接。像圖 22 所示的電路 CMS2 那樣，藉由以共源共柵連接電路 CMS2 所包括的電晶體，可以使利用電路 CMS2 的電流鏡電路更穩定工作。

【0504】此外，電路 CMS2 的結構例如可以像圖 23 所示的電路 CMS2 那樣改變開關 SW8A[1]至開關 SW8A[n]的電連接位置。除了電路 CMS2 以外，圖 23 還示出圖 4A 的電路 ACTV 作為一個例子。此外，圖 23 的電路 ACTV 包括 n 個電路 ACP。在圖 23 的電路 CMS2 中，開關 SW8A[1]的第一端子與佈線 BAN[1]電連接，開關 SW8A[1]的第二端子與電路 ACP[1]及電晶體 M6A[1]的第一端子電連接。此外，開關 SW8A[n]的第一端子與佈線 BAN[n]電連接，開關 SW8A[n]的第二端子與電路 ACP[n]及電晶體 M6A[n]的第一端子電連接。藉由將圖 23 的電路 CMS2 應用於運算電路 MAC10 的電路 CMS2，可以採用圖 4A 的電路 ACTV 中的電路 ACP[1]至電路 ACP[n]不包括開關 SW4A 的結構。也就是說，可以使圖 23 的電路 CMS2 所包括的開關 SW8A[1]至開關 SW8A[n]發揮

圖 4A 的電路 ACTV 中的電路 ACP[1]至電路 ACP[n]所包括的各開關 SW4A 的作用。因此，藉由將圖 23 的電路 CMS2 應用於運算電路 MAC10 的電路 CMS2，可以減少電路元件個數，由此可以降低運算電路 MAC10 的電路面積及/或運算電路 MAC10 的功耗。此外，雖然在圖 23 中示出圖 4A 的電路 ACF，但是圖 23 所示的電路 ACF 也可以具有圖 4B、圖 4C、圖 5A 至圖 5C 等的結構。

【0505】 <運算電路的工作例子>

接著，說明運算電路 MAC10 的工作例子。

【0506】 在此，運算電路 MAC10 的記憶單元陣列 CA、電路 CMS1、電路 INT、電路 CMS2 分別使用圖 21 所示的記憶單元陣列 CA、電路 CMS1、電路 INT、電路 CMS2。此外，雖然未圖示，但是作為圖 20 的運算電路 MAC10 的電路 ACTV，使用圖 4A 的電路 ACTV。

【0507】 圖 24 及圖 25 是運算電路 MAC10 的工作例子的時序圖。圖 24 的時序圖示出時間 T31 至時間 T39 或其附近的佈線 WL[1]、佈線 WL[m]、佈線 SL4、佈線 SL5、佈線 SL7 及佈線 SL8 的電位變動，圖 25 的時序圖示出時間 T31 至時間 T39 或其附近的佈線 WAD[1]、佈線 WAD[n]、佈線 WBD、佈線 XAL[1]、佈線 XAL[m]、佈線 XBL[1]、佈線 XBL[m]、節點 Nu[1, 1]、節點 Nw[1, 1]、節點 Nu[1, n]、節點 Nw[1, n]、節點 Nx[1]、節點 Nr[1]、節點 Nu[m, 1]、節點 Nw[m, 1]、節點 Nu[m, n]、節點 Nw[m, n]、節點 Nx[m]及節點 Nr[m]的電位變動。此外，在圖 24 中，High 表示高位準電位，Low 表示低位準電位。此外，在圖 25 中，GND 表示接地電位。

【0508】 此外，在本工作例子中，佈線 VR 供應的電壓為接地電位。此外，佈線 VHE 供應的電壓為高位準電位，佈線 VLL 供應的電壓為接地電位。

【0509】 首先，根據工作例子，說明保持在運算電路 MAC10 中的多個第一資料及輸入到運算電路 MAC10 的多個第二資料。

【0510】在本工作例子中，例如，在運算電路 MAC10 中，位於記憶單元陣列 CA 的第 j 列的電路 CUW[1, j] 至電路 CUW[m, j] 所包括的記憶單元 AM_u 及記憶單元 AM_w 分別保持第 j 組所包括的對應於 m 個第一資料的電壓。

【0511】在此，作為第 j 組的對應於 m 個第一資料的電壓，定義 V_w[1, j] 至 V_w[m, j]。此外，以滿足如下數學式的方式定義 V_{w α} [i, j]。此外，V_{w β} 可以為任意的基準電壓。

【0512】

[數學式 23]

$$V_w[i, j] = V_{w\alpha}[i, j] - V_{w\beta} \quad \dots(2.1)$$

【0513】V_w[i, j] 為第 j 組所包括的對應於 m 個第一資料中的第 i 個的電壓。也就是說，V_{w α} [i, j] 也為第 j 組所包括的對應於 m 個第一資料中的第 i 個的電壓。

【0514】如後面詳細描述，記憶單元陣列 CA 的位於第 j 列的電路 CUW[1, j] 至電路 CUW[m, j] 所包括的記憶單元 AM_u 及記憶單元 AM_w 分別保持作為第 j 組所包括的 m 個第一資料的 V_{w α} [1, j] 至 V_{w α} [m, j]。此外，記憶單元陣列 CA 的位於第 n+1 列的電路 CXR[1] 至電路 CXR[m] 所包括的記憶單元 AM_x 及記憶單元 AM_r 分別保持 V_{w β} 。

【0515】接著，作為對應於 m 個第二資料的電壓，定義 V_x[1] 至 V_x[m]。明確而言，以滿足如下數學式的方式定義 V_{x α} [i]。此外，V_{x β} 可以為任意的基準電壓。

【0516】

[數學式 24]

$$V_x[i] = V_{x\alpha}[i] - V_{x\beta} \quad \dots(2.2)$$

【0517】 $V_x[i]$ 為對應於 m 個第二資料中的第 i 個的電壓。也就是說， $V_{x\alpha}[i]$ 也可以說是對應於 m 個第二資料中的第 i 個的電壓。

【0518】如後面詳細描述，當對記憶單元陣列 CA 輸入 m 個第二資料時，對佈線 XAL[1]至佈線 XAL[m]分別輸入 $V_{x\alpha}[1]$ 至 $V_{x\alpha}[m]$ ，並對佈線 XBL[1]至佈線 XBL[m]分別輸入 $V_{x\beta}$ 。

【0519】<<時間 T31 之前>>

在時間 T31 之前，假設節點 Nu[1, 1]至節點 Nu[m , n]、節點 Nw[1, 1]至節點 Nw[m , n]、節點 Nx[1]至節點 Nx[m]及節點 Nr[1]至節點 Nr[m]的各電位為接地電位。

【0520】此外，藉由電路 WDD（圖 21 未示出），佈線 WAD[1]至佈線 WAD[n]及佈線 WBD 都被輸入低位準電位。

【0521】此外，藉由電路 XLD（圖 21 未示出），佈線 XAL[1]至佈線 XAL[m]及佈線 XBL[1]至佈線 XBL[m]都被輸入參考電位 V_{RFP} 。此外， V_{RFP} 可以為高於接地電位的電位或低於接地電位的電位。

【0522】此外，藉由電路 WLD（圖 21 未示出），佈線 WL[1]至佈線 WL[m]都被輸入低位準電位。由此，記憶單元陣列 CA 的所有記憶單元 AM x 、記憶單元 AM u 、記憶單元 AM w 及記憶單元 AM r 所包括的電晶體 M1 都處於關閉狀態。

【0523】此外，佈線 SL4、佈線 SL5、佈線 SL7 及佈線 SL8 都被輸入低位準電位。由此，開關 SW4A、開關 SW5A、開關 SW5B、開關 SW7A、開關 SW7B、開關 SW8A[1]至開關 SW8A[n]及開關 SW8B 都處於關閉狀態。

【0524】<<時間 T31 至時間 T32>>

在時間 T31 至時間 T32 中，佈線 SL5 被輸入高位準電位。由此，電路 INT 所包括的開關 SW5A 及開關 SW5B 都成為開啟狀態。

【0525】藉由開關 SW5A 及開關 SW5B 都成為開啟狀態，佈線 BAN[1]至佈線 BAN[n]、佈線 BAP[1]至佈線 BAP[n]、佈線 BBN 及佈線 BBP 都與佈線 VSL 成為導通狀態，使得佈線 BAN[1]至佈線 BAN[n]、佈線 BAP[1]至佈線 BAP[n]、佈線 BBN 及佈線 BBP 都被輸入來自佈線 VSL 的電位。在本工作例子中，佈線 VSL 是分別向佈線 BAN[1]至佈線 BAN[n]、佈線 BAP[1]至佈線 BAP[n]、佈線 BBN 及佈線 BBP 供應初始化電位的佈線，該初始化電位為接地電位。由此，在時間 T31 至時間 T32 中，佈線 BAN[1]至佈線 BAN[n]、佈線 BAP[1]至佈線 BAP[n]、佈線 BBN 及佈線 BBP 的各電位成為接地電位。

【0526】此外，記憶單元陣列 CA 的所有記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 所包括的各電晶體 M2 的第一端子從佈線 VR 被供應接地電位，由此各電晶體 M2 的第一端子-第二端子間的電壓成為 0V。再者，節點 Nu[1, 1]至節點 Nu[m, n]、節點 Nw[1, 1]至節點 Nw[m, n]、節點 Nx[1]至節點 Nx[m]及節點 Nr[1]至節點 Nr[m]的各電位為接地電位，由此各電晶體 M2 成為關閉狀態。

【0527】<<時間 T32 至時間 T33>>

在時間 T32 至時間 T33 中，佈線 WL[1]被輸入高位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMu[1, 1]至記憶單元 AMu[1, n]、記憶單元 AMw[1, 1]至記憶單元 AMw[1, n]、記憶單元 AMx[1]及記憶單元 AMr[1]所包括的各電晶體 M1 的閘極被施加高位準電位，使得各電晶體 M1 成為開啟狀態。

【0528】此外，在時間 T32 至時間 T33 中，佈線 WAD[1]至佈線 WAD[n]分別被輸入 $V_{w\alpha}[1, 1]$ 至 $V_{w\alpha}[1, n]$ 的電位。在此，著眼於記憶單元陣列 CA 的第 j 列，記憶單元 AMu[1, j]及記憶單元 AMw[1, j]的各電晶體 M1 處於開啟狀態，由此佈線 WAD[j]與節點 Nu[m, j]成為導通狀態，並且佈線 WAD[j]與節點

$Nw[1, j]$ 成為導通狀態。由此，記憶單元 $AMu[1, j]$ 的電容器 $C1$ 的第一端子（節點 $Nu[1, j]$ ）及記憶單元 $AMw[1, j]$ 的電容器 $C1$ 的第一端子（節點 $Nw[1, j]$ ）都被輸入 $V_{w\alpha}[1, j]$ 的電位。例如為 $j=1$ ，則記憶單元 $AMu[1, 1]$ 的電容器 $C1$ 的第一端子（節點 $Nu[1, 1]$ ）及記憶單元 $AMw[1, 1]$ 的電容器 $C1$ 的第一端子（節點 $Nw[1, 1]$ ）都被輸入 $V_{w\alpha}[1, 1]$ 的電位，例如為 $j=n$ ，則記憶單元 $AMu[1, n]$ 的電容器 $C1$ 的第一端子（節點 $Nu[1, n]$ ）及記憶單元 $AMw[1, n]$ 的電容器 $C1$ 的第一端子（節點 $Nw[1, n]$ ）都被輸入 $V_{w\alpha}[1, n]$ 的電位。

【0529】此外，在時間 $T32$ 至時間 $T33$ 中，佈線 WBD 被輸入 $V_{w\beta}$ 的電位。此時，因為記憶單元 $AMx[1]$ 及記憶單元 $AMr[1]$ 的各電晶體 $M1$ 處於開啟狀態，所以佈線 WBD 與節點 $Nx[1]$ 成為導通狀態，並且佈線 WBD 與節點 $Nr[1]$ 成為導通狀態，使得記憶單元 $AMx[1]$ 的電容器 $C1$ 的第一端子（節點 $Nx[1]$ ）及記憶單元 $AMr[1]$ 的電容器 $C1$ 的第一端子（節點 $Nr[1]$ ）被輸入 $V_{w\beta}$ 的電位。

【0530】在此，在時間 $T32$ 至時間 $T33$ 中，佈線 $WL[2]$ 至佈線 $WL[m]$ 從時間 $T22$ 之前一直被輸入低位準電位。由此，在記憶單元陣列 CA 的電路 $CUW[2]$ 至電路 $CUW[m]$ 及電路 $CXR[2]$ 至電路 $CXR[m]$ 中，記憶單元 AMu 、記憶單元 AMw 、記憶單元 AMx 及記憶單元 AMr 所包括的各電晶體 $M1$ 的閘極被施加低位準電位，由此各電晶體 $M1$ 處於關閉狀態。由此，分別輸入到佈線 $WAD[1]$ 至佈線 $WAD[n]$ 、佈線 WBD 的資料不會寫入到電路 $CUW[2]$ 至電路 $CUW[m]$ 及電路 $CXR[2]$ 至電路 $CXR[m]$ 的每一個所包括的記憶單元的存儲節點。

【0531】<<時間 $T33$ 至時間 $T34$ >>

在時間 T33 至時間 T34 中，佈線 WL[1]被輸入低位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMu[1, 1]至記憶單元 AMu[1, n]、記憶單元 AMw[1, 1]至記憶單元 AMw[1, n]、記憶單元 AMx[1]及記憶單元 AMr[1]所包括的各電晶體 M1 的閘極被施加低位準電位，使得各電晶體 M1 成為關閉狀態。

【0532】在此，著眼於記憶單元陣列 CA 的第 j 列，記憶單元 AMu[1, j]及記憶單元 AMw[1, j]的各電晶體 M1 成為關閉狀態，使得記憶單元 AMu[1, j]的電容器 C1 的第一端子（節點 Nu[1, j]）及記憶單元 AMw[1, j]的電容器 C1 的第一端子（節點 Nw[1, j]）都保持 $V_{w\alpha}[1, j]$ 的電位。例如為 $j=1$ ，則記憶單元 AMu[1, 1]的電容器 C1 的第一端子（節點 Nu[1, 1]）及記憶單元 AMw[1, 1]的電容器 C1 的第一端子（節點 Nw[1, 1]）都保持 $V_{w\alpha}[1, 1]$ 的電位。此外，例如為 $j=n$ ，則記憶單元 AMu[1, n]的電容器 C1 的第一端子（節點 Nu[1, n]）及記憶單元 AMw[1, n]的電容器 C1 的第一端子（節點 Nw[1, n]）都保持 $V_{w\alpha}[1, n]$ 的電位。此外，在記憶單元 AMx[1]及記憶單元 AMr[1]的每一個中，藉由電晶體 M1 成為關閉狀態，記憶單元 AMx[1]的電容器 C1 的第一端子（節點 Nx[1]）及記憶單元 AMr[1]的電容器 C1 的第一端子（節點 Nr[1]）都保持 $V_{w\beta}$ 的電位。

【0533】此外，在時間 T33 至時間 T34 中，與時間 T32 至時間 T33 的對電路 CUW[1, 1]至電路 CUW[1, n]中的記憶單元 AMu 及記憶單元 AMw、電路 CXR[1]中的記憶單元 AMx 及記憶單元 AMr 進行的電位寫入工作同樣，對電路 CUW[2, 1]至電路 CUW[m-1, n]、電路 CXR[2]至電路 CXR[m-1]中的記憶單元 AMu、記憶單元 AMw、記憶單元 AMx 及記憶單元 AMr 依次進行電位寫入工作。明確而言，例如，藉由將保持一定期間的高位準電位的信號依次輸入到佈線 WL[2]至佈線 WL[m-1]，根據該信號改變佈線 WAD[1]至佈線 WAD[n]及佈

線 WBD 的各電位，由此可以對電路 CUW[2, 1]至電路 CUW[m-1, n]的各記憶單元 AMu、記憶單元 AMw 及電路 CXR[2]至電路 CXR[m-1]的各記憶單元 AMx、記憶單元 AMr 寫入規定電位。在此，對記憶單元 AMu[2, 1]至記憶單元 AMu[m-1, n]、記憶單元 AMw[2, 1]至記憶單元 AMw[m-1, n]依次寫入 $V_{w\alpha}[2, 1]$ 至 $V_{w\alpha}[m-1, n]$ 。此外，在對記憶單元 AMu[2, 1]至記憶單元 AMu[m-1, n]、記憶單元 AMw[2, 1]至記憶單元 AMw[m-1, n]寫入電壓的同時，還對記憶單元 AMx[2]至記憶單元 AMx[m-1]、記憶單元 AMr[2]至記憶單元 AMr[m-1]依次寫入 $V_{w\beta}$ 。

【0534】 <<時間 T34 至時間 T35>>

在時間 T34 至時間 T35 中，佈線 WL[m]被輸入高位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMu[m, 1]至記憶單元 AMu[m, n]、記憶單元 AMw[m, 1]至記憶單元 AMw[m, n]、記憶單元 AMx[m]及記憶單元 AMr[m]所包括的各電晶體 M1 的閘極被施加高位準電位，使得各電晶體 M1 成為開啟狀態。

【0535】 此外，在時間 T34 至時間 T35 中，佈線 WAD[1]至佈線 WAD[n]分別被輸入 $V_{w\alpha}[m, 1]$ 至 $V_{w\alpha}[m, n]$ 的電位。在此，著眼於記憶單元陣列 CA 的第 j 列，記憶單元 AMu[m, j]及記憶單元 AMw[m, j]的各電晶體 M1 處於開啟狀態，由此佈線 WAD[j]與節點 Nu[m, j]成為導通狀態，並且佈線 WAD[j]與節點 Nw[m, j]成為導通狀態。由此，記憶單元 AMu[m, j]的電容器 C1 的第一端子（節點 Nu[m, j]）及記憶單元 AMw[m, j]的電容器 C1 的第一端子（節點 Nw[m, j]）都被輸入 $V_{w\alpha}[m, j]$ 的電位。例如為 j=1，則記憶單元 AMu[m, 1]的電容器 C1 的第一端子（節點 Nu[m, 1]）及記憶單元 AMw[m, 1]的電容器 C1 的第一端子（節點 Nw[m, 1]）都被輸入 $V_{w\alpha}[m, 1]$ 的電位，例如為 j=n，則記憶單元 AMu[m, n]的電容器 C1 的第一端子（節點 Nu[m, n]）及記憶單元

AMw[m, n]的電容器 C1 的第一端子（節點 Nw[m, n]）都被輸入 $V_{w\alpha}[m, n]$ 的電位。

【0536】此外，在時間 T34 至時間 T35 中，佈線 WBD 被輸入 $V_{w\beta}$ 的電位。此時，因為記憶單元 AMx[m]及記憶單元 AMr[m]的各電晶體 M1 處於開啟狀態，所以佈線 WBD 與節點 Nx[m]成為導通狀態，並且佈線 WBD 與節點 Nr[m]成為導通狀態，使得記憶單元 AMx[m]的電容器 C1 的第一端子（節點 Nx[m]）及記憶單元 AMr[m]的電容器 C1 的第一端子（節點 Nr[m]）被輸入 $V_{w\beta}$ 的電位。

【0537】在此，在時間 T34 至時間 T35 中，佈線 WL[1]至佈線 WL[m-1]從時間 T34 之前一直被輸入低位準電位。由此，在記憶單元陣列 CA 的電路 CUW[1]至電路 CUW[m-1]及電路 CXR[1]至電路 CXR[m-1]中，記憶單元 AMu、記憶單元 AMw、記憶單元 AMx 及記憶單元 AMr 所包括的各電晶體 M1 的閘極被施加低位準電位，由此各電晶體 M1 處於關閉狀態。由此，分別輸入到佈線 WAD[1]至佈線 WAD[n]、佈線 WBD 的資料不會寫入到電路 CUW[1]至電路 CUW[m-1]及電路 CXR[1]至電路 CXR[m-1]的每一個所包括的記憶單元的存儲節點。

【0538】 <<時間 T35 至時間 T36>>

在時間 T35 至時間 T36 中，佈線 WL[m]被輸入低位準電位。由此，在記憶單元陣列 CA 中，記憶單元 AMu[m, 1]至記憶單元 AMu[m, n]、記憶單元 AMw[m, 1]至記憶單元 AMw[m, n]、記憶單元 AMx[m]及記憶單元 AMr[m]所包括的各電晶體 M1 的閘極被施加低位準電位，使得各電晶體 M1 成為關閉狀態。

【0539】在此，著眼於記憶單元陣列 CA 的第 j 列，記憶單元 AMu[m, j]及記憶單元 AMw[m, j]的各電晶體 M1 成為關閉狀態，使得記憶單元

AMu[m, j]的電容器 C1 的第一端子（節點 Nu[m, j]）及記憶單元 AMw[m, j]的電容器 C1 的第一端子（節點 Nw[m, j]）都保持 $V_{w\alpha}[m, j]$ 的電位。例如為 $j=1$ ，則記憶單元 AMu[m, 1]的電容器 C1 的第一端子（節點 Nu[m, 1]）及記憶單元 AMw[m, 1]的電容器 C1 的第一端子（節點 Nw[m, 1]）都保持 $V_{w\alpha}[m, 1]$ 的電位。此外，例如為 $j=n$ ，則記憶單元 AMu[m, n]的電容器 C1 的第一端子（節點 Nu[m, n]）及記憶單元 AMw[m, n]的電容器 C1 的第一端子（節點 Nw[m, n]）都保持 $V_{w\alpha}[m, n]$ 的電位。此外，在記憶單元 AMx[m]及記憶單元 AMr[m]的每一個中，藉由電晶體 M1 成為關閉狀態，記憶單元 AMx[m]的電容器 C1 的第一端子（節點 Nx[m]）及記憶單元 AMr[m]的電容器 C1 的第一端子（節點 Nr[m]）都保持 $V_{w\beta}[m]$ 的電位。

【0540】 經時間 T31 至時間 T36 中的工作，可以向記憶單元陣列 CA 所包括的記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 的每一個寫入對應於第一資料的電壓。

【0541】 <<時間 T36 至時間 T37>>

在時間 T36 至時間 T37 中，佈線 SL5 被輸入低位準電位。由此，在電路 INT 中，開關 SW5A 及開關 SW5B 都成為關閉狀態。

【0542】 <<時間 T37 至時間 T38>>

在時間 T37 至時間 T38 中，佈線 XAL[1]至佈線 XAL[m]分別被輸入對應於 m 個第二資料的電位，亦即 $V_{x\alpha}[1]$ 至 $V_{x\alpha}[m]$ 。例如，著眼於記憶單元陣列 CA 的第 i 行，佈線 XAL[i]被輸入來自電路 XLD 的電位 $V_{x\alpha}[i]$ 。

【0543】 因為佈線 XAL[i]的電位從接地電位提升到 $V_{x\alpha}[i]$ ，所以記憶單元 AMu[i, 1]至記憶單元 AMu[i, n]及記憶單元 AMx[i]的各電容器 C1 的第二端子被施加 $V_{x\alpha}[i]$ 。此時，節點 Nu[i, 1]至節點 Nu[i, n]及節點 Nx[i]都處於電浮動

狀態，由此藉由電容器 C1 的電容耦合，節點 Nu[i, 1]至節點 Nu[i, n]及節點 Nx[i]的各電位發生變化。

【0544】在記憶單元 AMu[i, 1]至記憶單元 AMu[i, n]及記憶單元 AMx[i]的每一個中，電晶體 M2 的閘極的電位的增幅相當於佈線 XAL[i]的電位變化乘以取決於記憶單元結構的電容耦合係數的電位。該電容耦合係數根據電容器 C1 的電容、電晶體 M2 的閘極電容、寄生電容等而算出。在本工作例子中，記憶單元 AMu 及記憶單元 AMx 的各電容耦合係數為 h。

【0545】因此，當佈線 XAL[i]的電位變化為 $V_{X\alpha}[i]$ 時，節點 Nu[i, 1]至節點 Nu[i, n]及節點 Nx[i]的各電位變化為 $hV_{X\alpha}[i]$ 。此時，節點 Nu[i, j]的電位成為 $V_{W\alpha}[i, j]+hV_{X\alpha}[i]$ ，節點 Nx[i]的電位成為 $V_{W\beta}+hV_{X\alpha}[i]$ 。

【0546】例如，有如下情況： $i=1$ 及 $j=1$ ，則節點 Nu[1, 1]的電位成為 $V_{W\alpha}[1, 1]+hV_{X\alpha}[1]$ ； $i=1$ 及 $j=n$ ，則節點 Nu[1, n]的電位成為 $V_{W\alpha}[1, n]+hV_{X\alpha}[1]$ ； $i=m$ 及 $j=1$ ，則節點 Nu[m, 1]的電位成為 $V_{W\alpha}[m, 1]+hV_{X\alpha}[m]$ ； $i=m$ 及 $j=n$ ，則節點 Nu[m, n]的電位成為 $V_{W\alpha}[m, n]+hV_{X\alpha}[m]$ 。此外，例如， $i=1$ ，則節點 Nx[1]的電位成為 $V_{W\beta}+hV_{X\alpha}[1]$ ， $i=m$ ，則節點 Nx[n]的電位成為 $V_{W\beta}+hV_{X\alpha}[n]$ 。

【0547】此外，在本工作例子中，關於記憶單元陣列 CA 所包括的記憶單元 AMu 及記憶單元 AMx 以外的記憶單元 AMw 及記憶單元 AMr，也將各電容耦合係數設定為 h 來進行說明。

【0548】在時間 T37 至時間 T38 中，佈線 XBL[1]至佈線 XBL[m]都被輸入電位 $V_{X\beta}$ 。在此，在 i 為 1 以上且 m 以下的整數的情況下，佈線 XBL[i]被輸入來自電路 XLD 的電位 $V_{X\beta}$ 。

【0549】因為佈線 XBL[i]的電位從接地電位提升到 $V_{X\beta}[i]$ ，所以記憶單元 AMw[i, 1]至記憶單元 AMw[i, n]及記憶單元 AMr[i]的各電容器 C1 的第二端

子被施加 $V_{X\beta}$ 。此時，節點 $Nw[i, 1]$ 至節點 $Nw[i, n]$ 及節點 $Nr[i]$ 都處於電浮動狀態，由此藉由電容器 $C1$ 的電容耦合，節點 $Nw[i, 1]$ 至節點 $Nw[i, n]$ 及節點 $Nr[i]$ 的各電位發生變化。

【0550】因此，當佈線 $XBL[i]$ 的電位變化為 $V_{X\beta}$ 時，節點 $Nw[i, 1]$ 至節點 $Nw[i, n]$ 及節點 $Nr[i]$ 的各電位變化為 $hV_{X\beta}$ 。此時，節點 $Nw[i, j]$ 的電位成為 $V_{w\alpha}[i, j] + hV_{X\beta}$ ，節點 $Nr[i]$ 的電位成為 $V_{w\beta} + hV_{X\beta}$ 。

【0551】例如，有如下情況： $i=1$ 及 $j=1$ ，則節點 $Nw[1, 1]$ 的電位成為 $V_{w\alpha}[1, 1] + hV_{X\beta}$ ； $i=1$ 及 $j=n$ ，則節點 $Nw[1, n]$ 的電位成為 $V_{w\alpha}[1, n] + hV_{X\beta}$ ； $i=m$ 及 $j=1$ ，則節點 $Nw[m, 1]$ 的電位成為 $V_{w\alpha}[m, 1] + hV_{X\beta}$ ； $i=m$ 及 $j=n$ ，則節點 $Nw[m, n]$ 的電位成為 $V_{w\alpha}[m, n] + hV_{X\beta}$ 。此外，例如， $i=1$ ，則節點 $Nr[1]$ 的電位成為 $V_{w\beta} + hV_{X\beta}$ ， $i=m$ ，則節點 $Nr[n]$ 的電位成為 $V_{w\beta} + hV_{X\beta}$ 。

【0552】<<時間 T38 至時間 T39>>

在時間 T38 至時間 T39 中，佈線 $SL4$ 、佈線 $SL7$ 及佈線 $SL8$ 被輸入高位準電位。由此，電路 $CMS1$ 中的開關 $SW7A$ 及開關 $SW7B$ 、電路 $ACTV$ 中的開關 $SW4A$ 和電路 $CMS2$ 中的開關 $SW8A[1]$ 至開關 $SW8A[n]$ 及開關 $SW8B$ 都成為開啟狀態。

【0553】此時，記憶單元 $AMx[1]$ 至記憶單元 $AMx[m]$ 的每一個所包括的各電晶體 $M2$ 的第二端子藉由佈線 BBP 與電路 CMB 所包括的電晶體 $M3B$ 的第一端子成為導通狀態。此外，記憶單元 $AMr[1]$ 至記憶單元 $AMr[m]$ 的每一個所包括的電晶體 $M2$ 的第二端子藉由佈線 BBN 與電路 CMB 所包括的電晶體 $M3A$ 的第一端子及電路 $CMS2$ 的電晶體 $M6B$ 的第一端子成為導通狀態。

【0554】因此，從佈線 BBP 流過記憶單元 $AMx[1]$ 至記憶單元 $AMx[m]$ 的各電晶體 $M2$ 的第二端子的電流量的總和 I_x 可以根據數學式 (1.9) 表示為如下數學式。

【0555】

[數學式 25]

$$I_x = k \sum_{i=1}^m (V_{W\beta} + hV_{X\alpha}[i] - V_{th})^2 \quad \dots(2.3)$$

【0556】此外，從佈線 BBN 流過記憶單元 AMr[1]至記憶單元 AMr[m]的各電晶體 M2 的第二端子的電流量的總和 I_r 可以根據數學式 (1.18) 表示為如下數學式。

【0557】

[數學式 26]

$$I_r = k \sum_{i=1}^m (V_{W\beta} + hV_{X\beta} - V_{th})^2 \quad \dots(2.4)$$

【0558】因為佈線 BBP 與電路 CMB 的電晶體 M3B 的第一端子處於導通狀態，所以電路 CMB 使電流量 I_x 的電流作為流過記憶單元 AMx[1]至記憶單元 AMx[m]的各電晶體 M2 的第二端子的電流的總和流過佈線 BBP。此外，電路 CMB 具有電流鏡電路的結構，由此電路 CMB 使電流量 I_x 的電流流過佈線 BBN。

【0559】此時，佈線 BBN 與電路 CMS2 的電晶體 M6B 的第一端子處於導通狀態，由此電流量 $I_x - I_r$ 的電流從佈線 BBN 流過電路 CMS2 的電晶體 M6B 的第一端子。在此， $I_x - I_r$ 為 0 以上的值。

【0560】在此，著眼於記憶單元陣列 CA 的第 j 列的記憶單元。在時間 T38 至時間 T39 中，記憶單元 AMu[1,j]至記憶單元 AMu[m,j]的每一個所包括的電晶體 M2 的第二端子藉由佈線 BAP[j]與電路 CMA[j]所包括的電晶體 M3B 的第一端子成為導通狀態。此外，記憶單元 AMw[1,j]至記憶單元 AMw[m,j]的每一個所包括的電晶體 M2 的第二端子藉由佈線 BAN[j]與電路 CMA[j]所包括的

電晶體 M3A 的第一端子及電路 CMS2 所包括的電晶體 M6A[j]的第一端子成為導通狀態。

【0561】因此，假設從佈線 BAP[j]流過記憶單元 AMu[1,j]至記憶單元 AMx[m,j]的各電晶體 M2 的第二端子的電流量的總和為 $I_u[j]$ ，則 $I_u[j]$ 可以根據數學式 (1.15) 表示為如下數學式。

【0562】

[數學式 27]

$$I_u[j] = k \sum_{i=1}^m (V_{W\alpha}[i,j] + hV_{X\alpha}[i] - V_{th})^2 \quad \dots(2.5)$$

【0563】因此，假設從佈線 BAN[j]流過記憶單元 AMw[1,j]至記憶單元 AMw[m,j]的各電晶體 M2 的第二端子的電流量的總和為 $I_w[j]$ ， $I_w[j]$ 可以根據數學式 (1.12) 表示為如下數學式。

【0564】

[數學式 28]

$$I_w[j] = k \sum_{i=1}^m (V_{W\alpha}[i,j] + hV_{X\beta} - V_{th})^2 \quad \dots(2.6)$$

【0565】因為佈線 BAP[j]與電路 CMA[j]的電晶體 M3B 的第一端子處於導通狀態，所以電路 CMA[j]使電流量 $I_u[j]$ 的電流作為流過記憶單元 AMu[1,j]至記憶單元 AMu[m,j]的各電晶體 M2 的第二端子的電流的總和流過佈線 BAP[j]。此外，電路 CMA[j]具有電流鏡電路的結構，由此電路 CMA[j]使電流量 $I_u[j]$ 的電流流過佈線 BAN[j]。

【0566】此外，佈線 BAN[j]與電路 CMS2 的電晶體 M6A[j]的第一端子處於導通狀態。因為電路 CMS2 具有電流鏡電路的結構，所以電流量 I_x - I_r 的電流從佈線 BAN[j]流過電路 CMS2。

【0567】此時，在從佈線 BAN[j]流過電路 ACP[j]的電流量為 $I_{EV}[j]$ 的情況下， $I_{EV}[j]$ 可以根據數學式（2.1）至數學式（2.6）表示為如下數學式。

【0568】

[數學式 29]

$$I_{EV}[j] = I_u[j] + I_r - I_x - I_w[j]$$

$$= 2hk \sum_{i=1}^m V_w[i,j]V_x[i] \quad \dots(2.7)$$

【0569】根據數學式（2.7），從佈線 BAN[j]輸入到電路 ACTV 中的電路 ACP[j]的電流量 $I_{EV}[j]$ 與第 j 組的對應於多個第一資料的電位 $V_w[1]$ 至 $V_w[m]$ 與對應於第二資料的電位 $V_x[1]$ 至 $V_x[m]$ 的積和成比。也就是說，第 j 組的多個第一資料與多個第二資料之積和可以表示為電流量 $I_{EV}[j]$ 。

【0570】藉由電流 I_{EV} 流過電路 ACTV 所包括的電路 IVC 的第一端子，從電路 IVC 的第三端子輸出對應於 I_{EV} 的電壓。然後，該電壓輸入到電路 ACF 的第一端子，使得電路 ACF 使用該電壓進行預先定義的函數系統的運算，由此將運算結果作為電壓（或電流等）從佈線 NIL[j]輸出。

【0571】以上著眼於記憶單元陣列 CA 的第 j 列說明了第 j 組的多個第一資料與多個第二資料之積和運算及利用該積和運算結果的函數系統的運算，但是在圖 20 的運算電路 MAC10 中，佈線 SL4、佈線 SL5、佈線 SL7、佈線 SL8 等與各列的開關等電路元件電連接，由此在各列中同時進行第一列至第 n 列的積和運算及利用該積運算結果的函數系統的運算。也就是說，運算電路 MAC10 可以同時進行第一組至第 n 組的每一個所包括的多個第一資料與多個第二資料之積和運算，並使作為積和運算結果的 $I_{EV}[1]$ 至 $I_{EV}[n]$ 的電流同時流過佈線 BAN[1]至佈線 BAN[n]。此外，藉由 $I_{EV}[1]$ 至 $I_{EV}[n]$ 的電流分別流過電路 ACP[1]

至電路 ACP[n]，可以從佈線 NIL[1]至佈線 NIL[n]輸出對應於該積和運算結果 ($I_{EV[1]}$ 至 $I_{EV[n]}$) 的電壓（或電流等）。

【0572】 <半導體裝置的結構例子 2>

注意，在圖 20、圖 21 所示的運算電路 MAC10 的結構中，在第 n+1 列中，如果從佈線 BBN 流過記憶單元 AMr[1]至記憶單元 AMr[m]的各電晶體 M2 的第二端子的電流的總和大於從佈線 BBP 流過記憶單元 AMx[1]至記憶單元 AMx[m]的各電晶體 M2 的第二端子的電流的總和，也就是說，從電路 CMB 供應給佈線 BBN 的電流量 I_x 與從佈線 BBN 流過記憶單元 AMr[1]至記憶單元 AMr[m]的各電晶體 M2 的第二端子的電流的總和 I_r 的關係為 $I_x - I_r < 0$ ，則在電路 CMS2 中電流不流過電晶體 M6B 的第一端子-第二端子間。由此，電路 CMS2 不從佈線 BAN[1]至佈線 BAN[n]分別吸收電流。因此，如果積和運算滿足 $I_x - I_r < 0$ ，則需要改變圖 20、圖 21 所示的運算電路 MAC10 的電路結構。

【0573】 圖 26 所示的運算電路 MAC11 是即使滿足 $I_x - I_r < 0$ 也能夠進行積和運算的電路結構的一個例子。此外，運算電路 MAC11 也是運算電路 MAC10 的變形例子，由此有時不說明運算電路 MAC11 與運算電路 MAC10 的重複部分。

【0574】 在圖 26 的運算電路 MAC11 中，電路 CMS1 不僅包括電路 CMA[1]至電路 CMA[n]及電路 CMB，而且還包括電路 CMC。作為一個例子，電路 CMC 與佈線 BAN[1]至佈線 BAN[n]及佈線 BBN 電連接。電路 CMC 例如具有將電流藉由佈線 BBN 供應給記憶單元 AMr[1]至記憶單元 AMr[m]的功能及將電流分別供應給佈線 BAN[1]至佈線 BAN[n]的功能。此外，藉由電路 CMC，流過佈線 BBN 的電流量與各自流過佈線 BAN[1]至佈線 BAN[n]的電流量較佳為相等。明確而言，從電路 CMC 流過佈線 BBN 的電流量較佳為從電路 CMC 流過佈線 BAN[j] (j 為 1 以上且 n 以下的整數) 的電流量的 0.85 倍以上、

0.9 倍以上或 0.95 倍以上且 1.05 倍以下、1.1 倍以下或 1.15 倍以下。上述下限值及上限值可以分別組合。

【0575】此外，在圖 26 的運算電路 MAC11 中，電路 CMB 與佈線 BBP1 及佈線 BBP2 電連接。電路 CMB 例如具有將電流藉由佈線 BBP1 供應給記憶單元 AMx[1]至記憶單元 AMx[m]的功能及將電流供應給佈線 BBP2 的功能。此外，藉由電路 CMB，流過佈線 BBP1 的電流量與流過佈線 BBP2 的電流量較佳為相等。明確而言，從電路 CMB 流過佈線 BBP1 的電流量較佳為從電路 CMB 流過佈線 BBP2 的電流量的 0.85 倍以上、0.9 倍以上或 0.95 倍以上且 1.05 倍以下、1.1 倍以下或 1.15 倍以下。上述下限值及上限值可以分別組合。

【0576】此外，在圖 26 的運算電路 MAC11 中，作為一個例子，電路 CMS2 與佈線 BAN[1]至佈線 BAN[n]及佈線 BBP2 電連接。圖 26 的運算電路 MAC11 不像運算電路 MAC10 那樣具有電流從佈線 BBN 直接流過電路 CMS2 的結構。電路 CMS2 例如具有接收流過佈線 BBP2 的電流的功能及接收流過佈線 BAN[1]至佈線 BAN[n]的電流的功能。此外，藉由電路 CMS2，從佈線 BBP2 流入的電流量與分別從佈線 BAN[1]至佈線 BAN[n]流入的電流量較佳為相等。明確而言，從佈線 BBP2 流過電路 CMS2 的電流量較佳為從佈線 BAN[j] (j 為 1 以上且 n 以下的整數) 流過電路 CMS2 的電流量的 0.85 倍以上、0.9 倍以上或 0.95 倍以上且 1.05 倍以下、1.1 倍以下或 1.15 倍以下。上述下限值及上限值可以分別組合。

【0577】圖 27 示出可以應用於圖 26 的運算電路 MAC11 的電路 CMS1 及電路 CMS2 的電路結構例子。此外，關於記憶單元 AMu[i, 1]至記憶單元 AMu[i, n]、記憶單元 AMw[i, 1]至記憶單元 AMw[i, n]、記憶單元 AMx[i]及記憶單元 AMr[i]的結構，參照圖 21 的記憶單元 AMu[i, 1]至記憶單元 AMu[i,

n]、記憶單元 AMw[i, 1]至記憶單元 AMw[i, n]、記憶單元 AMx[i]及記憶單元 AMr[i]的結構。

【0578】作為圖 27 的電路 CMS1 中的電路 CMA[1]至電路 CMA[n]及電路 CMB，分別使用圖 21 的電路 CMA[1]至電路 CMA[n]及電路 CMB 的結構。因此，關於圖 27 所示的電路 CMA[1]至電路 CMA[n]及電路 CMB 的電路結構及它們所包括的電路元件等，參照上述運算電路 MAC10 所包括的電路 CMA[1]至電路 CMA[n]及電路 CMB 的記載。

【0579】此外，作為一個例子，圖 27 的電路 CMS1 中的電路 CMC 包括開關 SW7C[1]至開關 SW7C[n]、開關 SW7D、電晶體 M8A[1]至電晶體 M8A[n]、電晶體 M8B。電晶體 M8A[1]的第一端子與佈線 VHE 電連接，電晶體 M8A[1]的第二端子與開關 SW7C[1]的第一端子電連接，開關 SW7C[1]的第二端子與佈線 BAN[1]電連接。此外，電晶體 M8A[n]的第一端子與佈線 VHE 電連接，電晶體 M8A[n]的第二端子與開關 SW7C[n]的第一端子電連接，開關 SW7C[n]的第二端子與佈線 BAN[n]電連接。此外，電晶體 M8B 的第一端子與佈線 VHE 電連接，電晶體 M8B 的第二端子與電晶體 M8A[1]至電晶體 M8A[n]的各閘極、電晶體 M8B 的閘極、開關 SW7D 的第一端子電連接，開關 SW7D 的第二端子與佈線 BBN 電連接。此外，開關 SW7C[1]至開關 SW7C[n]及開關 SW7D 的各控制端子與佈線 SL7 電連接。

【0580】雖然在圖 27 中未示出，但是在電路 CMC 中，電晶體 M8A[j]的第一端子與佈線 VHE 電連接，電晶體 M8A[j]的第二端子與開關 SW7C[j]的第一端子電連接，開關 SW7C[j]的第二端子與佈線 BAN[j]電連接。此外，電晶體 M8A[j]的閘極與電晶體 M8B 的閘極電連接。此外，開關 SW7C[j]的控制端子與佈線 SL7 電連接。

【0581】此外，電晶體 M8A[1]至電晶體 M8A[n]及電晶體 M8B 例如較佳為 p 通道型電晶體。此外，電晶體 M8A[1]至電晶體 M8A[n]及電晶體 M8B 例如可以使用可以應用於電晶體 M3A 及電晶體 M3B 的電晶體。

【0582】此外，作為開關 SW7C[1]至開關 SW7C[n]及開關 SW7D，例如可以使用可以應用於開關 SW7A 或開關 SW7B 的開關。

【0583】此外，開關 SW7C[1]至開關 SW7C[n]及開關 SW7D 的各控制端子與佈線 SL7 電連接，由此開關 SW7C[1]至開關 SW7C[n]及開關 SW7D 的每一個的開啟狀態及關閉狀態的切換與電路 CMA[1]至電路 CMA[n]及電路 CMB 的每一個所包括的開關 SW7A 及開關 SW7B 的開啟狀態及關閉狀態的切換同步。因此，當開關 SW7A 及開關 SW7B 處於開啟狀態及關閉狀態中的一個時，開關 SW7C[1]至開關 SW7C[n]及開關 SW7D 的每一個處於開啟狀態及關閉狀態中的一個。

【0584】此外，在圖 27 的電路 CMS2 中，開關 SW8B 的第一端子與佈線 BBP2 電連接。也就是說，圖 27 的運算電路 MAC11 不像圖 21 的運算電路 MAC10 那樣使電流從佈線 BBN 流過電路 CMS2，而使電流從佈線 BBP2 流過電路 CMS2。

【0585】在此，考察記憶單元陣列 CA 的記憶單元 AMu、記憶單元 AMw、記憶單元 AMx 及記憶單元 AMr 分別保持對應於第一資料的電位且佈線 XAL[1]至佈線 XAL[m]及佈線 XBL[1]至佈線 XBL[m]分別被輸入第二資料時的工作。

【0586】明確而言，圖 26 及圖 27 的運算電路 MAC11 也進行圖 24 及圖 25 的時序圖的時間 T31 至時間 T39 的工作。由此，在運算電路 MAC11 中，在時間 T31 至時間 T36 中，記憶單元 AMu[i, j]及記憶單元 AMw[i, j]分別保持 $V_{w\alpha}[i, j]$ ，並且記憶單元 AMx[i]及記憶單元 AMr[i]分別保持 $V_{w\beta}[i]$ 。此外，在

運算電路 MAC11 中，在時間 T37 至時間 T38 中，佈線 XAL[1]至佈線 XAL[m] 分別被輸入 $V_{x\alpha}[1]$ 至 $V_{x\alpha}[m]$ 輸入，佈線 XBL[1]至佈線 XBL[m]分別被輸入 $V_{x\beta}$ 。

【0587】然後，藉由進行時間 T38 至時間 T39 的工作，運算電路 MAC11 從佈線 NIL[1]至佈線 NIL[n]輸出第一組至第 n 組的每一個的對應於 m 個第一資料與 m 個第二資料的積和運算結果的電流。

【0588】明確而言，藉由電路 CMS1 所包括的多個開關 SW7A、多個開關 SW7B、開關 SW7C[1]至開關 SW7C[n]及開關 SW7D、開關 SW8A[1]至開關 SW8A[n]及開關 SW8B 分別成為開啟狀態，並且電路 INT 所包括的多個開關 SW5A 及多個開關 SW5B 分別成為關閉狀態，借助記憶單元陣列 CA 所包括的各記憶單元、電路 CMA[1]至電路 CMA[n]、電路 CMB、電路 CMC 以及電路 CMS2 使電流流過佈線 BAN[1]至佈線 BAN[n]、佈線 BAP[1]至佈線 BAP[n]、佈線 BBN、佈線 BBP1 及佈線 BBP2 的每一個。以下進行詳細說明。

【0589】圖 27 所示的電路 CMB 因具有上述結構而被用作電流鏡電路。明確而言，圖 27 的電路 CMB 具有參照佈線 BBP1 的電位並使與流過電晶體 M3B 的源極-汲極間的電流量大致相等的電流流過電晶體 M3A 的源極-汲極間的功能。

【0590】因此，流過位於第 n+1 列的記憶單元 AMx[1]至記憶單元 AMx[m] 的各電晶體 M2 的第二端子的電流的總和 I_x 是從電路 CMB 藉由佈線 BBP1 供應的。此外，佈線 BBP2 被供應來自電路 CMB 的電流量 I_x 。

【0591】此外，圖 27 所示的電路 CMS2 也因具有上述結構而被用作電流鏡電路。明確而言，圖 27 的電路 CMS2 具有參照佈線 BBP2 的電位並使與流過電晶體 M6B 的源極-汲極間的電流量大致相等的電流流過電晶體 M6A[1]至電晶體 M6A[n]的源極-汲極間的功能。

【0592】來自佈線 BBP2 的電流量 I_x 的電流流過電路 CMS2 的電晶體 M6B 的第二端子，由此電流量 I_x 的電流流過電晶體 M6A[1]至電晶體 M6A[n]的源極-汲極間。由此，電流 I_x 從佈線 BAN[1]至佈線 BAN[n]分別流過電路 CMS2。

【0593】此外，圖 27 所示的電路 CMC 因具有上述結構而被用作電流鏡電路。明確而言，圖 27 的電路 CMC 具有參照電晶體 M7D 的第二端子（佈線 BBN）的電位並使對應於該電位的電流流過電晶體 M8A[1]至電晶體 M8A[n]及電晶體 M8B 的源極-汲極間的功能。換言之，電路 CMC 具有使與流過電晶體 M8B 的源極-汲極間的電流量大致相等的電流流過電晶體 M7A[1]至電晶體 M7A[n]的源極-汲極間的功能。

【0594】流過位於第 $n+1$ 列的記憶單元 AMr[1]至記憶單元 AMr[m]的各電晶體 M2 的第二端子的電流的總和 I_r 是從電路 CMC 藉由佈線 BBN 供應的。由此，佈線 BAN[1]至佈線 BAN[n]被供應來自電路 CMC 的電流量 I_r 。

【0595】此外，圖 27 所示的電路 CMA[1]至電路 CMA[n]也因具有上述結構而被用作電流鏡電路。例如，著眼於第 j 列，電路 CMA[j]具有參照佈線 BAP[j]的電位並使與流過電晶體 M3B 的源極-汲極間的電流量大致相等的電流流過電晶體 M3 的源極-汲極間的功能。

【0596】流過位於第 j 列的記憶單元 AMu[1, j]至記憶單元 AMu[m, j]的各電晶體 M2 的第二端子的電流的總和 $I_u[j]$ 是從電路 CMA[j]藉由佈線 BAP[j]供應的。由此，佈線 BAN[j]被供應來自電路 CMA[j]的電流量 $I_u[j]$ 。

【0597】此外，假設在第 j 列中，從佈線 BAN[j]流過記憶單元 AMw[1, j]至記憶單元 AMw[m, j]的各電晶體 M2 的第二端子的電流量的總和為 $I_w[j]$ ，則流過佈線 BAN[j]的電流量 $I_{Ev}[j]$ 可以表示為與數學式 (2.7) 相同的數學式。

【0598】運算電路 MAC11 具有使用電路 CMC 將電流 I_r 供應給佈線 BAN[1]至佈線 BAN[n]的結構，該結構與運算電路 MAC10 不同，由此即使 I_x 與 I_r 的關係為 $I_x - I_r < 0$ ，也可以進行積和運算。

【0599】此外，電路 CMC 的結構不侷限於圖 27 所示的結構。例如，與圖 3B 所示的電路 CMS、圖 22 的電路 CMS2 等同樣，電路 CMC 也可以包括用來以共源共柵 (cascode) 分別連接電晶體 M8A[1]至電晶體 M8A[n]及電晶體 M8B 的電晶體 (未圖示)。藉由以共源共柵分別連接電晶體 M8A[1]至電晶體 M8A[n]及電晶體 M8B，可以使利用電路 CMC 的電流鏡電路更穩定工作。

【0600】<半導體裝置的結構例子 3>

此外，本發明的一個實施方式的半導體裝置不侷限於圖 20、圖 21 所示的運算電路 MAC10 或圖 26、圖 27 所示的運算電路 MAC11。例如，本發明的一個實施方式的半導體裝置也可以為上述運算電路 MAC10 或運算電路 MAC11 的電路結構的變形例子。

【0601】圖 28 所示的運算電路 MAC12 為圖 20 所示的運算電路 MAC10 的變形例子，其中與圖 17 所示的運算電路 MAC7 同樣，將佈線 XBL[1]及佈線 XBL[2]匯總為一個佈線 XBL[1, 2]，並將佈線 XBL[m-1]及佈線 XBL[m]匯總為一個佈線 XBL[m-1, m]。也就是說，圖 28 的運算電路 MAC12 的佈線 XBL 的個數為 $m/2$ 。注意，在圖 28 的運算電路 MAC12 中， m 為 2 以上的偶數。

【0602】因此，在圖 28 所示的運算電路 MAC12 中，記憶單元 AMw[1, 1]至記憶單元 AMw[1, n]、記憶單元 AMr[1]、記憶單元 AMw[2, 1]至記憶單元 AMw[2, n]、記憶單元 AMr[2]與佈線 XBL[1, 2]電連接，記憶單元 AMw[m-1, 1]至記憶單元 AMw[m-1, n]、記憶單元 AMr[m-1]、記憶單元 AMw[m, 1]至記憶單元 AMw[m, n]、記憶單元 AMr[m]與佈線 XBL[m-1, m]電連接。

【0603】此外，在圖 28 的記憶單元陣列 CA 中，各記憶單元與運算電路 MAC10 同樣配置為 $2m$ 行 2 列的矩陣狀。作為一個例子，在圖 28 中，記憶單元 $AMu[i, j]$ 配置在 $2i-1$ 行 j 列的位址，記憶單元 $AMw[i, j]$ 配置在 $2i$ 行 j 列的位址，記憶單元 $AMx[i]$ 配置在 $2i-1$ 行 $n+1$ 列的位址，記憶單元 $AMr[i]$ 配置在 $2i$ 行 $n+1$ 列的位址，記憶單元 $AMu[i+1, j]$ 配置在 $2i+2$ 行 j 列的位址，記憶單元 $AMw[i+1, j]$ 配置在 $2i+1$ 行 j 列的位址，記憶單元 $AMx[i+1]$ 配置在 $2i+2$ 行 $n+1$ 列的位址，記憶單元 $AMr[i+1]$ 配置在 $2i+1$ 行 $n+1$ 列的位址。在圖 28 的運算電路 MAC12 中， i 為 1 以上且 m 以下的奇數。

【0604】因此，虽然在圖 28 中未示出，但是記憶單元 $AMw[i, 1]$ 至記憶單元 $AMw[i, n]$ 、記憶單元 $AMr[i]$ 、記憶單元 $AMw[i+1, 1]$ 至記憶單元 $AMw[i+1, n]$ 、記憶單元 $AMr[i+1]$ 與佈線 $XBL[i, i+1]$ 電連接。

【0605】注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

【0606】（實施方式 3）

在本實施方式中，說明將使用可具有鐵電性的材料的電容器應用於上述實施方式所示的運算電路的結構例子。

【0607】作為可具有鐵電性的材料，可以舉出氧化鉛、氧化鋇、 $HfZrO_x$ （ x 為大於 0 的實數）、對氧化鉛添加了元素 J （在此，元素 J 為矽（Si）、鋁（Al）、釷（Gd）、釷（Y）、鐳（La）、銦（Sr）等）的材料、釷安定氧化鋇（YSZ）、 $PbTiO_x$ 、鈦酸鋇銦（BST）、鈦酸銦、鋇鈦酸鉛（PZT）、鈦酸銦銻（SBT）、鐵酸銻（BFO）、鈦酸鋇等。作為該材料，也可以使用具有鈣鈦礦結構的壓電陶瓷。此外，作為該材料，例如可以使用選自上述材料中的多個材料或由選自上述材料中的多個材料構成的疊層結構。此外，氧化鉛的結晶結構（特性）可能不僅根據成膜條件而且還根據上下的膜結構或製程等而發生

變化，由此在本說明書等中，呈現鐵電性的材料不僅被稱為鐵電體，而且還被稱為“可具有鐵電性的材料”或“賦予鐵電性的材料”。

【0608】 可具有鐵電性的材料為絕緣體，並具有因受到外部電場而在其內部發生極化，並且在該電場為 0 的情況下也殘留極化的性質，由此可以應用於非揮發性記憶元件。因此，藉由將該材料用於夾在電容器的一對電極之間的介電質，可以將該電容器用作“可具有鐵電性的電容器”。此外，有時在本說明書等中說，可具有鐵電性的電容器包括在該電容器的第一端子與第二端子之間。此外，使用可具有鐵電性的電容器的記憶體電路有時被稱為 **FeRAM** (Ferroelectric Random Access Memory)、鐵電記憶體等。

【0609】 在 **FeRAM** (鐵電隨機存取記憶體) 中，資料的值取決於可具有鐵電性的電容器內的極化的方向 (極性)。例如，當極性為正 (+) 時，值可以為“1”，當極性為負 (-) 時，值可以為“0”。此外，例如，當極性為正 (+) 時，值可以為“0”，當極性為負 (-) 時，值可以為“1”。如上所述，本實施方式所示的可具有鐵電性的電容器保持 2 值或類比值。

【0610】 當可具有鐵電性的電容器被寫入資料時，該電容器可以長時間保持極化。由此，可以長時間保持該電容器的一對電極間的電位。此外，與現有電容器的面積相比，可以縮小可具有鐵電性的電容器的面積，由此藉由將可具有鐵電性的電容器應用於記憶單元，可以縮小該記憶單元的面積來提高運算電路的積體度。

【0611】 此外，為了將資料寫入到可具有鐵電性的電容器 (使可具有鐵電性的材料極化)，需要將高電壓施加到一對電極間。因此，為了將資料寫入到包括可具有鐵電性的電容器的記憶單元，需要設置能夠供應高電壓的驅動電路。

【0612】在此，說明在上述實施方式所示的運算電路的記憶單元中使用具有電介質的電容器的情況下的電路結構。圖 29 示出記憶單元陣列 CA 及電路 WDD 的結構，也就是圖 13 所示的記憶單元陣列 CA 及圖 12、圖 16 或圖 17 至圖 19 的電路 WDD 的變形例子。

【0613】記憶單元陣列 CA 包括記憶單元 AMu、記憶單元 AMw、記憶單元 AMx 及記憶單元 AMr。圖 29 所示的記憶單元 AMu 及記憶單元 AMw 具有與圖 13 的記憶單元陣列 CA 所包括的記憶單元 AMu 及記憶單元 AMw 同樣的結構。此外，圖 29 所示的記憶單元 AMx 及記憶單元 AMr 中的電容器 C1 為電容器 FC，這一點與圖 13 的記憶單元 AMx 及記憶單元 AMr 不同。在本實施方式中，電容器 FC 為上述可具有鐵電性的電容器。

【0614】此外，圖 29 所示的電路 WDD 包括電路 WDa 及電路 WDb。電路 WDD 與圖 12、圖 16 或圖 17 至圖 19 的電路 WDD 同樣具有發送用來儲存在記憶單元陣列 CA 所包括的各記憶單元中的資料的功能。尤其是，電路 WDa 具有將資料發送到記憶單元陣列 CA 的記憶單元 AMu[1]至記憶單元 AMu[m]、記憶單元 AMw[1]至記憶單元 AMw[m]的功能，電路 WDb 具有將資料發送到記憶單元陣列 CA 的記憶單元 AMx[1]至記憶單元 AMx[m]、記憶單元 AMr[1]至記憶單元 AMr[m]的功能。

【0615】例如，電路 WDD 也可以包括將來自外部的數位資料轉換成類比電路資料來將其發送到佈線 WAD 及佈線 WBD 的數位類比轉換電路 (DAC)。電路 WDD 可以包括數位類比轉換電路的想法可以適用於上述實施方式所示的運算電路所包括的電路 WDD。

【0616】因此，電路 WDa 及電路 WDb 也可以包括數位類比轉換電路。尤其是，為了對記憶單元 AMx[1]至記憶單元 AMx[m]及記憶單元 AMr[1]至記憶單元 AMr[m]的每一個所包括的電容器 FC 寫入資料（使電容器 FC 所包含的可

具有鐵電性的材料極化)，需要輸入比寫入到電容器 C1 的資料的電壓高（或低）的電壓的資料，由此電路 WDb 所包括的數位類比轉換電路較佳為具有能夠供應比電路 WDa 高或低的電壓（例如，接地電壓、負電壓等）的結構。另一方面，在對記憶單元 AMu[1]至記憶單元 AMu[m]及記憶單元 AMw[1]至記憶單元 AMw[m]的每一個所包括的電容器 C1 寫入資料的情況下，不需要像對記憶單元 AMx[1]至記憶單元 AMx[m]及記憶單元 AMr[1]至記憶單元 AMr[m]的每一個所包括的電容器 FC 寫入資料時那樣高或低的電壓，由此電路 WDa 所包括的數位類比轉換電路不需要使用電路 WDb 所包括的能夠供應高電壓或低電壓的數位類比轉換電路。此外，因為電路 WDa 不需要使用電路 WDb 所包括的能夠供應高電壓或低電壓的數位類比轉換電路，所以電路 WDa 的面積可以小於電路 WDb，其結果是，可以縮小整個運算電路的面積。

【0617】如上所述，作為記憶單元 AMx[1]至記憶單元 AMx[m]及記憶單元 AMr[1]至記憶單元 AMr[m]的每一個所包括的電容器 FC，使用比記憶單元 AMu[1]至記憶單元 AMu[m]及記憶單元 AMw[1]至記憶單元 AMw[m]的每一個所包括的電容器 C 還要可具有鐵電性的材料，由此可以縮小記憶單元陣列 CA 及電路 WDD 的面積。

【0618】此外，如上述實施方式所示，寫入到記憶單元 AMu[i]（在此，i 為 1 以上且 m 以下的整數）及記憶單元 AMw[i]的電容器 C1 的電壓可以為 $V_{w\alpha}[i]=V_{w\beta}[i]+V_w[i]$ ，寫入到記憶單元 AMx[i]及記憶單元 AMr[i]的電容器 FC 的電壓可以為 $V_{w\beta}[i]$ 。此外，如上述實施方式所示， $V_{w\beta}[i]$ 可以為任意電壓，由此 $V_{w\beta}[1]$ 至 $V_{w\beta}[m]$ 都可以為同一電壓。也就是說，寫入到記憶單元 AMu[i]及記憶單元 AMw[i]的電容器 C1 的電壓為 $V_{w\alpha}[i]=V_{w\beta}+V_w[i]$ ，寫入到記憶單元 AMx[i]及記憶單元 AMr[i]的電容器 FC 的電壓為 $V_{w\beta}$ 。

【0619】在此情況下，記憶單元 $AMx[1]$ 至記憶單元 $AMx[m]$ 及記憶單元 $AMr[1]$ 至記憶單元 $AMr[m]$ 的每一個所包括的電容器 FC 都成為同一電壓 $V_{w\beta}$ ，由此電路 WDb 可以包括供應作為任意電壓的 $V_{w\beta}$ 的電壓源而不包括數位類比轉換電路。包括電壓源的電路 WDb 的電路面積可以小於包括數位類比轉換電路的電路 WDb ，由此可以進一步縮小電路 WDD 的面積。

【0620】此外，雖然將圖 29 的記憶單元陣列 CA 及電路 WDD 的結構作為圖 13 所示的記憶單元陣列 CA 、圖 12、圖 16 或圖 17 至圖 19 的電路 WDD 的變形例子，亦即運算電路 $MAC5$ 至運算電路 $MAC9$ 的變形例子進行了說明，但是本發明的一個實施方式不侷限於此。例如，圖 20 至圖 22 及圖 26 至圖 28 所示的記憶單元陣列 CA 、圖 20、圖 26 及圖 28 所示的電路 WDD 的結構也可以如上所述那樣改變。

【0621】圖 30 示出記憶單元陣列 CA 及電路 WDD 的結構，也就是圖 21 所示的記憶單元陣列 CA 、圖 20、圖 26 及圖 28 所示的電路 WDD 的變形例子。為了方便起見，圖 30 還示出電路 INT 及電路 $CMS2$ 。

【0622】記憶單元陣列 CA 包括記憶單元 AMu 、記憶單元 AMw 、記憶單元 AMx 及記憶單元 AMr 。圖 30 所示的記憶單元 $AMu[i, 1]$ 至記憶單元 $AMu[i, n]$ 及記憶單元 $AMw[i, 1]$ 至記憶單元 $AMw[i, n]$ 可以具有與圖 13 的記憶單元陣列 CA 所包括的記憶單元 AMu 、記憶單元 AMw 同樣的結構。此外，圖 30 所示的記憶單元 $AMx[i]$ 及記憶單元 $AMr[i]$ 與圖 29 同樣包括電容器 FC 而不包括電容器 $C1$ 。

【0623】此外，圖 30 的電路 WDD 包括電路 $WDa[1]$ 至電路 $WDa[n]$ 及電路 WDb 。關於電路 $WDa[1]$ 至電路 $WDa[n]$ 參照圖 29 的電路 WDa 的說明，關於電路 WDb 參照圖 29 的電路 WDb 的說明。

【0624】藉由將圖 21 所示的記憶單元陣列 CA、圖 20、圖 26 及圖 28 所示的電路 WDD 改變為圖 30 所示的記憶單元陣列 CA、電路 WDD，可以縮小記憶單元陣列 CA、電路 WDD 的面積。其結果是，可以縮小整個運算電路的電路面積。

【0625】此外，雖然以上說明了作為圖 20 的記憶單元 CA 及電路 WDD 的變形例子的圖 30，但是也可以與圖 30 同樣地改變圖 26 或圖 28 的記憶單元 CA 及電路 WDD。

【0626】當對圖 29 及圖 30 中的電容器 FC 寫入資料時，有時也要對佈線 XAL 及佈線 XBL 供應規定電壓。在此情況下，佈線 XAL 及 XBL 不僅被用作輸入第二資料的佈線，而且還被用作用來將資料寫入到電容器 FC 的板線。

【0627】注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

【0628】（實施方式 4）

在本實施方式中，說明分層神經網路。藉由使用上述實施方式所示的半導體裝置，可以進行分層神經網路的運算。

【0629】<分層神經網路>

分層神經網路例如包括一個輸入層、一個或多個中間（隱藏層）及一個輸出層，由共三個以上的層構成。圖 31A 所示的分層神經網路 100 是其一個例子，神經網路 100 包括第一層至第 R 層（在此，R 可以為 4 以上的整數）。尤其是，第一層相當於輸入層，第 R 層相當於輸出層，其他層相當於中間層。注意，在圖 31A 中，作為中間層示出第 (k-1) 層、第 k 層（在此，k 是 3 以上且 R-1 以下的整數），而省略其他中間層。

【0630】神經網路 100 的各層包括一個或多個神經元。在圖 31A 中，第一層包括神經元 $N_1^{(1)}$ 至神經元 $N_p^{(1)}$ （在此，p 是 1 以上的整數），第 (k-1) 層

包括神經元 $N_1^{(k-1)}$ 至神經元 $N_m^{(k-1)}$ (在此, m 是 1 以上的整數), 第 k 層包括神經元 $N_1^{(k)}$ 至神經元 $N_n^{(k)}$ (在此, n 是 1 以上的整數), 第 R 層包括神經元 $N_1^{(R)}$ 至神經元 $N_q^{(R)}$ (在此, q 是 1 以上的整數)。

【0631】此外, 圖 31A 除了神經元 $N_1^{(1)}$ 、神經元 $N_p^{(1)}$ 、神經元 $N_1^{(k-1)}$ 、神經元 $N_m^{(k-1)}$ 、神經元 $N_1^{(k)}$ 、神經元 $N_n^{(k)}$ 、神經元 $N_1^{(R)}$ 、神經元 $N_q^{(R)}$ 以外, 還示出第 $(k-1)$ 層的神經元 $N_i^{(k-1)}$ (在此, i 是 1 以上且 m 以下的整數)、第 k 層的神經元 $N_j^{(k)}$ (在此, j 是 1 以上且 n 以下的整數)。

【0632】接著, 說明從前一層的神經元向下一層的神經元的信號的傳送以及向每個神經元輸入或輸出到每個神經元的信號。注意, 在本說明書中, 著眼於第 k 層的神經元 $N_j^{(k)}$ 。

【0633】圖 31B 示出第 k 層的神經元 $N_j^{(k)}$ 、輸入到神經元 $N_j^{(k)}$ 的信號以及從神經元 $N_j^{(k)}$ 輸出的信號。

【0634】明確而言, 第 $(k-1)$ 層的神經元 $N_1^{(k-1)}$ 至神經元 $N_m^{(k-1)}$ 的每一個的輸出信號的 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 向神經元 $N_j^{(k)}$ 輸出。然後, 神經元 $N_j^{(k)}$ 根據 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 生成 $z_j^{(k)}$ 而將 $z_j^{(k)}$ 作為輸出信號向第 $(k+1)$ 層 (未圖示) 的各神經元輸出。

【0635】從前一層的神經元向後一層的神經元輸入的信號的傳送強度根據使它們連接的神經突觸的結合強度 (以下稱為加權係數) 決定。在神經網路 100 中, 從前一層的神經元輸出的信號在乘以對應的加權係數之後輸入到後一層的神經元。在 i 設定為 1 以上且 m 以下的整數且第 $(k-1)$ 層的神經元 $N_i^{(k-1)}$ 與第 k 層的神經元 $N_j^{(k)}$ 之間的神經突觸的加權係數設定為 $w_i^{(k-1)}{}_j^{(k)}$ 時, 輸入到第 k 層的神經元 $N_j^{(k)}$ 的信號可以以數學式 (4.1) 表示。

【0636】

[數學式 30]

$$w_i^{(k-1)} \cdot z_i^{(k-1)} \cdot w_j^{(k)} \cdot z_j^{(k)} \quad \dots(4.1)$$

【0637】換言之，在從第 (k-1) 層的神經元 $N_1^{(k-1)}$ 至神經元 $N_m^{(k-1)}$ 的每一個向第 k 層的神經元 $N_j^{(k)}$ 傳送信號時，作為該信號的 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 被乘以對應於各信號的加權係數 ($w_1^{(k-1)} \cdot w_j^{(k)}$ 至 $w_m^{(k-1)} \cdot w_j^{(k)}$)。然後，對第 k 層的神經元 $N_j^{(k)}$ 輸入 $w_1^{(k-1)} \cdot z_1^{(k-1)}$ 至 $w_m^{(k-1)} \cdot z_m^{(k-1)}$ 。此時，對第 k 層的神經元 $N_j^{(k)}$ 輸入的信號的總和 $u_j^{(k)}$ 成為數學式 (4.2)。

【0638】

[數學式 31]

$$u_j^{(k)} = \sum_{i=1}^m w_i^{(k-1)} \cdot z_i^{(k-1)} \cdot w_j^{(k)} \quad \dots(4.2)$$

【0639】也可以對加權係數 $w_1^{(k-1)} \cdot w_j^{(k)}$ 至 $w_m^{(k-1)} \cdot w_j^{(k)}$ 及神經元的信號 $z_1^{(k-1)}$ 至 $z_m^{(k-1)}$ 的積和的結果作為偏差供應偏置。在偏置為 b 時，數學式 (4.2) 可以改寫為如下數學式。

【0640】

[數學式 32]

$$u_j^{(k)} = \sum_{i=1}^m w_i^{(k-1)} \cdot z_i^{(k-1)} \cdot w_j^{(k)} + b \quad \dots(4.3)$$

【0641】神經元 $N_j^{(k)}$ 根據 $u_j^{(k)}$ 生成輸出信號 $z_j^{(k)}$ 。在此，以以下數學式定義來自神經元 $N_j^{(k)}$ 的輸出信號 $z_j^{(k)}$ 。

【0642】

[數學式 33]

$$z_j^{(k)} = f(u_j^{(k)}) \quad \dots(4.4)$$

【0643】函數 $f(u_j^{(k)})$ 是分層神經網路中的活化函數，可以使用 sigmoid 函數、tanh 函數、softmax 函數、ReLU 函數 (斜坡函數)、定限函數等。既可

以在所有神經元中使用相同的活化函數，也可以在神經元中使用不同的活化函數。此外，神經元的活化函數也可以在各層中相同或不同。

【0644】 各層的神經元所輸出的信號、加權係數 w 或偏置 b 既可以是類比值又可以為數位值。作為數位值，例如既可以為 2 值又可以為 3 值以上的位數。此外，也可以為更大的位數。作為一個例子，在信號為類比值時，作為活化函數，例如使用線性斜坡函數、sigmoid 函數等即可。在信號為數位值的 2 值時，例如，使用使輸出為 -1 或 1、或者 0 或 1 的階梯函數即可。此外，各層的神經元所輸出的信號也可以為 3 值以上，在此情況下，例如，作為輸出 3 值的活化函數，使用使輸出為 -1、0 或 1 的階梯函數，或者 0、1 或 2 的階梯函數等即可。此外，例如，作為輸出 5 值的活化函數，使用 -2、-1、0、1 或 2 的階梯函數等。藉由作為各層的神經元所輸出的信號、加權係數 w 和偏置 b 中的至少一個使用數位值，可以減少電路規模、降低功耗或提高運算速度。此外，藉由作為各層的神經元所輸出的信號、加權係數 w 和偏置 b 中的至少一個使用類比值，可以提高運算的精度。

【0645】 神經網路 100 藉由對第一層（輸入層）輸入輸入信號，在從第一層（輸入層）到最後層（輸出層）的各層中，依次進行根據從前一層輸入的信號使用數學式（4.1）、數學式（4.2）（或數學式（4.3））、數學式（4.4）生成輸出信號而將該輸出信號輸出到後一層的工作。從最後層（輸出層）輸出的信號相當於神經網路 100 所計算的結果。

【0646】 在將實施方式 1 所示的運算電路 MAC5 應用於上述隱藏層的情況下，藉由以加權係數 $w_{s[k-1]}^{(k-1)} s_{[k]}^{(k)}$ （ $s[k-1]$ 為 1 以上且 m 以下的整數， $s[k]$ 為 1 以上且 n 以下的整數）為第一資料來將對應於第一資料的電壓儲存在記憶單元 AMx 、記憶單元 AMu 、記憶單元 AMw 及記憶單元 AMr 中，以來自第 $(k-1)$ 層的神經元 $N_{s[k-1]}^{(k-1)}$ 的輸出信號 $z_{s[k-1]}^{(k-1)}$ 為第二資料來使對應於第二資料

的電流從電路 XLD 流過多個佈線 XAL、多個佈線 XBL，可以從流過電路 ACTV 的電流量 I_{EV} 求出第一資料與第二資料之積和。加上，藉由利用電路 ACTV 中的電路 ACP 根據該積和的值求出活化函數的值，可以將該活化函數的值作為第 k 層的神經元 $N_{s[k]}^{(k)}$ 的輸出信號 $z_{s[k]}^{(k)}$ 。

【0647】此外，在將實施方式 1 所示的運算電路 MAC5 應用於上述輸出層的情況下，藉由以加權係數 $w_{s[R-1]}^{(R-1)} s_{[R]}^{(R)}$ ($s[R-1]$ 為 1 以上的整數， $s[R]$ 為 1 以上且 q 以下的整數) 為第一資料來將對應於第一資料的電壓儲存在記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 中，以來自第 $(R-1)$ 層的神經元 $N_{s[R-1]}^{(R-1)}$ 的輸出信號 $z_{s[R-1]}^{(R-1)}$ 為第二資料來使對應於第二資料的電流從電路 XLD 流過多個佈線 XAL、多個佈線 XBL，可以從流過電路 ACTV 的電流量 I_{EV} 求出第一資料與第二資料之積和。加上，藉由利用電路 ACTV 中的電路 ACP 根據該積和的值求出活化函數的值，可以將該活化函數的值作為第 R 層的神經元 $N_{s[R]}^{(R)}$ 的輸出信號 $z_{s[R]}^{(R)}$ 。

【0648】此外，本實施方式所示的輸入層也可以起到將輸入信號輸出到第二層的緩衝電路的作用。

【0649】此外，例如，在將實施方式 1 所示的運算電路 MAC4 應用於上述隱藏層的情況下，藉由以加權係數 $w_{s[k-1]}^{(k-1)} s_{[k]}^{(k)}$ 為第一資料來將對應於第一資料的電壓儲存在記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 中，以來自第 $(k-1)$ 層的神經元 $N_{s[k-1]}^{(k-1)}$ 的輸出信號 $z_{s[k-1]}^{(k-1)}$ 為第二資料並將對應於第二資料的電流從電路 XL 輸入到多個佈線 XAL、多個佈線 XBL，可以從輸入到電路 ACTV 的電流量 I_{EV} 計算出對應於第一資料與第二資料之積和的活化函數的值。也就是說，可以將該值作為第 k 層的神經元 $N_{s[k]}^{(k)}$ 的輸出信號 $z_{s[k]}^{(k)}$ 。例如，在電路 ACTV 輸出對應於該值的電壓的情況下，輸入到第 $(k+1)$ 層的多個神經元的第 k 層的神經元 $N_{s[k]}^{(k)}$ 的輸出信號 $z_{s[k]}^{(k)}$ 可

以為該電壓。也就是說，在將運算電路 MAC4 應用於第 (k+1) 層的隱藏層的情況下，輸入到運算電路 MAC1 的佈線 XAL 及佈線 XBL 的第 k 層的神經元 $N_{s[k]}^{(k)}$ 的輸出信號 $z_{s[k]}^{(k)}$ 不是在電路 XLD 中生成的而是從第 k 層的隱藏層的運算電路 MAC4 的電路 ACTV 輸出的該電壓。

【0650】 明確而言，藉由使用圖 32 所示的運算電路，可以進行上述分層神經網路的運算。作為一個例子，圖 32 的運算電路包括與圖 18 的運算電路 MAC4 同樣的運算電路 MAC4-1 及從圖 18 的運算電路 MAC4 中去掉電路 XLD 的運算電路 MAC4-2。此外，運算電路 MAC4-1 的記憶單元陣列 CAS 包括記憶單元陣列 CA[1] 至記憶單元陣列 CA[n]，各記憶單元陣列 CA 都包括 m 個記憶單元 AMx、記憶單元 AMu、記憶單元 AMw、記憶單元 AMr。也就是說，運算電路 MAC4-1 的記憶單元陣列 CAS 共有 $2m \times 2n$ 個記憶單元。此外，運算電路 MAC4-2 的記憶單元陣列 CAS 包括記憶單元陣列 CA[1] 至記憶單元陣列 CA[t] (t 為 1 以上的整數)，各記憶單元陣列 CA 都包括 n 個記憶單元 AMx、記憶單元 AMu、記憶單元 AMw、記憶單元 AMr。也就是說，運算電路 MAC4-2 的記憶單元陣列 CAS 共有 $2n \times 2t$ 個記憶單元。此外，運算電路 MAC4-1 的佈線 NIL[1] 至佈線 NIL[n] 分別與運算電路 MAC4-2 的佈線 XAL[1] 至佈線 XAL[n] 電連接。

【0651】 例如，在圖 32 的運算電路 MAC4-1 中，藉由以第 (k-1) 層的神經元與第 k 層的神經元之間的加權係數為第一資料來將其儲存在記憶單元陣列 CA[1] 至記憶單元陣列 CA[n] 中，並以來自第 (k-1) 層的神經元 $N_{s[k-1]}^{(k-1)}$ 的輸出信號 $z_{s[k-1]}^{(k-1)}$ 為第二資料來將對應於第二資料的電壓從電路 XLD 輸入到多個佈線 XAL 及佈線 XBL，可以從佈線 NIL[1] 至佈線 NIL[n] 分別輸出第 k 層的神經元 $N_1^{(k)}$ 至神經元 $N_n^{(k)}$ 的輸出信號 $z_1^{(k)}$ 至 $z_n^{(k)}$ 。此外，輸出信號 $z_1^{(k)}$ 至 $z_n^{(k)}$ 的各值可以表現為從電路 ACTV 輸出的電壓。

【0652】在此，在圖 32 的運算電路 MAC4-2 中，藉由以第 k 層的神經元與第 $(k+1)$ 層的神經元之間的加權係數為第一資料來將其儲存在記憶單元陣列 CA[1]至記憶單元陣列 CA[n]中並以輸入到多個佈線 XAL 的電壓，亦即第 k 層的神經元 $N_1^{(k)}$ 至神經元 $N_n^{(k)}$ 的輸出信號 $z_1^{(k)}$ 至 $z_n^{(k)}$ 為第二資料，可以從佈線 NIL[s[k+1]]（在此，s[k+1]為 1 以上且 t 以下的整數）輸出第 $(k+1)$ 層的神經元 $N_{s[k+1]}^{(k+1)}$ 的輸出信號 $z_{s[k+1]}^{(k+1)}$ 。注意，多個佈線 XBL 從記憶單元陣列 CA[1]至記憶單元陣列 CA[n]保持第一資料之前一直被輸入恆定電位（接地電位）。

【0653】如上所述，藉由使用圖 32 所示的運算電路構成分層神經網路的運算，可以將運算電路 MAC4-1 所輸出的神經元的輸出信號的值（電壓）直接輸入到運算電路 MAC4-2，由此作為一個例子從第一層連續進行分層神經網路的運算。此外，不需要使用外部電路等暫時儲存從運算電路 MAC4-1 的佈線 NIL[1]至佈線 NIL[n]輸出的輸出信號，所以不需要另外設置用於暫時儲存的記憶體裝置。也就是說，藉由構成圖 32 的運算電路，可以縮小電路面積，還可以降低用於暫時儲存的資料發送所需的功耗。

【0654】此外，例如，在將實施方式 1 所示的運算電路 MAC9 應用於上述隱藏層的情況下，藉由以加權係數 $w_{s[k-1]}^{(k-1)}$ $s_{[k]}^{(k)}$ 為第一資料來將對應於第一資料的電壓儲存在記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 中，以來自第 $(k-1)$ 層的神經元 $N_{s[k-1]}^{(k-1)}$ 的輸出信號 $z_{s[k-1]}^{(k-1)}$ 為第二資料並將對應於第二資料的電流從電路 XLD 輸入到多個佈線 XAL、多個佈線 XBL，可以從輸入到電路 ACTV 的電流量 I_{EV} 計算出對應於第一資料與第二資料之積和的活化函數的值。也就是說，可以將該值作為第 k 層的神經元 $N_{s[k]}^{(k)}$ 的輸出信號 $z_{s[k]}^{(k)}$ 。例如，在電路 ACTV 輸出對應於該值的電壓的情況下，輸入到第 $(k+1)$ 層的多個神經元的第 k 層的神經元 $N_{s[k]}^{(k)}$ 的輸出信號 $z_{s[k]}^{(k)}$ 可

以為該電壓。也就是說，在將運算電路 MAC9 應用於第 (k+1) 層的隱藏層的情況下，輸入到運算電路 MAC9 的佈線 XAL 及佈線 XBL 的第 k 層的神經元 $N_{s[k]}^{(k)}$ 的輸出信號 $z_{s[k]}^{(k)}$ 不是在電路 XLD 中生成的而是從第 k 層的隱藏層的運算電路 MAC9 的電路 ACTV 輸出的該電壓。

【0655】明確而言，藉由使用圖 33 所示的運算電路，可以進行上述分層神經網路的運算。作為一個例子，圖 33 的運算電路包括與圖 19 的運算電路 MAC9 同樣的運算電路 MAC9-1 及從圖 19 的運算電路 MAC9 中去掉電路 XLD 的運算電路 MAC9-2。此外，運算電路 MAC9-1 的記憶單元陣列 CAS 包括記憶單元陣列 CA[1]至記憶單元陣列 CA[n]，各記憶單元陣列 CA 都包括 m 個記憶單元 AMx、記憶單元 AMu、記憶單元 AMw、記憶單元 AMr。也就是說，運算電路 MAC9-1 的記憶單元陣列 CAS 共有 $2m \times 2n$ 個記憶單元。此外，運算電路 MAC9-2 的記憶單元陣列 CAS 包括記憶單元陣列 CA[1]至記憶單元陣列 CA[t] (t 為 1 以上的整數)，各記憶單元陣列 CA 都包括 n 個記憶單元 AMx、記憶單元 AMu、記憶單元 AMw、記憶單元 AMr。也就是說，運算電路 MAC9-2 的記憶單元陣列 CAS 共有 $2n \times 2t$ 個記憶單元。此外，運算電路 MAC9-1 的佈線 NIL[1]至佈線 NIL[n]分別與運算電路 MAC9-2 的佈線 XAL[1]至佈線 XAL[n]電連接。

【0656】例如，在圖 33 的運算電路 MAC9-1 中，藉由以第 (k-1) 層的神經元與第 k 層的神經元之間的加權係數為第一資料來將其儲存在記憶單元陣列 CA[1]至記憶單元陣列 CA[n]中，並以來自第 (k-1) 層的神經元 $N_{s[k-1]}^{(k-1)}$ 的輸出信號 $z_{s[k-1]}^{(k-1)}$ 為第二資料來將對應於第二資料的電壓從電路 XLD 輸入到多個佈線 XAL 及佈線 XBL，可以從佈線 NIL[1]至佈線 NIL[n]分別輸出第 k 層的神經元 $N_1^{(k)}$ 至神經元 $N_n^{(k)}$ 的輸出信號 $z_1^{(k)}$ 至 $z_n^{(k)}$ 。此外，輸出信號 $z_1^{(k)}$ 至 $z_n^{(k)}$ 的各值可以表現為從電路 ACTV 輸出的電壓。

【0657】在此，在圖 33 的運算電路 MAC9-2 中，藉由以第 k 層的神經元與第 $(k+1)$ 層的神經元之間的加權係數為第一資料來將其儲存在記憶單元陣列 CA[1]至記憶單元陣列 CA[n]中並以輸入到多個佈線 XAL 的電壓，亦即第 k 層的神經元 $N_1^{(k)}$ 至神經元 $N_n^{(k)}$ 的輸出信號 $z_1^{(k)}$ 至 $z_n^{(k)}$ 為第二資料，可以從佈線 NIL[s[k+1]]（在此，s[k+1]為 1 以上且 t 以下的整數）輸出第 $(k+1)$ 層的神經元 $N_{s[k+1]}^{(k+1)}$ 的輸出信號 $z_{s[k+1]}^{(k+1)}$ 。注意，多個佈線 XBL 從記憶單元陣列 CA[1]至記憶單元陣列 CA[n]保持第一資料之前一直被輸入恆定電位（例如，接地電位等）。

【0658】如上所述，藉由使用圖 33 所示的運算電路構成分層神經網路的運算，可以將運算電路 MAC9-1 所輸出的神經元的輸出信號的值（電壓）直接輸入到運算電路 MAC9-2，由此作為一個例子從第一層連續進行分層神經網路的運算。此外，不需要使用外部電路等暫時儲存從運算電路 MAC9-1 的佈線 NIL[1]至佈線 NIL[n]輸出的輸出信號，所以不需要另外設置用於暫時儲存的記憶體裝置。也就是說，藉由構成圖 33 的運算電路，可以縮小電路面積，還可以降低用於暫時儲存的資料發送所需的功耗。

【0659】注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

【0660】（實施方式 5）

在本實施方式中，說明上述實施方式所示的半導體裝置的結構例子及可以應用於上述實施方式所示的半導體裝置的電晶體的結構例子。

【0661】<半導體裝置的結構例子>

作為一個例子，圖 34 示出上述實施方式所示的半導體裝置，該半導體裝置包括電晶體 300、電晶體 500 以及電容器 600。此外，圖 35A 是電晶體 500

的通道長度方向上的剖面圖，圖 35B 是電晶體 500 的通道寬度方向上的剖面圖，並且圖 35C 是電晶體 300 的通道寬度方向上的剖面圖。

【0662】電晶體 500 是在通道形成區域中包含金屬氧化物的電晶體(OS 電晶體)。電晶體 500 具有關態電流低且場效移動率在高溫下也不容易變化的特性。藉由將電晶體 500 應用於半導體裝置，例如，上述實施方式所示的運算電路 MAC5、運算電路 MAC5A、運算電路 MAC6、運算電路 MAC7、運算電路 MAC8、運算電路 MAC9、運算電路 MAC10、運算電路 MAC11 等所包括的電晶體，可以實現性能在高溫下也不容易下降的半導體裝置。尤其是，藉由利用關態電流小的特性將電晶體 500 應用於電晶體 M1，可以長時間保持寫入到記憶單元 AMx、記憶單元 AMu、記憶單元 AMw 及記憶單元 AMr 等中的電位。

【0663】電晶體 500 例如設置在電晶體 300 上方，電容器 600 例如設置在電晶體 300 及電晶體 500 上方。此外，電容器 600 可以為上述實施方式所示的運算電路 MAC5、運算電路 MAC5A、運算電路 MAC6、運算電路 MAC7、運算電路 MAC8、運算電路 MAC9、運算電路 MAC10、運算電路 MAC11 等所包括的電容器等。此外，根據電路結構，不一定需要設置圖 34 所示的電容器 600。

【0664】電晶體 300 設置在基板 310 上，包括元件分離層 312、導電體 316、絕緣體 315、由基板 310 的一部構成的半導體區域 313、用作源極區域或汲極區域的低電阻區域 314a 及低電阻區域 314b。此外，電晶體 300 例如可以應用於上述實施方式所示的運算電路 MAC5、運算電路 MAC5A、運算電路 MAC6、運算電路 MAC7、運算電路 MAC8、運算電路 MAC9、運算電路 MAC10、運算電路 MAC11 等所包括的電晶體等。明確而言，例如，可以應用於圖 4A 至圖 4C 所示的電路 ACTV 所包括的運算放大器 OP、電路 ACF 等所包括的電晶體。此外，例如，電晶體 300 可以應用於各記憶單元所包括的電晶體

M2。此外，圖 34 示出電晶體 300 的閘極藉由電容器 600 的一對電極電連接於電晶體 500 的源極和汲極中的一個的結構，但是也可以根據運算電路 MAC5、運算電路 MAC5A、運算電路 MAC6、運算電路 MAC7、運算電路 MAC8、運算電路 MAC9、運算電路 MAC10、運算電路 MAC11 等的結構而具有如下結構：電晶體 300 的源極及汲極中的一個藉由電容器 600 的一對電極電連接於電晶體 500 的源極及汲極中的一個；電晶體 300 的源極及汲極中的一個藉由電容器 600 的一對電極電連接於電晶體 500 的閘極；電晶體 300 的各端子不分別電連接於電晶體 500 的各端子及電容器 600 的各端子。

【0665】作為基板 310，較佳為使用半導體基板（例如單晶基板或矽基板）。

【0666】如圖 35C 所示，在電晶體 300 中，導電體 316 隔著絕緣體 315 覆蓋半導體區域 313 的頂面及通道寬度方向的側面。如此，藉由使電晶體 300 具有 Fin 型結構，實效上的通道寬度增加，所以可以改善電晶體 300 的通態特性。此外，由於可以增加閘極電極的電場的影響，所以可以改善電晶體 300 的關閉特性。

【0667】此外，電晶體 300 可以為 p 通道型電晶體或 n 通道型電晶體。

【0668】半導體區域 313 的通道形成區域、其附近的區域、被用作源極區域或汲極區域的低電阻區域 314a 及低電阻區域 314b 等較佳為包含矽類半導體等半導體，更佳為包含單晶矽。此外，也可以使用包含 Ge（鍺）、SiGe（矽鍺）、GaAs（砷化鎵）、GaAlAs（鎵鋁砷）、GaN（氮化鎵）等的材料形成。可以使用對晶格施加應力，改變晶面間距而控制有效質量的矽。此外，電晶體 300 也可以是使用 GaAs 和 GaAlAs 等的 HEMT（High Electron Mobility Transistor：高電子移動率電晶體）。

【0669】在低電阻區域 314a 及低電阻區域 314b 中，除了應用於半導體區域 313 的半導體材料之外，還包含砷、磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素。

【0670】作為被用作閘極電極的導電體 316，可以使用包含砷、磷等賦予 n 型導電性的元素或硼等賦予 p 型導電性的元素的矽等半導體材料、金屬材料、合金材料或金屬氧化物材料等導電材料。

【0671】此外，由於導電體的材料決定功函數，所以藉由選擇該導電體的材料，可以調整電晶體的臨界電壓。明確而言，作為導電體較佳為使用氮化鈦或氮化鉭等材料。為了兼具導電性和嵌入性，作為導電體較佳為使用鎢或鋁等金屬材料的疊層，尤其在耐熱性方面上較佳為使用鎢。

【0672】為了使形成在基板 310 上的多個電晶體彼此分離設置有元件分離層 312。元件分離層 312 例如可以使用 LOCOS(Local Oxidation of Silicon：矽局部氧化)法、STI(Shallow Trench Isolation：淺溝槽隔離)法或檯面隔離法等形成。

【0673】此外，圖 34 所示的電晶體 300 只是一個例子，本發明不侷限於該結構，可以根據電路結構、驅動方法而使用合適的電晶體。例如，電晶體 300 也可以具有平面型結構而不具有圖 35C 所示的 FIN 型結構。例如，當在半導體裝置中使用只由 OS 電晶體構成的單極性電路時，如圖 36 所示，作為電晶體 300 的結構採用與使用氧化物半導體的電晶體 500 相同的結構即可。此外，在此情況下，電晶體 300 和電晶體 500 為相同的 OS 電晶體，它們也可以以彼此不重疊的方式（以同一製程製造的方式）構成。關於電晶體 500 將在後面詳細描述。

【0674】在本說明書等中，“單極性電路”是指不包括 n 通道型電晶體及 p 通道型電晶體中的一個而包括 n 通道型電晶體及 p 通道型電晶體中的另一個的

電路。因此，“只由 OS 電晶體構成的單極性電路”是指只包括 n 通道型及 p 通道型中的任一 OS 電晶體的電路。

【0675】在圖 36 中，電晶體 300 設置在基板 310A 上，在此情況下，也可以使用與圖 34 的半導體裝置的基板 310 同樣的半導體基板作為基板 310A。作為基板 310A，例如可以使用 SOI 基板、玻璃基板、石英基板、塑膠基板、藍寶石玻璃基板、金屬基板、不鏽鋼基板、包含不鏽鋼箔的基板、鎢基板、包含鎢箔的基板、撓性基板、貼合薄膜、包含纖維狀材料的紙或基材薄膜等。作為玻璃基板的一個例子，可以舉出鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃或鈉鈣玻璃等。作為撓性基板、貼合薄膜、基材薄膜等，可以舉出如下例子。例如可以舉出以聚對苯二甲酸乙二醇酯（PET）、聚萘二甲酸乙二醇酯（PEN）、聚醚砜（PES）、聚四氟乙烯（PTFE）為代表的塑膠。或者，作為一個例子，可以舉出丙烯酸樹脂等合成樹脂等。或者，作為一個例子，可以舉出聚丙烯、聚酯、聚氟化乙烯或聚氯乙烯等。或者，作為例子，可以舉出聚醯胺、聚醯亞胺、芳香族聚醯胺、環氧樹脂、無機蒸鍍薄膜、紙類等。

【0676】圖 34 所示的電晶體 300 從基板 310 一側依次層疊有絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326。

【0677】作為絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁及氮化鋁等。

【0678】注意，在本說明書中，“氧氮化矽”是指在其組成中氧含量多於氮含量的材料，而“氮氧化矽”是指在其組成中氮含量多於氧含量的材料。注意，在本說明書中，“氧氮化鋁”是指氧含量多於氮含量的材料，“氮氧化鋁”是指氮含量多於氧含量的材料。

【0679】絕緣體 322 也可以被用作使因被絕緣體 320 及絕緣體 322 覆蓋的電晶體 300 等而產生的步階平坦化的平坦化膜。例如，為了提高絕緣體 322 的頂面的平坦性，其頂面也可以藉由利用化學機械拋光（CMP）法等的平坦化處理被平坦化。

【0680】作為絕緣體 324，較佳為使用能夠防止氫、雜質等從基板 310 或電晶體 300 等擴散到設置有電晶體 500 的區域中的具有阻擋性的膜。

【0681】作為對氫具有阻擋性的膜的一個例子，例如可以使用藉由 CVD 法形成的氮化矽。在此，有時氫擴散到電晶體 500 等具有氧化物半導體的半導體元件中，導致該半導體元件的特性下降。因此，較佳為在電晶體 500 與電晶體 300 之間設置抑制氫的擴散的膜。明確而言，抑制氫的擴散的膜是指氫的脫離量少的膜。

【0682】氫的脫離量例如可以利用熱脫附譜分析法（TDS）等測量。例如，在 TDS 分析中的膜表面溫度為 50°C 至 500°C 的範圍內，當換算為氫原子的脫離量時，絕緣體 324 的每單位面積的氫的脫離量為 $10 \times 10^{15} \text{atoms/cm}^2$ 以下，較佳為 $5 \times 10^{15} \text{atoms/cm}^2$ 以下，即可。

【0683】注意，絕緣體 326 的介電常數較佳為比絕緣體 324 低。例如，絕緣體 326 的相對介電常數較佳為低於 4，更佳為低於 3。例如，絕緣體 326 的相對介電常數較佳為絕緣體 324 的相對介電常數的 0.7 倍以下，更佳為 0.6 倍以下。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。

【0684】此外，在絕緣體 320、絕緣體 322、絕緣體 324 及絕緣體 326 中嵌入與電容器 600 或電晶體 500 連接的導電體 328、導電體 330 等。此外，導電體 328 及導電體 330 具有插頭或佈線的功能。注意，有時使用同一元件符號表示具有插頭或佈線的功能的多個導電體。此外，在本說明書等中，佈線、與佈

線連接的插頭也可以是一個組件。就是說，導電體的一部分有時被用作佈線，並且導電體的一部分有時被用作插頭。

【0685】作為各插頭及佈線（導電體 328 及導電體 330 等）的材料，可以使用金屬材料、合金材料、金屬氮化物材料或金屬氧化物材料等導電材料的單層或疊層。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。或者，較佳為使用鋁或銅等低電阻導電材料。藉由使用低電阻導電材料可以降低佈線電阻。

【0686】也可以在絕緣體 326 及導電體 330 上形成佈線層。例如，在圖 34 中，在絕緣體 326 及導電體 330 的上方依次層疊有絕緣體 350、絕緣體 352 及絕緣體 354。此外，在絕緣體 350、絕緣體 352 及絕緣體 354 中形成有導電體 356。導電體 356 具有與電晶體 300 連接的插頭或佈線的功能。此外，導電體 356 可以使用與導電體 328 及導電體 330 同樣的材料形成。

【0687】此外，與絕緣體 324 同樣，絕緣體 350 例如較佳為使用對氫、水等雜質具有阻擋性的絕緣體。此外，與絕緣體 326 同樣，絕緣體 352 及絕緣體 354 較佳為使用相對介電常數較低的絕緣體以降低佈線間產生的寄生電容。此外，導電體 356 較佳為包含對氫、水等雜質具有阻擋性的導電體。尤其是，在對氫具有阻擋性的絕緣體 350 所具有的開口中形成對氫具有阻擋性的導電體。藉由採用該結構，可以使用障壁層將電晶體 300 與電晶體 500 分離，從而可以抑制氫從電晶體 300 擴散到電晶體 500 中。

【0688】注意，作為對氫具有阻擋性的導電體，例如較佳為使用氮化鈮等。此外，藉由層疊氮化鈮和導電性高的鎢，不但可以保持作為佈線的導電性而且可以抑制氫從電晶體 300 擴散。此時，對氫具有阻擋性的氮化鈮層較佳為與對氫具有阻擋性的絕緣體 350 接觸。

【0689】此外，在絕緣體 354 及導電體 356 上依次層疊有絕緣體 360、絕緣體 362 及絕緣體 364。

【0690】此外，與絕緣體 324 等同樣，絕緣體 360 較佳為使用對水、氫等雜質具有阻擋性的絕緣體。因此，絕緣體 360 例如可以使用可用於絕緣體 324 等的材料。

【0691】絕緣體 362 及絕緣體 364 被用作層間絕緣膜及平坦化膜。此外，與絕緣體 324 同樣，絕緣體 362 及絕緣體 364 例如較佳為使用對水、氫等雜質具有阻擋性的絕緣體。因此，絕緣體 362 及/或絕緣體 364 可以使用可用於絕緣體 324 等的材料。

【0692】此外，絕緣體 360、絕緣體 362 及絕緣體 364 各自的重疊於部分導電體 356 的區域中形成有開口部，並以嵌入該開口部的方式設置有導電體 366。此外，導電體 366 還形成在絕緣體 362 上。導電體 366 例如具有與電晶體 300 連接的插頭或佈線的功能。此外，導電體 366 可以使用與導電體 328 及導電體 330 同樣的材料設置。

【0693】在絕緣體 364 及導電體 366 上依次層疊有絕緣體 510、絕緣體 512、絕緣體 514 及絕緣體 516。作為絕緣體 510、絕緣體 512、絕緣體 514 及絕緣體 516 中的一個，較佳為使用對氧或氫等具有阻擋性的物質。

【0694】例如，作為絕緣體 510 及絕緣體 514，較佳為使用能夠防止氫、雜質等從基板 310 或設置有電晶體 300 的區域等擴散到設置有電晶體 500 的區域中的具有阻擋性的膜。因此，絕緣體 510 及絕緣體 514 可以使用與絕緣體 324 同樣的材料。

【0695】作為對氫具有阻擋性的膜的一個例子，可以使用藉由 CVD 法形成的氮化矽。在此，有時氫擴散到電晶體 500 等具有氧化物半導體的半導體元件中，導致該半導體元件的特性下降。因此，較佳為在電晶體 300 與電晶體

500 之間設置抑制氫的擴散的膜。明確而言，抑制氫的擴散的膜是指氫的脫離量少的膜。

【0696】例如，作為對氫具有阻擋性的膜，絕緣體 510 及絕緣體 514 較佳為使用氧化鋁、氧化鉛、氧化鈮等金屬氧化物。

【0697】尤其是，氧化鋁的不使氧及導致電晶體的電特性變動的氫、水分等雜質透過的阻擋效果高。因此，在電晶體的製程中及製程之後，氧化鋁可以防止氫、水分等雜質進入電晶體 500 中。此外，氧化鋁可以抑制氧從構成電晶體 500 的氧化物釋放。因此，氧化鋁適合用作電晶體 500 的保護膜。

【0698】例如，作為絕緣體 512 及絕緣體 516，可以使用與絕緣體 320 同樣的材料。此外，藉由作為上述絕緣體使用介電常數較低的材料，可以減少產生在佈線之間的寄生電容。例如，作為絕緣體 512 及絕緣體 516，可以使用氧化矽膜和氧氮化矽膜等。

【0699】此外，在絕緣體 510、絕緣體 512、絕緣體 514 及絕緣體 516 中例如嵌入有導電體 518、構成電晶體 500 的導電體（例如，圖 35A 及圖 35B 所示的導電體 503）等。此外，導電體 518 被用作與電容器 600 或電晶體 300 連接的插頭或佈線。導電體 518 可以使用與導電體 328 及導電體 330 同樣的材料形成。

【0700】尤其是，與絕緣體 510 及絕緣體 514 接觸的區域的導電體 518 較佳為對氧、氫及水具有阻擋性的導電體。藉由採用該結構，可以利用對氧、氫及水具有阻擋性的層將電晶體 300 與電晶體 500 分離，從而可以抑制氫從電晶體 300 擴散到電晶體 500 中。

【0701】在絕緣體 516 上方設置有電晶體 500。

【0702】如圖 35A 及圖 35B 所示，電晶體 500 包括絕緣體 514 上的絕緣體 516、以嵌入絕緣體 514 或絕緣體 516 中的方式配置的導電體 503（導電體 503a

及導電體 503b)、絕緣體 516 及導電體 503 上的絕緣體 522、絕緣體 522 上的絕緣體 524、絕緣體 524 上的氧化物 530a、氧化物 530a 上的氧化物 530b、氧化物 530b 上的導電體 542a、導電體 542a 上的絕緣體 571a、氧化物 530b 上的導電體 542b、導電體 542b 上的絕緣體 571b、氧化物 530b 上的絕緣體 552、絕緣體 552 上的絕緣體 550、絕緣體 550 上的絕緣體 554、位於絕緣體 554 上並與氧化物 530b 的一部分重疊的導電體 560 (導電體 560a 及導電體 560b)、以及配置在絕緣體 522、絕緣體 524、氧化物 530a、氧化物 530b、導電體 542a、導電體 542b、絕緣體 571a 及絕緣體 571b 上的絕緣體 544。在此，如圖 35A 及圖 35B 所示，絕緣體 552 與絕緣體 522 的頂面、絕緣體 524 的側面、氧化物 530a 的側面、氧化物 530b 的側面及頂面、導電體 542 的側面、絕緣體 571 的側面、絕緣體 544 的側面、絕緣體 580 的側面及絕緣體 550 的底面接觸。此外，導電體 560 的頂面以高度與絕緣體 554 的最上部、絕緣體 550 的最上部、絕緣體 552 的最上部及絕緣體 580 的頂面的高度大致一致的方式配置。此外，絕緣體 574 與導電體 560、絕緣體 552、絕緣體 550、絕緣體 554 和絕緣體 580 各自的頂面的至少一部分接觸。

【0703】 在絕緣體 580 及絕緣體 544 中形成到達氧化物 530b 的開口。在該開口內設置絕緣體 552、絕緣體 550、絕緣體 554 及導電體 560。此外，在電晶體 500 的通道長度方向上，絕緣體 571a 及導電體 542a 與絕緣體 571b 及導電體 542b 間設置有導電體 560、絕緣體 552、絕緣體 550 及絕緣體 554。絕緣體 554 具有與導電體 560 的側面接觸的區域及與導電體 560 的底面接觸的區域。

【0704】 氧化物 530 較佳為包括絕緣體 524 上的氧化物 530a 及氧化物 530a 上的氧化物 530b。當在氧化物 530b 下包括氧化物 530a 時，可以抑制雜質從形成在氧化物 530a 的下方的結構物向氧化物 530b 擴散。

【0705】在電晶體 500 中，氧化物 530 具有氧化物 530a 及氧化物 530b 這兩層的疊層結構，但是本發明不侷限於此。例如，可以具有氧化物 530b 的單層結構或三層以上的疊層結構，也可以具有氧化物 530a 及氧化物 530b 分別為疊層的結構。

【0706】導電體 560 被用作第一閘極（也稱為頂閘極）電極，導電體 503 被用作第二閘極（也稱為背閘極）電極。此外，絕緣體 552、絕緣體 550 及絕緣體 554 被用作第一閘極絕緣體，絕緣體 522 及絕緣體 524 被用作第二閘極絕緣體。注意，有時將閘極絕緣體稱為閘極絕緣層或閘極絕緣膜。此外，導電體 542a 被用作源極和汲極中的一個，導電體 542b 被用作源極和汲極中的另一個。此外，氧化物 530 的與導電體 560 重疊的區域的至少一部分被用作通道形成區域。

【0707】在此，圖 37A 示出圖 35A 中的通道形成區域附近的放大圖。由於氧化物 530b 被供應氧，通道形成區域形成在導電體 542a 和導電體 542b 之間的區域中。因此，如圖 37A 所示，氧化物 530b 包括被用作電晶體 500 的通道形成區域的區域 530bc 及以夾著區域 530bc 的方式設置並被用作源極區域或汲極區域的區域 530ba 及區域 530bb。區域 530bc 的至少一部分與導電體 560 重疊。換言之，區域 530bc 設置在導電體 542a 與導電體 542b 間的區域中。區域 530ba 與導電體 542a 重疊，區域 530bb 與導電體 542b 重疊。

【0708】被用作通道形成區域的區域 530bc 是與區域 530ba 及區域 530bb 相比其氧空位（在本說明書等中，金屬氧化物中的氧空位有時被稱為 V_o （oxygen vacancy））少或雜質濃度低，由此載子濃度低的高電阻區域。因此，區域 530bc 可以說是 i 型（本質）或實質上 i 型的區域。

【0709】在使用氧化物半導體的電晶體中，如果氧化物半導體中的形成通道的區域存在雜質或氧空位(V_o)，電特性則容易變動，有時降低可靠性。此

外，氧空位(Vo)附近的氫形成氫進入氧空位(Vo)中的缺陷(下面有時稱為 VoH)而可能會生成成為載子的電子。因此，當在氧化物半導體中的形成通道的區域中包含氧空位時，電晶體會成為常開啟特性(即使不對閘極電極施加電壓也存在通道而在電晶體中電流流過的特性)。由此，在氧化物半導體的形成通道的區域中，較佳為儘量減少雜質、氧空位及 VoH。

【0710】此外，在被用作源極區域或汲極區域的區域 530ba 及區域 530bb 中，氧空位(Vo)多並且氫、氮、金屬元素等雜質的濃度高。因此，區域 530ba 及區域 530bb 的載子濃度提高，所以被低電阻化。就是說，區域 530ba 及區域 530bb 是比區域 530bc 載子濃度高且電阻低的 n 型區域。

【0711】在此，被用作通道形成區域的區域 530bc 的載子濃度較佳為 $1 \times 10^{18} \text{cm}^{-3}$ 以下，更佳為低於 $1 \times 10^{17} \text{cm}^{-3}$ ，進一步較佳為低於 $1 \times 10^{16} \text{cm}^{-3}$ ，更佳的是低於 $1 \times 10^{13} \text{cm}^{-3}$ ，進一步較佳的是低於 $1 \times 10^{12} \text{cm}^{-3}$ 。對被用作通道形成區域的區域 530bc 的載子濃度的下限值沒有特別的限定，例如，可以將其設定為 $1 \times 10^9 \text{cm}^{-3}$ 。

【0712】此外，也可以在區域 530bc 與區域 530ba 或區域 530bb 之間形成載子濃度等於或低於區域 530ba 及區域 530bb 的載子濃度且等於或高於區域 530bc 的載子濃度的區域。換言之，該區域被用作區域 530bc 與區域 530ba 或區域 530bb 的接合區域。該接合區域的氫濃度有時相等於或低於區域 530ba 及區域 530bb 的氫濃度且等於或高於區域 530bc 的氫濃度。此外，該接合區域的氧空位有時等於或少於區域 530ba 及區域 530bb 的氧空位且等於或多於區域 530bc 的氧空位。

【0713】注意，圖 37A 示出區域 530ba、區域 530bb 及區域 530bc 形成在氧化物 530b 中的例子，但是本發明不侷限於此。例如，上述各區域也可以形成在氧化物 530b 和氧化物 530a 中。

【0714】在氧化物 530 中，有時難以明確地觀察各區域的邊界。在各區域中檢測出的金屬元素和氫及氮等雜質元素的濃度並不需要按每區域分階段地變化，也可以在各區域中逐漸地變化。就是說，越接近通道形成區域，金屬元素和氫及氮等雜質元素的濃度越低即可。

【0715】較佳為在電晶體 500 中將被用作半導體的金屬氧化物（以下，有時稱為氧化物半導體）用於包含通道形成區域的氧化物 530（氧化物 530a、氧化物 530b）。

【0716】被用作半導體的金屬氧化物較佳為使用其能帶間隙為 2eV 以上，較佳為 2.5eV 以上的金屬氧化物。如此，藉由使用能帶間隙較寬的金屬氧化物，可以減小電晶體的關態電流。

【0717】例如，作為氧化物 530 較佳為使用包含銦、元素 M 及鋅的 In-M-Zn 氧化物（元素 M 為選自鋁、鎵、鉍、錫、銅、釩、鈹、硼、鈦、鐵、鎳、鍺、銦、鉬、釷、鈾、鈷、鎢和鎂等中的一種或多種）等的金屬氧化物。此外，作為氧化物 530 也可以使用 In-Ga 氧化物、In-Zn 氧化物、銦氧化物。

【0718】在此，較佳的是，用於氧化物 530b 的金屬氧化物中的 In 與元素 M 的原子個數比大於用於氧化物 530a 的金屬氧化物中的 In 與元素 M 的原子個數比。

【0719】如此，藉由在氧化物 530b 下配置氧化物 530a，可以抑制雜質及過多的氧從形成在氧化物 530a 的下方的結構物向氧化物 530b 擴散。

【0720】此外，氧化物 530a 及氧化物 530b 除了氧以外還包含共同元素（作為主要成分），所以可以降低氧化物 530a 與氧化物 530b 的界面的缺陷態密度。因為可以降低氧化物 530a 與氧化物 530b 的界面的缺陷態密度，所以界面散射給載子傳導帶來的影響小，從而可以得到高通態電流。

【0721】氧化物 530b 較佳為具有結晶性。尤其是，較佳為使用 CAAC-OS (c-axis aligned crystalline oxide semiconductor : c 軸配向結晶氧化物半導體) 作為氧化物 530b。

【0722】CAAC-OS 具有結晶性高的緻密結構且是雜質、缺陷 (例如, 氧空位 (V_o 等) 少的金屬氧化物。尤其是, 藉由在形成金屬氧化物後以金屬氧化物不被多晶化的溫度 (例如, 400°C 以上且 600°C 以下) 進行熱處理, 可以使 CAAC-OS 具有結晶性更高的緻密結構。如此, 藉由進一步提高 CAAC-OS 的密度, 可以進一步降低該 CAAC-OS 中的雜質或氧的擴散。

【0723】另一方面, 在 CAAC-OS 中不容易觀察明確的晶界, 因此不容易發生起因於晶界的電子移動率的下降。因此, 包含 CAAC-OS 的金屬氧化物的物理性質穩定。因此, 具有 CAAC-OS 的金屬氧化物具有耐熱性且可靠性良好。

【0724】在使用氧化物半導體的電晶體中, 如果在氧化物半導體的形成通道的區域中存在雜質或氧空位, 電特性則容易變動, 有時降低可靠性。此外, 氧空位附近的氫形成氫進入氧空位中的缺陷 (下面有時稱為 V_oH) 而可能會產生成為載子的電子。因此, 當在氧化物半導體的形成通道的區域中包含氧空位時, 電晶體會具有常開啟特性 (即使不對閘極電極施加電壓也存在通道而在電晶體中電流流過的特性)。由此, 在氧化物半導體的形成通道的區域中, 較佳為儘量減少雜質、氧空位及 V_oH 。換言之, 較佳的是, 氧化物半導體中的形成通道的區域的載子濃度降低且被 i 型化 (本質化) 或實質上被 i 型化。

【0725】相對於此, 藉由在氧化物半導體附近設置包含藉由加熱脫離的氧 (以下, 有時稱為過量氧) 的絕緣體而進行熱處理, 可以從該絕緣體向氧化物半導體供應氧而減少氧空位及 V_oH 。注意, 在對源極區域或汲極區域供應過多的氧時, 有可能引起電晶體 500 的通態電流下降或者場效移動率的下降。並

且，在供應到源極區域或汲極區域的氧量在基板面內有不均勻時，包括電晶體的半導體裝置特性發生不均勻。

【0726】因此，較佳的是，在氧化物半導體中，被用作通道形成區域的區域 530bc 的載子濃度得到降低且被 i 型化或實質上被 i 型化。另一方面，較佳的是，被用作源極區域或汲極區域的區域 530ba 及區域 530bb 的載子濃度高且被 n 型化。換言之，較佳為減少氧化物半導體的區域 530bc 的氧空位及 V_oH 且區域 530ba 及區域 530bb 不被供應過多的氧。

【0727】於是，本實施方式以在氧化物 530b 上設置導電體 542a 及導電體 542b 的狀態在含氧氛圍下進行微波處理來減少區域 530bc 的氧空位及 V_oH 。在此，微波處理例如是指使用包括利用微波生成高密度電漿的電源的裝置的處理。

【0728】藉由在含氧氛圍下進行微波處理，可以使用微波或 RF 等高頻使氧氣體電漿化而使該氧電漿作用。此時，也可以將微波或 RF 等高頻照射到區域 530bc。藉由電漿、微波等的作用，可以使區域 530bc 的 V_oH 分開。可以將氫 (H) 從區域 530bc 去除而由氧填補氧空位 (V_o)。換言之，在區域 530bc 中發生“ $V_oH \rightarrow H + V_o$ ”的反應，可以降低區域 530bc 的氫濃度。由此，可以減少區域 530bc 中的氧空位及 V_oH 而降低載子濃度。

【0729】此外，當在含氧氛圍下進行微波處理時，微波、RF 等高頻、氧電漿等被導電體 542a 及導電體 542b 遮蔽而不作用於區域 530ba 及區域 530bb。再者，可以藉由覆蓋氧化物 530b 及導電體 542 的絕緣體 571 及絕緣體 580 降低氧電漿的作用。由此，在進行微波處理時在區域 530ba 及區域 530bb 中不發生 V_oH 的減少以及過多的氧的供應，因此可以防止載子濃度的降低。

【0730】此外，較佳為在形成成為絕緣體 552 的絕緣膜之後或者在形成成為絕緣體 550 的絕緣膜之後以含氧氛圍進行微波處理。如此，藉由經由絕緣體

552 或絕緣體 550 以含氧氛圍進行微波處理，可以對區域 530bc 高效地注入氧。此外，藉由以與導電體 542 的側面及區域 530bc 的表面接觸的方式配置絕緣體 552，可以抑制區域 530bc 被注入不必要的氧，因此可以抑制導電體 542 的側面的氧化。此外，可以抑制在形成成為絕緣體 550 的絕緣膜時導電體 542 的側面被氧化。

【0731】此外，作為注入到區域 530bc 中的氧，有氧原子、氧分子、氧自由基（也稱為 O 自由基，包含不成對電子的原子、分子或離子）等各種方式。注入到區域 530bc 中的氧可以為上述方式中的任一個或多個，尤其較佳為氧自由基。此外，由於可以提高絕緣體 552 及絕緣體 550 的膜質量，電晶體 500 的可靠性得到提高。

【0732】如上所述，可以在氧化物半導體的區域 530bc 中選擇性地去除氧空位及 V_{oH} 而使區域 530bc 成為 i 型或實質上 i 型。並且，可以抑制對被用作源極區域或汲極區域的區域 530ba 及區域 530bb 供應過多的氧而保持 n 型。由此，可以抑制電晶體 500 的電特性變動而抑制在基板面內電晶體 500 的電特性不均勻。

【0733】藉由採用上述結構，可以提供一種電晶體特性不均勻小的半導體裝置。此外，可以提供一種可靠性良好的半導體裝置。此外，可以提供一種具有良好的電特性的半導體裝置。

【0734】此外，如圖 35B 所示，在從電晶體 500 的通道寬度的剖面看時，也可以在氧化物 530b 的側面與氧化物 530b 的頂面之間具有彎曲面。就是說，該側面的端部和該頂面的端部也可以彎曲（以下，也稱為圓形）。

【0735】上述彎曲面的曲率半徑較佳為大於 0nm 且小於與導電體 542 重疊的區域的氧化物 530b 的厚度或者小於不具有上述彎曲面的區域的一半長度。明確而言，上述彎曲面的曲率半徑大於 0nm 且為 20nm 以下，較佳為 1nm 以上

且 15nm 以下，更佳為 2nm 以上且 10nm 以下。藉由採用上述形狀，可以提高絕緣體 552、絕緣體 550、絕緣體 554 及導電體 560 的氧化物 530b 的覆蓋性。

【0736】氧化物 530 較佳為具有化學組成互不相同的多個氧化物層的疊層結構。明確而言，用於氧化物 530a 的金屬氧化物中的相對於主要成分的金屬元素的元素 M 的原子個數比較佳為大於用於氧化物 530b 的金屬氧化物中的相對於主要成分的金屬元素的元素 M 的原子個數比。此外，用於氧化物 530a 的金屬氧化物中的 In 與元素 M 的原子個數比較佳為大於用於氧化物 530b 的金屬氧化物中的 In 與元素 M 的原子個數比。此外，用於氧化物 530b 的金屬氧化物中的 In 與元素 M 的原子個數比較佳為大於用於氧化物 530a 的金屬氧化物中的 In 與元素 M 的原子個數比。

【0737】此外，氧化物 530b 較佳為具有 CAAC-OS 等的結晶性的氧化物。CAAC-OS 等的具有結晶性的氧化物具有雜質及缺陷（氧空位等）少的結晶性高且緻密的結構。因此，可以抑制源極電極或汲極電極從氧化物 530b 抽出氧。因此，即使進行熱處理也可以減少氧從氧化物 530b 被抽出，所以電晶體 500 對製程中的高溫度（所謂熱積存：thermal budget）也很穩定。

【0738】在此，在氧化物 530a 與氧化物 530b 的接合部中，導帶底平緩地變化。換言之，也可以將上述情況表達為氧化物 530a 與氧化物 530b 的接合部的導帶底連續地變化或者連續地接合。為此，較佳為降低形成在氧化物 530a 與氧化物 530b 的界面的混合層的缺陷態密度。

【0739】明確而言，藉由使氧化物 530a 與氧化物 530b 除了包含氧之外還包含共同元素作為主要成分，可以形成缺陷態密度低的混合層。例如，在氧化物 530b 為 In-M-Zn 氧化物的情況下，作為氧化物 530a 也可以使用 In-M-Zn 氧化物、M-Zn 氧化物、元素 M 的氧化物、In-Zn 氧化物、銦氧化物等。

【0740】明確而言，作為氧化物 530a 使用 $\text{In:M:Zn}=1:3:4$ [原子個數比]或其附近的組成或者 $\text{In:M:Zn}=1:1:0.5$ [原子個數比]或其附近的組成的金屬氧化物，即可。此外，作為氧化物 530b，使用 $\text{In:M:Zn}=1:1:1$ [原子個數比]或其附近的組成、 $\text{In:M:Zn}=4:2:3$ [原子個數比]或其附近的組成的金屬氧化物，即可。注意，附近的組成包括所希望的原子個數比的 $\pm 30\%$ 的範圍。此外，作為元素 M 較佳為使用鎵。

【0741】此外，在藉由濺射法形成金屬氧化物時，上述原子個數比不侷限於所形成的金屬氧化物的原子個數比，而也可以是用於金屬氧化物的形成的濺射靶材的原子個數比。

【0742】此外，如圖 35A 等所示，由於以與氧化物 530 的頂面及側面接觸的方式設置由氧化鋁等形成的絕緣體 552，氧化物 530 所包含的銦有時分佈在氧化物 530 和絕緣體 552 的界面及其附近。因此，氧化物 530 的表面附近具有接近銦氧化物的原子個數比或者接近 In-Zn 氧化物的原子個數比。在如此氧化物 530，尤其是氧化物 530b 的表面附近的銦的原子個數比較大時，可以提高電晶體 500 的場效移動率。

【0743】藉由使氧化物 530a 及氧化物 530b 具有上述結構，可以降低氧化物 530a 與氧化物 530b 的界面的缺陷態密度。因此，界面散射對載子傳導帶來的影響減少，從而電晶體 500 可以得到高通態電流及高頻特性。

【0744】絕緣體 512、絕緣體 514、絕緣體 544、絕緣體 571、絕緣體 574、絕緣體 576、絕緣體 581 中的至少一個較佳為被用作抑制水、氫等雜質從基板一側或電晶體 500 的上方擴散到電晶體 500 的阻擋絕緣膜。因此，絕緣體 512、絕緣體 514、絕緣體 544、絕緣體 571、絕緣體 574、絕緣體 576、絕緣體 581 中的至少一個較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（ N_2O 、 NO 、 NO_2 等）、銅原子等雜質的擴散的功能（不容

易使上述雜質透過)的絕緣材料。此外，較佳為使用具有抑制氧(例如，氧原子、氧分子等中的至少一個)的擴散的功能(不容易使上述氧透過)的絕緣材料。

【0745】此外，在本說明書中，阻擋絕緣膜是指具有阻擋性的絕緣膜。在本說明書中，阻擋性是指抑制所對應的物質的擴散的功能(也可以說透過性低)。或者，是指俘獲並固定所對應的物質(也稱為吸雜)的功能。

【0746】作為絕緣體 512、絕緣體 514、絕緣體 544、絕緣體 571、絕緣體 574、絕緣體 576 及絕緣體 581，較佳為使用具有抑制水、氫等雜質及氧的擴散的功能的絕緣體，例如可以使用氧化鋁、氧化鎂、氧化鉛、氧化鎵、銦鎵鋅氧化物、氮化矽或氮氧化矽等。例如，作為絕緣體 512、絕緣體 544 及絕緣體 576，較佳為使用氫阻擋性更高的氮化矽等。此外，例如，作為絕緣體 514、絕緣體 571、絕緣體 574 及絕緣體 581，較佳為使用俘獲並固定氫的性能高的氧化鋁或氧化鎂等。由此，可以抑制水、氫等雜質經過絕緣體 512 及絕緣體 514 從基板一側擴散到電晶體 500 一側。或者，可以抑制水、氫等雜質從配置在絕緣體 581 的外方的層間絕緣膜等擴散到電晶體 500 一側。或者，可以抑制包含在絕緣體 524 等中的氧經過絕緣體 512 及絕緣體 514 擴散到基板一側。或者，可以抑制含在絕緣體 580 等中的氧經過絕緣體 574 等向電晶體 500 的上方擴散。如此，較佳為採用由具有抑制水、氫等雜質及氧的擴散的功能的絕緣體 512、絕緣體 514、絕緣體 544、絕緣體 571、絕緣體 574、絕緣體 576 及絕緣體 581 圍繞電晶體 500 的結構。

【0747】在此，作為絕緣體 512、絕緣體 514、絕緣體 544、絕緣體 571、絕緣體 574、絕緣體 576 及絕緣體 581，較佳為使用具有非晶結構的氧化物。例如，較佳為使用 AlO_x (x 是大於 0 的任意數) 或 MgO_y (y 是大於 0 的任意數) 等金屬氧化物。上述具有非晶結構的金屬氧化物有時具有如下性質：氧原

子具有懸空鍵而由該懸空鍵俘獲或固定氫。藉由將上述具有非晶結構的金屬氧化物作為電晶體 500 的組件使用或者設置在電晶體 500 的周圍，可以俘獲或固定含在電晶體 500 中的氫或存在於電晶體 500 的周圍的氫。尤其是，較佳為俘獲或固定含在電晶體 500 中的通道形成區域的氫。藉由將具有非晶結構的金屬氧化物作為電晶體 500 的組件使用或者設置在電晶體 500 的周圍，可以製造具有良好特性的可靠性高的電晶體 500 及半導體裝置。

【0748】此外，絕緣體 512、絕緣體 514、絕緣體 544、絕緣體 571、絕緣體 574、絕緣體 576 及絕緣體 581 較佳為具有非晶結構，但是也可以在其一部分形成多晶結構的區域。此外，絕緣體 512、絕緣體 514、絕緣體 544、絕緣體 571、絕緣體 574、絕緣體 576 及絕緣體 581 也可以具有層疊有非晶結構的層與多晶結構的層的多層結構。例如，也可以具有在非晶結構的層上層疊有多晶結構的層的疊層結構。

【0749】絕緣體 512、絕緣體 514、絕緣體 544、絕緣體 571、絕緣體 574、絕緣體 576 及絕緣體 581 的成膜例如可以利用濺射法。濺射法不需要作為沉積氣體使用包含氫的分子，所以可以降低絕緣體 512、絕緣體 514、絕緣體 544、絕緣體 571、絕緣體 574、絕緣體 576 及絕緣體 581 的氫濃度。作為成膜方法，除了濺射法以外還可以適當地使用化學氣相沉積（CVD：Chemical Vapor Deposition）法、分子束磊晶（MBE：Molecular Beam Epitaxy）法、脈衝雷射沉積（PLD：Pulsed Laser Deposition）法、原子層沉積法（ALD：Atomic Layer Deposition）法等。

【0750】此外，有時較佳為降低絕緣體 512、絕緣體 544 及絕緣體 576 的電阻率。例如，藉由使絕緣體 512、絕緣體 544 及絕緣體 576 的電阻率約為 $1 \times 10^{13} \Omega \text{cm}$ ，在半導體裝置製程的利用電漿等的處理中，有時絕緣體 512、絕緣體 544 及絕緣體 576 可以緩和導電體 503、導電體 542、導電體 560 的電荷積

聚。絕緣體 512、絕緣體 544 及絕緣體 576 的電阻率為 $1 \times 10^{10} \Omega \text{cm}$ 以上且 $1 \times 10^{15} \Omega \text{cm}$ 以下。

【0751】此外，絕緣體 516、絕緣體 574、絕緣體 580 及絕緣體 581 的介電常數較佳為比絕緣體 514 低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。例如，作為絕緣體 516、絕緣體 580 及絕緣體 581，適當地使用氧化矽、氧氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽或具有空孔的氧化矽等。

【0752】此外，絕緣體 581 例如較佳為被用作層間膜、平坦化膜等的絕緣體。

【0753】導電體 503 以與氧化物 530 及導電體 560 重疊的方式配置。在此，導電體 503 較佳為以嵌入絕緣體 516 的開口中的方式設置。此外，導電體 503 的一部分有時嵌入絕緣體 514 中。

【0754】導電體 503 包括導電體 503a 及導電體 503b。導電體 503a 以與該開口的底面及側壁接觸的方式設置。導電體 503b 以嵌入形成在導電體 503a 的凹部中的方式設置。在此，導電體 503b 的頂面與導電體 503a 的頂面的高度及絕緣體 516 的頂面的高度大致一致。

【0755】在此，作為導電體 503a 較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子（ N_2O 、 NO 、 NO_2 等）、銅原子等雜質的擴散的功能的導電材料。此外，較佳為使用具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能的導電材料。

【0756】藉由作為導電體 503a 使用具有抑制氫的擴散的功能的導電材料，可以防止含在導電體 503b 中的氫等雜質藉由絕緣體 524 等擴散到氧化物 530。此外，藉由作為導電體 503a 使用具有抑制氧的擴散的功能的導電材料，可以抑制導電體 503b 被氧化而導電率下降。作為具有抑制氧擴散的功能的導電材

料，例如可以使用鈦、氮化鈦、鉍、氮化鉍、鈔、氧化鈔等。因此，作為導電體 503a 使用單層或疊層的上述導電材料即可。例如，作為導電體 503a 使用氮化鈦即可。

【0757】此外，導電體 503b 較佳為使用以鎢、銅或鋁為主要成分的導電材料。例如，導電體 503b 可以使用鎢。

【0758】導電體 503 有時被用作第二閘極電極。在此情況下，藉由獨立地改變供應到導電體 503 的電位而不使其與供應到導電體 560 的電位聯動，可以控制電晶體 500 的臨界電壓 (V_{th})。尤其是，藉由對導電體 503 施加負電位，可以增大電晶體 500 的 V_{th} 而減少關態電流。由此，與不對導電體 503 施加負電位的情況相比，在對導電體 503 施加負電位的情況下，可以減少對導電體 560 施加的電位為 0V 時的汲極電流。

【0759】此外，導電體 503 的電阻率根據上述施加到導電體 503 的電位設計，導電體 503 的厚度根據該電阻率設定。此外，絕緣體 516 的厚度與導電體 503 大致相同。在此，較佳為在導電體 503 的設計允許的範圍內減少導電體 503 及絕緣體 516 的厚度。藉由減少絕緣體 516 的厚度，可以降低含在絕緣體 516 中的氫等雜質的絕對量，所以可以抑制該雜質擴散到氧化物 530。

【0760】此外，導電體 503 在被俯視時較佳為比氧化物 530 的不與導電體 542a 及導電體 542b 重疊的區域大。尤其是，如圖 35B 所示，導電體 503 較佳為延伸到氧化物 530a 及氧化物 530b 的通道寬度方向的端部的外側的區域。就是說，較佳為在氧化物 530 的通道寬度方向的側面的外側，導電體 503 和導電體 560 隔著絕緣體重疊。藉由具有上述結構，可以由被用作第一閘極電極的導電體 560 的電場和被用作第二閘極電極的導電體 503 的電場電圍繞氧化物 530 的通道形成區域。在本說明書中，將由第一閘極及第二閘極的電場電圍繞通道形成區域的電晶體結構稱為 surrounded channel (S-channel) 結構。

【0761】在本說明書等中，S-channel 結構的電晶體是指由一對閘極電極中的一方及另一方的電場電圍繞通道形成區域的電晶體的結構。此外，本說明書等中公開的 S-channel 結構與 Fin 型結構及平面型結構不同。藉由採用 S-channel 結構，可以實現對短通道效應的耐性得到提高的電晶體，換言之，可以實現不容易發生短通道效應的電晶體。

【0762】此外，如圖 35B 所示，將導電體 503 延伸來用作佈線。但是，本發明不侷限於此，也可以在導電體 503 下設置被用作佈線的導電體。此外，不一定需要在每一個電晶體中設置一個導電體 503。例如，在多個電晶體中可以共同使用導電體 503。

【0763】注意，示出在電晶體 500 中作為導電體 503 層疊有導電體 503a 及導電體 503b 的結構，但是本發明不侷限於此。例如，導電體 503 可以具有單層結構，也可以具有三層以上的疊層結構。

【0764】絕緣體 522 及絕緣體 524 被用作閘極絕緣體。

【0765】絕緣體 522 較佳為具有抑制氫（例如，氫原子、氫分子等中的至少一個）的擴散的功能。此外，絕緣體 522 較佳為具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能。例如，與絕緣體 524 相比，絕緣體 522 較佳為具有抑制氫和氧中的一者或兩者的擴散的功能。

【0766】絕緣體 522 較佳為使用作為絕緣材料的包含鋁和鉛中的一者或兩者的氧化物的絕緣體。作為該絕緣體，較佳為使用氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁酸鉛）等。當使用這種材料形成絕緣體 522 時，絕緣體 522 被用作抑制氧從氧化物 530 釋放到基板一側及氫等雜質從電晶體 500 的周圍部擴散到氧化物 530 的層。因此，藉由設置絕緣體 522，可以抑制氫等雜質擴散到電晶體 500 的內側，而可以抑制在氧化物 530 中生成氧空位。此外，可以抑制導電體 503 與絕緣體 524 及氧化物 530 所包含的氧起反應。

【0767】或者，例如也可以對上述絕緣體添加氧化鋁、氧化鈹、氧化鋳、氧化鋮、氧化矽、氧化鈦、氧化鎢、氧化釷或氧化鋯。或者，也可以對上述絕緣體進行氮化處理。此外，作為絕緣體 522 還可以在上述絕緣體上層疊氧化矽、氧氮化矽或氮化矽而使用。

【0768】此外，作為絕緣體 522，例如也可以以單層或疊層使用包含氧化鋁、氧化鉛、氧化鋇、氧化鋯等所謂的 high-k 材料的絕緣體。當進行電晶體的微型化及高積體化時，由於閘極絕緣體的薄膜化，有時發生洩漏電流等的問題。藉由作為被用作閘極絕緣體的絕緣體使用 high-k 材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位。此外，作為絕緣體 522 有時可以使用鋯鈦酸鉛 (PZT)、鈦酸鋇 (SrTiO_3)、(Ba,Sr) TiO_3 (BST) 等介電常數高的物質。

【0769】作為與氧化物 530 接觸的絕緣體 524，例如適當地使用氧化矽、氧氮化矽等即可。

【0770】此外，在電晶體 500 的製程中，熱處理較佳為在氧化物 530 的表面露出的狀態下進行。該熱處理例如較佳為以 100°C 以上且 600°C 以下，更佳為以 350°C 以上且 550°C 以下進行。熱處理在氮氣體或惰性氣體氛圍或者包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行。例如，熱處理較佳為在氧氛圍下進行。由此，對氧化物 530 供應氧，從而可以減少氧空位 (V_O)。熱處理也可以在減壓狀態下進行。此外，也可以在氮氣體或惰性氣體的氛圍下進行熱處理，然後為了填補脫離的氧而在包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行熱處理。此外，也可以在包含 10ppm 以上、1% 以上或 10% 以上的氧化性氣體的氛圍下進行熱處理，然後連續地在氮氣體或惰性氣體的氛圍下進行熱處理。

【0771】藉由對氧化物 530 進行加氧化處理，可以由所供應的氧填補氧化物 530 中的氧空位，換言之可以促進“ $V_{O}+O \rightarrow \text{null}$ ”的反應。再者，氧化物 530 中殘留的氫與被供給的氧發生反應而可以將氫以 H_2O 的形態去除（脫水化）。由此，可以抑制殘留在氧化物 530 中的氫與氧空位再結合而形成 V_{OH} 。

【0772】此外，絕緣體 522 及絕緣體 524 也可以具有兩層以上的疊層結構。此時，不侷限於使用相同材料構成的疊層結構，也可以是使用不同材料構成的疊層結構。此外，絕緣體 524 也可以形成為島狀且與氧化物 530a 重疊。在此情況下，絕緣體 544 與絕緣體 524 的側面及絕緣體 522 的頂面接觸。

【0773】導電體 542a 及導電體 542b 與氧化物 530b 的頂面接觸。導電體 542a 及導電體 542b 分別被用作電晶體 500 的源極電極或汲極電極。

【0774】作為導電體 542（導電體 542a 及導電體 542b）例如較佳為使用包含鉍的氮化物、包含鈦的氮化物、包含鋁的氮化物、包含鎢的氮化物、包含鉍及鋁的氮化物、包含鈦及鋁的氮化物等。在本發明的一個實施方式中，尤其較佳為採用包含鉍的氮化物。此外，例如也可以使用氧化鈦、氮化鈦、包含銲和鈦的氧化物、包含鈷和鎳的氧化物等。這些材料是不容易氧化的導電材料或者即使吸收氧也維持導電性的材料，所以是較佳的。

【0775】注意，有時包含在氧化物 530b 等中的氫擴散到導電體 542a 或導電體 542b。尤其是，藉由作為導電體 542a 及導電體 542b 使用包含鉍的氮化物，有時包含在氧化物 530b 等中的氫容易擴散到導電體 542a 或導電體 542b，該擴散的氫與導電體 542a 或導電體 542b 所包含的氮鍵合。也就是說，有時包含在氧化物 530b 等中的氫被導電體 542a 或導電體 542b 吸收。

【0776】此外，較佳為在導電體 542 的側面與導電體 542 的頂面之間不形成彎曲面。藉由使導電體 542 不具有該彎曲面，可以增大通道寬度方向的剖面

上的導電體 542 的剖面積。由此，增大導電體 542 的導電率，從而可以增大電晶體 500 的通態電流。

【0777】絕緣體 571a 與導電體 542a 的頂面接觸，絕緣體 571b 與導電體 542b 的頂面接觸。絕緣體 571 較佳為被用作至少對氧具有阻擋性的絕緣膜。因此，絕緣體 571 較佳為具有抑制氧擴散的功能。例如，與絕緣體 580 相比，絕緣體 571 較佳為具有進一步抑制氧擴散的功能。作為絕緣體 571，例如可以使用氮化矽等包含矽的氮化物。此外，絕緣體 571 較佳為具有俘獲氫等雜質的功能。在此情況下，絕緣體 571 可以使用具有非晶結構的金屬氧化物，例如，氧化鋁或氧化鎂等絕緣體。尤其是，絕緣體 571 特別較佳為使用具有非晶結構的氧化鋁或由非晶結構組成的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體 500 及半導體裝置。

【0778】絕緣體 544 以覆蓋絕緣體 524、氧化物 530a、氧化物 530b、導電體 542 及絕緣體 571 的方式設置。絕緣體 544 較佳為具有俘獲並固定氫的功能。在此情況下，絕緣體 544 較佳為包括氮化矽或具有非晶結構的金屬氧化物，例如，氧化鋁或氧化鎂等絕緣體。此外，例如，作為絕緣體 544 也可以使用氧化鋁與該氧化鋁上的氮化矽的疊層膜。

【0779】藉由設置上述絕緣體 571 及絕緣體 544，可以由具有對氧具有阻擋性的絕緣體包圍導電體 542。換言之，可以抑制包含在絕緣體 524 及絕緣體 580 中的氧擴散到導電體 542 中。由此，可以抑制包含在絕緣體 524 及絕緣體 580 中的氧而導致導電體 542 直接被氧化使得電阻率增大而通態電流減少。

【0780】絕緣體 552 被用作閘極絕緣體的一部分。作為絕緣體 552 較佳為使用氧阻擋絕緣膜。作為絕緣體 552 使用上述可用於絕緣體 574 的絕緣體即可。作為絕緣體 552 較佳為使用包含鋁和鉛中的一者或兩者的氧化物的絕緣體。作為該絕緣體，可以使用包含氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁

酸鉛)、包含鉛及矽的氧化物(矽酸鉛)等。在本實施方式中,作為絕緣體 552,使用氧化鋁。此時,絕緣體 552 是至少包含氧及鋁的絕緣體。

【0781】如圖 35B 所示,絕緣體 552 以與氧化物 530b 的頂面及側面、氧化物 530a 的側面、絕緣體 524 的側面及絕緣體 522 的頂面接觸的方式設置。就是說,在通道寬度方向的剖面中氧化物 530a、氧化物 530b 及絕緣體 524 的與導電體 560 重疊的區域被絕緣體 552 覆蓋。因此,可以利用具有氧阻擋性的絕緣體 552 防止在進行熱處理等時氧化物 530a 及氧化物 530b 中的氧脫離。因此,可以減少在氧化物 530a 及氧化物 530b 中形成氧空位 (V_o)。由此,可以減少形成在區域 530bc 中的氧空位 (V_o) 及 V_oH 。因此,可以提高電晶體 500 的電特性及可靠性。

【0782】此外,反之,即使絕緣體 580 及絕緣體 550 等包含過多的氧,也可以抑制該氧過度供應到氧化物 530a 及氧化物 530b。因此,可以抑制區域 530ba 及區域 530bb 藉由區域 530bc 被過度氧化而導致電晶體 500 的通態電流的下降或場效移動率的下降。

【0783】此外,如圖 35A 所示,絕緣體 552 以與導電體 542、絕緣體 544、絕緣體 571 及絕緣體 580 各自的側面接觸的方式設置。因此,可以減少導電體 542 的側面被氧化而氧化膜形成在該側面。因此,可以抑制導致電晶體 500 的通態電流的下降或場效移動率的下降。

【0784】此外,絕緣體 552 需要與絕緣體 554、絕緣體 550、導電體 560 一起設置在形成於絕緣體 580 等中的開口中。為了實現電晶體 500 的微型化,絕緣體 552 的厚度較佳為小。絕緣體 552 的厚度為 0.1nm 以上、0.5nm 以上或 1.0nm 以上且 1.0nm 以下、3.0nm 以下或 5.0nm 以下。上述下限值及上限值可以分別組合。此時,絕緣體 552 的至少一部分是具有上述厚度的區域即可。此

外，絕緣體 552 的厚度較佳為比絕緣體 550 的厚度小。此時，絕緣體 552 的至少一部分是厚度比絕緣體 550 小的區域即可。

【0785】為了如上所述地將絕緣體 552 形成得薄，較佳為利用 ALD 法形成絕緣體 552。ALD 法有只利用熱能使前驅物及反應物起反應的熱 ALD (Thermal ALD) 法、使用收到電漿激發的反應物的 PEALD (Plasma Enhanced ALD) 法等。在 PEALD 法中，藉由利用電漿可以在更低溫下進行形成，所以有時是較佳的。

【0786】此外，ALD 法可以利用作為原子的性質的自調整性來沉積每一層的原子，從而發揮能夠形成極薄的膜、能夠對縱橫比高的結構形成膜、能夠以針孔等的缺陷少的方式形成膜、能夠形成覆蓋性優良的膜及能夠在低溫下形成膜等的效果。因此，可以在形成於絕緣體 580 等中的開口的側面等以上述較小的厚度且高覆蓋性形成絕緣體 552。

【0787】ALD 法中使用的前驅物有時包含碳等。因此，利用 ALD 法形成的膜有時與利用其它的成膜方法形成的膜相比包含更多的碳等雜質。此外，雜質的定量可以利用二次離子質譜分析 (SIMS: Secondary Ion Mass Spectrometry) 或 X 射線光電子能譜 (XPS: X-ray Photoelectron Spectroscopy) 測量。

【0788】絕緣體 550 被用作閘極絕緣體的一部分。絕緣體 550 較佳為以與絕緣體 552 的頂面接觸的方式配置。絕緣體 550 可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、添加有氟的氧化矽、添加有碳的氧化矽、添加有碳及氮的氧化矽、具有空孔的氧化矽等。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。此時，絕緣體 550 是至少包含氧及矽的絕緣體。

【0789】與絕緣體 524 同樣，較佳為絕緣體 550 中的水、氫等雜質的濃度得到降低。絕緣體 550 的厚度較佳為 1nm 以上或 0.5nm 以上且 15.0nm 以下或

20nm 以下。上述下限值及上限值可以分別組合。此時，絕緣體 550 的至少一部分是具有上述厚度的區域即可。

【0790】在圖 35A 及圖 35B 等中，示出絕緣體 550 具有單層的結構，但是本發明不侷限於此，也可以採用兩層以上的疊層結構。例如，如圖 37B 所示，絕緣體 550 也可以具有絕緣體 550a 與絕緣體 550a 上的絕緣體 550b 這兩層的疊層結構。

【0791】如圖 37B 所示，在使絕緣體 550 具有兩層疊層結構的情況下，較佳的是，下層的絕緣體 550a 使用容易使氧透過的絕緣體形成，而上層的絕緣體 550b 使用具有抑制氧的擴散的功能的絕緣體形成。藉由採用這種結構，可以抑制包含在絕緣體 550a 中的氧擴散到導電體 560。換言之，可以抑制對氧化物 530 供應的氧量的減少。此外，可以抑制因包含在絕緣體 550a 中的氧導致的導電體 560 的氧化。例如，絕緣體 550a 使用上述的能夠用於絕緣體 550 的材料，絕緣體 550b 使用包含鋁和鉛中的一者或兩者的氧化物的絕緣體，即可。作為該絕緣體，可以使用包含氧化鋁、氧化鉛、包含鋁及鉛的氧化物（鋁酸鉛）、包含鉛及矽的氧化物（矽酸鉛）等。在本實施方式中，作為絕緣體 550b，使用氧化鉛。此時，絕緣體 550b 是至少包含氧及鉛的絕緣體。此外，絕緣體 550b 的厚度為 0.5nm 以上且 5.0nm 以下，較佳為 1.0nm 以上且 5.0nm 以下，更佳為 1.0nm 以上且 3.0nm 以下。此時，絕緣體 550b 的至少一部分是具有上述厚度的區域即可。

【0792】注意，當絕緣體 550a 使用氧化矽、氧氮化矽等時，絕緣體 550b 也可以使用相對介電常數高的 high-k 材料的絕緣材料形成。藉由作為閘極絕緣體採用絕緣體 550a 及絕緣體 550b 的疊層結構，可以形成具有熱穩定性且相對介電常數高的疊層結構。因此，可以在保持閘極絕緣體的物理厚度的同時降低

在電晶體工作時施加的閘極電位。此外，可以減少被用作閘極絕緣體的絕緣體的等效氧化物厚度（EOT）。因此，可以提高絕緣體 550 的絕緣耐壓。

【0793】絕緣體 554 被用作閘極絕緣體的一部分。作為絕緣體 554 較佳為使用氫阻擋絕緣膜。由此，可以防止包含在導電體 560 中的氫等雜質擴散到絕緣體 550 及氧化物 530b。作為絕緣體 554 使用上述可用於絕緣體 522 或絕緣體 524 的絕緣體即可。例如，作為絕緣體 554 使用利用 PEALD 法形成的氮化矽即可。此時，絕緣體 554 是至少包含氮、矽的絕緣體。

【0794】此外，絕緣體 554 也可以還具有氧阻擋性。由此，可以抑制包含在絕緣體 550 中的氧擴散到導電體 560。

【0795】此外，絕緣體 554 需要與絕緣體 552、絕緣體 550、導電體 560 一起設置在形成於絕緣體 580 等中的開口中。為了實現電晶體 500 的微型化，絕緣體 554 的厚度較佳為小。絕緣體 554 的厚度為 0.1nm 以上、0.5nm 以上或 1.0nm 以上且 3.0nm 以下或 5.0nm 以下。上述下限值及上限值可以分別組合。此時，絕緣體 554 的至少一部分是具有上述厚度的區域即可。此外，絕緣體 554 的厚度較佳為比絕緣體 550 的厚度小。此時，絕緣體 554 的至少一部分是厚度比絕緣體 550 小的區域即可。

【0796】導電體 560 被用作電晶體 500 的第一閘極電極。導電體 560 較佳為包括導電體 560a 以及配置在導電體 560a 上的導電體 560b。例如，較佳為以包圍導電體 560b 的底面及側面的方式配置導電體 560a。此外，如圖 35A 及圖 35B 所示，導電體 560 的頂面與絕緣體 550 的頂面大致對齊。雖然在圖 35A 及圖 35B 中導電體 560 具有導電體 560a 和導電體 560b 的兩層結構，但是也可以具有單層結構或三層以上的疊層結構。

【0797】作為導電體 560a 較佳為使用具有抑制氫原子、氫分子、水分子、氮原子、氮分子、氧化氮分子、銅原子等雜質的擴散的功能的導電材料。此

外，較佳為使用具有抑制氧（例如，氧原子、氧分子等中的至少一個）的擴散的功能的導電材料。

【0798】此外，當導電體 560a 具有抑制氧的擴散的功能時，可以抑制絕緣體 550 所包含的氧使導電體 560b 氧化而導致導電率的下降。作為具有抑制氧擴散的功能的導電材料，例如可以使用鈦、氮化鈦、鉭、氮化鉭、鈮、氧化鈮等。

【0799】此外，由於導電體 560 還被用作佈線，所以較佳為使用導電性高的導電體。例如，導電體 560b 可以使用鎢、銅或鋁為主要成分的導電材料。此外，導電體 560b 可以具有疊層結構，例如可以具有鈦或氮化鈦與上述導電材料的疊層結構。

【0800】此外，在電晶體 500 中，以嵌入絕緣體 580 等的開口中的方式自對準地形成導電體 560。藉由如此形成導電體 560，可以在導電體 542a 和導電體 542b 之間的區域中無需對準並確實地配置導電體 560。

【0801】此外，如圖 35B 所示，在電晶體 500 的通道寬度方向上，以絕緣體 522 的底面為基準，導電體 560 的導電體 560 不與氧化物 530b 重疊的區域的底面的高度較佳為比氧化物 530b 的底面的高度低。藉由採用被用作閘極電極的導電體 560 隔著絕緣體 550 等覆蓋氧化物 530b 的通道形成區域的側面及頂面的結構，容易使導電體 560 的電場作用於氧化物 530b 的通道形成區域整體。由此，可以提高電晶體 500 的通態電流及頻率特性。以絕緣體 522 的底面為基準時的氧化物 530a 及氧化物 530b 不與導電體 560 重疊的區域的導電體 560 的底面的高度與氧化物 530b 的底面的高度之差為 0nm 以上、3nm 以上或 5nm 以上且 20nm 以下、50nm 以下或 100nm 以下。上述下限值及上限值可以分別組合。

【0802】絕緣體 580 設置在絕緣體 544 上，在將設置絕緣體 550 及導電體 560 的區域中形成開口。此外，絕緣體 580 的頂面也可以被平坦化。

【0803】較佳的是，被用作層間膜的絕緣體 580 的介電常數低。藉由將介電常數低的材料用於層間膜，可以減少產生在佈線之間的寄生電容。絕緣體 580 例如較佳為使用與絕緣體 516 同樣的材料形成。尤其是，氧化矽及氧氮化矽具有熱穩定性，所以是較佳的。特別是，因為氧化矽、氧氮化矽、具有空孔的氧化矽等材料容易形成包含藉由加熱脫離的氧的區域，所以是較佳的。

【0804】絕緣體 580 中的水、氫等雜質濃度較佳為得到降低。例如，作為絕緣體 580 適當地使用氧化矽、氧氮化矽等包含矽的氧化物即可。

【0805】絕緣體 574 較佳為被用作抑制水、氫等雜質從上方向絕緣體 580 擴散的阻擋絕緣膜且具有俘獲氫等雜質的功能。此外，絕緣體 574 較佳為被用作抑制氧透過的阻擋絕緣膜。作為絕緣體 574，使用具有非晶結構的金屬氧化物，例如氧化鋁等絕緣體即可。此時的絕緣體 574 是至少包含氧及鋁的絕緣體。藉由在夾在絕緣體 512 與絕緣體 581 的區域內設置與絕緣體 580 接觸且具有俘獲氫等雜質的功能的絕緣體 574，可以俘獲包含在絕緣體 580 等中的氫等雜質而將該區域內的氫量為一定的值。尤其是，絕緣體 574 較佳為使用具有非晶結構的氧化鋁，因為有時能夠更有效地俘獲或固定氫。由此，可以製造特性良好且可靠性高的電晶體 500 及半導體裝置。

【0806】絕緣體 576 可以被用作抑制水、氫等雜質從上方擴散到絕緣體 580 的阻擋絕緣膜。絕緣體 576 配置在絕緣體 574 上。作為絕緣體 576，較佳為使用氮化矽或氮氧化矽等包含矽的氮化物。例如，作為絕緣體 576 使用藉由濺射法形成的氮化矽。藉由使用濺射法形成絕緣體 576，可以形成密度高的氮化矽膜。此外，作為絕緣體 576，也可以在藉由濺射法形成的氮化矽上還層疊藉由 PEALD 法或 CVD 法形成的氮化矽。

【0807】此外，電晶體 500 的第一端子及第二端子中的一個與用作插頭的導電體 540a 電連接，電晶體 500 的第一端子及第二端子中的另一個與用作插頭的導電體 540b 電連接。在本說明書等中，將導電體 540a 及導電體 540b 統稱為導電體 540。

【0808】作為一個例子，導電體 540a 設置在與導電體 542a 重疊的區域。明確而言，在與導電體 542a 重疊的區域，在圖 35A 所示的絕緣體 544、絕緣體 571、絕緣體 580、絕緣體 574、絕緣體 576、絕緣體 581、圖 34 所示的絕緣體 582 以及絕緣體 586 中形成有開口部，在該開口部的內側設置有導電體 540a。此外，作為一個例子，導電體 540b 設置在與導電體 542b 重疊的區域。明確而言，在與導電體 542b 重疊的區域，在圖 35A 所示的絕緣體 544、絕緣體 571、絕緣體 580、絕緣體 574、絕緣體 576、絕緣體 581、圖 34 所示的絕緣體 582 以及絕緣體 586 中形成有開口部，在該開口部的內側設置有導電體 540b。關於絕緣體 582 及絕緣體 586 將在後面描述。

【0809】此外，如圖 35A 所示，也可以在與導電體 542a 重疊的區域中的開口部的側面與導電體 540a 之間設置絕緣體 541a 作為具有雜質阻擋性的絕緣體。同樣，也可以在與導電體 542b 重疊的區域中的開口部的側面與導電體 540b 之間設置絕緣體 541b 作為具有雜質阻擋性的絕緣體。在本說明書等中，將絕緣體 541a 及絕緣體 541b 統稱為絕緣體 541。

【0810】導電體 540a 及導電體 540b 較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，導電體 540a 及導電體 540b 也可以具有疊層結構。

【0811】當作為導電體 540 採用疊層結構時，作為配置在絕緣體 581、絕緣體 576、絕緣體 574、絕緣體 580、絕緣體 544 及絕緣體 571 附近的第一導電體較佳為使用具有抑制水、氫等雜質的透過的功能的導電材料。例如，較佳為使用鈿、氮化鈿、鈦、氮化鈦、鈺、氧化鈺等。可以以單層或疊層使用具有抑

制水、氫等雜質的透過的功能的導電材料。此外，可以防止包含在絕緣體 576 的上方的層的水、氫等雜質藉由導電體 540a 及導電體 540b 混入到氧化物 530。

【0812】作為絕緣體 541a 及絕緣體 541b，使用可用於絕緣體 544 等的阻擋絕緣膜即可。作為絕緣體 541a 及絕緣體 541b，例如可以使用氮化矽、氧化鋁、氮氧化矽等絕緣體。因為絕緣體 541a 及絕緣體 541b 與絕緣體 576、絕緣體 574 及絕緣體 571 接觸地設置，所以可以抑制包含在絕緣體 580 等中的水、氫等雜質經過導電體 540a 及導電體 540b 混入氧化物 530。尤其是，氮化矽的氫阻擋性高，所以是較佳的。此外，可以防止絕緣體 580 所包含的氧被導電體 540a 及導電體 540b 吸收。

【0813】在絕緣體 541a 及絕緣體 541b 具有如圖 35A 所示那樣的疊層結構時，作為與絕緣體 580 等的開口的內壁接觸的第一絕緣體以及其內側的第二絕緣體較佳為組合使用氧阻擋絕緣膜和氫阻擋絕緣膜。

【0814】例如，作為第一絕緣體使用利用 ALD 法形成的氧化鋁且作為第二絕緣體使用利用 PEALD 法形成的氮化矽即可。藉由採用這樣的結構，可以抑制導電體 540 的氧化，並且可以抑制氫進入導電體 540 中。

【0815】此外，在電晶體 500 中，層疊有絕緣體 541 的第一絕緣體與絕緣體 541 的第二導電體，但是本發明不侷限於此。例如，絕緣體 541 也可以具有單層結構或者三層以上的疊層結構。此外，在電晶體 500 中，層疊有導電體 540 的第一導電體與導電體 540 的第二導電體，但是本發明不侷限於此。例如，導電體 540 也可以具有單層結構或者三層以上的疊層結構。

【0816】此外，如圖 34 所示，也可以以與導電體 540a 的上部及導電體 540b 的上部接觸的方式配置被用作佈線的導電體 610、導電體 612 等。導電體 610、導電體 612 較佳為使用以鎢、銅或鋁為主要成分的導電材料。此外，該

導電體也可以具有疊層結構。明確而言，例如，該導電體也可以具有鈦或氮化鈦與上述導電材料的疊層。此外，該導電體也可以嵌入設置在絕緣體中的開口而形成。

【0817】此外，本發明的一個實施方式的半導體裝置所包括的電晶體的結構不侷限於圖 34、圖 35A、圖 35B 及圖 36 所示的電晶體 500。本發明的一個實施方式的半導體裝置所包括的電晶體的結構也可以根據狀況而改變。

【0818】例如，圖 34、圖 35A、圖 35B 及圖 36 所示的電晶體 500 也可以具有圖 38 所示的結構。圖 38 的電晶體包括氧化物 543a 及氧化物 543b，這一點與圖 34、圖 35A、圖 35B 及圖 36 所示的電晶體 500 不同。在本說明書等中，將氧化物 543a 及氧化物 543b 統稱為氧化物 543。此外，圖 38 的電晶體的通道寬度方向上的剖面結構可以與圖 35B 所示的電晶體 500 的剖面結構同樣。

【0819】氧化物 543a 設置在氧化物 530b 和導電體 542a 之間，氧化物 543b 設置在氧化物 530b 和導電體 542b 之間。在此，氧化物 543a 較佳為與氧化物 530b 的頂面及導電體 542a 的底面接觸。此外，氧化物 543b 較佳為與氧化物 530b 的頂面及導電體 542b 的底面接觸。

【0820】氧化物 543 較佳為具有抑制氧透過的功能。藉由在被用作源極電極或汲極電極的導電體 542 與氧化物 530b 之間配置具有抑制氧透過的功能的氧化物 543，導電體 542 與氧化物 530b 之間的電阻被減少，所以是較佳的。藉由採用這樣的結構，有時可以提高電晶體 500 的電特性、場效移動率及可靠性。

【0821】作為氧化物 543 也可以使用包含元素 M 的金屬氧化物。尤其是，作為元素 M 較佳為使用鋁、鎵、鉍或錫。氧化物 543 的元素 M 的濃度較佳為比氧化物 530b 高。此外，作為氧化物 543 也可以使用氧化鎵。此外，作為氧化物 543 也可以使用 In-M-Zn 氧化物等金屬氧化物。明確而言，用於氧化物 543 的金屬氧化物中的 In 與元素 M 的原子個數比較佳為大於用於氧化物 530b 的金

屬氧化物中的 In 與元素 M 的原子個數比。此外，氧化物 543 的厚度較佳為 0.5nm 以上或 1nm 以上且 2nm 以下、3nm 以下或 5nm 以下。上述下限值及上限值可以分別組合。此外，氧化物 543 較佳為具有結晶性。在氧化物 543 具有結晶性的情況下，可以適當地抑制氧化物 530 中的氧的釋放。例如，在氧化物 543 具有六方晶等結晶結構的情況下，有時可以抑制氧化物 530 中的氧的釋放。

【0822】在絕緣體 581 上設置有絕緣體 582，在絕緣體 582 上設置有絕緣體 586。

【0823】絕緣體 582 較佳為使用對氧或氫具有阻擋性的物質。因此，作為絕緣體 582 可以使用與絕緣體 514 同樣的材料。例如，作為絕緣體 582 較佳為使用氧化鋁、氧化鉛、氧化鉍等金屬氧化物。

【0824】作為絕緣體 586 可以使用與絕緣體 320 同樣的材料。此外，藉由作為這些絕緣體應用介電常數較低的材料，可以減少產生在佈線之間的寄生電容。例如，作為絕緣體 586，可以使用氧化矽膜及氧氮化矽膜等。

【0825】接著，說明圖 34 及圖 36 所示的半導體裝置所包括的電容器 600 及其周邊的佈線或插頭。此外，在圖 34 及圖 36 所示的電晶體 500 上方設置有電容器 600、佈線及/或插頭。

【0826】作為一個例子，電容器 600 包括導電體 610、導電體 620、絕緣體 630。

【0827】導電體 610 設置在導電體 540a 及導電體 540b 中的一個、導電體 546 及絕緣體 586 上。導電體 610 被用作電容器 600 的一對電極中的一個。

【0828】此外，導電體 612 設置在導電體 540a 及導電體 540b 中的另一個及絕緣體 586 上。導電體 612 具有電連接電晶體 500 的插頭、佈線、端子等的

功能。明確而言，例如，導電體 612 可以為實施方式 1 所示的運算電路 MAC5 中的佈線 WAD 或佈線 WBD。

【0829】此外，可以同時形成導電體 612 及導電體 610。

【0830】作為導電體 612 及導電體 610 可以使用包含選自鋁、鈦、鈮、鎢、鋁、銅、鉻、鈹、鈳中的元素的金屬膜或以上述元素為成分的金屬氮化物膜(氮化鈮膜、氮化鈦膜、氮化鋁膜、氮化鎢膜)等。或者，也可以使用銮錫氧化物、包含氧化鎢的銮氧化物、包含氧化鎢的銮鋅氧化物、包含氧化鈦的銮氧化物、包含氧化鈦的銮錫氧化物、銮鋅氧化物、添加有氧化矽的銮錫氧化物等導電材料。

【0831】在圖 34 中，導電體 612 及導電體 610 具有單層結構，但是不侷限於此，也可以具有兩層以上的疊層結構。例如，也可以在具有阻擋性的導電體與導電性高的導電體之間形成與具有阻擋性的導電體以及導電性高的導電體緊密性高的導電體。

【0832】在絕緣體 586 及導電體 610 上設置有絕緣體 630。此外，絕緣體 630 被用作夾在電容器 600 的一對電極間的介電質。

【0833】作為絕緣體 630，例如可以使用氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鋁、氧氮化鋁、氮氧化鋁、氮化鋁、氧化鉛、氧氮化鉛、氮氧化鉛、氮化鉛、氧化銻等。此外，絕緣體 630 可以使用上述材料形成為疊層或單層。

【0834】在本說明書中，“氧氮化鉛”是指氧含量多於氮含量的材料，“氮氧化鉛”是指氮含量多於氧含量的材料。

【0835】例如，絕緣體 630 可以使用氧氮化矽等絕緣耐壓力高的材料和高介電常數 (high-k) 材料的疊層結構。藉由採用該結構，電容器 600 可以包括

高介電常數（**high-k**）的絕緣體來確保充分的電容，並可以包括絕緣耐應力高的絕緣體來提高絕緣耐應力，從而可以抑制電容器 600 的靜電破壞。

【0836】 注意，作為高介電常數（**high-k**）材料（相對介電常數高的材料）的絕緣體，有氧化鎵、氧化鉛、氧化鋅、具有鋁及鉛的氧化物、具有鋁及鉛的氧氮化物、具有矽及鉛的氧化物、具有矽及鉛的氧氮化物或具有矽及鉛的氮化物等。

【0837】 此外，作為絕緣體 630，例如也可以以單層或疊層使用包含氧化鋁、氧化鉛、氧化鋇、氧化鋅、鋯鈦酸鉛（**PZT**）、鈦酸鋇（**SrTiO₃**）或（**Ba, Sr**）**TiO₃**（**BST**）等 **high-k** 材料的絕緣體。此外，作為絕緣體 630 也可以使用包含鉛、鋅的化合物等。隨著半導體裝置微型化及高積體化，由於用於閘極絕緣體及電容器的介電質薄膜化，有時發生電晶體及/或電容器的洩漏電流等的問題。藉由作為被用作閘極絕緣體及電容器的介電質的絕緣體使用 **high-k** 材料，可以在保持物理厚度的同時降低電晶體工作時的閘極電位並確保電容器的電容。此外，作為絕緣體 630，可以使用具有鐵電性的材料。作為具有鐵電性的材料，例如可以使用氧化鉛和氧化鋅的混晶（也稱為“**HZO**”）或對氧化鉛添加了元素 **J**（元素 **J** 為矽（**Si**）、鋁（**Al**）、釷（**Gd**）、釷（**Y**）、鐳（**La**）、鋇（**Sr**）等）的材料。此外，絕緣體 630 也可以使用具有鈣鈦礦結構的壓電陶瓷。例如，也可以使用鋯鈦酸鉛（**PZT**）、鋇酸鋇鈦（**SBT**）、鐵酸鈦（**BFO**）或鈦酸鋇。此外，絕緣體 630 也可以使用釷安定氧化鋅（**YSZ**）、**PbTiO_x**、鈦酸鋇鋇（**BST**）、鈦酸鋇等。

【0838】 以隔著絕緣體 630 重疊於導電體 610 的方式設置導電體 620。導電體 610 具有電容器 600 的一對電極中的一個的功能。例如，導電體 620 也可以被用作實施方式 1 所示的運算電路 **MAC5** 中的佈線 **XAL** 或佈線 **XBL**。

【0839】作為導電體 620 可以使用金屬材料、合金材料、金屬氧化物材料等導電材料。較佳為使用兼具耐熱性和導電性的鎢或鉬等高熔點材料，尤其較佳為使用鎢。當與導電體等其他組件同時形成導電體 620 時，使用低電阻金屬材料的 Cu(銅)或 Al(鋁)等即可。此外，例如，導電體 620 可以使用可以應用於導電體 610 的材料。此外，導電體 620 也可以具有兩層以上的疊層結構而不具有單層結構。

【0840】在導電體 620 及絕緣體 630 上設置有絕緣體 640。作為絕緣體 640，例如較佳為使用能夠防止氫、雜質等擴散到設置有電晶體 500 的區域中的具有阻擋性的膜。因此，絕緣體 640 可以使用與絕緣體 324 同樣的材料。

【0841】在絕緣體 640 上設置有絕緣體 650。絕緣體 650 可以使用與絕緣體 320 同樣的材料形成。此外，絕緣體 650 也可以被用作覆蓋其下方的凹凸形狀的平坦化膜。因此，絕緣體 650 可以使用可以應用於絕緣體 324 的材料。

【0842】雖然圖 34 及圖 36 所示的電容器 600 為平面型，但是電容器的形狀不侷限於此。電容器 600 例如也可以不是平面型而是圓柱型的電容器。

【0843】此外，也可以在電容器 600 上方設置有佈線層。例如，在圖 34 中，絕緣體 411、絕緣體 412、絕緣體 413 及絕緣體 414 依次設置在絕緣體 650 上方。此外，在絕緣體 411、絕緣體 412 及絕緣體 413 中設置有被用作插頭或佈線的導電體 416。作為一個例子，導電體 416 設置在與後述導電體 660 重疊的區域。

【0844】此外，在絕緣體 630、絕緣體 640 及絕緣體 650 中，在與導電體 612 重疊的區域設置有開口部，以嵌入該開口部的方式設置有導電體 660。導電體 660 被用作與上述佈線層所包括的導電體 416 電連接的插頭或佈線。

【0845】與絕緣體 324 同樣，絕緣體 411 及絕緣體 414 例如較佳為使用對水、氫等雜質具有阻擋性的絕緣體。因此，絕緣體 411 及絕緣體 414 可以使用可用於絕緣體 324 等的材料。

【0846】例如，與絕緣體 326 同樣，絕緣體 412 及絕緣體 413 較佳為使用相對介電常數較低的絕緣體以降低佈線間產生的寄生電容。

【0847】此外，導電體 612 及導電體 416 例如可以使用與導電體 328 及導電體 330 同樣的材料形成。

【0848】藉由使用本實施方式所示的本結構作為使用包含氧化物半導體的電晶體的半導體裝置，可以在抑制該電晶體的電特性的變動的同時提高可靠性。此外，可以實現使用包含氧化物半導體的電晶體的半導體裝置的微型化或高積體化。

【0849】注意，本實施方式可以與本說明書所示的其他實施方式適當地組合。

【0850】（實施方式 6）

在本實施方式中，說明可用於上述實施方式中說明的 OS 電晶體的金屬氧化物（下面稱為氧化物半導體）。

【0851】金屬氧化物較佳為至少包含銮或鋅。尤其較佳為包含銮及鋅。此外，除此之外，較佳為還包含鋁、鎳、鈮、錫等。此外，也可以包含選自硼、鈦、鐵、鎳、銻、銦、鉬、釩、鈷、鎢、鎂及鈷等中的一種或多種。

【0852】

[結晶結構的分類]

首先，對氧化物半導體中的結晶結構的分類參照圖 39A 進行說明。圖 39A 是說明氧化物半導體，典型為 IGZO（包含 In、Ga、Zn 的金屬氧化物）的結晶結構的分類的圖。

【0853】如圖 39A 所示，氧化物半導體大致分為“Amorphous（無定形）”、“Crystalline（結晶性）”、“Crystal（結晶）”。此外，completely amorphous 包含在“Amorphous”中。此外，在“Crystalline”中包含 CAAC（c-axis-aligned crystalline）、nc（nanocrystalline）及 CAC（cloud-aligned composite）。此外，在“Crystalline”的分類中不包含 single crystal（單晶）、poly crystal（多晶）及 completely amorphous。此外，在“Crystal”中包含 single crystal 及 poly crystal。

【0854】此外，圖 39A 所示的外框線被加粗的部分中的結構是介於“Amorphous（無定形）”與“Crystal（結晶）”之間的中間狀態，是屬於新穎的邊界區域（New crystalline phase）的結構。換言之，該結構與“Crystal（結晶）”或在能量性上不穩定的“Amorphous（無定形）”可以說是完全不同的結構。

【0855】可以使用 X 射線繞射（XRD：X-Ray Diffraction）譜對膜或基板的結晶結構進行評價。在此，圖 39B 示出被分類為“Crystalline”的 CAAC-IGZO 膜的藉由 GIXD（Grazing-Incidence XRD）測量而得到的 XRD 譜（縱軸以任意單位表示強度）。此外，將 GIXD 法也稱為薄膜法或 Seemann-Bohlin 法。下面，將藉由圖 39B 所示的 GIXD 測量而得到的 XRD 譜簡單地記為 XRD 譜。此外，圖 39B 所示的 CAAC-IGZO 膜的組成是 In：Ga：Zn=4：2：3[原子個數比]附近。此外，圖 39B 所示的 CAAC-IGZO 膜的厚度為 500nm。

【0856】如圖 39B 所示，在 CAAC-IGZO 膜的 XRD 譜中檢測出表示明確的結晶性的峰值。明確而言，在 CAAC-IGZO 膜的 XRD 譜中， $2\theta=31^\circ$ 附近檢

測出表示 c 軸配向的峰值。此外，如圖 39B 所示那樣， $2\theta=31^\circ$ 附近的峰值在以檢測出峰值強度的角度為軸時左右非對稱。

【0857】此外，可以使用奈米束電子繞射法（NBED：Nano Beam Electron Diffraction）觀察的繞射圖案（也稱為奈米束電子繞射圖案）對膜或基板的結晶結構進行評價。圖 39C 示出 CAAC-IGZO 膜的繞射圖案。圖 39C 是將電子束向平行於基板的方向入射的 NBED 觀察的繞射圖案。此外，圖 39C 所示的 CAAC-IGZO 膜的組成是 In：Ga：Zn=4：2：3[原子個數比]附近。此外，在奈米束電子繞射法中，進行束徑為 1nm 的電子繞射法。

【0858】如圖 39C 所示那樣，在 CAAC-IGZO 膜的繞射圖案中觀察到表示 c 軸配向的多個斑點。

【0859】

<<氧化物半導體的結構>>

此外，在注目於氧化物半導體的結晶結構的情況下，有時氧化物半導體的分類與圖 39A 不同。例如，氧化物半導體可以分類為單晶氧化物半導體和除此之外的非單晶氧化物半導體。作為非單晶氧化物半導體，例如可以舉出上述 CAAC-OS 及 nc-OS。此外，在非單晶氧化物半導體中包含多晶氧化物半導體、a-like OS（amorphous-like oxide semiconductor）及非晶氧化物半導體等。

【0860】在此，對上述 CAAC-OS、nc-OS 及 a-like OS 的詳細內容進行說明。

【0861】

[CAAC-OS]

CAAC-OS 是包括多個結晶區域的氧化物半導體，該多個結晶區域的 c 軸配向於特定的方向。此外，特定的方向是指 CAAC-OS 膜的厚度方向、CAAC-OS 膜的被形成面的法線方向或者 CAAC-OS 膜的表面的法線方向。此外，結晶

區域是具有原子排列的週期性的區域。注意，在將原子排列看作品格排列時結晶區域也是晶格排列一致的區域。再者，CAAC-OS 具有在 a-b 面方向上多個結晶區域連接的區域，有時該區域具有畸變。此外，畸變是指在多個結晶區域連接的區域中，晶格排列一致的區域和其他晶格排列一致的區域之間的晶格排列的方向變化的部分。換言之，CAAC-OS 是指 c 軸配向並在 a-b 面方向上沒有明顯的配向的氧化物半導體。

【0862】此外，上述多個結晶區域的每一個由一個或多個微小結晶（最大徑小於 10nm 的結晶）構成。在結晶區域由一個微小結晶構成的情況下，該結晶區域的最大徑小於 10nm。此外，結晶區域由多個微小結晶構成的情況下，有時該結晶區域的尺寸為幾十 nm 左右。

【0863】此外，在 In-M-Zn 氧化物（元素 M 為選自鋁、鎵、鉍、錫及鈦等中的一種或多種）中，CAAC-OS 有包括含有層疊有銦（In）及氧的層（以下，In 層）、含有元素 M、鋅（Zn）及氧的層（以下，（M，Zn）層）的層狀結晶結構（也稱為層狀結構）的趨勢。此外，銦和元素 M 可以彼此置換。因此，有時（M，Zn）層包含銦。此外，有時 In 層包含元素 M。注意，有時 In 層包含 Zn。該層狀結構例如在高解析度 TEM 影像中被觀察作為晶格像。

【0864】例如，當對 CAAC-OS 膜使用 XRD 裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的 Out-of-plane XRD 測量中，在 $2\theta=31^\circ$ 或其附近檢測出 c 軸配向的峰值。注意，表示 c 軸配向的峰值的位置（ 2θ 值）有時根據構成 CAAC-OS 的金屬元素的種類、組成等變動。

【0865】此外，例如，在 CAAC-OS 膜的電子繞射圖案中觀察到多個亮點（斑點）。此外，在以透過樣本的入射電子束的斑點（也稱為直接斑點）為對稱中心時，某一個斑點和其他斑點被觀察在點對稱的位置。

【0866】在從上述特定的方向觀察結晶區域的情況下，雖然該結晶區域中的晶格排列基本上是六方晶格，但是單位晶格並不侷限於正六角形，有是非正六角形的情況。此外，在上述畸變中，有時具有五角形、七角形等晶格排列。此外，在 CAAC-OS 的畸變附近觀察不到明確的晶界（grain boundary）。也就是說，晶格排列的畸變抑制晶界的形成。這可能是由於 CAAC-OS 可容許因如下原因而發生的畸變，亦即 a-b 面方向上的氧原子的排列的低密度或因金屬原子被取代而使原子間的鍵合距離產生變化。

【0867】此外，確認到明確的晶界的結晶結構被稱為所謂的多晶（polycrystal）。晶界成為再結合中心而載子被俘獲，因而有可能導致電晶體的通態電流的降低、場效移動率的降低等。因此，確認不到明確的晶界的 CAAC-OS 是使電晶體的半導體層具有優異的結晶結構的結晶性氧化物之一。注意，為了構成 CAAC-OS，較佳為包含 Zn 的結構。例如，與 In 氧化物相比，In-Zn 氧化物及 In-Ga-Zn 氧化物能夠進一步地抑制晶界的發生，所以是較佳的。

【0868】CAAC-OS 是結晶性高且確認不到明確的晶界的氧化物半導體。因此，可以說在 CAAC-OS 中，不容易發生起因於晶界的電子移動率的降低。此外，氧化物半導體的結晶性有時因雜質的混入或缺陷的生成等而降低，因此可以說 CAAC-OS 是雜質或缺陷（氧缺陷等）少的氧化物半導體。因此，包含 CAAC-OS 的氧化物半導體的物理性質穩定。因此，包含 CAAC-OS 的氧化物半導體具有高耐熱性及可靠性良好。此外，CAAC-OS 對製程中的高溫度（所謂熱積存；thermal budget）也很穩定。由此，藉由在 OS 電晶體中使用 CAAC-OS，可以擴大製程的彈性。

【0869】

[nc-OS]

在 nc-OS 中，微小的區域（例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域）中的原子排列具有週期性。換言之，nc-OS 具有微小的結晶。此外，例如，該微小的結晶的尺寸為 1nm 以上且 10nm 以下，尤其為 1nm 以上且 3nm 以下，將該微小的結晶稱為奈米晶。此外，nc-OS 在不同的奈米晶之間觀察不到結晶定向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 在某些分析方法中與 a-like OS 或非晶氧化物半導體沒有差別。例如，在對 nc-OS 膜使用 XRD 裝置進行結構分析時，在使用 $\theta/2\theta$ 掃描的 Out-of-plane XRD 測量中，不檢測出表示結晶性的峰值。此外，在對 nc-OS 膜進行使用其束徑比奈米晶大（例如，50nm 以上）的電子束的電子繞射（也稱為選區電子繞射）時，觀察到類似光暈圖案的繞射圖案。另一方面，在對 nc-OS 膜進行使用其束徑近於或小於奈米晶的尺寸（例如 1nm 以上且 30nm 以下）的電子束的電子繞射（也稱為奈米束電子射線）的情況下，有時得到在以直接斑點為中心的環狀區域內觀察到多個斑點的電子繞射圖案。

【0870】

[a-like OS]

a-like OS 是具有介於 nc-OS 與非晶氧化物半導體之間的結構的氧化物半導體。a-like OS 包含空洞或低密度區域。也就是說，a-like OS 的結晶性比 nc-OS 及 CAAC-OS 的結晶性低。此外，a-like OS 的膜中的氫濃度比 nc-OS 及 CAAC-OS 的膜中的氫濃度高。

【0871】

<<氧化物半導體的構成>>

接著，說明上述的 CAC-OS 的詳細內容。此外，說明 CAC-OS 與材料構成有關。

【0872】

[CAC-OS]

CAC-OS 例如是指包含在金屬氧化物中的元素不均勻地分佈的構成，其中包含不均勻地分佈的元素的材料的尺寸為 0.5nm 以上且 10nm 以下，較佳為 1nm 以上且 3nm 以下或近似的尺寸。注意，在下面也將在金屬氧化物中一個或多個金屬元素不均勻地分佈且包含該金屬元素的區域混合的狀態稱為馬賽克狀或補丁 (patch) 狀，該區域的尺寸為 0.5nm 以上且 10nm 以下，較佳為 1nm 以上且 3nm 以下或近似的尺寸。

【0873】再者，CAC-OS 是指其材料分開為第一區域與第二區域而成為馬賽克狀且該第一區域分佈於膜中的結構（下面也稱為雲狀）。就是說，CAC-OS 是指具有該第一區域和該第二區域混合的結構的複合金屬氧化物。

【0874】在此，將相對於構成 In-Ga-Zn 氧化物的 CAC-OS 的金屬元素的 In、Ga 及 Zn 的原子個數比的每一個記為 [In]、[Ga] 及 [Zn]。例如，在 In-Ga-Zn 氧化物的 CAC-OS 中，第一區域是其 [In] 大於 CAC-OS 膜的組成中的 [In] 的區域。此外，第二區域是其 [Ga] 大於 CAC-OS 膜的組成中的 [Ga] 的區域。此外，例如，第一區域是其 [In] 大於第二區域中的 [In] 且其 [Ga] 小於第二區域中的 [Ga] 的區域。此外，第二區域是其 [Ga] 大於第一區域中的 [Ga] 且其 [In] 小於第一區域中的 [In] 的區域。

【0875】明確而言，上述第一區域是以銦氧化物或銦鋅氧化物等為主要成分的區域。此外，上述第二區域是以鎵氧化物或鎵鋅氧化物等為主要成分的區域。換言之，可以將上述第一區域稱為以 In 為主要成分的區域。此外，可以將上述第二區域稱為以 Ga 為主要成分的區域。

【0876】注意，有時觀察不到上述第一區域和上述第二區域的明確的邊界。

【0877】例如，在 In-Ga-Zn 氧化物的 CAC-OS 中，根據藉由能量色散型 X 射線分析法（EDX：Energy Dispersive X-ray spectroscopy）取得的 EDX 分析影像（EDX-mapping），可確認到具有以 In 為主要成分的區域（第一區域）及以 Ga 為主要成分的區域（第二區域）不均勻地分佈而混合的結構。

【0878】在將 CAC-OS 用於電晶體的情況下，藉由起因於第一區域的導電性和起因於第二區域的絕緣性的互補作用，可以使 CAC-OS 具有開關功能（控制導通/關閉的功能）。換言之，在 CAC-OS 的材料的一部分中具有導電性的功能且在另一部分中具有絕緣性的功能，在材料的整體中具有半導體的功能。藉由使導電性的功能和絕緣性的功能分離，可以最大限度地提高各功能。因此，藉由將 CAC-OS 用於電晶體，可以實現高通態電流（ I_{on} ）、高場效移動率（ μ ）及良好的切換工作。

【0879】氧化物半導體具有各種結構及各種特性。本發明的一個實施方式的氧化物半導體也可以包括非晶氧化物半導體、多晶氧化物半導體、a-like OS、CAC-OS、nc-OS、CAAC-OS 中的兩種以上。

【0880】<包括氧化物半導體的電晶體>

在此，說明將上述氧化物半導體用於電晶體的情況。

【0881】藉由將上述氧化物半導體用於電晶體，可以實現場效移動率高的電晶體。此外，可以實現可靠性高的電晶體。

【0882】此外，較佳為將載子濃度低的氧化物導體用於電晶體的通道形成區域。例如，氧化物半導體的通道形成區域中的載子濃度較佳為 $1 \times 10^{17} \text{cm}^{-3}$ 以下，更佳為低於 $1 \times 10^{15} \text{cm}^{-3}$ ，進一步較佳為低於 $1 \times 10^{13} \text{cm}^{-3}$ ，更進一步較佳為低於 $1 \times 10^{11} \text{cm}^{-3}$ ，還進一步較佳為低於 $1 \times 10^{10} \text{cm}^{-3}$ 且 $1 \times 10^9 \text{cm}^{-3}$ 以上。在以降低氧化物半導體膜的載子濃度為目的的情況下，可以降低氧化物半導體膜中的雜質濃度以降低缺陷態密度。在本說明書等中，將雜質濃度低且缺陷態密度低的

狀態稱為“高純度本質”或“實質上高純度本質”。此外，有時將載子濃度低的氧化物半導體稱為“高純度本質”或“實質上高純度本質的氧化物半導體”。此外，有時將高純度本質或實質上高純度本質稱為“i 型”或“實質上 i 型”。

【0883】因為高純度本質或實質上高純度本質的氧化物半導體膜具有較低的缺陷態密度，所以有可能具有較低的陷阱態密度。

【0884】此外，被氧化物半導體的陷阱能階俘獲的電荷到消失需要較長的時間，有時像固定電荷那樣動作。因此，有時在陷阱態密度高的氧化物半導體中形成通道形成區域的電晶體的電特性不穩定。

【0885】因此，為了使電晶體的電特性穩定，降低氧化物半導體中的雜質濃度是有效的。為了降低氧化物半導體中的雜質濃度，較佳為還降低附近膜中的雜質濃度。作為雜質有氫、氮、鹼金屬、鹼土金屬、鐵、鎳、矽等。

【0886】

<雜質>

在此，說明氧化物半導體中的各雜質的影響。

【0887】在氧化物半導體包含第 14 族元素之一的矽或碳時，在氧化物半導體中形成缺陷能階。因此，將氧化物半導體的通道形成區域中的矽或碳的濃度、氧化物半導體的與通道形成區域的界面附近的矽或碳的濃度（藉由二次離子質譜分析法（SIMS：Secondary Ion Mass Spectrometry）測得的濃度）設定為 2×10^{18} atoms/cm³ 以下，較佳為 2×10^{17} atoms/cm³ 以下。

【0888】此外，當氧化物半導體包含鹼金屬或鹼土金屬時，有時形成缺陷能階而形成載子。因此，使用包含鹼金屬或鹼土金屬的氧化物半導體的電晶體容易具有常開啟特性。由此，將利用 SIMS 分析測得的氧化物半導體的通道形成區域中的鹼金屬或鹼土金屬的濃度設定為 1×10^{18} atoms/cm³ 以下，較佳為 2×10^{16} atoms/cm³ 以下。

【0889】當氧化物半導體包含氮時，容易產生作為載子的電子，使載子濃度增高，而被 n 型化。其結果，將含有氮的氧化物半導體用於半導體的電晶體容易具有常開啟型特性。或者，在氧化物半導體包含氮時，有時形成陷阱能階。其結果，有時電晶體的電特性不穩定。因此，將利用 SIMS 測得的氧化物半導體的通道形成區域中的氮濃度設定為低於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳為 $5 \times 10^{18} \text{atoms/cm}^3$ 以下，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下。

【0890】包含在氧化物半導體中的氫與鍵合於金屬原子的氧起反應生成水，因此有時形成氧缺陷。當氫進入該氧缺陷時，有時生成作為載子的電子。此外，有時由於氫的一部分與鍵合於金屬原子的氧鍵合，產生作為載子的電子。因此，具有含有氫的氧化物半導體的電晶體容易具有常開啟特性。由此，較佳為儘可能減少氧化物半導體的通道形成區域中的氫。明確而言，在氧化物半導體的通道形成區域中，將利用 SIMS 測得的氫濃度設定為低於 $1 \times 10^{20} \text{atoms/cm}^3$ ，更佳為低於 $1 \times 10^{19} \text{atoms/cm}^3$ ，進一步較佳為低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，還進一步較佳為低於 $1 \times 10^{18} \text{atoms/cm}^3$ 。

【0891】藉由將雜質被充分降低的氧化物半導體用於電晶體的通道形成區域，可以使電晶體具有穩定的電特性。

【0892】本實施方式可以與本說明書所示的其他實施方式適當地組合。

【0893】（實施方式 7）

本實施方式示出形成上述實施方式所示的半導體裝置等的半導體晶圓及組裝有該半導體裝置的電子構件的一個例子。

【0894】<半導體晶圓>

首先，使用圖 40A 說明形成有半導體裝置等的半導體晶圓的例子。

【0895】圖 40A 所示的半導體晶圓 4800 包括晶圓 4801 及設置在晶圓 4801 的頂面的多個電路部 4802。在晶圓 4801 的頂面上沒設置有電路部 4802 的部分相當於空隙 4803，其為用於切割的區域。

【0896】半導體晶圓 4800 可以藉由在前製程中在晶圓 4801 的表面上形成多個電路部 4802 來製造。此外，也可以之後對晶圓 4801 的形成有多個電路部 4802 的面的背面進行拋光來減薄晶圓 4801。藉由上述製程，可以減少晶圓 4801 翹曲等而實現構件的小型化。

【0897】下面進行切割製程。沿點劃線所示的劃分線 SCL1 及劃分線 SCL2（有時稱為切割線或截斷線）進行切割。為了容易進行切割製程，較佳為以多個劃分線 SCL1 平行，多個劃分線 SCL2 平行，且劃分線 SCL1 與劃分線 SCL2 垂直的方式設置空隙 4803。

【0898】藉由進行切割製程，可以從半導體晶圓 4800 切割出圖 40B 所示的晶片 4800a。晶片 4800a 包括晶圓 4801a、電路部 4802 以及空隙 4803a。此外，空隙 4803a 較佳為儘可能小。在此情況下，相鄰的電路部 4802 之間的空隙 4803 的寬度只要與劃分線 SCL1 的劃分用部及劃分線 SCL2 的劃分用部大致相等即可。

【0899】此外，本發明的一個實施方式的元件基板的形狀不侷限於圖 40A 所示的半導體晶圓 4800 的形狀。例如，可以為矩形形狀的半導體晶圓。此外，可以根據元件的製程及製造用設備適當地改變元件基板的形狀。

【0900】<電子構件>

圖 40C 示出電子構件 4700 及安裝有電子構件 4700 的基板（安裝基板 4704）的立體圖。圖 40C 所示的電子構件 4700 在模子 4711 中包括晶片 4800a。如圖 40C 所示，晶片 4800a 的電路部 4802 可以具有疊層結構。在圖 40C 中，省略電子構件 4700 的一部分以表示其內部。電子構件 4700 在模子

4711 的外側包括連接盤 (land) 4712。連接盤 4712 與電極焊盤 4713 電連接，電極焊盤 4713 藉由引線 4714 與晶片 4800a 電連接。電子構件 4700 例如安裝於印刷電路板 4702。藉由組合多個該電子構件並使其分別在印刷電路板 4702 上電連接，由此完成安裝基板 4704。

【0901】圖 40D 示出電子構件 4730 的立體圖。電子構件 4730 是 SiP (System in package：系統封裝) 或 MCM (Multi Chip Module：多晶片封裝) 的一個例子。在電子構件 4730 中，封裝基板 4732 (印刷電路板) 上設置有插板 (interposer) 4731，插板 4731 上設置有半導體裝置 4735 及多個半導體裝置 4710。

【0902】電子構件 4730 包括半導體裝置 4710。半導體裝置 4710 例如可以使用在上述實施方式中說明的半導體裝置、高寬頻記憶體 (HBM：High Bandwidth Memory) 等。此外，半導體裝置 4735 可以使用 CPU、GPU、FPGA、記憶體裝置等積體電路 (半導體裝置)。

【0903】封裝基板 4732 可以使用陶瓷基板、塑膠基板或玻璃環氧基板等。插板 4731 可以使用矽插板、樹脂插板等。

【0904】插板 4731 具有多個佈線且具有與端子間距不同的多個積體電路電連接的功能。多個佈線由單層或多層構成。此外，插板 4731 具有將設置於插板 4731 上的積體電路與設置於封裝基板 4732 上的電極電連接的功能。因此，有時也將插板稱為“重佈線基板 (rewiring substrate)”或“中間基板”。此外，有時藉由在插板 4731 中設置貫通電極，藉由該貫通電極使積體電路與封裝基板 4732 電連接。此外，在使用矽插板的情況下，也可以使用 TSV (Through Silicon Via：矽通孔) 作為貫通電極。

【0905】作為插板 4731 較佳為使用矽插板。由於矽插板不需要設置主動元件，所以可以以比積體電路更低的成本製造。矽插板的佈線形成可以在半導體製程中進行，樹脂插板更易於形成微細的佈線。

【0906】在 HBM 中，為了實現寬記憶體頻寬需要連接許多佈線。為此，要求安裝 HBM 的插板上能夠高密度地形成微細的佈線。因此，作為安裝 HBM 的插板較佳為使用矽插板。

【0907】此外，在使用矽插板的 SiP 或 MCM 等中，不容易發生因積體電路與插板間的膨脹係數的不同而導致的可靠性下降。此外，由於矽插板的表面平坦性高，所以設置在矽插板上的積體電路與矽插板間不容易產生連接不良。尤其較佳為將矽插板用於 2.5D 封裝（2.5D 安裝），其中多個積體電路橫著排放並配置於插板上。

【0908】此外，也可以與電子構件 4730 重疊地設置散熱器（散熱板）。在設置散熱器的情況下，較佳為設置於插板 4731 上的積體電路的高度一致。例如，在本實施方式所示的電子構件 4730 中，較佳為使半導體裝置 4710 與半導體裝置 4735 的高度一致。

【0909】為了將電子構件 4730 安裝在其他的基板上，可以在封裝基板 4732 的底部設置電極 4733。圖 40D 示出用焊球形成電極 4733 的例子。藉由在封裝基板 4732 的底部以矩陣狀設置焊球，可以實現 BGA（Ball Grid Array：球柵陣列）安裝。此外，電極 4733 也可以使用導電針形成。藉由在封裝基板 4732 的底部以矩陣狀設置導電針，可以實現 PGA（Pin Grid Array：針柵陣列）安裝。

【0910】電子構件 4730 可以藉由各種安裝方式安裝在其他基板上，而不侷限於 BGA 及 PGA。例如，可以採用 SPGA（Staggered Pin Grid Array：交錯針柵陣列）、LGA（Land Grid Array：平面柵陣列）、QFP（Quad Flat

Package：四面扁平封裝）、QFJ（Quad Flat J-leaded package：四側 J 形引腳扁平封裝）或 QFN（Quad Flat Non-leaded package：四側無引腳扁平封裝）等安裝方法。

【0911】本實施方式可以與本說明書所示的其他實施方式適當地組合。

【0912】

實施方式 8

在本實施方式中，說明包括上述實施方式所說明的半導體裝置的電子裝置的一個例子。圖 41 示出具有該半導體裝置的電子構件 4700 包括在各電子裝置中的情況。

【0913】

[行動電話機]

圖 41 所示的資訊終端 5500 是資訊終端之一的行動電話機（智慧手機）。資訊終端 5500 包括外殼 5510 及顯示部 5511，作為輸入介面在顯示部 5511 中具備觸控面板，並且在外殼 5510 上設置有按鈕。

【0914】藉由將上述實施方式所說明的半導體裝置應用於資訊終端 5500，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出識別會話來將該會話的內容顯示在顯示部 5511 上的應用程式、識別由使用者輸入到顯示部 5511 所具備的觸控面板的文字或圖形等來將該文字或該圖形顯示在顯示部 5511 上的應用程式、執行指紋或聲紋等的生物識別的應用程式等。

【0915】

[可穿戴終端]

此外，圖 41 示出可穿戴終端的一個例子的手錶型資訊終端 5900。手錶型資訊終端 5900 包括外殼 5901、顯示部 5902、操作按鈕 5903、表把 5904、錶帶 5905 等。

【0916】與上述資訊終端 5500 同樣，藉由將上述實施方式所說明的半導體裝置應用於可穿戴終端，可以執行利用人工知能的程式。作為利用人工知能的程式，例如可以舉出管理戴上可穿戴終端的人的健康狀態的程式、藉由輸入目的地選擇適當的路徑而帶路的導航系統等。

【0917】

[資訊終端]

圖 41 示出桌上型資訊終端 5300。桌上型資訊終端 5300 包括資訊終端主體 5301、顯示器 5302 及鍵盤 5303。

【0918】與上述資訊終端 5500 同樣，藉由將上述實施方式所說明的半導體裝置應用於桌上型資訊終端 5300，可以執行利用人工智慧的應用程式。作為利用人工智慧的應用程式，例如，可以舉出設計支援軟體、文章校對軟體、功能表自動生成軟體等。此外，藉由使用桌上型資訊終端 5300，可以研發新穎的人工智慧。

【0919】注意，在上述例子中，圖 41 示出智慧手機、桌上型資訊終端、可穿戴終端作為電子裝置的例子，但是也可以應用智慧手機、桌上型資訊終端、可穿戴終端以外的資訊終端。作為智慧手機、桌上型資訊終端、可穿戴終端以外的資訊終端，例如可以舉出 PDA（Personal Digital Assistant：個人數位助理）、筆記本式資訊終端、工作站等。

【0920】

[電器產品]

此外，圖 41 示出電器產品的一個例子的電冷藏冷凍箱 5800。電冷藏冷凍箱 5800 包括外殼 5801、冷藏室門 5802 及冷凍室門 5803 等。

【0921】藉由將上述實施方式所說明的半導體裝置應用於電冷藏冷凍箱 5800，可以實現具備人工智慧的電冷藏冷凍箱 5800。藉由利用人工智慧，可以使電冷藏冷凍箱 5800 具有基於儲存在電冷藏冷凍箱 5800 中的食品或該食品的消费期限等自動生成功能表的功能、根據所儲存的食物自動調整電冷藏冷凍箱 5800 的溫度的功能。

【0922】在上述例子中，作為電器產品說明電冷藏冷凍箱，但是作為其他電器產品，例如可以舉出吸塵器、微波爐、電烤箱、電鍋、熱水器、IH（感應加熱）炊具、飲水機、包括空氣調節器的冷暖空調機、洗衣機、乾衣機、視聽設備等。

【0923】

[遊戲機]

此外，圖 41 示出遊戲機的一個例子的可攜式遊戲機 5200。可攜式遊戲機 5200 包括外殼 5201、顯示部 5202、按鈕 5203 等。

【0924】此外，圖 41 示出遊戲機的一個例子的固定式遊戲機 7500。固定式遊戲機 7500 包括主體 7520 及控制器 7522。主體 7520 可以以無線方式或有線方式與控制器 7522 連接。此外，雖然在圖 41 中未圖示，但是控制器 7522 可以包括顯示遊戲的影像的顯示部、作為按鈕以外的輸入介面的觸控面板及控制杆、旋轉式抓手、滑動式抓手等。此外，控制器 7522 不侷限於圖 41 所示的形狀，也可以根據遊戲的種類改變控制器 7522 的形狀。例如，在 FPS（First Person Shooter，第一人稱射擊類遊戲）等射擊遊戲中，作為扳機使用按鈕，可以使用模仿槍的形狀的控制器。此外，例如，在音樂遊戲等中，可以使用模仿樂器、音樂器件等的形狀的控制器。再者，固定式遊戲機也可以設置照相機、

深度感測器、麥克風等，由遊戲玩者的手勢及/或聲音等操作以代替控制器的形狀。

【0925】此外，上述遊戲機的影像可以由電視機、個人電腦用顯示器、遊戲用顯示器、頭戴顯示器等顯示裝置輸出。

【0926】藉由將上述實施方式所說明的半導體裝置用於可攜式遊戲機 5200，可以實現低功耗的可攜式遊戲機 5200。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0927】並且，藉由將上述實施方式所說明的半導體裝置用於可攜式遊戲機 5200，可以實現具有人工智慧的可攜式遊戲機 5200。

【0928】遊戲的進展、遊戲中出現的生物的言行、遊戲上發生的現象等的表現本來是由該遊戲所具有的程式規定的，但是藉由將人工智慧應用於可攜式遊戲機 5200，可以實現不侷限於遊戲的程式的表現。例如，可以實現遊戲玩者提問的內容、遊戲的進展情況、時間、遊戲上出現的人物的言行變化等的表現。

【0929】此外，當使用可攜式遊戲機 5200 玩需要多個人玩的遊戲時，可以利用人工智慧構成擬人的遊戲玩者，由此可以將人工智慧的遊戲玩者當作對手，一個人也可以玩多個人玩的遊戲。

【0930】在圖 41 中，作為遊戲機的例子示出可攜式遊戲機，但是本發明的一個實施方式的電子裝置不侷限於此。作為應用本發明的一個實施方式的電子裝置，例如可以舉出家用固定式遊戲機、設置在娛樂設施（遊戲中心，遊樂園等）的街機遊戲機、設置在體育設施的擊球練習用投球機等。

【0931】

[移動體]

上述實施方式所說明的半導體裝置可以應用於作為移動體的汽車及汽車的駕駛座位附近。

【0932】圖 41 示出作為移動體的一個例子的汽車 5700。

【0933】汽車 5700 的駕駛座位附近設置有能夠表示速度表、轉速計、行駛距離、加油量、排檔狀態、空調的設定等的儀表板。此外，駕駛座位附近也可以設置有表示上述資訊的顯示裝置。

【0934】尤其是，藉由將由設置在汽車 5700 上的攝像裝置（未圖示）拍攝的影像顯示在上述顯示裝置上，可以將被支柱等遮擋的視野、駕駛座位的死角等提供給駕駛員，從而可以提高安全性。也就是說，藉由顯示由設置在汽車 5700 外側的攝像裝置拍攝的影像，可以補充死角，從而可以提高安全性。

【0935】上述實施方式所說明的半導體裝置可以應用於人工知能的組件，所以例如可以將該半導體裝置應用於汽車 5700 的自動駕駛系統。此外，可以將該半導體裝置應用於進行導航、危險預測等的系統。該顯示裝置可以表示導航、危險預測等的資訊。

【0936】雖然在上述例子中作為移動體的一個例子說明汽車，但是移動體不侷限於汽車。例如，作為移動體，也可以舉出電車、單軌鐵路、船舶、飛行物（直升機、無人駕駛飛機（無人機）、飛機、火箭）等，可以對這些移動體應用本發明的一個實施方式的半導體裝置，以提供利用人工智慧的系統。

【0937】

[照相機]

上述實施方式所說明的半導體裝置可以應用於照相機。

【0938】圖 41 示出攝像裝置的一個例子的數位相機 6240。數位相機 6240 包括外殼 6241、顯示部 6242、操作按鈕 6243、快門按鈕 6244 等，並且安裝有可裝卸的鏡頭 6246。在此，數位相機 6240 採用能夠從外殼 6241 拆卸下鏡頭

6246 的結構，但是鏡頭 6246 及外殼 6241 被形成為一體。此外，數位相機 6240 還可以具備另外安裝的閃光燈裝置及取景器等。

【0939】藉由將上述實施方式所說明的半導體裝置用於數位相機 6240，可以實現低功耗的數位相機 6240。此外，借助於低功耗，可以降低來自電路的發熱，由此可以減少因發熱而給電路本身、週邊電路以及模組帶來的負面影響。

【0940】藉由將上述實施方式所說明的半導體裝置用於數位相機 6240，可以實現具有人工智慧的數位相機 6240。藉由利用人工智能，數位相機 6240 可以具有如下功能：自動識別臉、物體等拍攝對象的功能；根據拍攝對象調節焦點、根據環境自動使用快閃的功能；對所拍攝的影像進行調色的功能；等。

【0941】

[視頻攝影機]

上述實施方式所說明的半導體裝置可以應用於視頻攝影機。

【0942】圖 41 示出攝像裝置的一個例子的視頻攝影機 6300。視頻攝影機 6300 包括第一外殼 6301、第二外殼 6302、顯示部 6303、操作鍵 6304、鏡頭 6305、連接部 6306 等。操作鍵 6304 及鏡頭 6305 設置在第一外殼 6301 上，顯示部 6303 設置在第二外殼 6302 上。第一外殼 6301 與第二外殼 6302 由連接部 6306 連接，第一外殼 6301 與第二外殼 6302 間的角度可以由連接部 6306 改變。顯示部 6303 的影像也可以根據連接部 6306 中的第一外殼 6301 與第二外殼 6302 間的角度切換。

【0943】當記錄由視頻攝影機 6300 拍攝的影像時，需要進行根據資料記錄方式的編碼。藉由利用人工智能，視頻攝影機 6300 可以在進行編碼時進行利用人工智能的類型識別。藉由該類型識別，可以算出包括在連續的攝像影像資料中的人、動物、物體等差異資料而進行資料壓縮。

【0944】

[PC 用擴展裝置]

上述實施方式所說明的半導體裝置可以應用於 PC（Personal Computer；個人電腦）等電腦、資訊終端用擴展裝置。

【0945】圖 42A 示出該擴展裝置的一個例子的可以攜帶且安裝有能夠進行運算處理的晶片的設置在 PC 的外部的擴展裝置 6100。擴展裝置 6100 例如藉由 USB（Universal Serial Bus；通用序列匯流排）等連接於 PC，可以進行使用該晶片的運算處理。注意，雖然圖 42A 示出可攜帶的擴展裝置 6100，但是根據本發明的一個實施方式的擴展裝置不侷限於此，例如也可以採用安裝冷卻風機等的較大結構的擴展裝置。

【0946】擴展裝置 6100 包括外殼 6101、蓋子 6102、USB 連接器 6103 及基板 6104。基板 6104 被容納在外殼 6101 中。基板 6104 設置有驅動上述實施方式所說明的半導體裝置等的電路。例如，基板 6104 安裝有晶片 6105（例如，上述實施方式所半導體裝置、電子構件 4700、記憶體晶片等。）、控制器晶片 6106。USB 連接器 6103 被用作連接於外部裝置的介面。

【0947】藉由將擴展裝置 6100 應用於 PC 等，可以提高該 PC 的運算處理能力。由此，例如沒有充分的處理能力的 PC 也可以進行人工智能、動畫處理等運算。

【0948】**[廣播電視系統]**

上述實施方式所說明的半導體裝置可以應用於廣播電視系統。

【0949】圖 42B 示意性地示出廣播電視系統中的資料傳送。明確而言，圖 42B 示出從廣播電視臺 5680 發送的電波（廣播電視信號）到達每個家庭的電視接收機（TV）5600 的路徑。TV5600 具備接收機（未圖示），由此天線 5650 所接收的廣播電視信號藉由該接收機輸入 TV5600。

【0950】雖然在圖 42B 中示出超高頻率（UHF,Ultra High Frequency）天線作為天線 5650，但是可以使用 BS 及 110 度 CS 天線、CS 天線等作為天線 5650。

【0951】電波 5675A 及電波 5675B 為地面廣播電視信號，電波塔 5670 放大所接收的電波 5675A 並發送電波 5675B。各家庭藉由用天線 5650 接收電波 5675B，就可以用 TV5600 收看地面 TV 播放。此外，廣播電視系統可以為利用人造衛星的衛星廣播電視、利用光路線的資料廣播電視等而不侷限於圖 42B 所示的地面廣播電視。

【0952】上述廣播電視系統可以使用上述實施方式中所說明的半導體裝置而利用人工智慧。當從廣播電視臺 5680 向每個家庭的 TV5600 發送廣播電視資料時，利用編碼器進行廣播電視資料的壓縮；當天線 5650 接收該廣播電視資料時，利用包括在 TV5600 中的接收機的解碼器進行該廣播電視資料的恢復。藉由利用人工智慧，例如可以在編碼器的壓縮方法之一的變動補償預測中識別包含在顯示影像中的顯示模型。此外，也可以進行利用人工智慧的圖框內預測等。例如，當 TV5600 接收低解析度的廣播電視資料而進行高解析度的顯示時，可以在解碼器所進行的廣播電視資料的恢復中進行上轉換等影像的補充處理。

【0953】上述利用人工智慧的廣播電視系統適合用於廣播電視資料量增大的超高清晰度電視（UHDTV:4K、8K）播放。

【0954】此外，作為 TV5600 一側的人工智慧的應用，例如，可以在 TV5600 內設置具備人工智慧的錄影裝置。藉由採用這種結構，可以使該具備人工智慧的錄影裝置學習使用者的愛好，而可以自動對符合使用者的愛好的電視節目錄影。

【0955】

[識別系統]

上述實施方式所說明的半導體裝置可以應用於識別系統。

【0956】圖 42C 示出掌紋識別裝置，包括外殼 6431、顯示部 6432、掌紋讀取部 6433 以及佈線 6434。

【0957】圖 42C 示出掌紋識別裝置取得手 6435 的掌紋的情況。對所取得的掌紋進行利用人工知能的類型識別的處理，可以判斷該掌紋是不是個人的掌紋。由此，可以構成進行安全性高的識別的系統。此外，本發明的一個實施方式的識別系統不侷限於掌紋識別裝置，而也可以是取得指紋、靜脈、臉、虹膜、聲紋、基因或體格等生物資訊以進行生物識別的裝置。

【0958】本實施方式可以與本說明書所示的其他實施方式適當地組合。

【符號說明】**【0959】**

MAC1：運算電路

MAC1A：運算電路

MAC2：運算電路

MAC3：運算電路

MAC4：運算電路

MAC4-1：運算電路

MAC4-2：運算電路

MAC5：運算電路

MAC5A：運算電路

MAC6：運算電路

MAC7：運算電路

MAC8：運算電路

MAC9：運算電路

MAC9-1：運算電路

MAC9-2：運算電路

MAC10：運算電路

MAC11：運算電路

MAC12：運算電路

CA：記憶單元陣列

CA[1]：記憶單元陣列

CA[n]：記憶單元陣列

CA[t]：記憶單元陣列

CAS：記憶單元陣列

WDD：電路

WDa：電路

WDb：電路

CMS：電路

XLD：電路

WLD：電路

INT：電路

ACTV：電路

CSX：電路

CSU：電路

CSW：電路

CSR：電路

AMx[1]：記憶單元

AMx[m]：記憶單元

AMu[1]：記憶單元

AMu[m]：記憶單元

AMw[1]：記憶單元

AMw[m]：記憶單元

AMr[1]：記憶單元

AMr[m]：記憶單元

AMxb：記憶單元

AMub：記憶單元

AMwb：記憶單元

AMrb：記憶單元

CS[1]：電路

CS[m]：電路

CSb：電路

CUW[1, 1]：電路

CUW[1, n]：電路

CUW[2, 1]：電路

CUW[2, n]：電路

CUW[i, 1]：電路

CUW[i, n]：電路

CUW[m-1, 1]：電路

CUW[m-1, n]：電路

CUW[m, 1]：電路

CUW[m, n] : 電路

CXR[1] : 電路

CXR[2] : 電路

CXR[i] : 電路

CXR[m-1] : 電路

CXR[m] : 電路

CM : 電路

CM[1] : 電路

CM[n] : 電路

CMS1 : 電路

CMS2 : 電路

CMA[1] : 電路

CMA[n] : 電路

CMB : 電路

CMC : 電路

SCI : 電路

SCI[1] : 電路

SCI[n] : 電路

SCIA[1] : 電路

SCIA[n] : 電路

SCIB : 電路

ACP : 電路

ACP[1] : 電路

ACP[n] : 電路

IVC：電路

ACF：電路

XAL[1]：佈線

XAL[m]：佈線

XAL[n]：佈線

XBL[1]：佈線

XBL[m]：佈線

XBL[n]：佈線

XALb：佈線

XBLb：佈線

WAL[1]：佈線

WAL[m]：佈線

WAL[n]：佈線

WBL[1]：佈線

WBL[m]：佈線

WBL[n]：佈線

WL[1]：佈線

WL[m]：佈線

WL[n]：佈線

WAD：佈線

WAD[1]：佈線

WAD[n]：佈線

WAD[t]：佈線

WBD：佈線

WBD[1]：佈線

WBD[n]：佈線

WBD[t]：佈線

BAL：佈線

BAL[1]：佈線

BAL[n]：佈線

BBL：佈線

BBL[1]：佈線

BBL[n]：佈線

BAP[1]：佈線

BAP[n]：佈線

BAN[1]：佈線

BAN[n]：佈線

BBN：佈線

BBP：佈線

BBP1：佈線

BBP2：佈線

NIL：佈線

NIL[1]：佈線

NIL[n]：佈線

NIL[t]：佈線

SL4：佈線

SL5：佈線

SL7：佈線

SL8：佈線

VDL：佈線

VHE：佈線

VSL：佈線

VSSL：佈線

VLL：佈線

VR：佈線

VRPL：佈線

VBA：佈線

CCS：電流源

CSA：電流源

CSB：電流源

M1：電晶體

M2：電晶體

M3A：電晶體

M3B：電晶體

M4A：電晶體

M4B：電晶體

M5：電晶體

M6A[1]：電晶體

M6A[n]：電晶體

M6B：電晶體

M7A[1]：電晶體

M7A[n]：電晶體

M7B：電晶體

C1：電容器

FC：電容器

LEA：負載

LEB：負載

SW4A：開關

SW4B：開關

SW4F：開關

SW5A：開關

SW5B：開關

SW7A：開關

SW7B：開關

SW7C：開關

SW7D：開關

SW8A[1]：開關

SW8A[n]：開關

SW8B：開關

OP：運算放大器

CMP：比較器

ADC：類比數位轉換電路

Nx[1]：節點

Nx[m]：節點

Nu[1]：節點

Nu[m]：節點

Nw[1]：節點

Nw[m]：節點

Nr[1]：節點

Nr[m]：節點

300：電晶體

310：基板

310A：基板

312：元件分離層

313：半導體區域

314a：低電阻區域

314b：低電阻區域

315：絕緣體

316：導電體

320：絕緣體

322：絕緣體

324：絕緣體

326：絕緣體

328：導電體

330：導電體

350：絕緣體

352：絕緣體

354：絕緣體

356：導電體

360：絕緣體

362：絕緣體
364：絕緣體
366：導電體
411：絕緣體
412：絕緣體
413：絕緣體
414：絕緣體
416：導電體
500：電晶體
503：導電體
503a：導電體
503b：導電體
510：絕緣體
512：絕緣體
514：絕緣體
516：絕緣體
518：導電體
522：絕緣體
524：絕緣體
530：氧化物
530a：氧化物
530b：氧化物
530ba：區域
530bb：區域

530bc：區域
540a：導電體
540b：導電體
541a：絕緣體
541b：絕緣體
542a：導電體
542b：導電體
543a：氧化物
543b：氧化物
544：絕緣體
546：導電體
550：絕緣體
550a：絕緣體
550b：絕緣體
552：絕緣體
554：絕緣體
560：導電體
560a：導電體
560b：導電體
571a：絕緣體
571b：絕緣體
574：絕緣體
576：絕緣體
580：絕緣體

- 581：絕緣體
- 582：絕緣體
- 586：絕緣體
- 600：電容器
- 610：導電體
- 612：導電體
- 620：導電體
- 630：絕緣體
- 640：絕緣體
- 650：絕緣體
- 660：導電體
- 4700：電子構件
- 4702：印刷電路板
- 4704：安裝基板
- 4710：半導體裝置
- 4711：模子
- 4712：連接盤
- 4713：電極焊盤
- 4714：引線
- 4730：電子構件
- 4731：插板
- 4732：封裝基板
- 4733：電極
- 4735：半導體裝置

4800：半導體晶圓

4800a：晶片

4801：晶圓

4801a：晶圓

4802：電路部

4803：空隙

4803a：空隙

5200：可攜式遊戲機

5201：外殼

5202：顯示部

5203：按鈕

5300：桌上型資訊終端

5301：主體

5302：顯示部

5303：鍵盤

5500：資訊終端

5510：外殼

5511：顯示部

5600：TV

5650：天線

5670：電波塔

5675A：電波

5675B：電波

5680：廣播電視臺

- 5700：汽車
- 5800：電冷藏冷凍箱
- 5801：外殼
- 5802：冷藏室門
- 5803：冷凍室門
- 5900：資訊終端
- 5901：外殼
- 5902：顯示部
- 5903：操作按鈕
- 5904：表把
- 5905：錶帶
- 6100：擴展裝置
- 6101：外殼
- 6102：蓋子
- 6103：USB 連接器
- 6104：基板
- 6105：晶片
- 6106：控制器晶片
- 6240：數位相機
- 6241：外殼
- 6242：顯示部
- 6243：操作按鈕
- 6244：快門按鈕
- 6246：鏡頭

- 6300：攝影機
- 6301：第一外殼
- 6302：第二外殼
- 6303：顯示部
- 6304：操作鍵
- 6305：鏡頭
- 6306：連接部
- 6431：外殼
- 6432：顯示部
- 6433：掌紋讀取部
- 6434：佈線
- 6435：手
- 7500：固定式遊戲機
- 7520：主體
- 7522：控制器

【發明申請專利範圍】

【請求項 1】一種半導體裝置，包括：

第一單元、第二單元、第三單元、第四單元、電流鏡電路、第一佈線、第二佈線、第三佈線及第四佈線，

其中，該第一單元、該第二單元、該第三單元及該第四單元的每一個包括第一電晶體、第二電晶體及電容器，

在該第一單元、該第二單元、該第三單元及該第四單元的每一個中，該第一電晶體的第一端子與該電容器的第一端子及該第二電晶體的閘極電連接，

該第一單元的該第二電晶體的第一端子與該第一佈線電連接，

該第一單元的該電容器的第二端子與該第三佈線電連接，

該第二單元的該第二電晶體的第一端子與該第一佈線電連接，

該第二單元的該電容器的第二端子與該第四佈線電連接，

該第三單元的該第二電晶體的第一端子與該第二佈線電連接，

該第三單元的該電容器的第二端子與該第三佈線電連接，

該第四單元的該第二電晶體的第一端子與該第二佈線電連接，

該第四單元的該電容器的第二端子與該第四佈線電連接，

該電流鏡電路與該第一佈線及該第二佈線電連接，

該電流鏡電路具有使對應於該第一佈線的電位的電流流過該第二佈線的功能，

第一資料根據第一電位和第二電位的差異而設定，

該第一單元具有在該第一單元的該電容器的第一端子中保持該第一電位的功能，

該第二單元具有在該第二單元的該電容器的第一端子中保持該第二電位的
功能，

該第三單元具有在該第三單元的該電容器的第一端子中保持該第二電位的
功能，

該第四單元具有在該第四單元的該電容器的第一端子中保持該第一電位的
功能，

第二資料根據第三電位和第四電位的差異而設定，

並且，該第三佈線被輸入該第三電位且該第四佈線被輸入該第四電位，使
得從該電流鏡電路流至該第二佈線的電流量減去從該第二佈線流至該第三單元
的該第二電晶體的第一端子的電流量及從該第二佈線流至該第四單元的該第二
電晶體的第一端子的電流量而得的電流量對應於該第一資料與該第二資料之
積。

【請求項 2】一種半導體裝置，包括：

m 個第一單元、m 個第二單元、m 個第三單元、m 個第四單元、電流鏡電
路、第一佈線、第二佈線、m 個第三佈線及 m 個第四佈線，

其中，m 為 1 以上的整數，

m 個該第一單元、m 個該第二單元、m 個該第三單元及 m 個該第四單元的
每一個包括第一電晶體、第二電晶體及電容器，

在 m 個該第一單元、m 個該第二單元、m 個該第三單元及 m 個該第四單元
的每一個中，該第一電晶體的第一端子與該電容器的第一端子及該第二電晶體
的閘極電連接，

m 個該第一單元的每一個的該第二電晶體的第一端子與該第一佈線電連接，

第 i 個該第一單元的該電容器的第二端子與第 i 個該第三佈線電連接，

i 為 1 以上且 m 以下的整數，

m 個該第二單元的每一個的該第二電晶體的第一端子與該第一佈線電連接，

第 i 個該第二單元的該電容器的第二端子與第 i 個該第四佈線電連接，

m 個該第三單元的每一個的該第二電晶體的第一端子與該第二佈線電連接，

第 i 個該第三單元的該電容器的第二端子與第 i 個該第三佈線電連接，

m 個該第四單元的每一個的該第二電晶體的第一端子與該第二佈線電連接，

第 i 個該第四單元的該電容器的第二端子與第 i 個該第四佈線電連接，

該電流鏡電路與該第一佈線及該第二佈線電連接，

該電流鏡電路具有使對應於該第一佈線的電位的電流流過該第二佈線的功能，

在與第 i 個該第三佈線電連接的該第一單元及該第三單元的每一個中，該第一單元具有在該第一單元的該電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能，該第三單元具有在該第三單元的該電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能，

在與第 i 個該第四佈線電連接的該第二單元及該第四單元的每一個中，該第二單元具有在該第二單元的該電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能，

該第四單元具有在該第四單元的該電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能，

並且，第 i 個該第三佈線被輸入電位 $V_{x\alpha}[i]$ 且第 i 個該第四佈線被輸入電位 $V_{x\beta}[i]$ ，使得從該電流鏡電路流至該第二佈線的電流量減去從該第二佈線流至 m 個該第三單元的每一個的該第二電晶體的第一端子的電流量之和及從該第二佈線流至 m 個該第四單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量對應於數學式 (A1) 的值，

$$\sum_{i=1}^m (V_{w\alpha}[i] - V_{w\beta}[i])(V_{x\alpha}[i] - V_{x\beta}[i]) \quad \dots(A1)$$

【請求項 3】一種半導體裝置，包括：

第一單元、第二單元、第三單元、第四單元、第一電流源、第二電流源、減法電路、第一佈線、第二佈線、第三佈線及第四佈線，

其中，該第一單元、該第二單元、該第三單元及該第四單元的每一個包括第一電晶體、第二電晶體及電容器，

在該第一單元、該第二單元、該第三單元及該第四單元的每一個中，該第一電晶體的第一端子與該電容器的第一端子及該第二電晶體的閘極電連接，

該第一單元的第二電晶體的第一端子與該第一佈線電連接，

該第一單元的該電容器的第二端子與該第三佈線電連接，

該第二單元的該第二電晶體的第一端子與該第一佈線電連接，

該第二單元的該電容器的第二端子與該第四佈線電連接，

該第三單元的該第二電晶體的第一端子與該第二佈線電連接，

該第三單元的該電容器的第二端子與該第三佈線電連接，

該第四單元的該第二電晶體的第一端子與該第二佈線電連接，

該第四單元的該電容器的第二端子與該第四佈線電連接，

該第一電流源與該第一佈線電連接，

該第二電流源與該第二佈線電連接，

從該第一電流源流過該第一佈線的電流量為從該第二電流源流過該第二佈線的電流量的 0.9 倍以上且 1.1 倍以下，

該減法電路的第一輸入端子與該第一佈線電連接，

該減法電路的第二輸入端子與該第二佈線電連接，

第一資料根據第一電位和第二電位的差異而設定，

該第一單元具有在該第一單元的該電容器的第一端子中保持該第一電位的功能，

該第二單元具有在該第二單元的該電容器的第一端子中保持該第二電位的功能，

該第三單元具有在該第三單元的該電容器的第一端子中保持該第二電位的功能，

該第四單元具有在該第四單元的該電容器的第一端子中保持該第一電位的功能，

第二資料根據第三電位和第四電位的差異而設定，

並且，該第三佈線被輸入該第三電位且該第四佈線被輸入該第四電位，使得從該第一電流源流至該第一佈線的電流量減去從該第一佈線流至該第一單元及該第二單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量輸入到該減法電路的第一輸入端子，並且從該第二電流源流至該第二佈線的電

流量減去從該第二佈線流至該第三單元及該第四單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量輸入到該減法電路的第二輸入端子，由此從該減法電路的輸出端子輸出對應於該第一資料與該第二資料之積的電壓。

【請求項 4】一種半導體裝置，包括：

m 個第一單元、 m 個第二單元、 m 個第三單元、 m 個第四單元、第一電流源、第二電流源、減法電路、第一佈線、第二佈線、 m 個第三佈線及 m 個第四佈線，

其中， m 為 1 以上的整數，

m 個該第一單元、 m 個該第二單元、 m 個該第三單元及 m 個該第四單元的每一個包括第一電晶體、第二電晶體及電容器，

在 m 個該第一單元、 m 個該第二單元、 m 個該第三單元及 m 個該第四單元的每一個中，該第一電晶體的第一端子與該電容器的第一端子及該第二電晶體的閘極電連接，

m 個該第一單元的每一個的該第二電晶體的第一端子與該第一佈線電連接，

第 i 個該第一單元的該電容器的第二端子與第 i 個該第三佈線電連接，

i 為 1 以上且 m 以下的整數，

m 個該第二單元的每一個的該第二電晶體的第一端子與該第一佈線電連接，

第 i 個該第二單元的該電容器的第二端子與第 i 個該第四佈線電連接，

m 個該第三單元的每一個的該第二電晶體的第一端子與該第二佈線電連接，

第 i 個該第三單元的該電容器的第二端子與第 i 個該第三佈線電連接，
 m 個該第四單元的每一個的該第二電晶體的第一端子與該第二佈線電連接，

第 i 個該第四單元的該電容器的第二端子與第 i 個該第四佈線電連接，
該第一電流源與該第一佈線電連接，

該第二電流源與該第二佈線電連接，

從該第一電流源流過該第一佈線的電流量為從該第二電流源流過該第二佈線的電流量的 0.9 倍以上且 1.1 倍以下，

該減法電路的第一輸入端子與該第一佈線電連接，

該減法電路的第二輸入端子與該第二佈線電連接，

在與第 i 個該第三佈線電連接的該第一單元及該第三單元的每一個中，該第一單元具有在該第一單元的該電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能，該第三單元具有在該第三單元的該電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能，

在與第 i 個該第四佈線電連接的該第二單元及該第四單元的每一個中，該第二單元具有在該第二單元的該電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能，該第四單元具有在該第四單元的該電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能，

並且，第 i 個該第三佈線被輸入電位 $V_{x\alpha}[i]$ 且第 i 個該第四佈線被輸入電位 $V_{x\beta}[i]$ ，使得從該第一電流源流至該第一佈線的電流量減去從該第一佈線流至 m 個該第一單元及該第二單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量輸入到該減法電路的第一輸入端子，並且從該第二電流源流至

該第二佈線的電流量減去從該第二佈線流至 m 個該第三單元及該第四單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量輸入到該減法電路的第二輸入端子，由此從該減法電路的輸出端子輸出對應於數學式 (A2) 的值的電壓，

$$\sum_{i=1}^m (V_{W\alpha[i]} - V_{W\beta[i]})(V_{X\alpha[i]} - V_{X\beta[i]}) \quad \dots(A2)$$

【請求項 5】一種半導體裝置，包括：

第一單元、第二單元、第三單元、第四單元、第一佈線、第二佈線及第三佈線，

其中，該第一單元、該第二單元、該第三單元及該第四單元的每一個包括第一電晶體、第二電晶體及電容器，

在該第一單元、該第二單元、該第三單元及該第四單元的每一個中，

該第一電晶體的第一端子與該電容器的第一端子及該第二電晶體的閘極電連接，

該第一電晶體的閘極與該第一佈線電連接，

該第二佈線與該第一單元的該第一電晶體的第二端子及該第四單元的該第一電晶體的第二端子電連接，

並且，該第三佈線與該第二單元的該第一電晶體的第二端子及該第三單元的該第一電晶體的第二端子電連接。

【請求項 6】一種半導體裝置，包括：

第一單元、第二單元、第三單元、第四單元、第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、第六佈線及第七佈線，

其中，該第一單元、該第二單元、該第三單元及該第四單元的每一個包括第一電晶體、第二電晶體及電容器，

在該第一單元、該第二單元、該第三單元及該第四單元的每一個中，該第一電晶體的第一端子與該電容器的第一端子及該第二電晶體的閘極電連接，

該第一單元的該第二電晶體的第一端子與該第四佈線電連接，

該第一單元的該電容器的第二端子與該第六佈線電連接，

該第一單元的該第一電晶體的第二端子與該第二佈線電連接，

該第一單元的該第一電晶體的閘極與該第一佈線電連接，

該第二單元的該第二電晶體的第一端子與該第四佈線電連接，

該第二單元的該電容器的第二端子與該第七佈線電連接，

該第二單元的該第一電晶體的第二端子與該第三佈線電連接，

該第二單元的該第一電晶體的閘極與該第一佈線電連接，

該第三單元的該第二電晶體的第一端子與該第五佈線電連接，

該第三單元的該電容器的第二端子與該第六佈線電連接，

該第三單元的該第一電晶體的第二端子與該第三佈線電連接，

該第三單元的該第一電晶體的閘極與該第一佈線電連接，

該第四單元的該第二電晶體的第一端子與該第五佈線電連接，

該第四單元的該電容器的第二端子與該第七佈線電連接，

該第四單元的該第一電晶體的第二端子與該第二佈線電連接，

並且，該第四單元的該第一電晶體的閘極與該第一佈線電連接。

【請求項 7】如請求項 6 之半導體裝置，還包括電流鏡電路，

其中該電流鏡電路與該第四佈線及該第五佈線電連接，

並且該電流鏡電路具有使對應於該第四佈線的電位的電流流過該第五佈線的功能。

【請求項 8】如請求項 7 之半導體裝置，

其中第一資料根據第一電位和第二電位的差異而設定，

該第一單元具有在該第一單元的該電容器的第一端子中保持該第一電位的功能，

該第二單元具有在該第二單元的該電容器的第一端子中保持該第二電位的功能，

該第三單元具有在該第三單元的該電容器的第一端子中保持該第二電位的功能，

該第四單元具有在該第四單元的該電容器的第一端子中保持該第一電位的功能，

第二資料根據第三電位和第四電位的差異而設定，

並且該第六佈線被輸入該第三電位且該第七佈線被輸入該第四電位，使得從該電流鏡電路流至該第五佈線的電流量減去從該第五佈線流至該第三單元的該第二電晶體的第一端子的電流量及從該第五佈線流至該第四單元的該第二電晶體的第一端子的電流量而得的電流量對應於該第一資料與該第二資料之積。

【請求項 9】如請求項 6 之半導體裝置，還包括第一電流源、第二電流源及減法電路，

其中該第一電流源與該第四佈線電連接，

該第二電流源與該第五佈線電連接，

從該第一電流源流過該第四佈線的電流量為從該第二電流源流過該第五佈線的電流量的 0.9 倍以上且 1.1 倍以下，

該減法電路的第一輸入端子與該第四佈線電連接，

該減法電路的第二輸入端子與該第五佈線電連接。

【請求項 10】 如請求項 9 之半導體裝置，

其中第一資料根據第一電位和第二電位的差異而設定，

該第一單元具有在該第一單元的該電容器的第一端子中保持該第一電位的功能，

該第二單元具有在該第二單元的該電容器的第一端子中保持該第二電位的功能，

該第三單元具有在該第三單元的該電容器的第一端子中保持該第二電位的功能，

該第四單元具有在該第四單元的該電容器的第一端子中保持第一電位的功能，

第二資料根據第三電位和第四電位的差異而設定，

並且該第六佈線被輸入該第三電位且第七佈線被輸入該第四電位，使得從該第一電流源流至該第四佈線的電流量減去從該第四佈線流至該第一單元及該第二單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量輸入到該減法電路的第一輸入端子，並且從該第二電流源流至該第五佈線的電流量減去從該第五佈線流至該第三單元及該第四單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量輸入到該減法電路的第二輸入端子，由此從該減法電路的輸出端子輸出對應於該第一資料與該第二資料之積的電壓。

【請求項 11】一種半導體裝置，包括：

m 個第一單元、m 個第二單元、m 個第三單元、m 個第四單元、電流鏡電路、m 個第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、m 個第六佈線及 m 個第七佈線，

其中，m 為 1 以上的整數，

m 個該第一單元、m 個該第二單元、m 個該第三單元及 m 個該第四單元的每一個包括第一電晶體、第二電晶體及電容器，

在 m 個該第一單元、m 個該第二單元、m 個該第三單元及 m 個該第四單元的每一個中，該第一電晶體的第一端子與該電容器的第一端子及該第二電晶體的閘極電連接，

m 個該第一單元的每一個的該第二電晶體的第一端子與該第四佈線電連接，

第 i 個該第一單元的該電容器的第二端子與第 i 個該第六佈線電連接，

i 為 1 以上且 m 以下的整數，

m 個該第一單元的每一個的該第一電晶體的第二端子與該第二佈線電連接，

第 i 個該第一單元的該第一電晶體的閘極與第 i 個該第一佈線電連接，

m 個該第二單元的每一個的該第二電晶體的第一端子與該第四佈線電連接，

第 i 個該第二單元的該電容器的第二端子與第 i 個該第七佈線電連接，

m 個該第二單元的每一個的該第一電晶體的第二端子與該第三佈線電連接，

第 i 個該第二單元的該第一電晶體的閘極與第 i 個該第一佈線電連接，
 m 個該第三單元的每一個的該第二電晶體的第一端子與該第五佈線電連接，

第 i 個該第三單元的該電容器的第二端子與第 i 個該第六佈線電連接，
 m 個該第三單元的每一個的該第一電晶體的第二端子與該第三佈線電連接，

第 i 個該第三單元的該第一電晶體的閘極與第 i 個該第一佈線電連接，
 m 個該第四單元的每一個的該第二電晶體的第一端子與該第五佈線電連接，

第 i 個該第四單元的該電容器的第二端子與第 i 個該第七佈線電連接，
 m 個該第四單元的每一個的該第一電晶體的第二端子與該第二佈線電連接，

第 i 個該第四單元的該第一電晶體的閘極與第 i 個該第一佈線電連接，
該電流鏡電路與該第四佈線及該第五佈線電連接，

該電流鏡電路具有使對應於該第四佈線的電位的電流流過該第五佈線的功能，

在與第 i 個該第六佈線電連接的該第一單元及該第三單元的每一個中，該第一單元具有在該第一單元的該電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能，該第三單元具有在該第三單元的該電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能，

在與第 i 個該第七佈線電連接的該第二單元及該第四單元的每一個中，該第二單元具有在該第二單元的該電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能，

該第四單元具有在該第四單元的該電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能，

並且，第 i 個該第六佈線被輸入電位 $V_{x\alpha}[i]$ 且第 i 個該第七佈線被輸入電位 $V_{x\beta}[i]$ ，使得從該電流鏡電路流至該第五佈線的電流量減去從該第五佈線流至 m 個該第三單元的每一個的該第二電晶體的第一端子的電流量之和及從該第五佈線流至 m 個該第四單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量對應於數學式 (A3) 的值，

$$\sum_{i=1}^m (V_{w\alpha}[i] - V_{w\beta}[i])(V_{x\alpha}[i] - V_{x\beta}[i]) \quad \dots(A3)$$

【請求項 12】一種半導體裝置，包括：

m 個第一單元、 m 個第二單元、 m 個第三單元、 m 個第四單元、第一電流源、第二電流源、減法電路、 m 個第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、 m 個第六佈線及 m 個第七佈線，

其中， m 為 1 以上的整數，

m 個該第一單元、 m 個該第二單元、 m 個該第三單元及 m 個該第四單元的每一個包括第一電晶體、第二電晶體及電容器，

在 m 個該第一單元、 m 個該第二單元、 m 個該第三單元及 m 個該第四單元的每一個中，該第一電晶體的第一端子與該電容器的第一端子及該第二電晶體的閘極電連接，

m 個該第一單元的每一個的該第二電晶體的第一端子與該第四佈線電連接，

第 i 個該第一單元的該電容器的第二端子與第 i 個該第六佈線電連接，

i 為 1 以上且 m 以下的整數，

m 個該第一單元的每一個的該第一電晶體的第二端子與該第二佈線電連接，

第 i 個該第一單元的該第一電晶體的閘極與第 i 個該第一佈線電連接，

m 個該第二單元的每一個的該第二電晶體的第一端子與該第四佈線電連接，

第 i 個該第二單元的該電容器的第二端子與第 i 個該第七佈線電連接，

m 個該第二單元的每一個的該第一電晶體的第二端子與該第三佈線電連接，

第 i 個該第二單元的該第一電晶體的閘極與第 i 個該第一佈線電連接，

m 個該第三單元的每一個的該第二電晶體的第一端子與該第五佈線電連接，

第 i 個該第三單元的該電容器的第二端子與第 i 個該第六佈線電連接，

m 個該第三單元的每一個的該第一電晶體的第二端子與該第三佈線電連接，

第 i 個該第三單元的該第一電晶體的閘極與第 i 個該第一佈線電連接，

m 個該第四單元的每一個的該第二電晶體的第一端子與該第五佈線電連接，

第 i 個該第四單元的該電容器的第二端子與第 i 個該第七佈線電連接，

m 個該第四單元的每一個的該第一電晶體的第二端子與該第二佈線電連接，

第 i 個該第四單元的該第一電晶體的閘極與第 i 個該第一佈線電連接，
該第一電流源與該第四佈線電連接，
該第二電流源與該第五佈線電連接，
從該第一電流源流過該第四佈線的電流量為從該第二電流源流過該第五佈線的電流量的 0.9 倍以上且 1.1 倍以下，

該減法電路的第一輸入端子與該第四佈線電連接，
該減法電路的第二輸入端子與該第五佈線電連接，
在與第 i 個該第六佈線電連接的該第一單元及該第三單元的每一個中，該第一單元具有在該第一單元的該電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能，該第三單元具有在該第三單元的該電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能，

在與第 i 個該第七佈線電連接的該第二單元及該第四單元的每一個中，該第二單元具有在該第二單元的該電容器的第一端子中保持電位 $V_{w\beta}[i]$ 的功能，該第四單元具有在該第四單元的該電容器的第一端子中保持電位 $V_{w\alpha}[i]$ 的功能，

並且，第 i 個該第六佈線被輸入電位 $V_{x\alpha}[i]$ 且第 i 個該第七佈線被輸入電位 $V_{x\beta}[i]$ ，使得從該第一電流源流至該第四佈線的電流量減去從該第四佈線流至 m 個該第一單元及該第二單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量輸入到該減法電路的第一輸入端子，並且從該第二電流源流至該第五佈線的電流量減去從該第五佈線流至 m 個該第三單元及該第四單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量輸入到該減法電路

的第二輸入端子，由此從該減法電路的輸出端子輸出對應於數學式（A4）的值的電壓，

$$\sum_{i=1}^m (V_{W\alpha}[i] - V_{W\beta}[i])(V_{X\alpha}[i] - V_{X\beta}[i]) \quad \dots(A4)$$

【請求項 13】一種半導體裝置，包括：

第一單元、第二單元、第三單元、第四單元、第一電流鏡電路、第二電流鏡電路及第三電流鏡電路，

其中，該第一單元、該第二單元、該第三單元及該第四單元的每一個包括第一電晶體、第二電晶體及電容器，

在該第一單元、該第二單元、該第三單元及該第四單元的每一個中，該第一電晶體的第一端子與該電容器的第一端子及該第二電晶體的閘極電連接，

該第一單元的該第一電晶體的閘極與該第二單元的該第一電晶體的閘極、該第三單元的該第一電晶體的閘極及該第四單元的該第一電晶體的閘極電連接，

該第一電流鏡電路的第一端子與該第一單元的該第二電晶體的第一端子電連接，

該第一電流鏡電路的第二端子與該第四單元的該第二電晶體的第一端子電連接，

該第二電流鏡電路的第一端子與該第三單元的該第二電晶體的第一端子電連接，

該第二電流鏡電路的第二端子與該第二單元的該第二電晶體的第一端子電連接，

該第三電流鏡電路的第一端子與該第二單元的該第二電晶體的第一端子電連接，

該第三電流鏡電路的第二端子與該第四單元的該第二電晶體的第一端子電連接，

該第一電流鏡電路具有使對應於該第一電流鏡電路的第一端子的電位的電流從該第一電流鏡電路的第一端子及第二端子流出外部的功能，

該第二電流鏡電路具有使對應於該第二電流鏡電路的第一端子的電位的電流從該第二電流鏡電路的第一端子及第二端子流出外部的功能，

並且，該第三電流鏡電路具有使對應於該第三電流鏡電路的第一端子的電位的電流從該第三電流鏡電路的第一端子及第二端子流入內部的功能。

【請求項 14】 如請求項 13 之半導體裝置，

其中該第一單元的該電容器的第二端子與該第三單元的該電容器的第二端子電連接，

該第一單元的該第一電晶體的第二端子與該第四單元的該第一電晶體的第二端子電連接，

該第二單元的該電容器的第二端子與該第四單元的該電容器的第二端子電連接，

並且該第二單元的該第一電晶體的第二端子與該第三單元的該第一電晶體的第二端子電連接。

【請求項 15】 如請求項 14 之半導體裝置，

其中第一資料根據第一電位和第二電位的差異而設定

該第一單元具有在該第一單元的該電容器的第一端子中保持該第一電位的
功能，

該第二單元具有在該第二單元的該電容器的第一端子中保持該第二電位的
功能，

該第三單元具有在該第三單元的該電容器的第一端子中保持該第二電位的
功能，

該第四單元具有在該第四單元的該電容器的第一端子中保持該第一電位的
功能，

第二資料根據第三電位和第四電位的差異而設定，

並且，該第一單元的該電容器的第二端子及該第三單元的該電容器的第二
端子都被輸入該第三電位且該第二單元的該電容器的第二端子及該第四單元的
該電容器的第二端子都被輸入該第四電位，使得從該第一電流鏡電路的第二端
子流過的電流量減去流過該第四單元的該第二電晶體的第一端子的電流量及流
過該第三電流鏡電路的第三端子的電流量而得的電流量對應於該第一資料與該
第二資料之積。

【請求項 16】 一種半導體裝置，包括：

第一單元、第二單元、第三單元、第四單元、第一電流鏡電路、第二電流
鏡電路、第三電流鏡電路及第四電流鏡電路，

其中，該第一單元、該第二單元、該第三單元及該第四單元的每一個包括
第一電晶體、第二電晶體及電容器，

在該第一單元、該第二單元、該第三單元及該第四單元的每一個中，該第
一電晶體的第一端子與該電容器的第一端子及該第二電晶體的閘極電連接，

該第一單元的該第一電晶體的閘極與該第二單元的該第一電晶體的閘極、
該第三單元的該第一電晶體的閘極及該第四單元的該第一電晶體的閘極電連
接，

該第一電流鏡電路的第一端子與該第一單元的該第二電晶體的第一端子電
連接，

該第一電流鏡電路的第二端子與該第四單元的該第二電晶體的第一端子電
連接，

該第二電流鏡電路的第一端子與該第三單元的該第二電晶體的第一端子電
連接，

該第二電流鏡電路的第二端子與該第三電流鏡電路的第一端子電連接，

該第三電流鏡電路的第二端子與該第四單元的該第二電晶體的第一端子電
連接，

該第四電流鏡電路的第一端子與該第二單元的該第二電晶體的第一端子電
連接，

該第四電流鏡電路的第二端子與該第四單元的該第二電晶體的第一端子電
連接，

該第一電流鏡電路具有使對應於該第一電流鏡電路的第一端子的電位的電
流從該第一電流鏡電路的第一端子及第二端子流出外部的功能，

該第二電流鏡電路具有使對應於該第二電流鏡電路的第一端子的電位的電
流從該第二電流鏡電路的第一端子及第二端子流出外部的功能，

該第三電流鏡電路具有使對應於該第三電流鏡電路的第一端子的電位的電
流從該第三電流鏡電路的第一端子及第二端子流入內部的功能，

並且，該第四電流鏡電路具有使對應於該第四電流鏡電路的第一端子的電位的電流從該第四電流鏡電路的第一端子及第二端子流出外部的功能。

【請求項 17】 如請求項 16 之半導體裝置，

其中該第一單元的該電容器的第二端子與該第三單元的該電容器的第二端子電連接，

該第一單元的該第一電晶體的第二端子與該第四單元的該第一電晶體的第二端子電連接，

該第二單元的該電容器的第二端子與該第四單元的該電容器的第二端子電連接，

並且該第二單元的該第一電晶體的第二端子與該第三單元的該第一電晶體的第二端子電連接。

【請求項 18】 如請求項 17 之半導體裝置，

其中第一資料根據第一電位和第二電位的差異而設定，

該第一單元具有在該第一單元的該電容器的第一端子中保持第一電位的功能，

該第二單元具有在該第二單元的該電容器的第一端子中保持第二電位的功能，

該第三單元具有在該第三單元的該電容器的第一端子中保持第二電位的功能，

該第四單元具有在該第四單元的該電容器的第一端子中保持第一電位的功能，

第二資料根據該第三電位和該第四電位的差異而設定，

並且該第一單元的該電容器的第二端子及該第三單元的該電容器的第二端子都被輸入該第三電位且該第二單元的該電容器的第二端子及該第四單元的該電容器的第二端子都被輸入該第四電位，使得從該第一電流鏡電路的第二端子流過的電流量及從該第四電流鏡電路的第二端子流過的電流量之和減去流過該第四單元的該第二電晶體的第一端子的電流量及流過該第三電流鏡電路的第三端子的電流量而得的電流量對應於該第一資料與該第二資料之積。

【請求項 19】 一種半導體裝置，包括：

第一單元、第二單元、第三單元、第四單元、第一佈線、第二佈線及第三佈線，

其中，該第一單元、該第二單元、該第三單元及該第四單元的每一個包括第一電晶體、第二電晶體及電容器，

該第二單元及該第三單元的每一個所包括的該電容器在第一端子與第二端子間包含可具有鐵電性的材料，

在該第一單元、該第二單元、該第三單元及該第四單元的每一個中，

該第一電晶體的第一端子與該電容器的第一端子及該第二電晶體的閘極電連接，

該第一電晶體的閘極與該第一佈線電連接，

該第二佈線與該第一單元的該第一電晶體的第二端子及該第四單元的該第一電晶體的第二端子電連接，

並且，該第三佈線與該第二單元的該第一電晶體的第二端子及該第三單元的該第一電晶體的第二端子電連接。

【請求項 20】 如請求項 19 之半導體裝置，

其中該材料包含選自氧化鉛、氧化鋯、 HfZrO_x 、釷安定氧化鋯、鈦酸鋇、 PbTiO_x 、鋯鈦酸鉛、鈦酸鋇鋇、鈦酸鋇、鉍酸鋇鈦、鐵酸鋇中的一個或多個材料，

並且 X 為大於 0 的實數。

【請求項 21】一種半導體裝置，包括：

第一單元、第二單元、第三單元、第四單元、第一佈線、第二佈線、第三佈線、第四佈線、第五佈線、第六佈線及第七佈線，

其中，該第一單元、該第二單元、該第三單元及該第四單元的每一個包括第一電晶體、第二電晶體及電容器，

該第二單元及該第三單元的每一個所包括的該電容器在第一端子與第二端子間包含可具有鐵電性的材料，

在該第一單元、該第二單元、該第三單元及該第四單元的每一個中，該第一電晶體的第一端子與該電容器的第一端子及該第二電晶體的閘極電連接，

該第一單元的該第一電晶體的第二端子與該第二佈線電連接，

該第一單元的該電容器的第二端子與該第六佈線電連接，

該第一單元的該第二電晶體的第一端子與該第四佈線電連接，

該第一單元的該第一電晶體的閘極與該第一佈線電連接，

該第二單元的該第一電晶體的第二端子與該第三佈線電連接，

該第二單元的該電容器的第二端子與該第七佈線電連接，

該第二單元的該第二電晶體的第一端子與該第四佈線電連接，

該第二單元的該第一電晶體的閘極與該第一佈線電連接，

該第三單元的該第一電晶體的第二端子與該第三佈線電連接，

該第三單元的該電容器的第二端子與該第六佈線電連接，
該第三單元的該第二電晶體的第一端子與該第五佈線電連接，
該第三單元的該第一電晶體的閘極與該第一佈線電連接，
該第四單元的該第一電晶體的第二端子與該第二佈線電連接，
該第四單元的該電容器的第二端子與該第七佈線電連接，
該第四單元的該第二電晶體的第一端子與該第五佈線電連接，
並且，該第四單元的該第一電晶體的閘極與該第一佈線電連接。

【請求項 22】 如請求項 21 之半導體裝置，

其中該材料包含選自氧化鉛、氧化銻、 HfZrO_x 、釷安定氧化銻、鈦酸鋇、 PbTiO_x 、銻鈦酸鉛、鈦酸鋇銻、鈦酸銻、鉍酸銻鉍、鐵酸鉍中的一個或多個材料，

並且 X 為大於 0 的實數。

【請求項 23】 如請求項 21 或 22 之半導體裝置，還包括第一電路及第二電路，

其中該第二佈線與該第一電路電連接，

該第三佈線與該第二電路電連接，

該第一電路包括類比數位轉換電路，

並且該第二電路包括電壓源。

【請求項 24】 如請求項 21 或 22 之半導體裝置，還包括電流鏡電路，

其中該電流鏡電路與該第四佈線及該第五佈線電連接，

並且該電流鏡電路具有使對應於該第四佈線的電位的電流流過該第五佈線的功能。

【請求項 25】如請求項 24 之半導體裝置，

其中第一資料根據第一電位和第二電位的差異而設定，

該第一單元具有在該第一單元的該電容器的第一端子中保持該第一電位的功能，

該第二單元具有在該第二單元的該電容器的第一端子中保持該第二電位的功能，

該第三單元具有在該第三單元的該電容器的第一端子中保持該第二電位的功能，

該第四單元具有在該第四單元的該電容器的第一端子中保持該第一電位的功能，

第二資料根據第三電位和第四電位的差異而設定，

並且該第六佈線被輸入該第三電位且該第七佈線被輸入該第四電位，使得從該電流鏡電路流至該第五佈線的電流量減去從該第五佈線流至該第三單元的該第二電晶體的第一端子的電流量及從該第五佈線流至該第四單元的該第二電晶體的第一端子的電流量而得的電流量對應於該第一資料與該第二資料之積。

【請求項 26】如請求項 21 或 22 之半導體裝置，還包括第一電流源、第二電流源及減法電路，

其中該第一電流源與該第四佈線電連接，

該第二電流源與該第五佈線電連接，

從該第一電流源流過該第四佈線的電流量為從該第二電流源流過該第五佈線的電流量的 0.9 倍以上且 1.1 倍以下，

該減法電路的第一輸入端子與該第四佈線電連接，

該減法電路的第二輸入端子與該第五佈線電連接。

【請求項 27】 如請求項 26 之半導體裝置，

其中第一資料根據第一電位和第二電位的差異而設定，

該第一單元具有在該第一單元的該電容器的第一端子中保持該第一電位的功能，

該第二單元具有在該第二單元的該電容器的第一端子中保持該第二電位的功能，

該第三單元具有在該第三單元的該電容器的第一端子中保持該第二電位的功能，

該第四單元具有在該第四單元的該電容器的第一端子中保持第一電位的功能，

第二資料根據第三電位和第四電位的差異而設定，

並且該第六佈線被輸入該第三電位且第七佈線被輸入該第四電位，使得從該第一電流源流至該第四佈線的電流量減去從該第四佈線流至該第一單元及該第二單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量輸入到該減法電路的第一輸入端子，並且從該第二電流源流至該第五佈線的電流量減去從該第五佈線流至該第三單元及該第四單元的每一個的該第二電晶體的第一端子的電流量之和而得的電流量輸入到該減法電路的第二輸入端子，由此從該減法電路的輸出端子輸出對應於該第一資料與該第二資料之積的電壓。

【請求項 28】 如請求項 1 至 22 中任一項之半導體裝置，

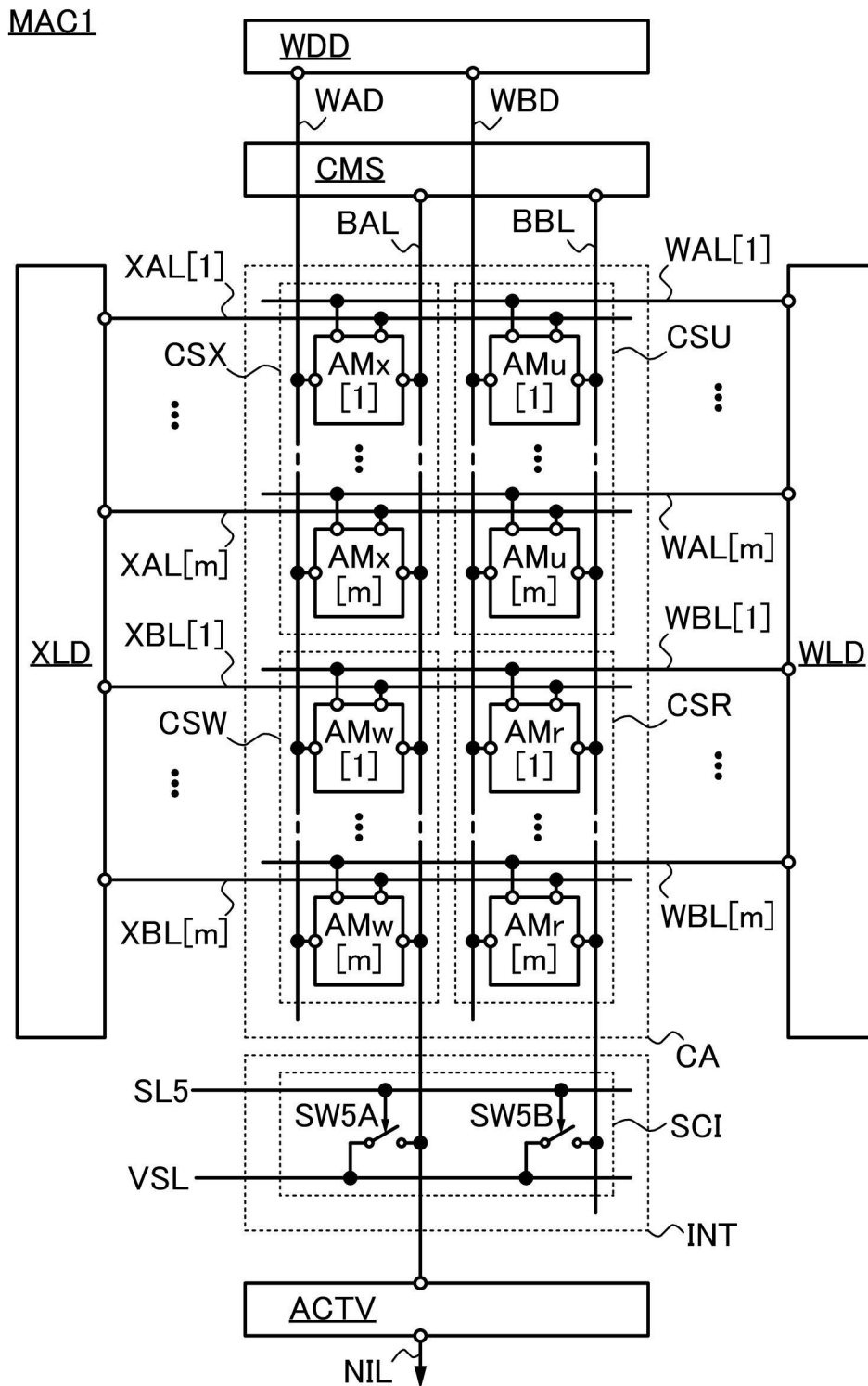
其中該第一電晶體及該第二電晶體都在通道形成區域中包含金屬氧化物。

【請求項 29】 一種電子裝置，包括：

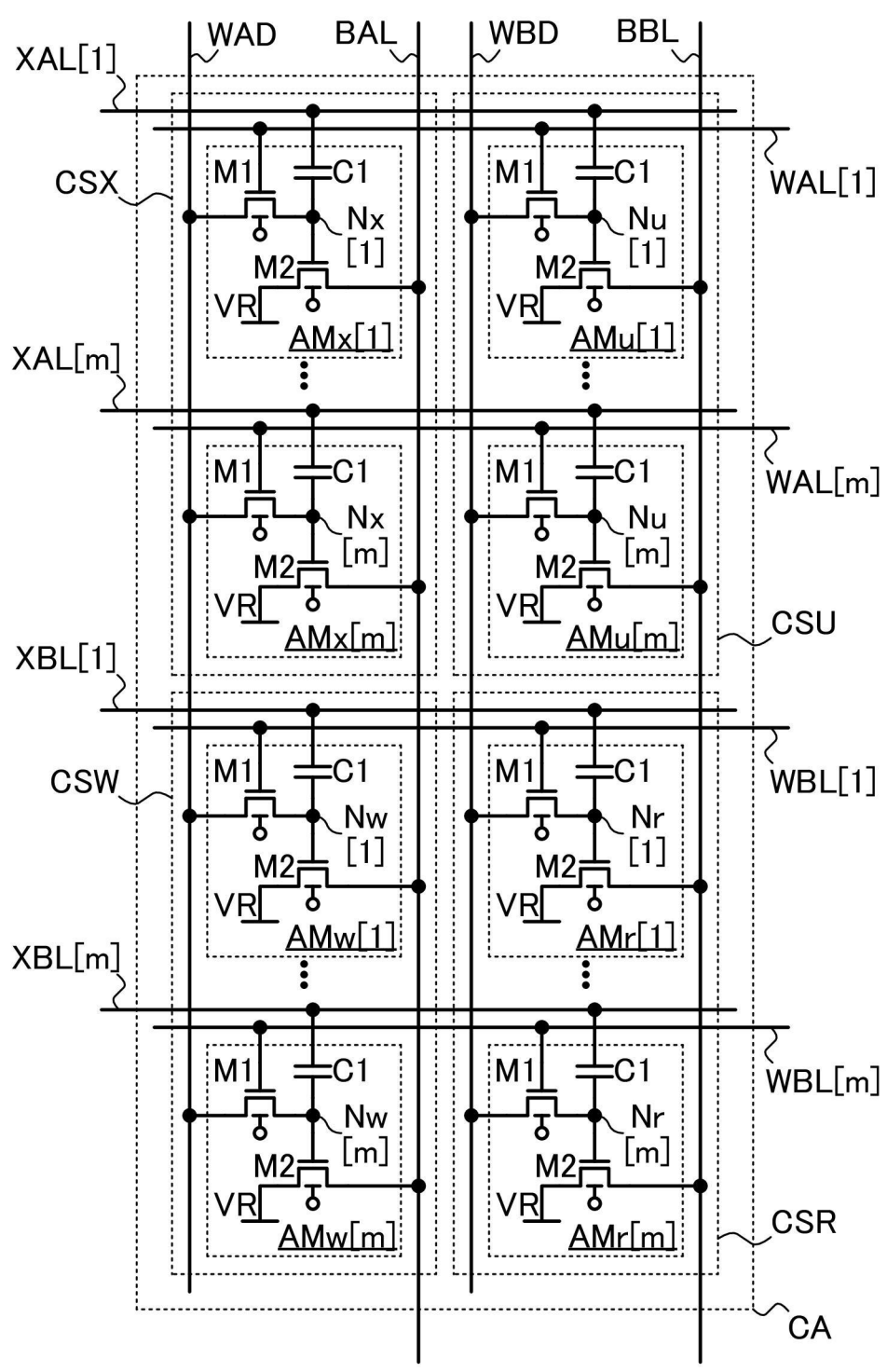
第26頁，共 27 頁(發明申請專利範圍)

請求項 1 至 22 中任一項之半導體裝置；以及
外殼。

【發明圖式】

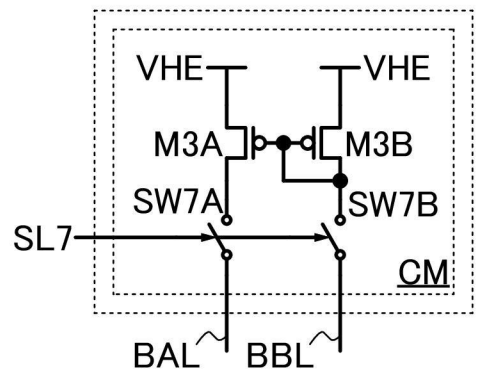


【圖1】



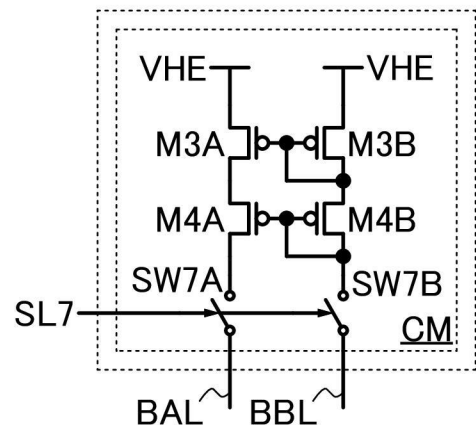
【圖2】

CMS

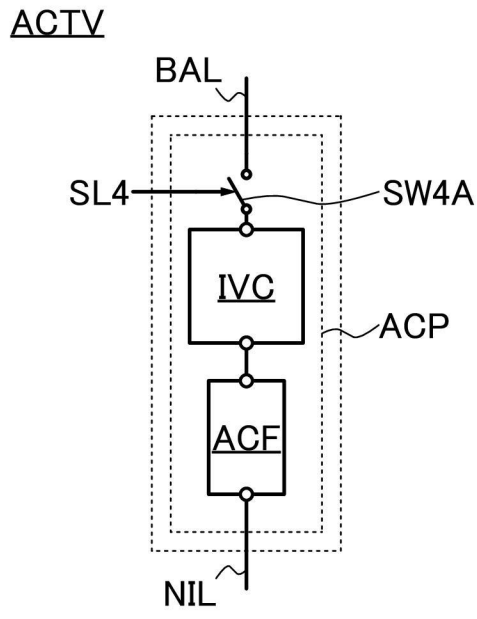


【圖3A】

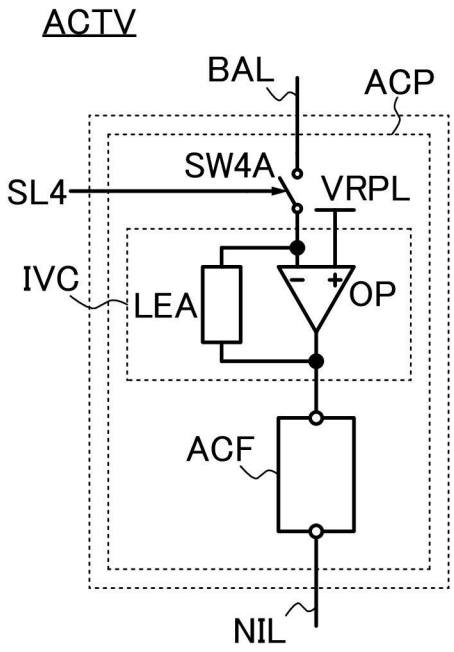
CMS



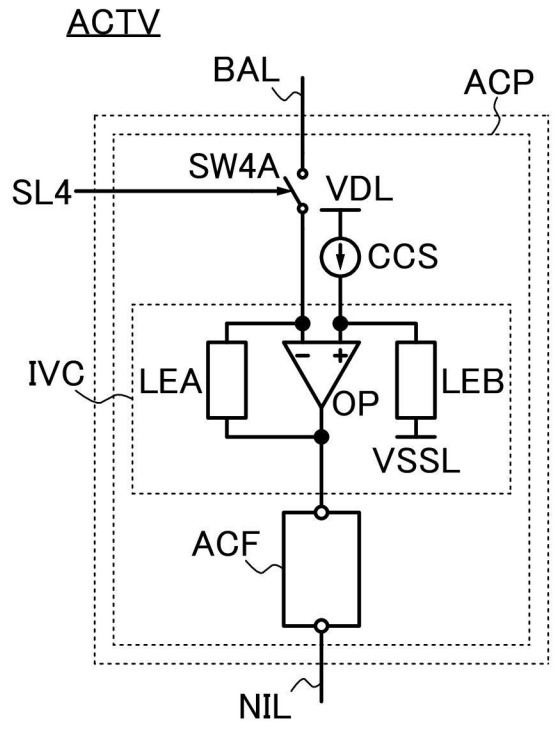
【圖3B】



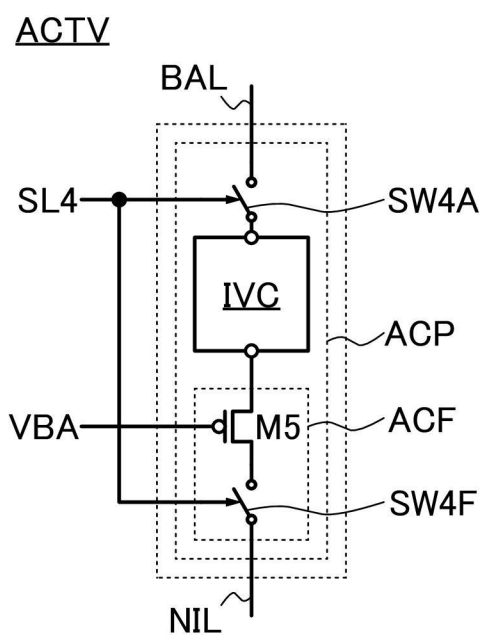
【圖4A】



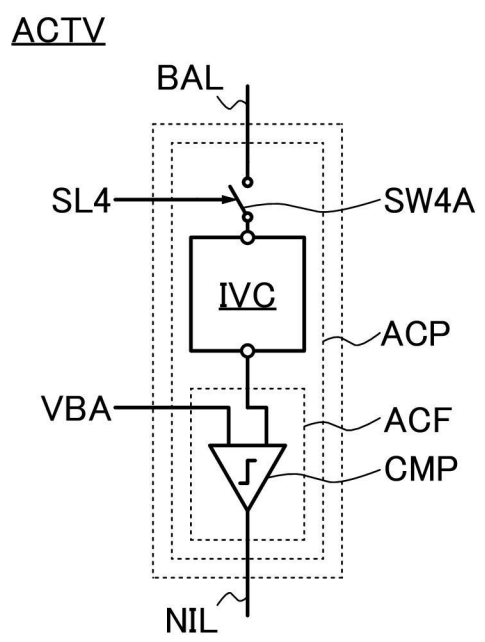
【圖4B】



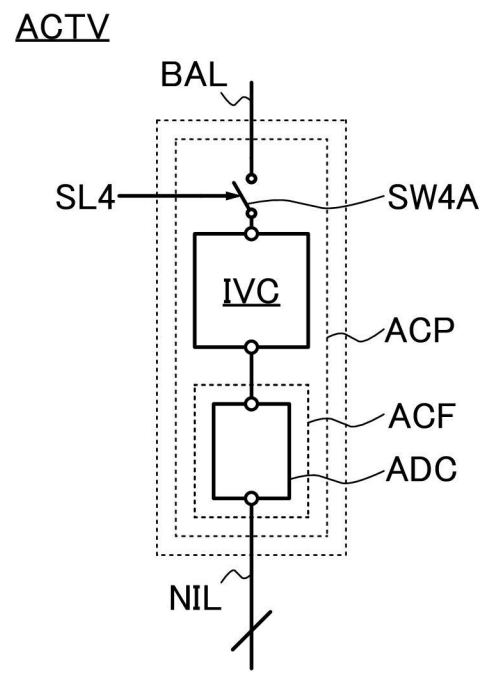
【圖4C】



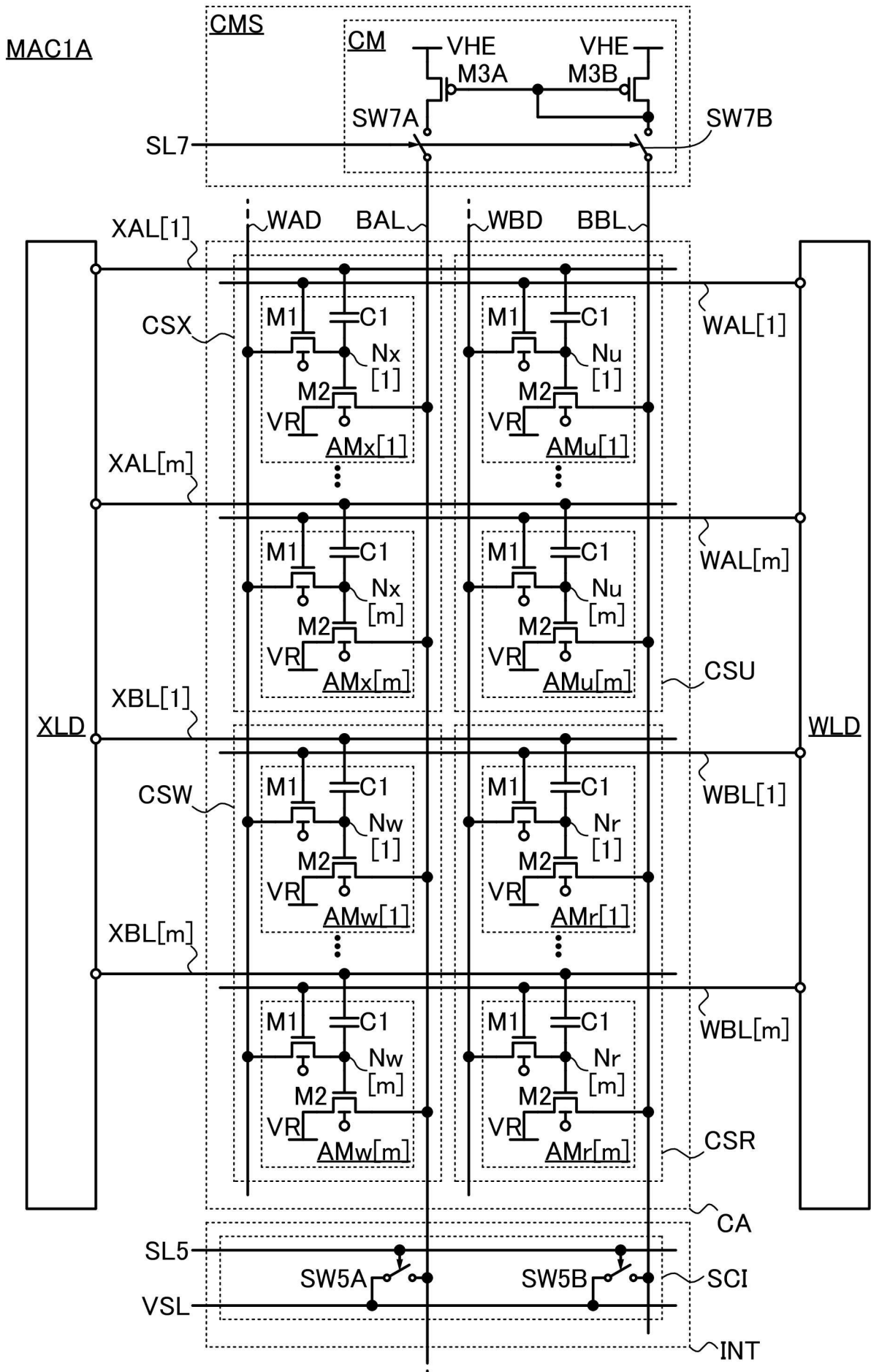
【圖5A】



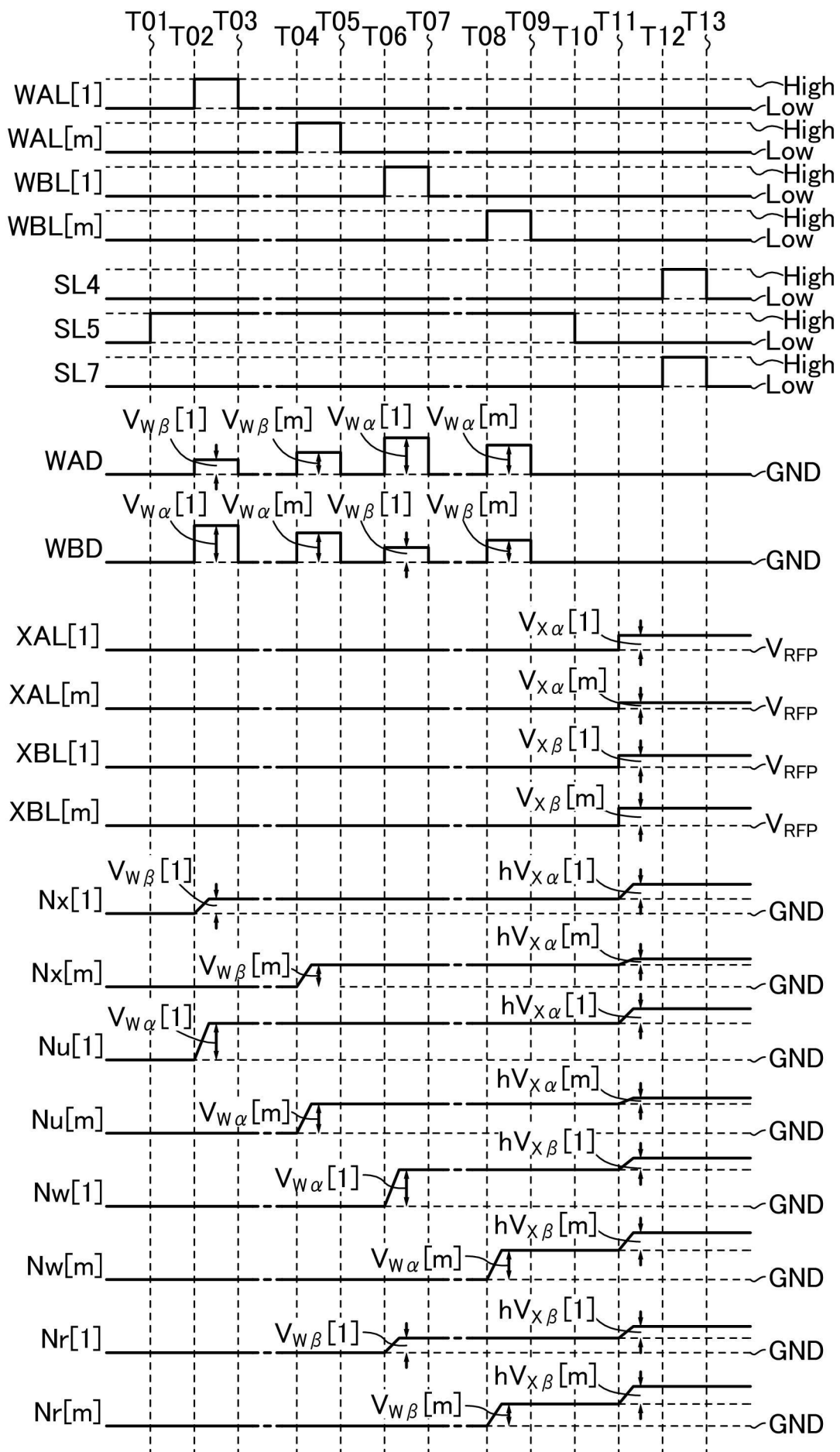
【圖5B】



【圖5C】

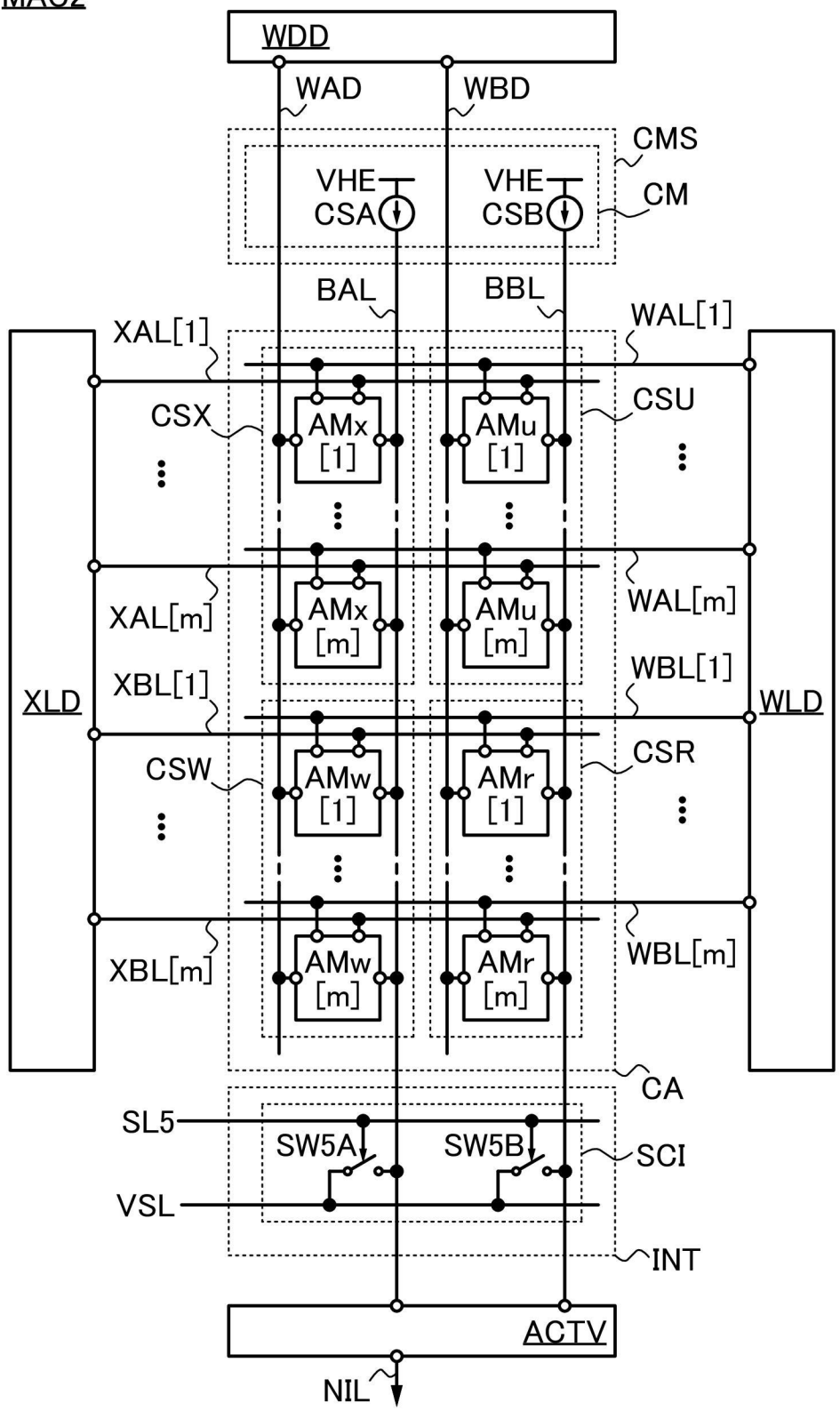


【圖6】

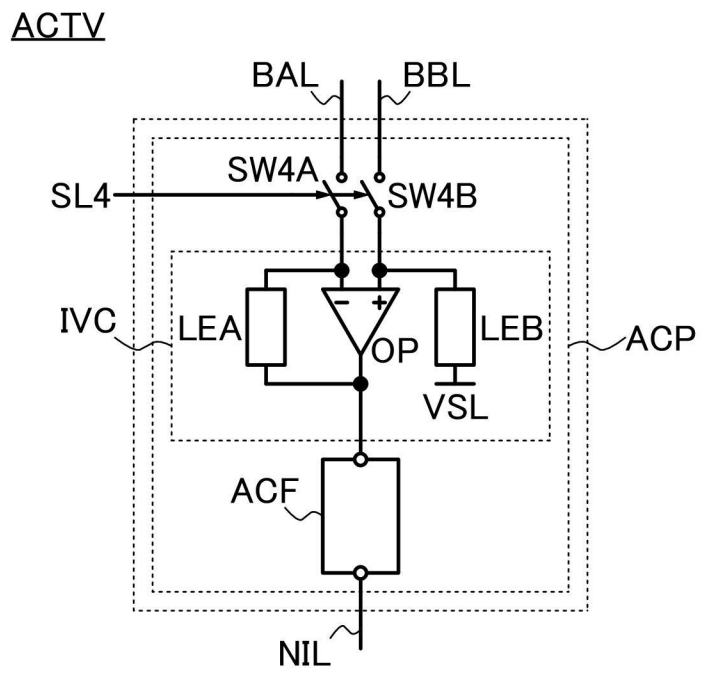


【圖7】

MAC2

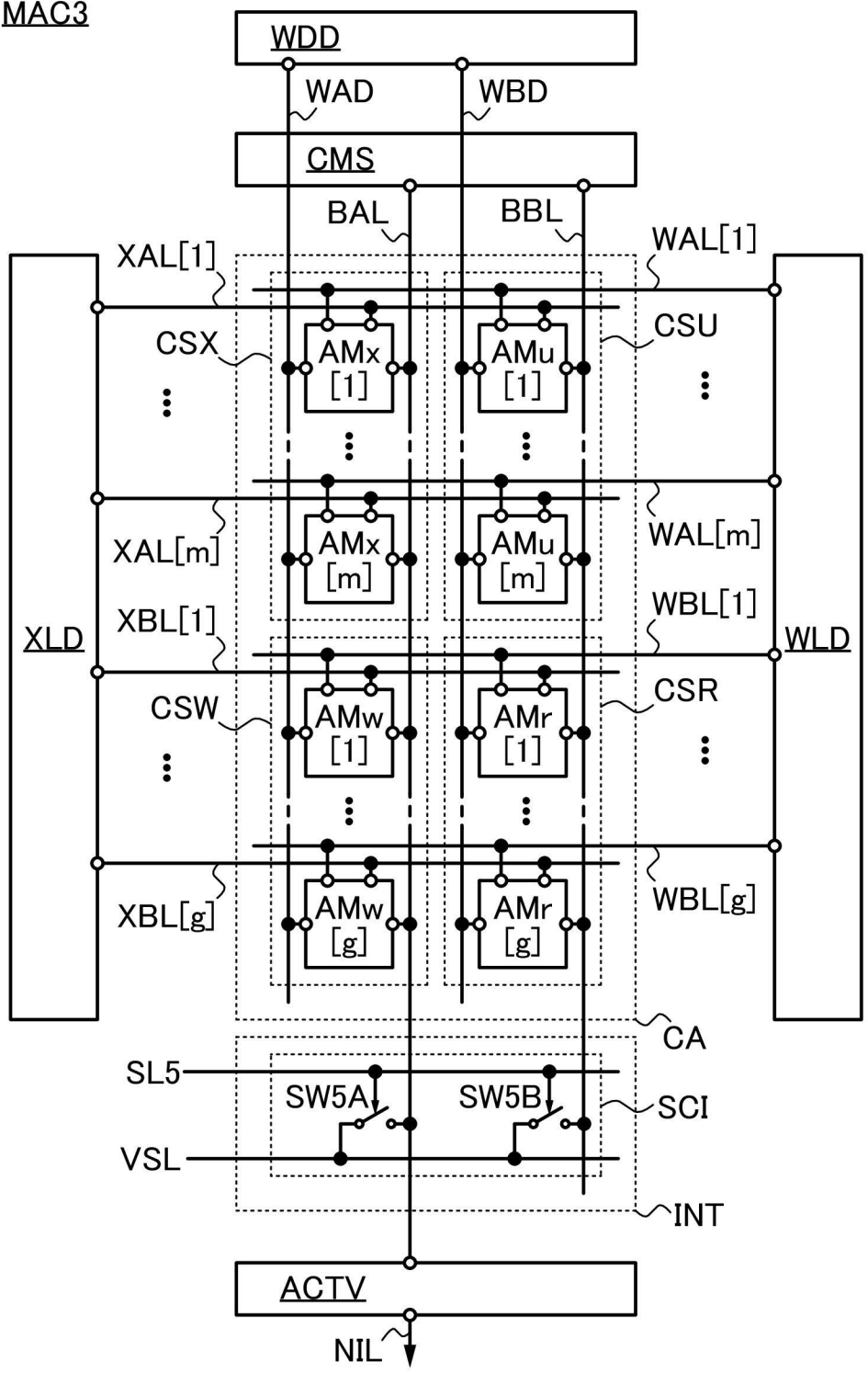


【圖8】



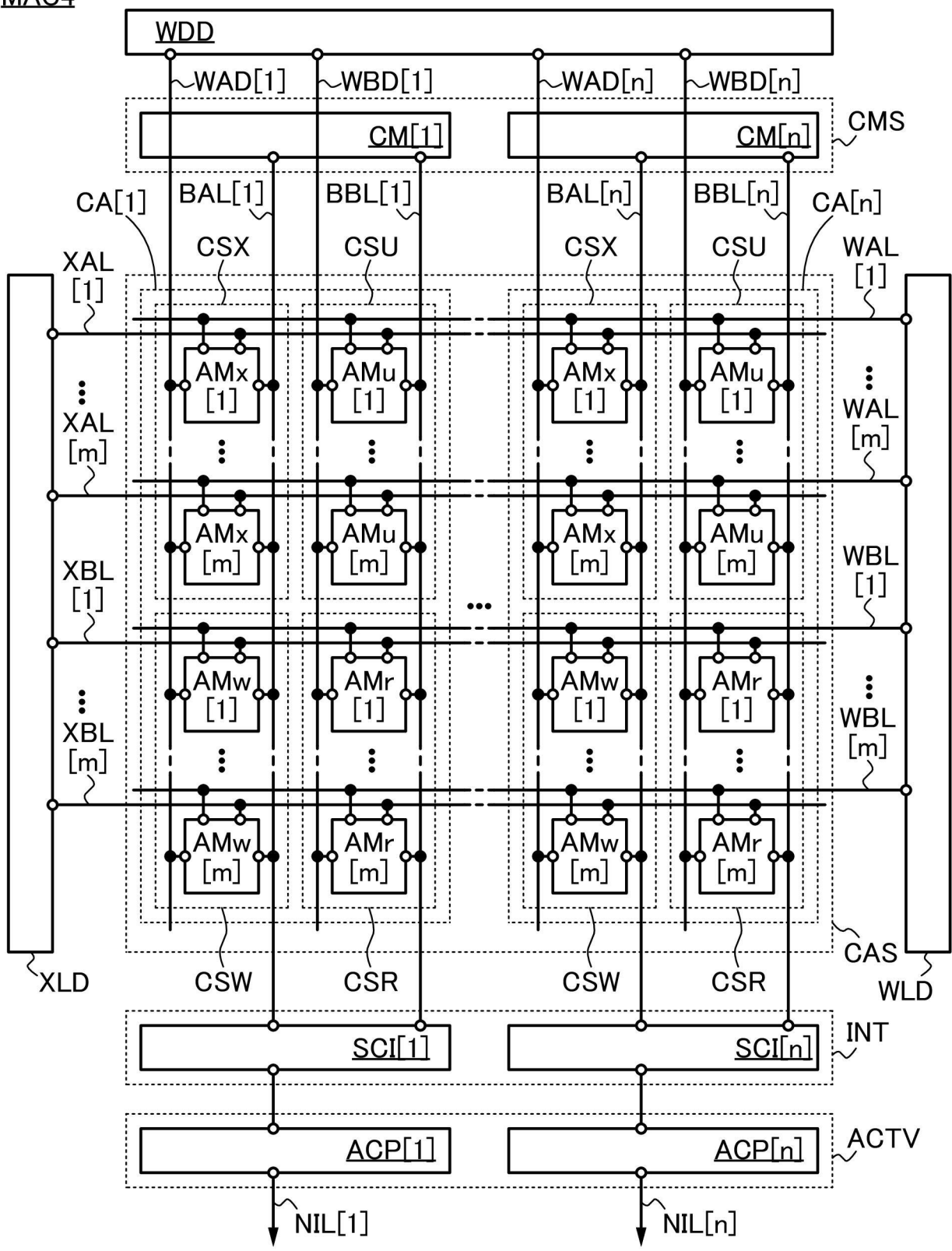
【圖9】

MAC3



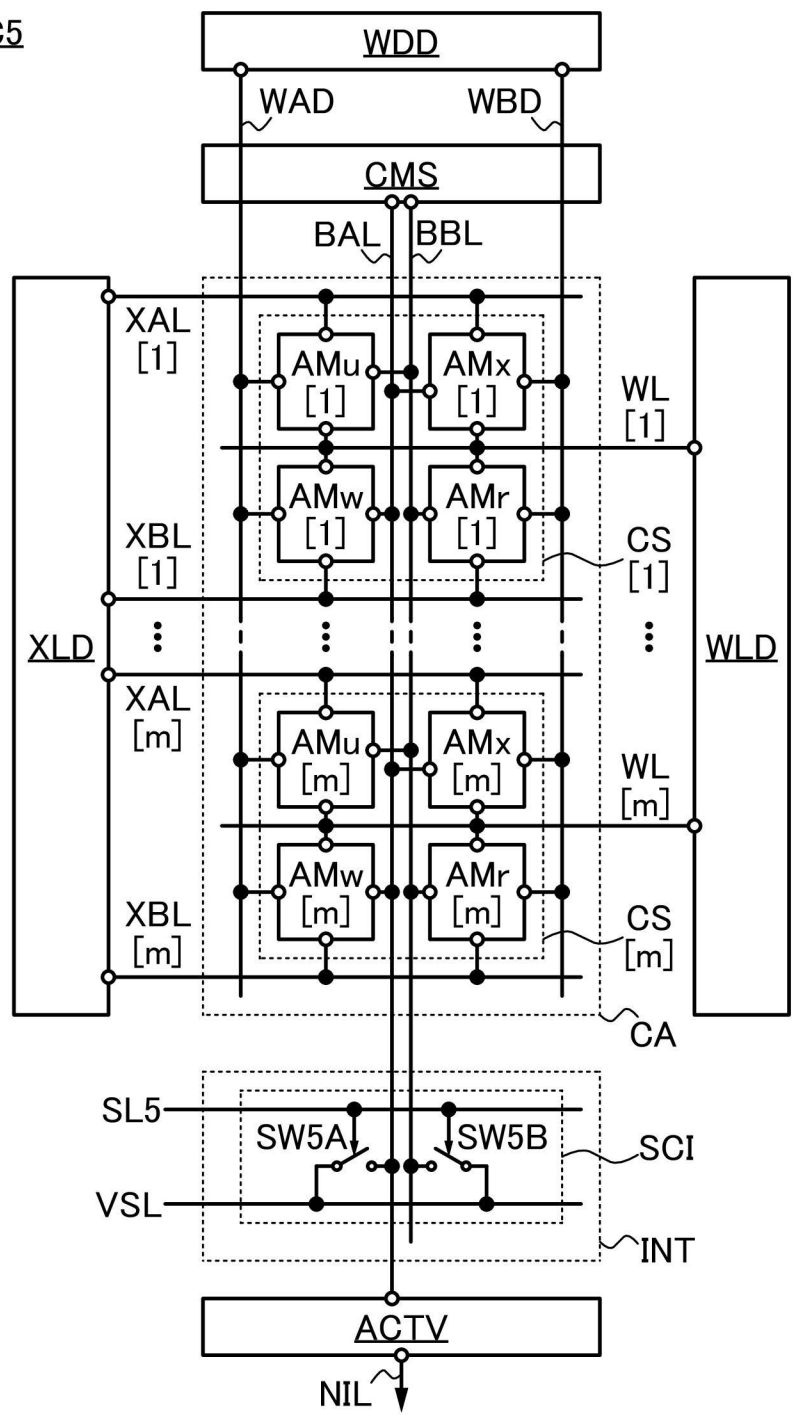
【圖10】

MAC4

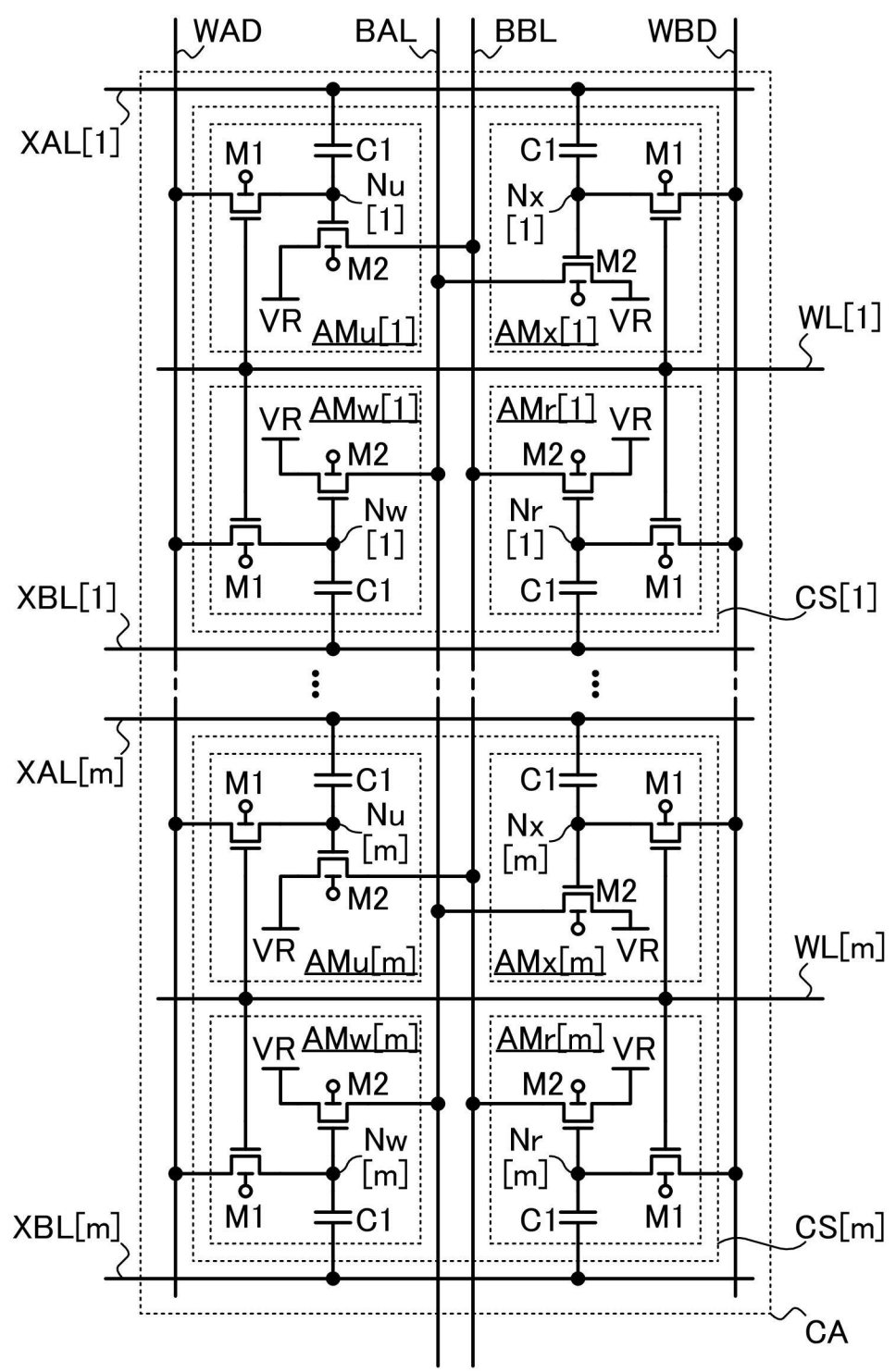


【圖11】

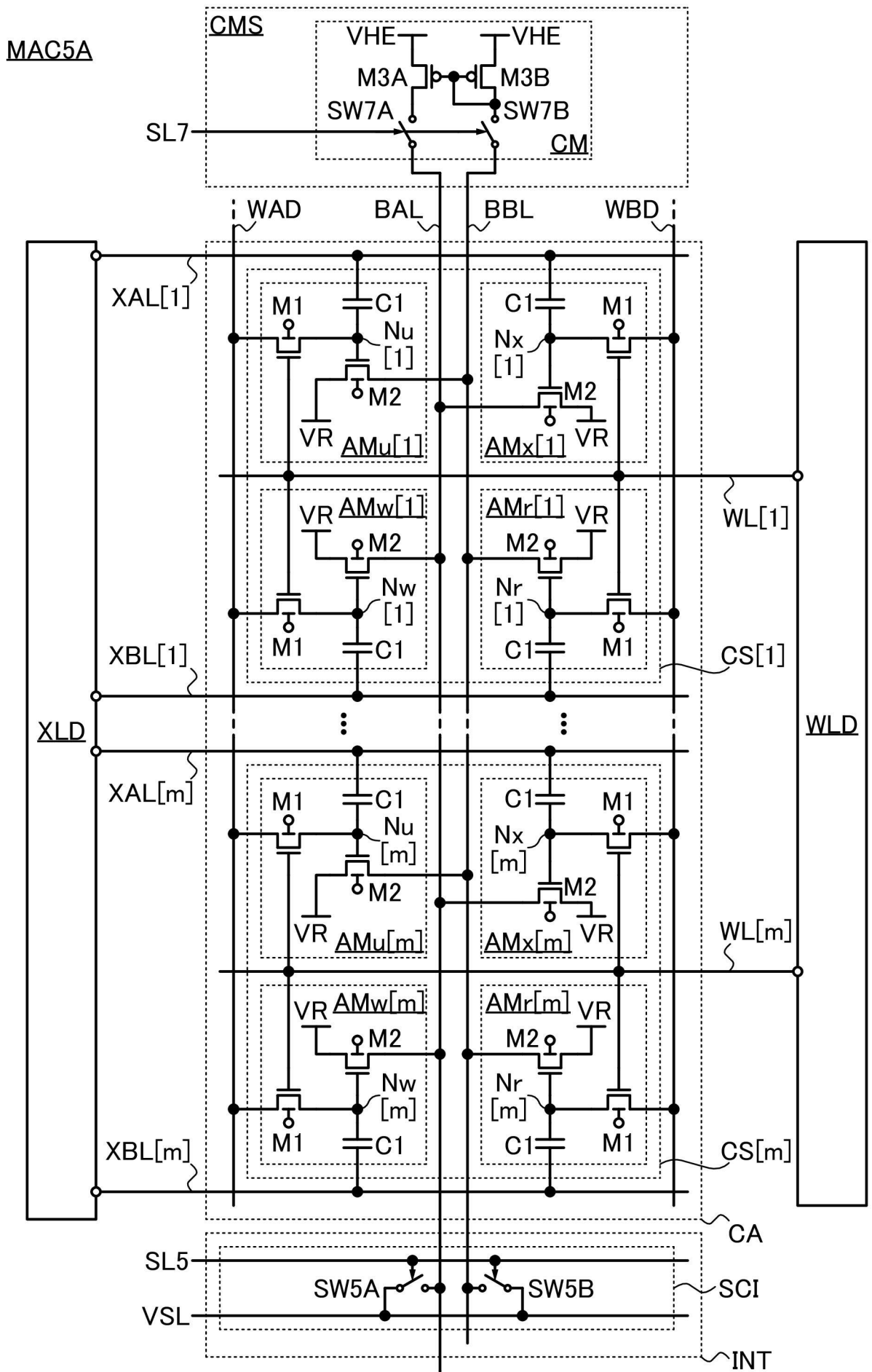
MAC5



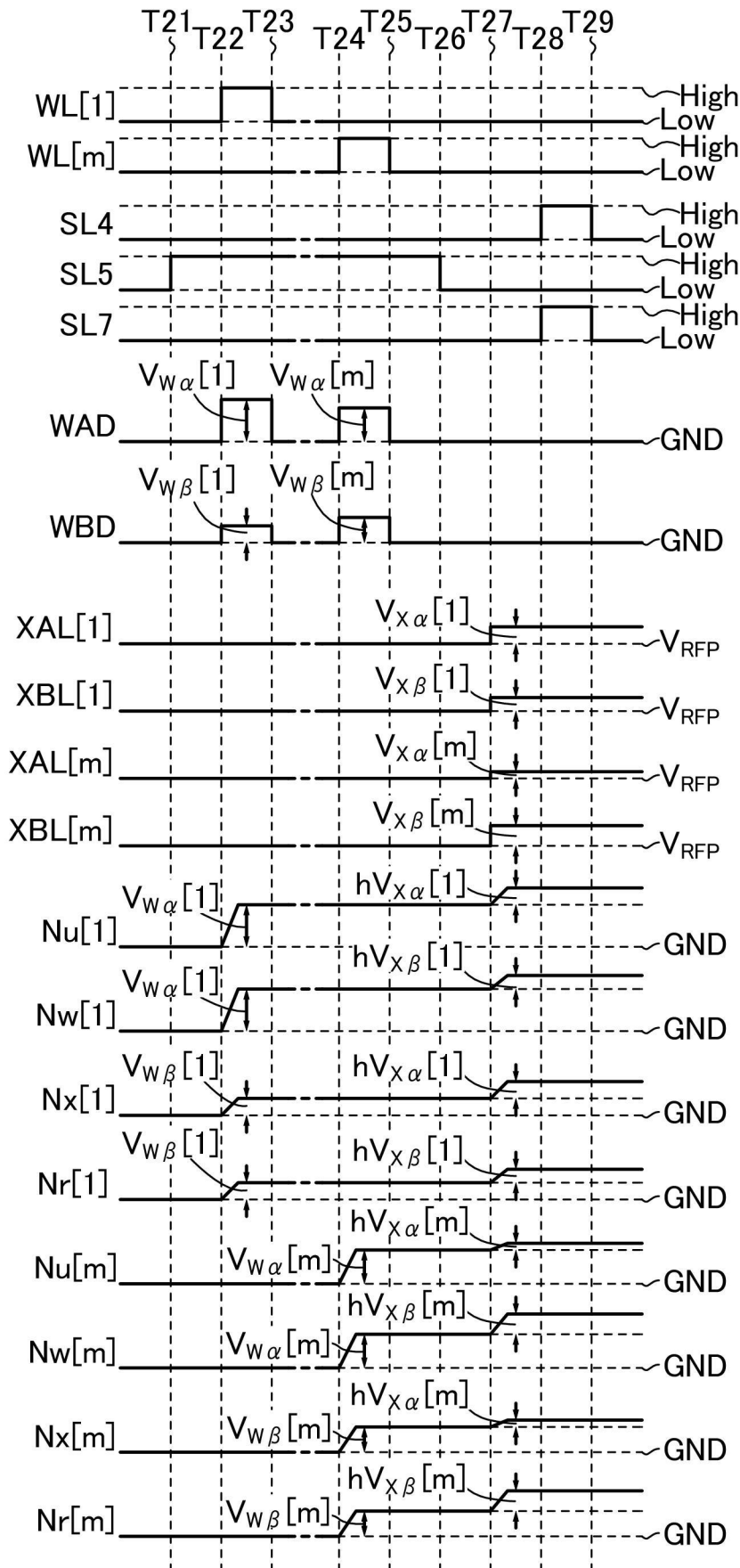
【圖12】



【圖13】

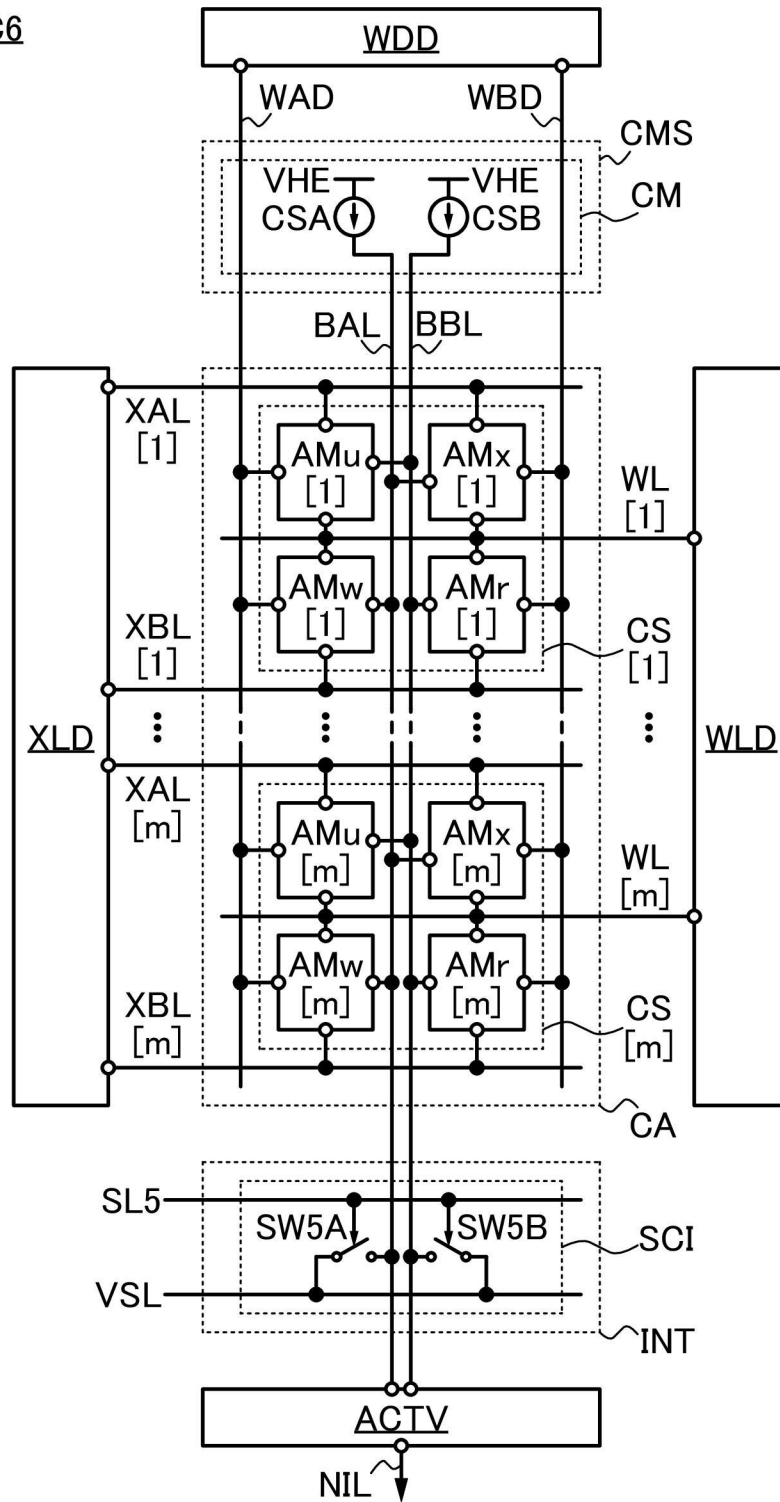


【圖14】

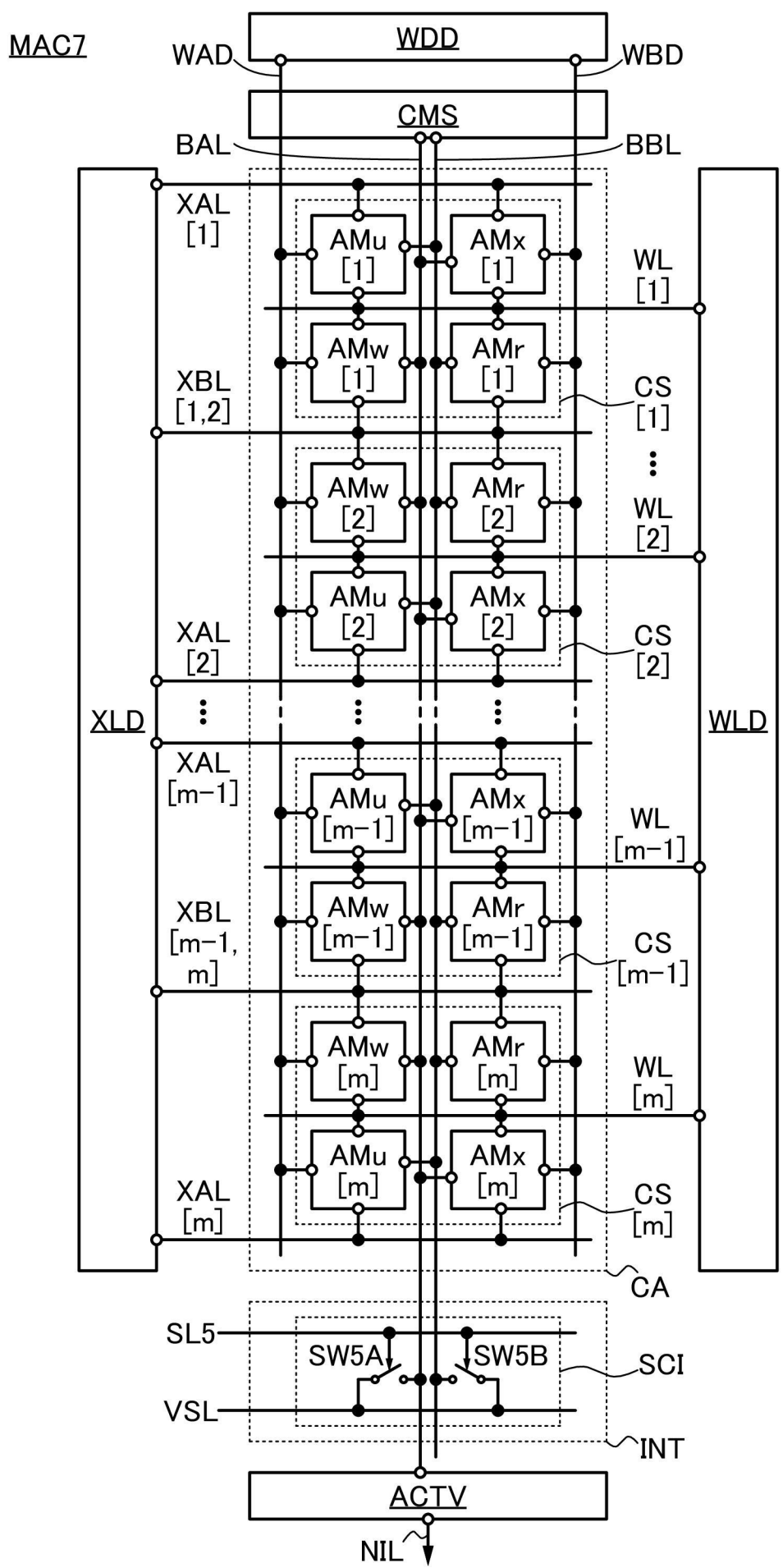


【圖15】

MAC6

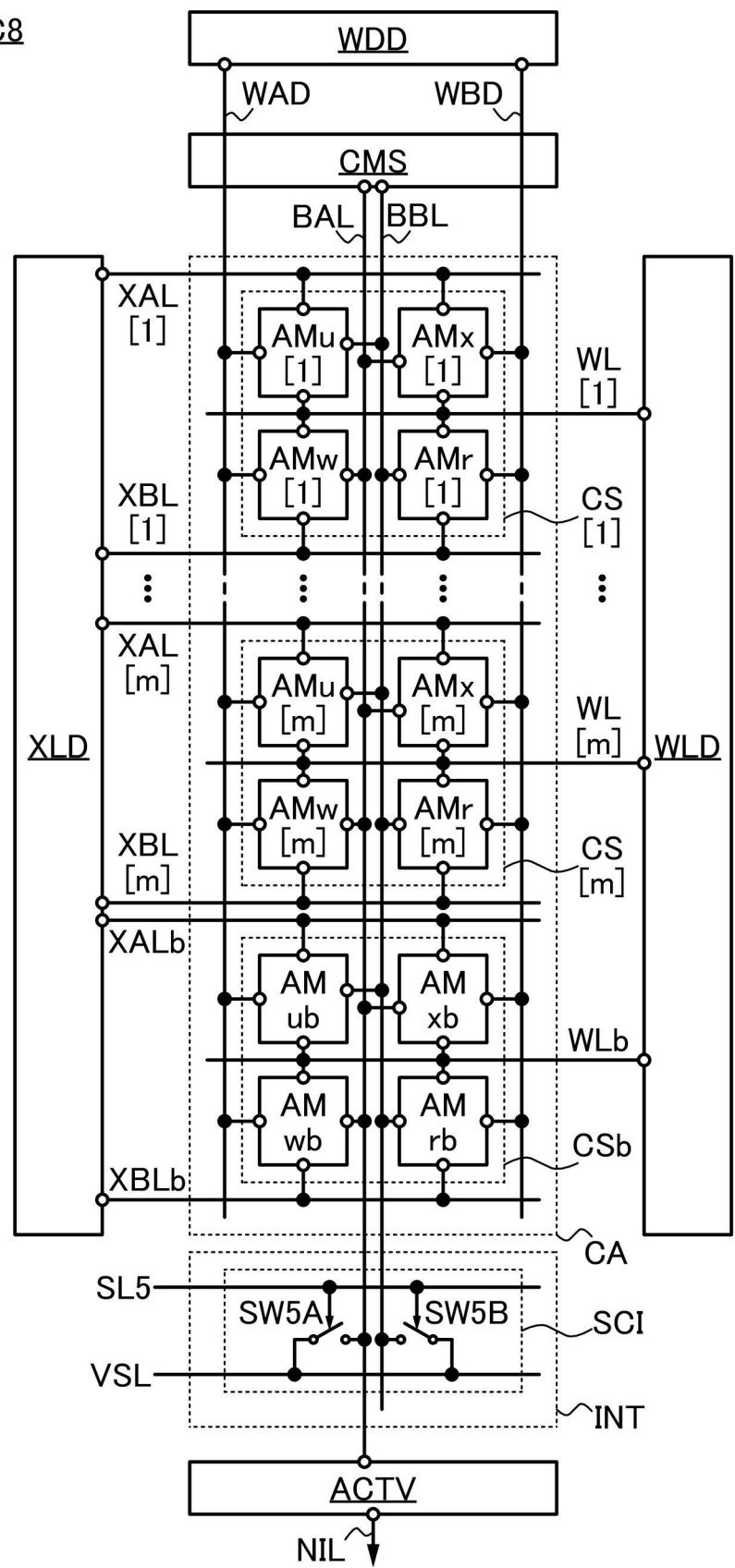


【圖16】



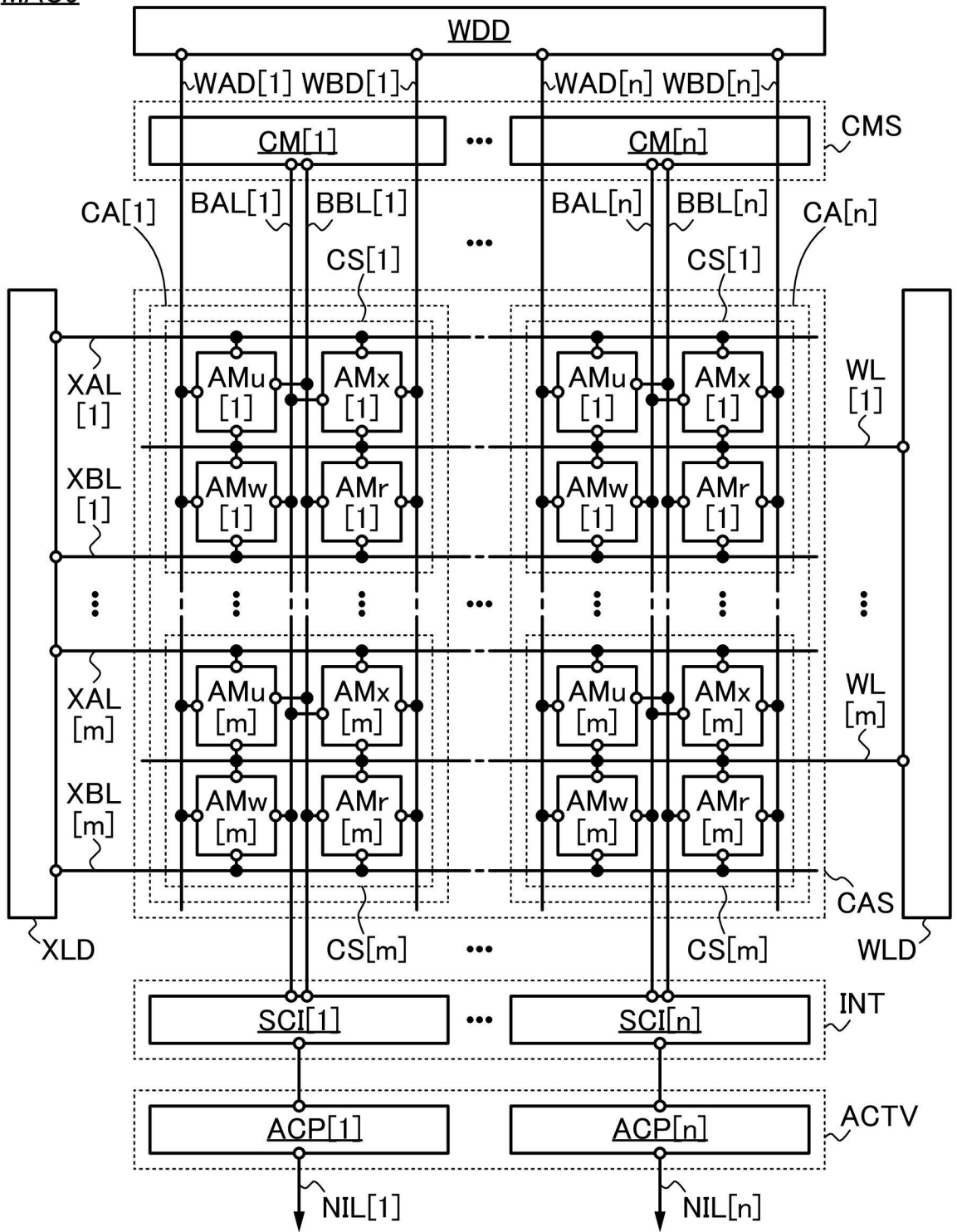
【圖17】

MAC8

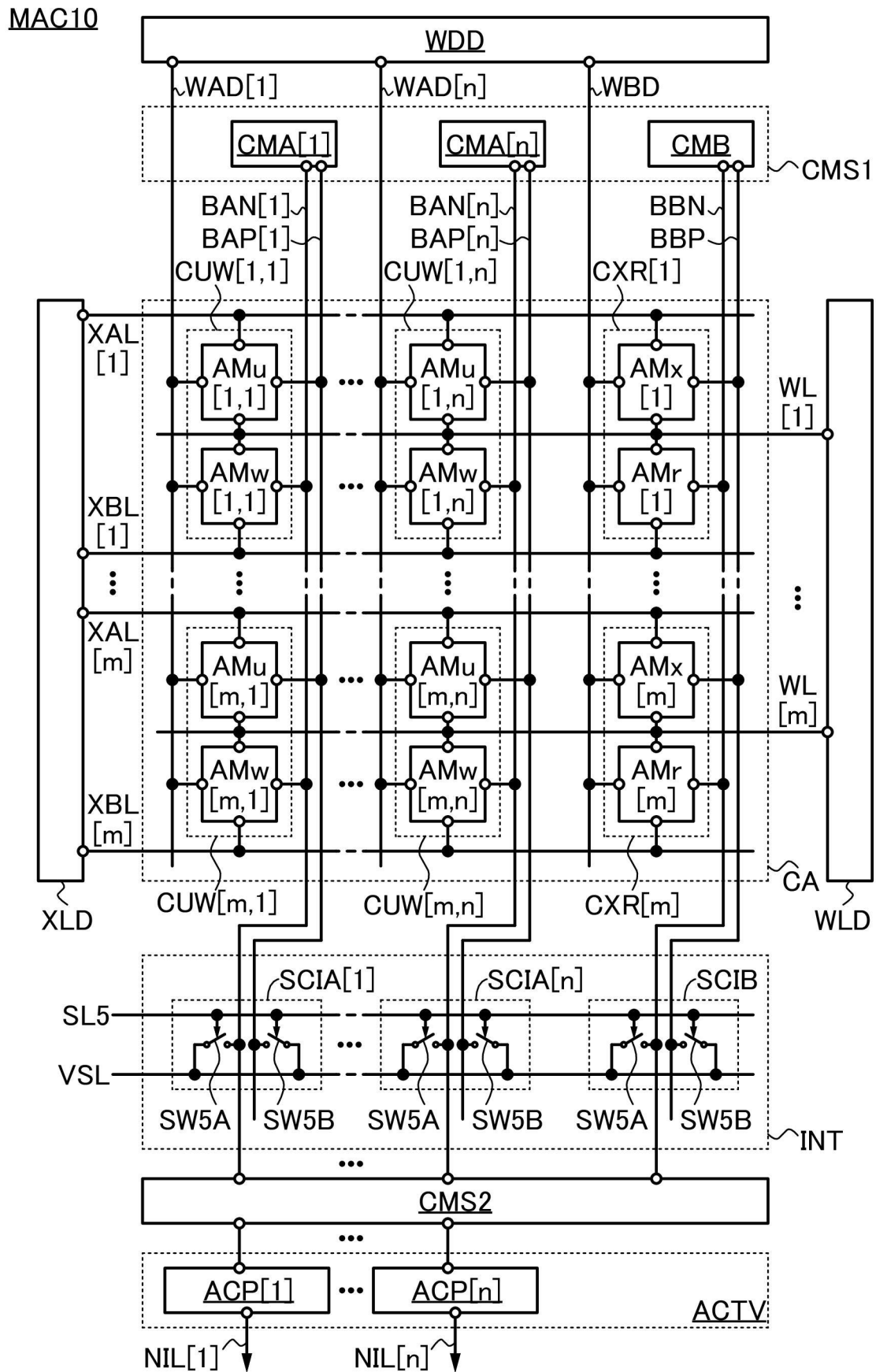


【圖18】

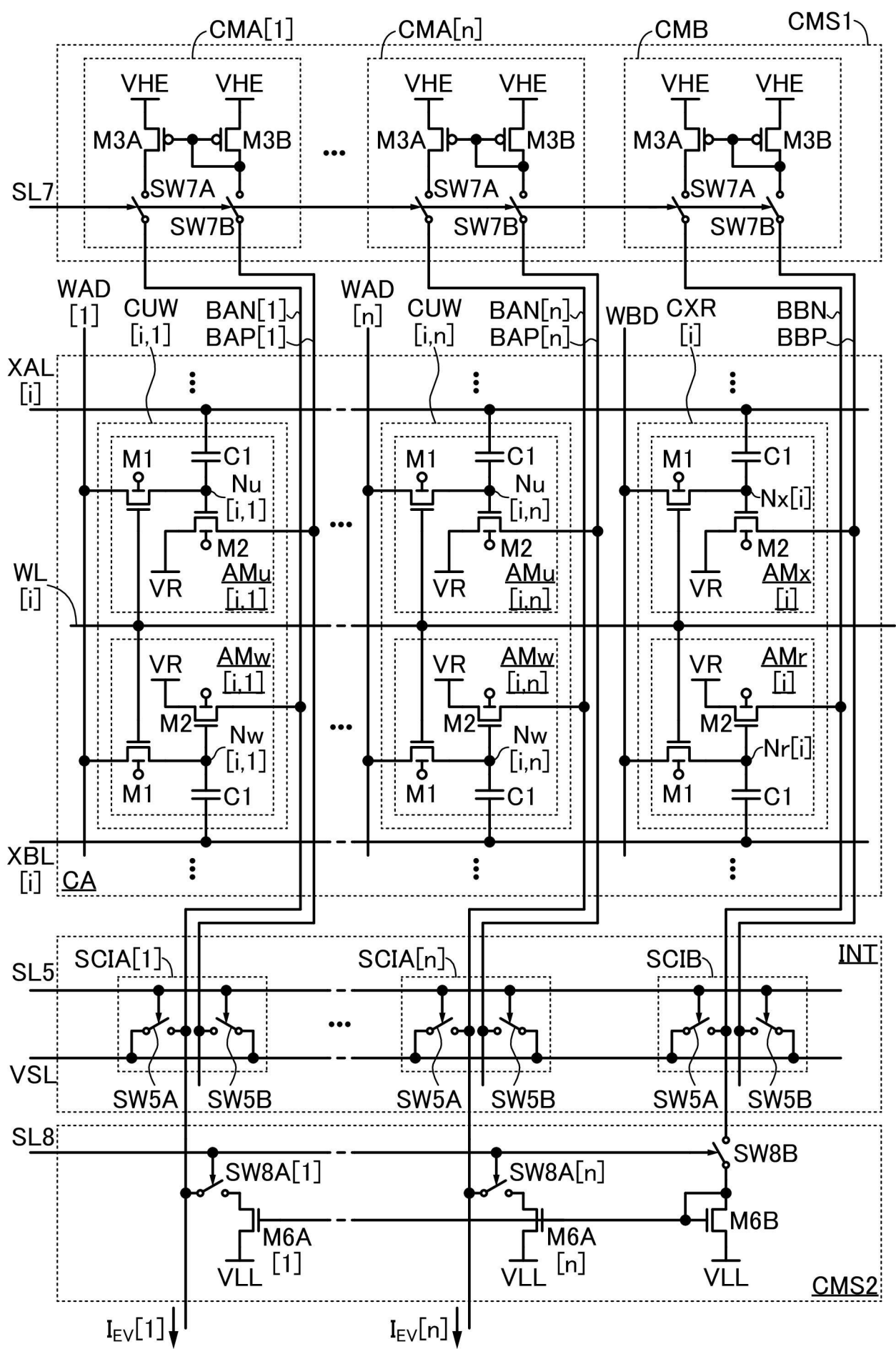
MAC9



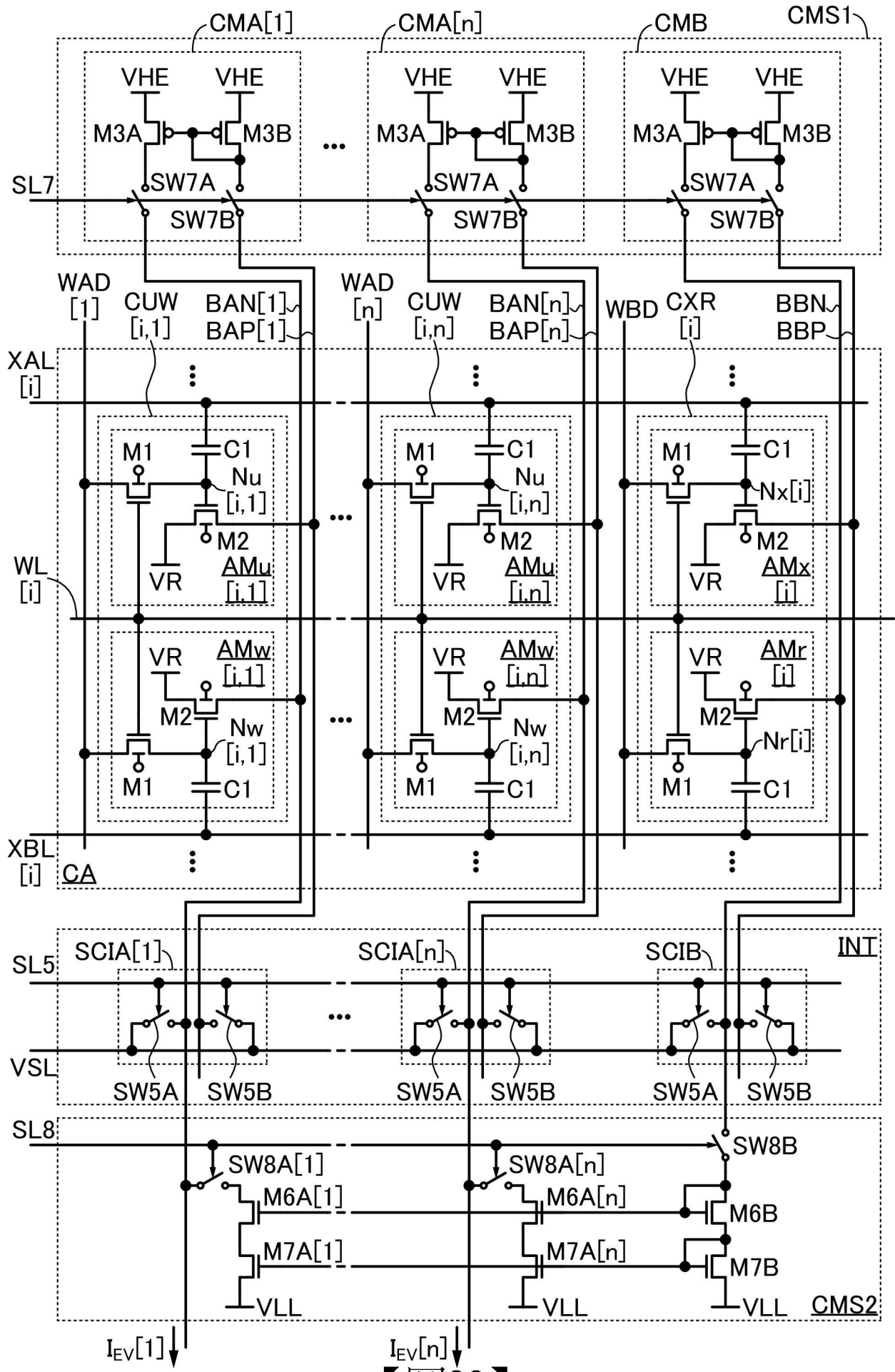
【圖19】



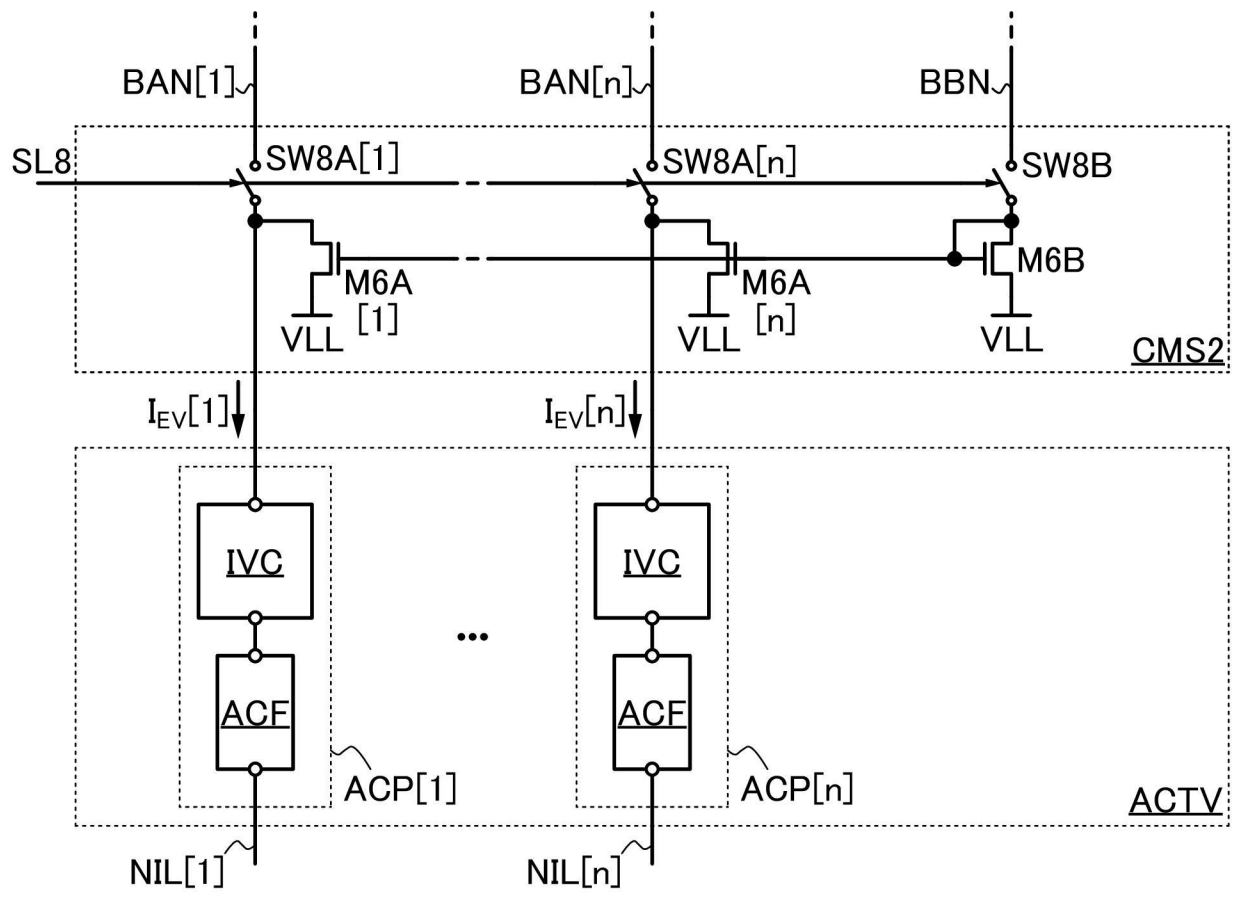
【圖20】



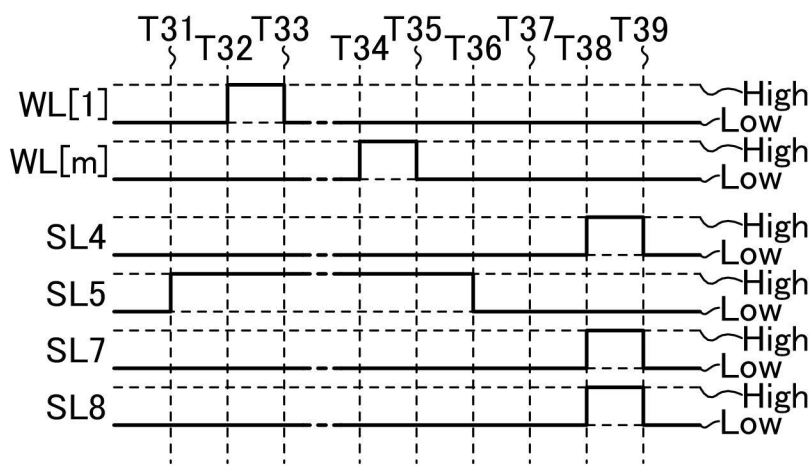
【圖21】



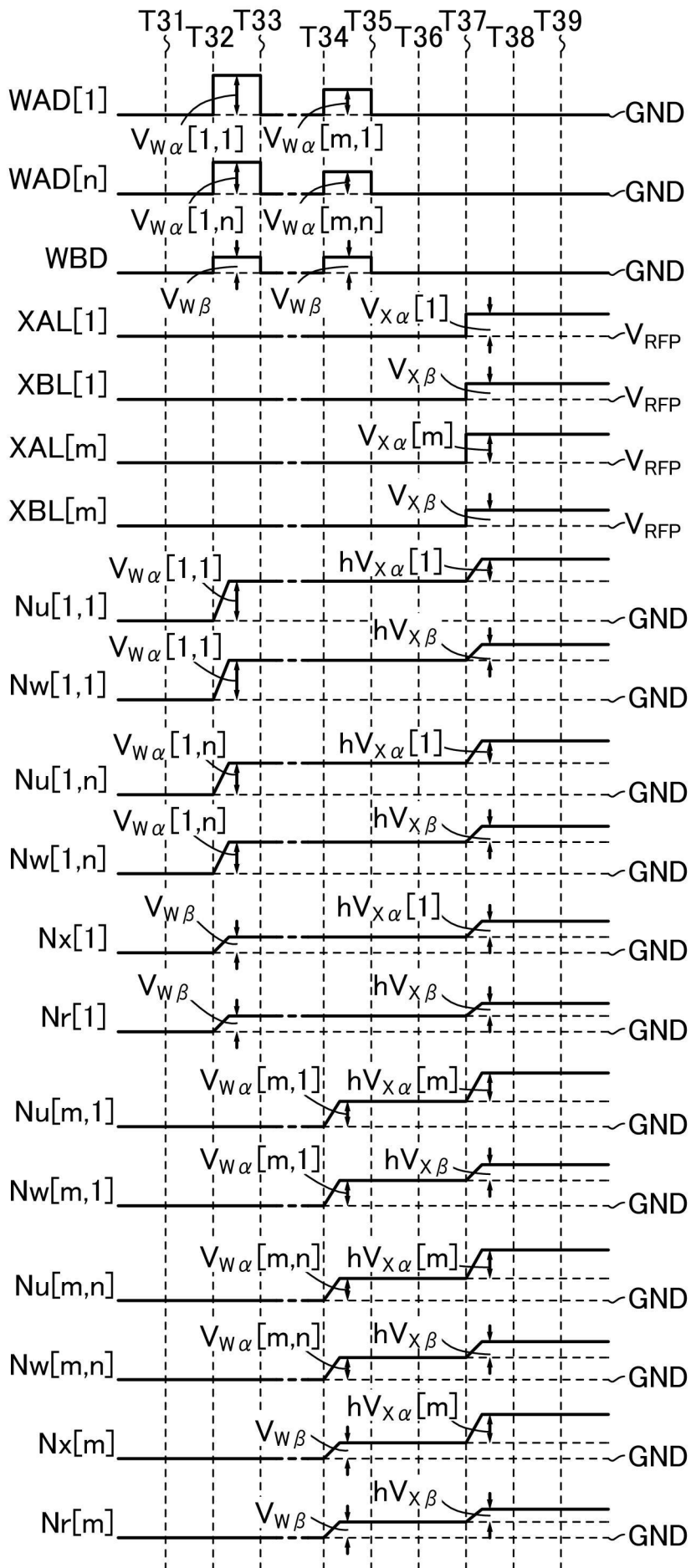
【圖22】



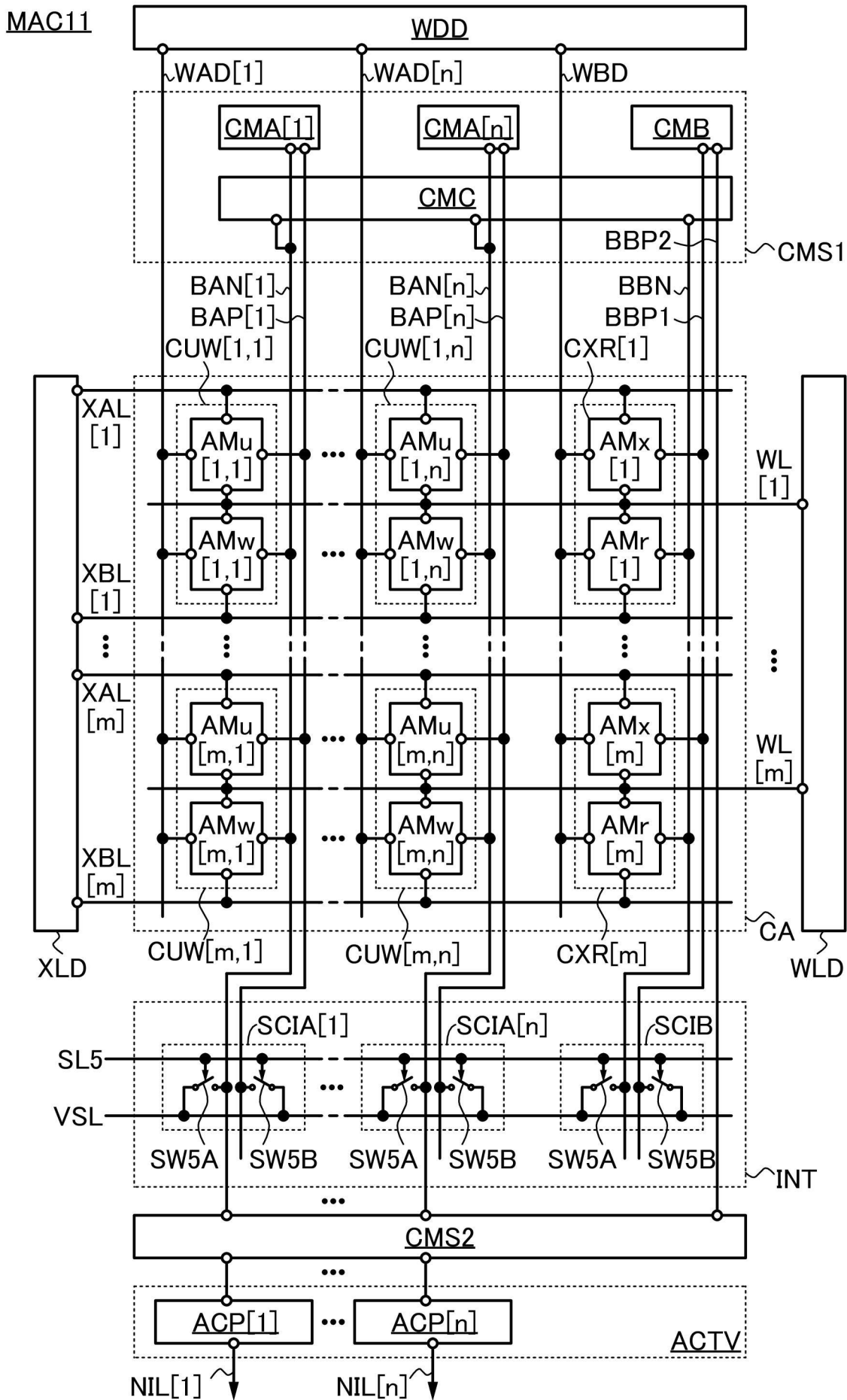
【圖23】



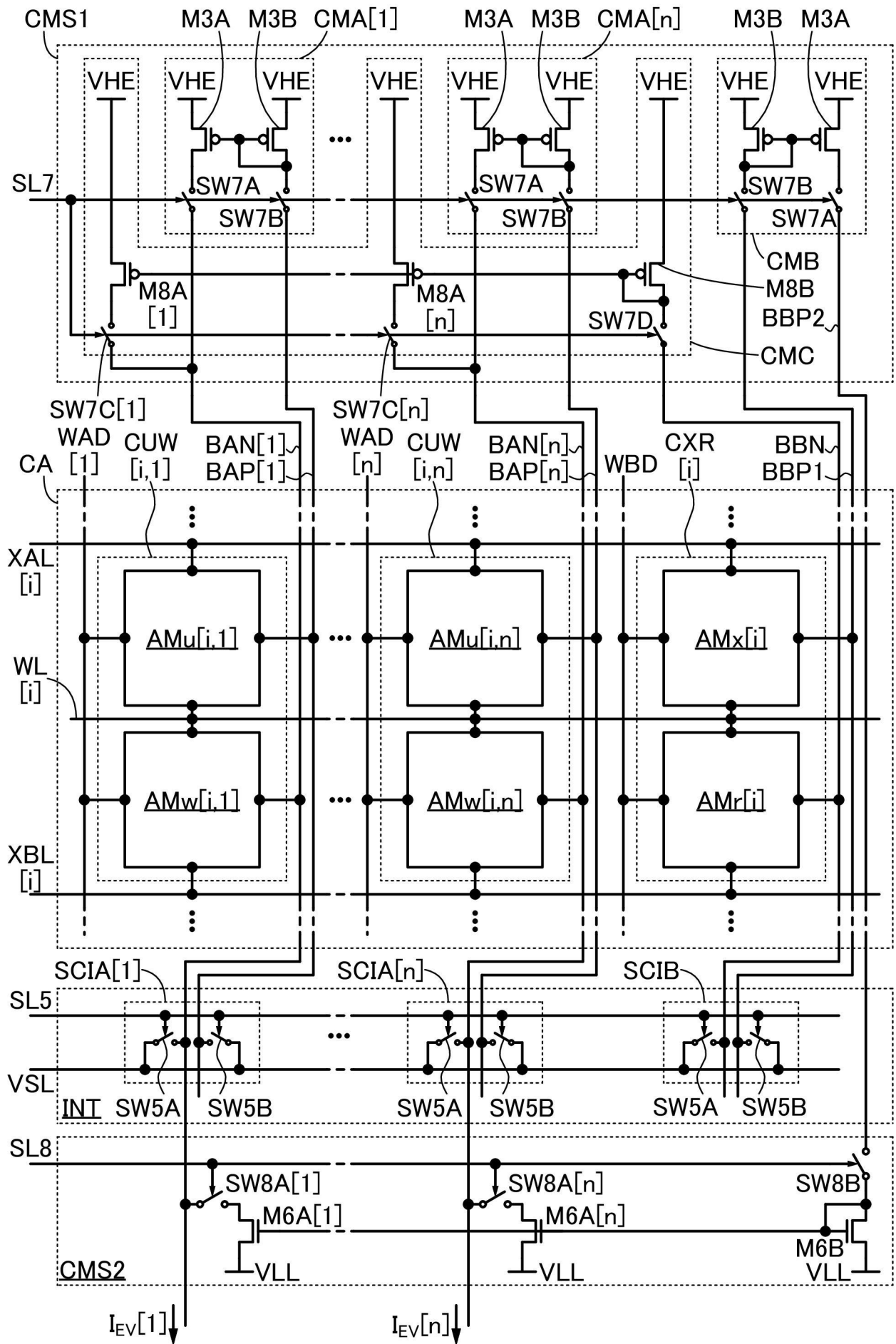
【圖24】



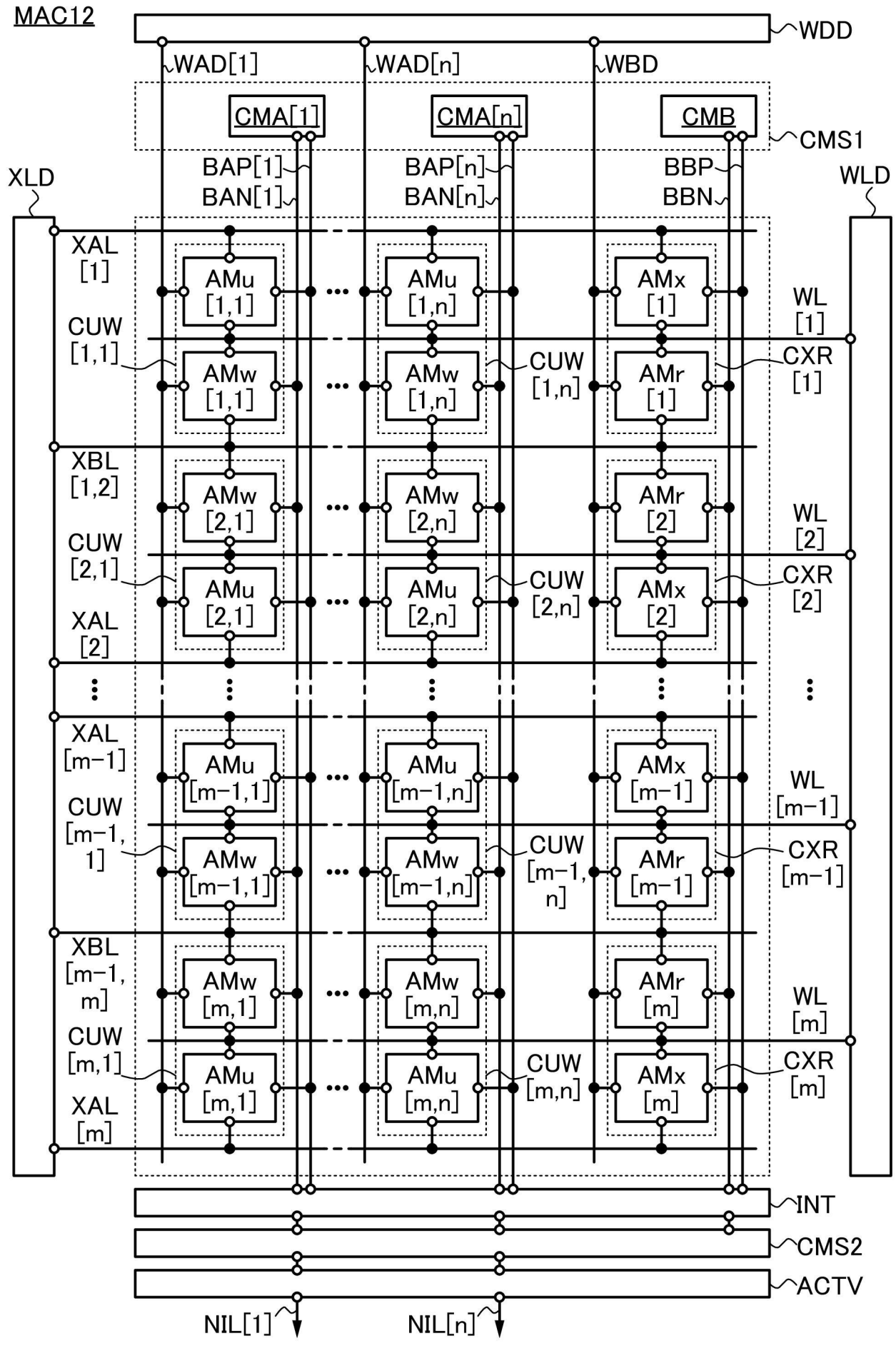
【圖25】



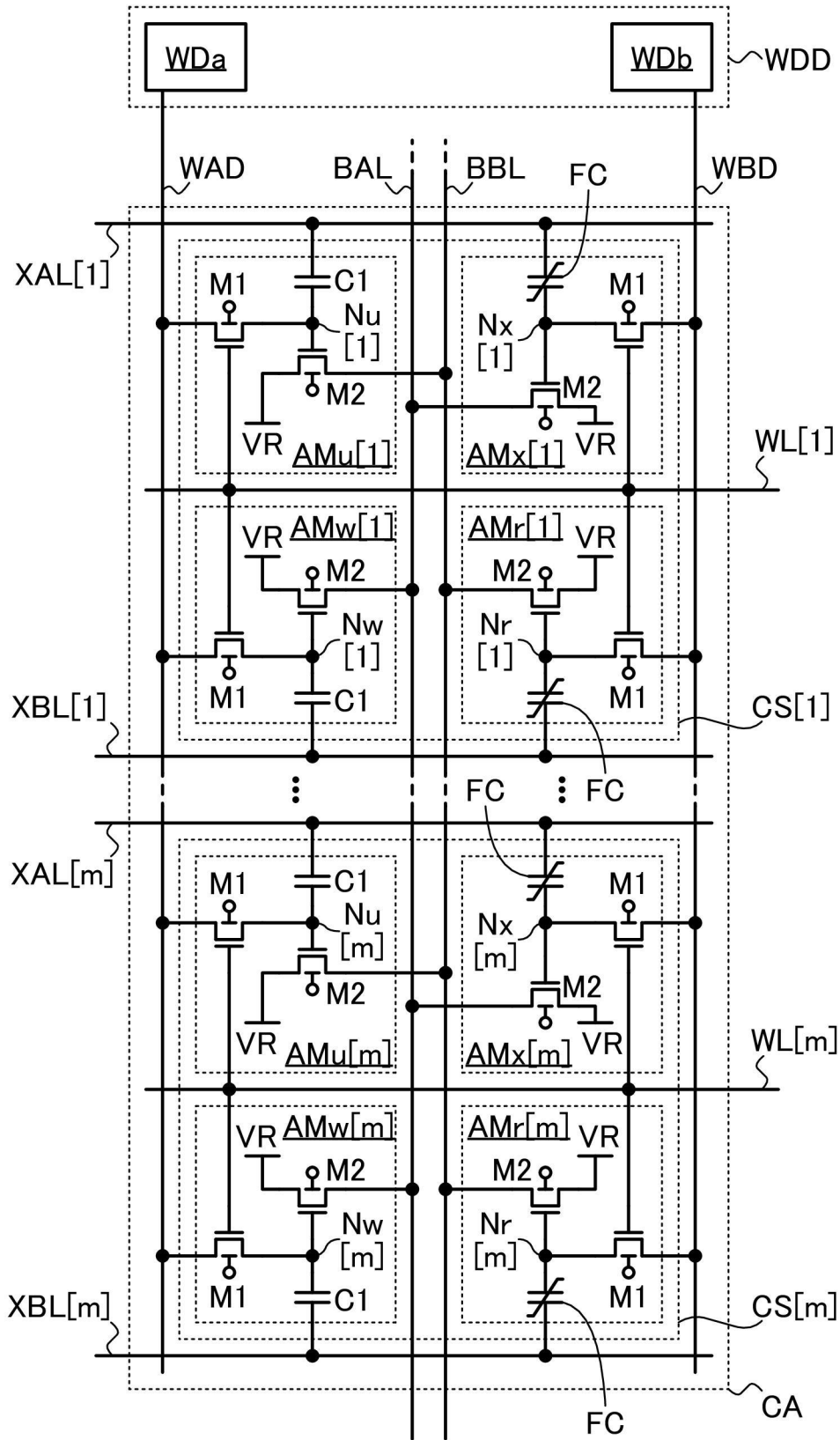
【圖26】



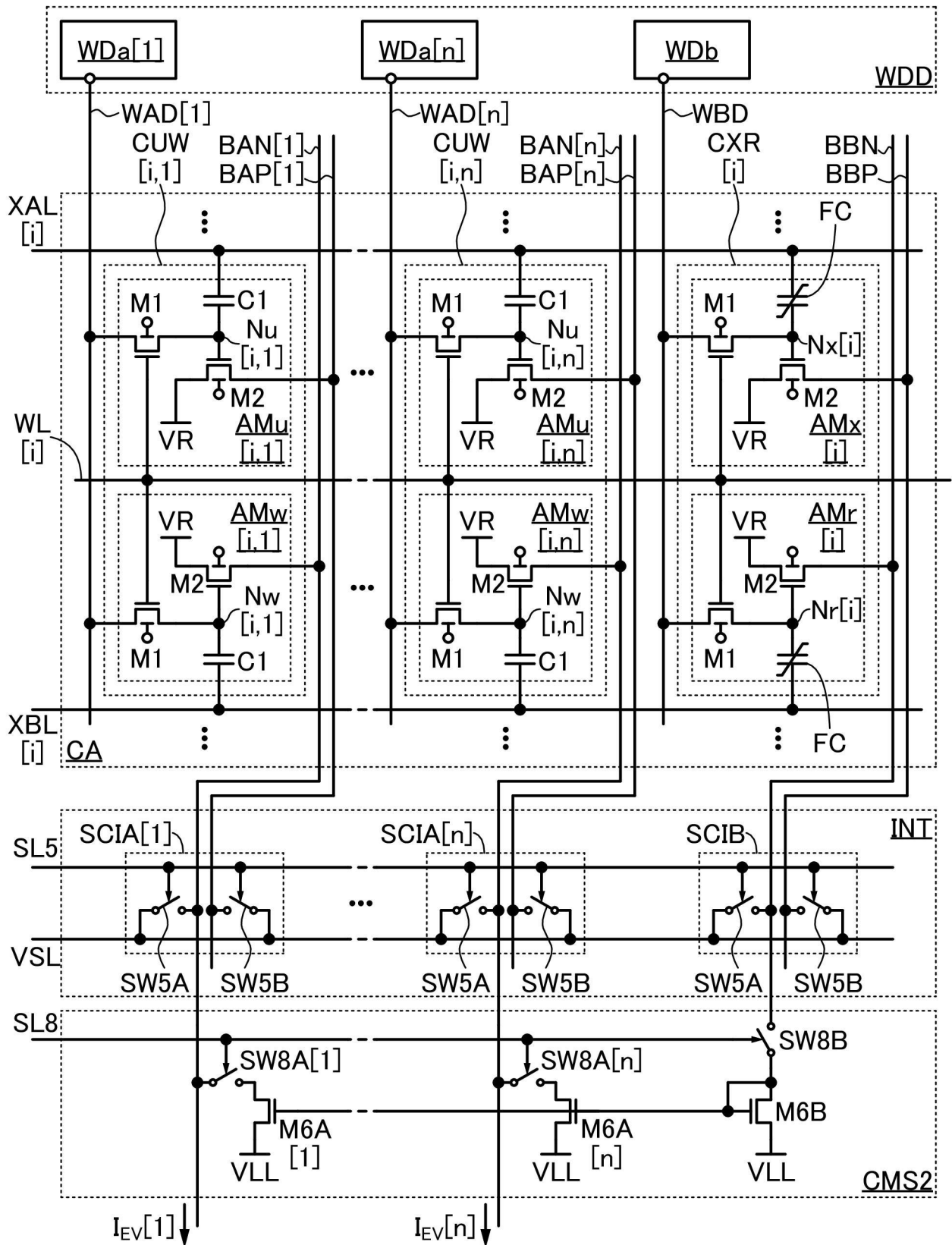
【圖27】



【圖28】

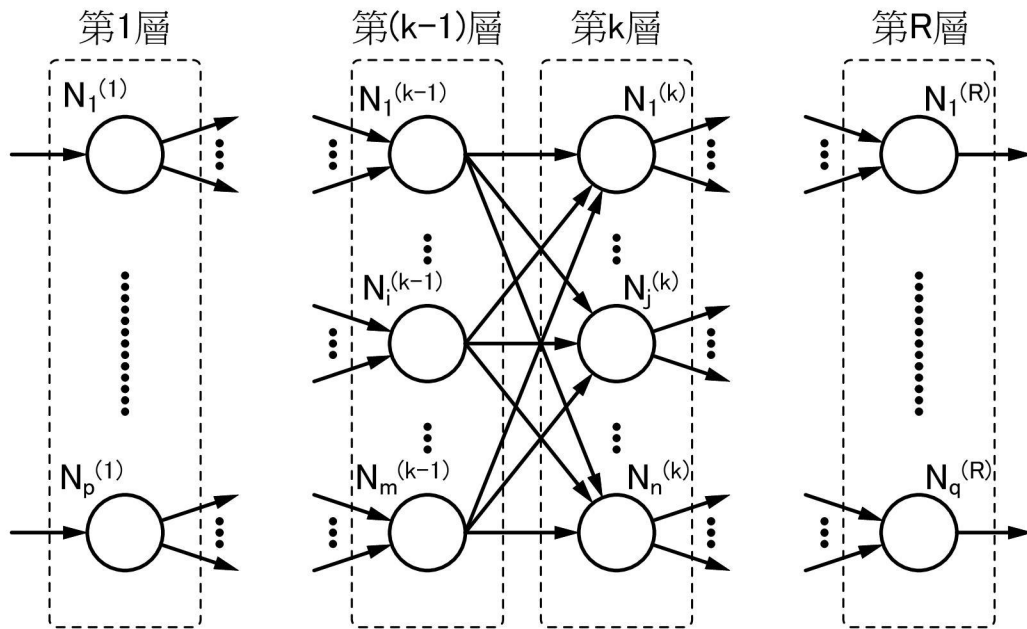


【圖29】

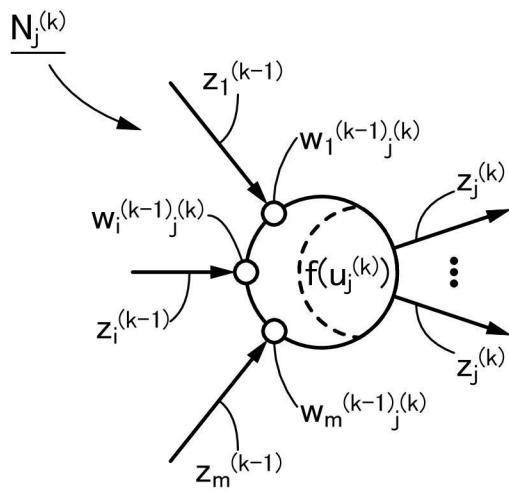


【圖30】

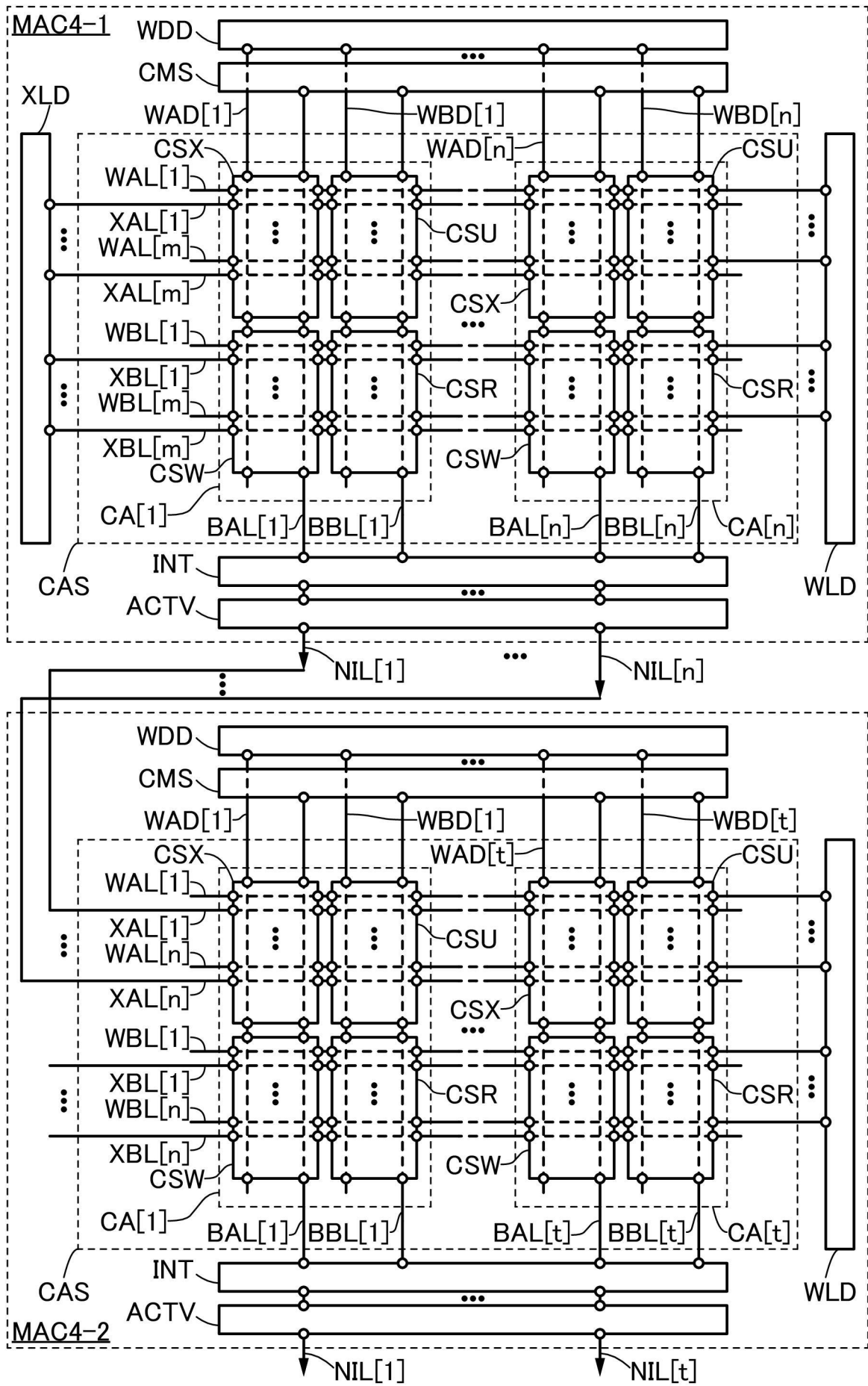
100



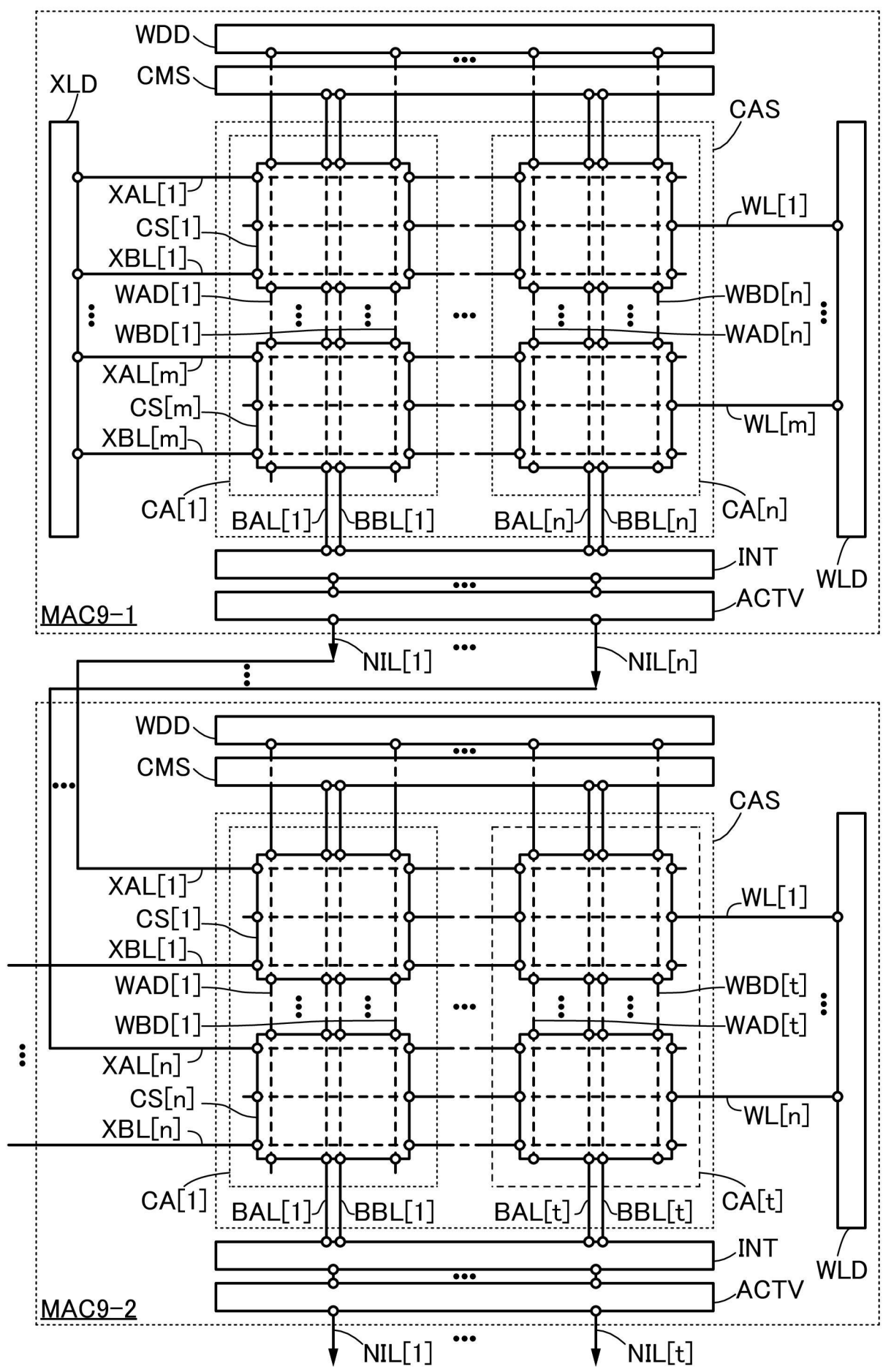
【圖31A】



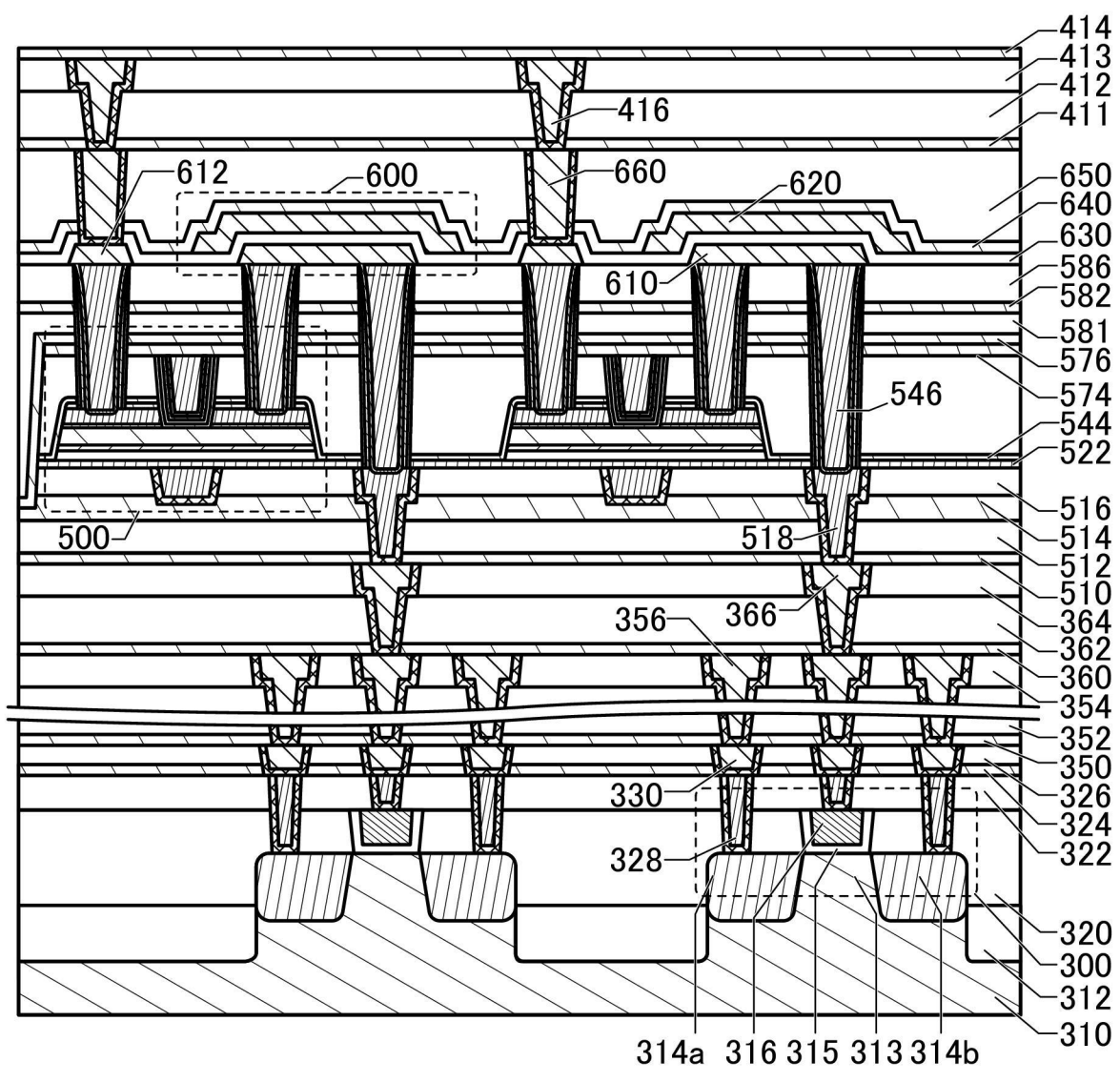
【圖31B】



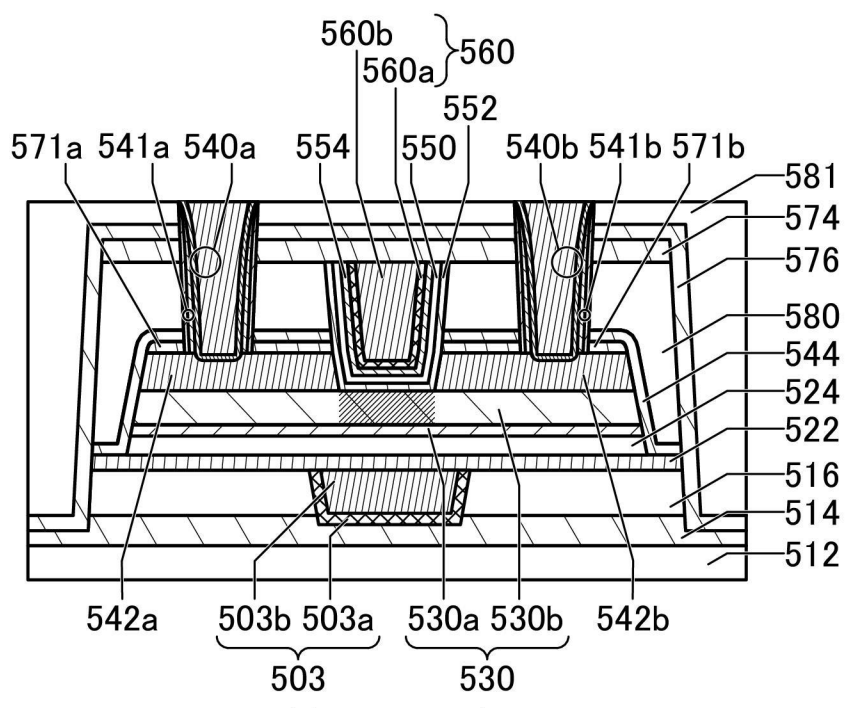
【圖32】



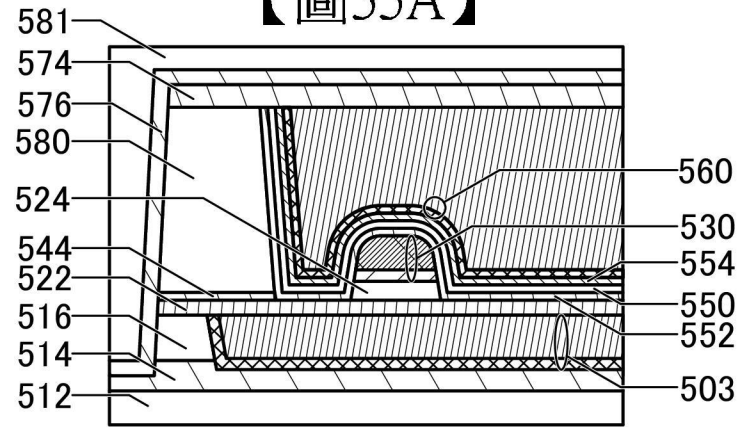
【圖33】



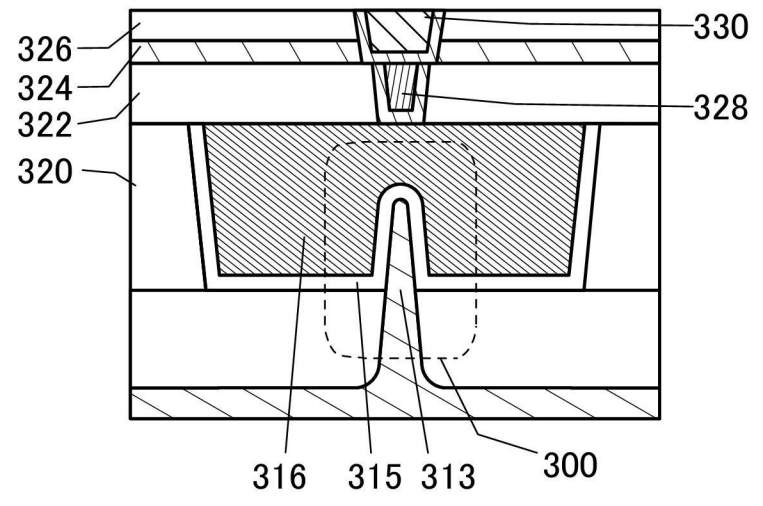
【圖34】



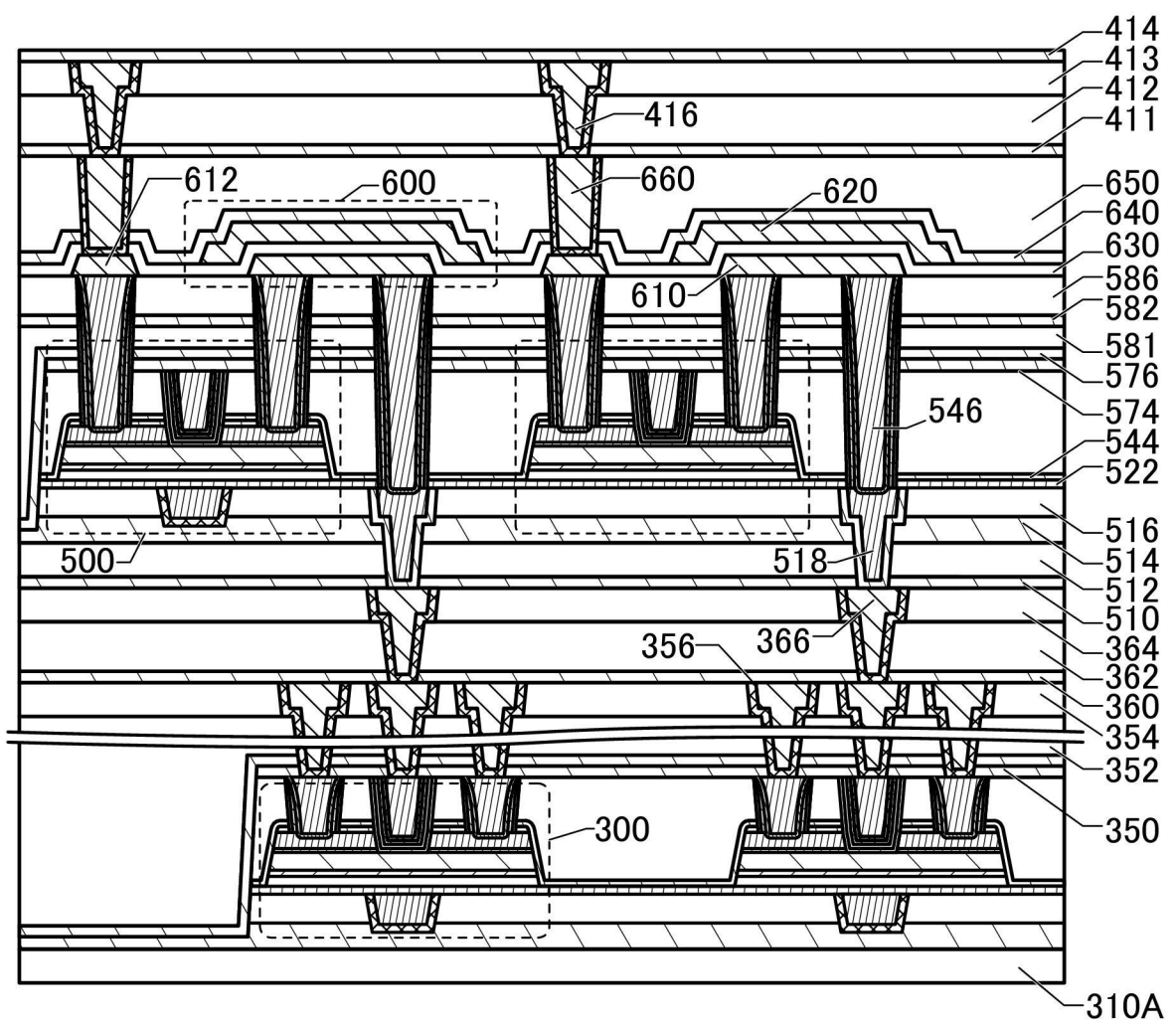
【圖35A】



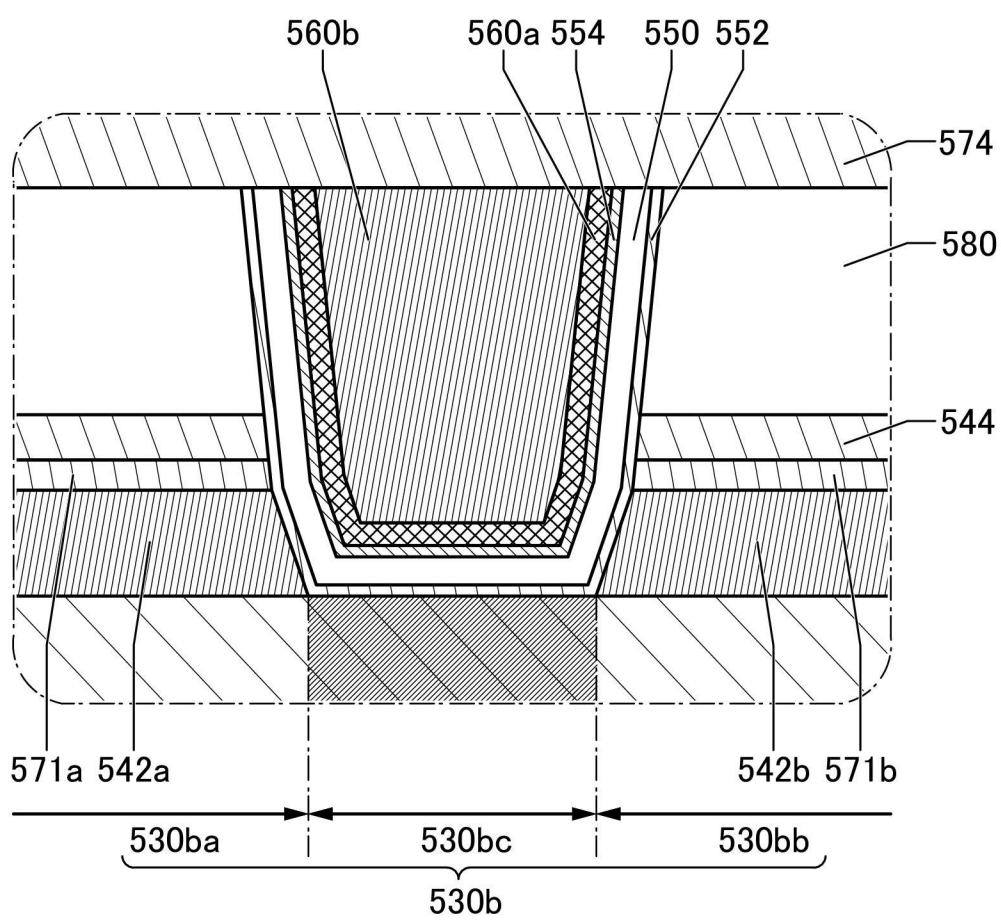
【圖35B】



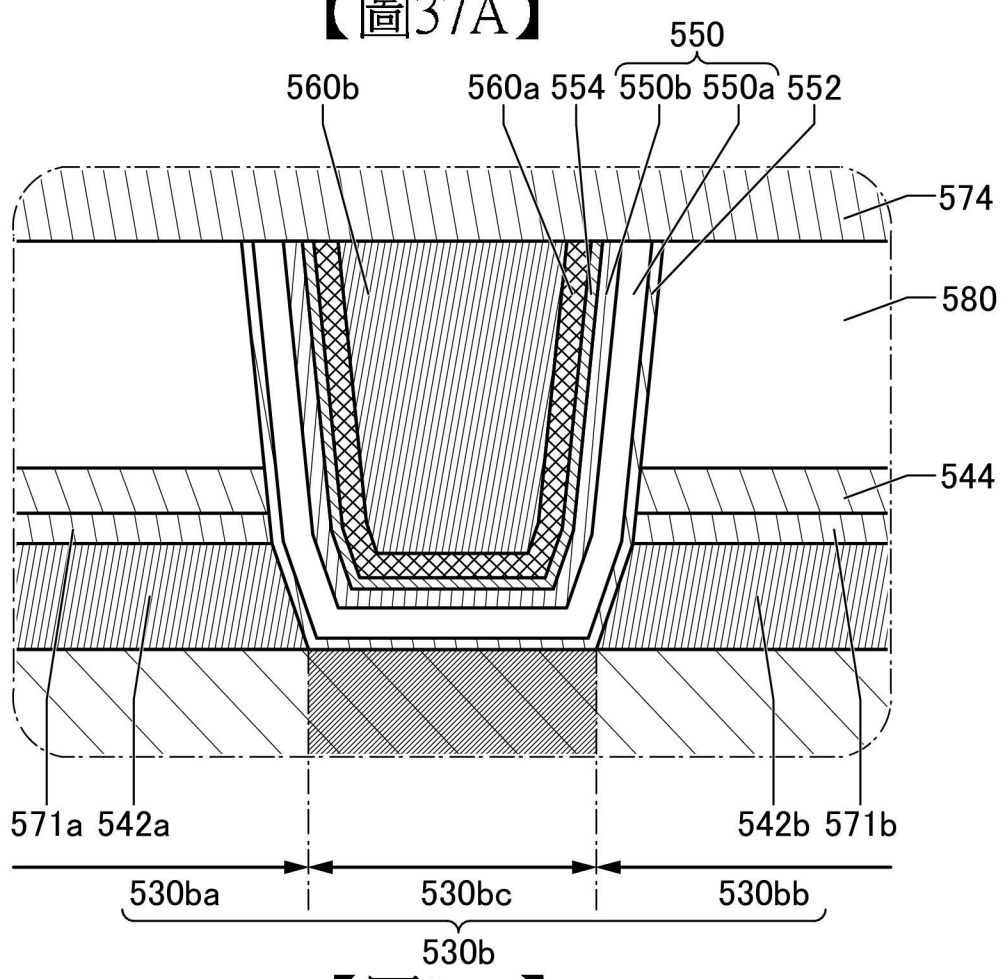
【圖35C】



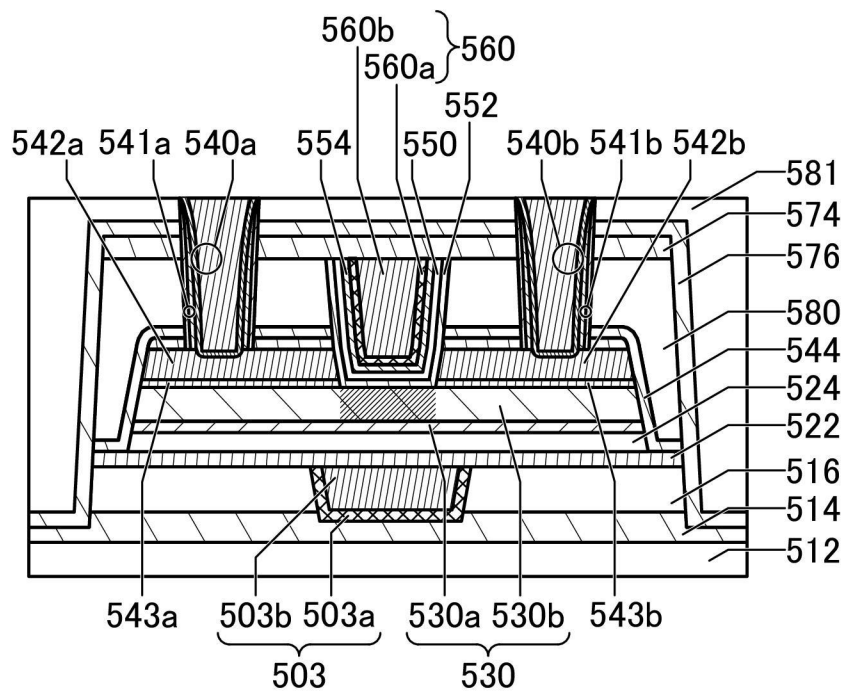
【圖36】



【圖37A】



【圖37B】

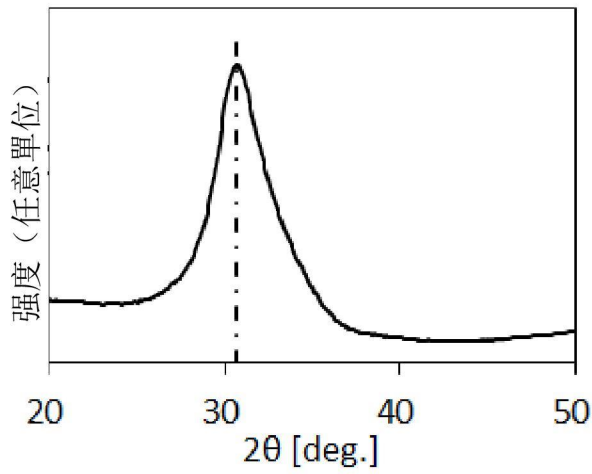


【圖38】

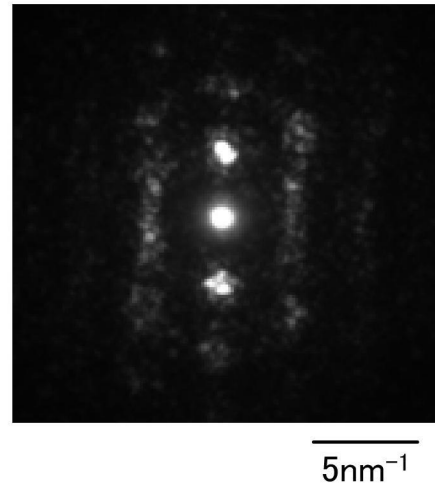
中間狀態
新穎的邊界區域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
<ul style="list-style-type: none"> completely amorphous 	<ul style="list-style-type: none"> CAAC nc CAC <p>不包含單晶及多晶</p>	<ul style="list-style-type: none"> 單晶 多晶

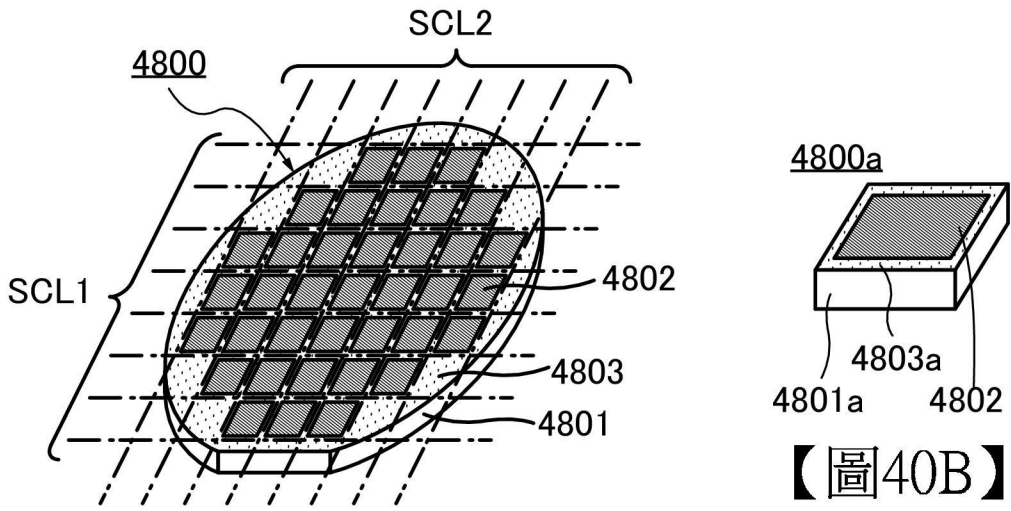
【圖39A】



【圖39B】

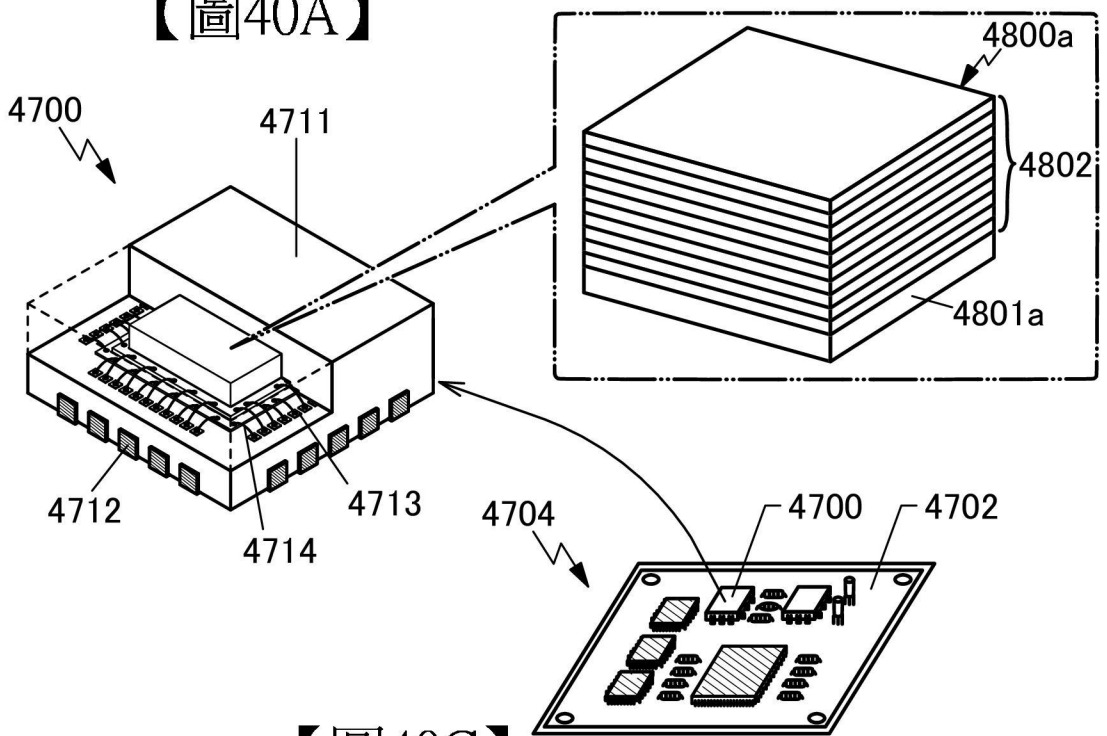


【圖39C】

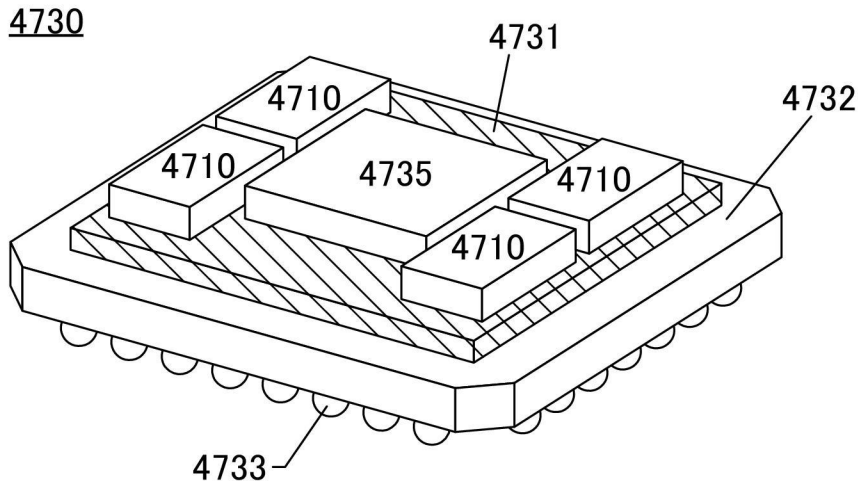


【圖40A】

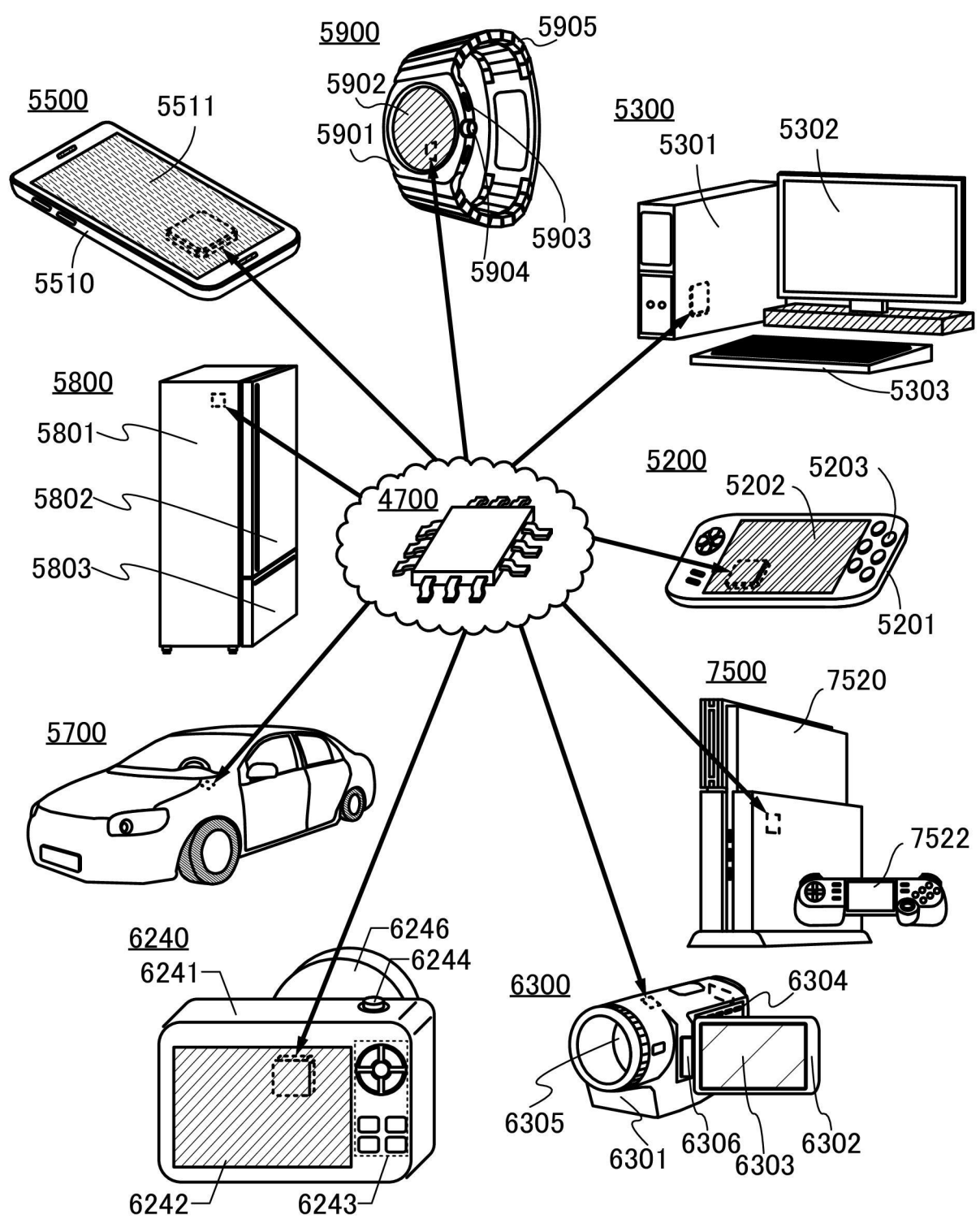
【圖40B】



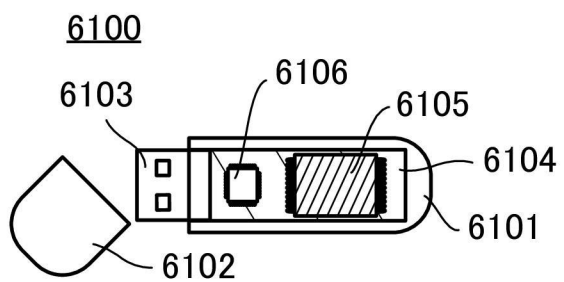
【圖40C】



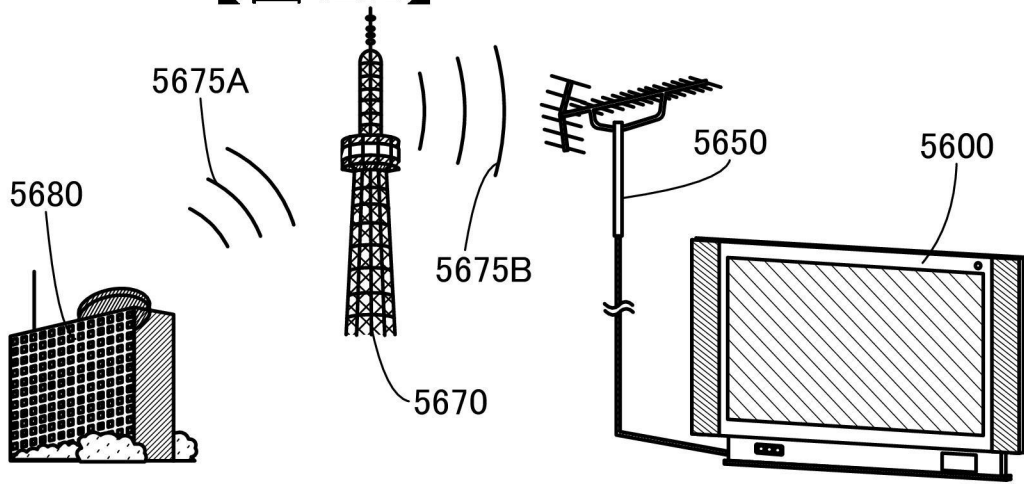
【圖40D】



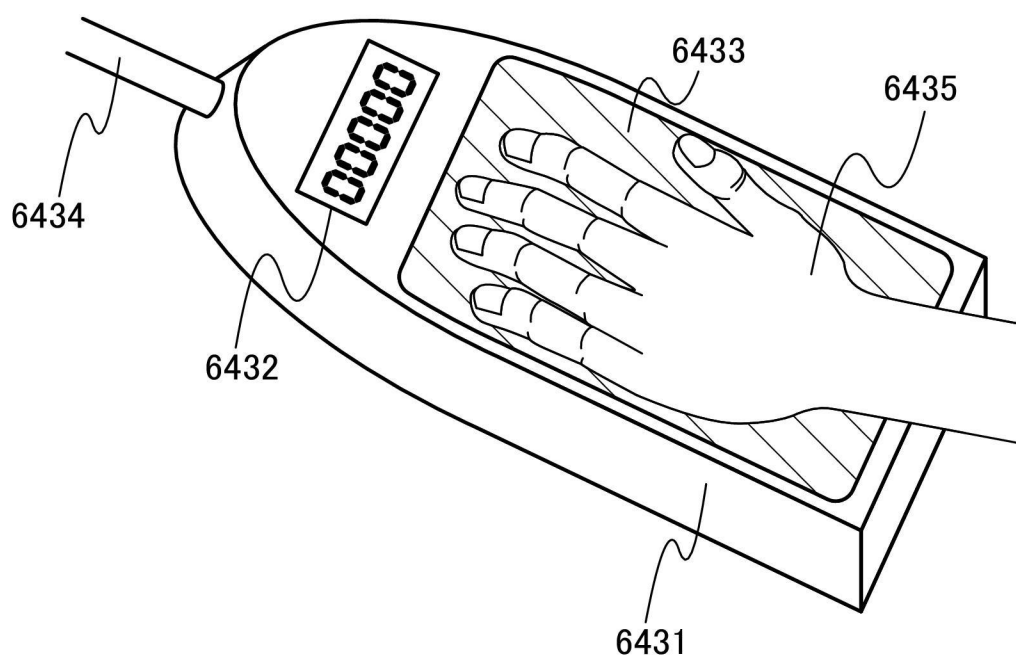
【圖41】



【圖42A】



【圖42B】



【圖42C】