

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 17 年 6 月 9 日 (2005.6.9)

【公開番号】特開 2000-77623 (P2000-77623A)

【公開日】平成 12 年 3 月 14 日 (2000.3.14)

【出願番号】特願 平 10-241607

【国際特許分類第 7 版】

H 0 1 L 27/108

H 0 1 L 21/8242

G 1 1 C 11/401

H 0 1 L 27/10

【F I】

H 0 1 L 27/10 6 8 1 F

H 0 1 L 27/10 4 8 1

G 1 1 C 11/34 3 7 1 K

H 0 1 L 27/10 6 8 1 E

【手続補正書】

【提出日】平成 16 年 8 月 25 日 (2004.8.25)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体基板上に第 1 方向に延在する複数の第 1 配線を有する第 1 配線チャンネルと、
前記半導体基板上に前記第 1 方向と交差する第 2 方向に延在する複数の第 2 配線を有す
る第 2 配線チャンネルと、
内部電源電圧を形成するための電源供給回路と、
前記内部電源電圧を安定させるために前記電源供給回路に接続される複数のキャパシタ
とを具備し、

前記第 1 配線チャンネルと前記第 2 配線チャンネルは、異なる配線層に形成され、
前記複数のキャパシタの全容量値の半分以上は、前記第 1 配線チャンネルと前記第 2 配線
チャンネルの交差領域に設けられることを特徴とする半導体集積回路装置。

【請求項 2】

請求項 1 において、
前記電源供給回路は、前記内部電源電圧を供給するために外部電源電圧を降圧する降圧
回路であることを特徴とする半導体集積回路装置。

【請求項 3】

半導体基板上に形成される第 1 配線層と、
 前記半導体基板上に形成され、前記第 1 配線層に重なる第 2 配線層と、
 前記半導体基板上に形成され、前記第 2 配線層に重なる第 3 配線層と、
 前記第 2 配線層に配置され、第 1 方向に延在する複数の第 1 配線を有する第 1 配線領域
 と、

前記第 3 配線層に配置され、前記第 1 方向と交差する第 2 方向に延在する複数の第 2 配
 線を有する第 2 配線領域と、

内部電源電圧を供給するために設けられる電源供給回路と、

前記内部電源電圧を安定させるために前記電源供給回路の出力ノードに接続される複数

のキャパシタとを具備し、

前記複数のキャパシタの全容量値の半分以上は、前記第 1 配線領域と前記第 2 配線領域が交差する領域に形成されることを特徴とする半導体集積回路装置。

【請求項 4】

請求項 3 において、

前記複数のキャパシタの夫々の一つの電極は、前記半導体基板に形成された拡散層であることを特徴とする半導体集積回路装置。

【請求項 5】

請求項 4 において、

前記複数のキャパシタの夫々の他の一つの電極は、前記半導体基板に形成された前記拡散層を有する MOSFET のゲート電極であることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 4 において、

前記第 1 配線層に形成される配線の抵抗値は、前記第 2 配線の抵抗値より大きいことを特徴とする半導体集積回路装置。

【請求項 7】

第 1 方向に延長される複数の第 1 の配線チャンネルを含む第 1 の金属配線層と、

前記第 1 方向とは直交する第 2 方向に延長される複数の第 2 の配線チャンネルを含む第 2 の金属配線層と、

外部端子から供給された電源電圧を受け、前記電源電圧とは異なる第 1 内部電圧を形成し、前記第 1 電圧を出力ノードから出力する内部電源回路と、を具備し、

前記内部電源回路は、前記出力ノードに安定化容量が接続され、前記安定化容量の容量値の半分以上を前記第 2 層目と第 3 層目の金属配線層が交差する半導体領域上に形成されたキャパシタが占めるようにしてなることを特徴とする半導体集積回路装置。

【請求項 8】

請求項 7 において、

前記第 1 内部電圧は、降圧した電圧であり、かかる降圧電圧は、前記第 2 の配線チャンネルに沿って形成される内部回路の動作電圧として用いられるものであることを特徴とする半導体集積回路装置。

【請求項 9】

請求項 8 において、

前記半導体基板の第 1 方向の中央部において第 2 方向に複数のボンディングパッドが並べて配置され、かかるボンディングパッドに沿って前記第 2 の配線チャンネルが形成され、

前記第 2 の配線チャンネルに沿ってアドレス入力回路、データ入出力回路を含む周辺回路が設けられ、

前記半導体チップの第 2 方向の中央部において第 1 方向に前記第 1 の配線チャンネルが形成され、

前記第 1 の配線チャンネルに沿って不良救済のための冗長回路が形成され、

前記第 1 と第 2 の配線チャンネルにより分割された 4 つのエリアにメモリアレイが構成されてなることを特徴とする半導体集積回路装置。

【請求項 10】

請求項 9 において、

前記降圧電圧を形成する内部電源回路は、

第 1 導電型の差動 MOSFET と、前記差動 MOSFET の共通化されたソースに設けられて定常的に動作電流を供給する第 1 の電流源と、前記差動 MOSFET のドレインに設けられてアクティブ負荷回路を構成する電流ミラー形態にされた第 2 導電型の MOSFET からなる第 1 差動回路と、

前記第 1 差動回路の出力信号がゲートに供給された第 2 導電型の出力 MOSFET と、前記出力 MOSFET のドレインに設けられ、負荷回路を構成する抵抗素子とを備え

、
前記第 1 差動回路の一方の入力に前記第 1 内部電圧に対応された基準電圧を供給し、前記出力 MOSFET のドレインから前記第 1 内部電圧にされた出力電圧を得るように前記第 1 差動回路の他方の入力に前記負荷回路で形成した負帰還電圧を供給する第 1 回路と、

第 1 導電型の差動 MOSFET と、前記差動 MOSFET の共通化されたソースに設けられて内部回路の動作時に動作電流を流すようにされた第 2 の電流源と、前記差動 MOSFET のそれぞれのドレインに設けられたダイオード形態の第 2 導電型の第 1、第 2 MOSFET とからなる第 2 差動回路と、

前記第 1 MOSFET と電流ミラー形態にされた第 2 導電型の第 3 MOSFET 及び前記第 2 MOSFET と電流ミラー形態にされた第 2 導電型の第 4 MOSFET と、前記第 3 と第 4 MOSFET のドレインに設けられて、アクティブ負荷回路を構成する電流ミラー形態にされた第 1 導電型の MOSFET からなる出力駆動回路と、

前記出力駆動回路の出力信号がゲートに供給された第 2 導電型の出力 MOSFET と、前記出力 MOSFET のドレインに設けられ、負荷回路を構成する抵抗素子とを備え、

前記第 2 差動回路の一方の入力に前記第 1 内部電圧に対応された基準電圧を供給し、前記出力 MOSFET のドレインから前記第 1 内部電圧にされた出力電圧を得るように前記第 2 差動回路の他方の入力に前記負荷回路で形成した負帰還電圧を供給する第 2 回路とからなることを特徴とする半導体集積回路装置。

【請求項 1 1】

請求項 1 0 において、

前記第 1 回路は、内部回路のスタンバイ時の電流に対応した電流を供給するよう設定され、かつ、前記第 2 層目と第 3 層目の金属配線層が交差する半導体領域上に形成されたキャパシタに隣接して設けられ、

前記第 2 回路は、前記内部回路が動作を行う時の電流に対応した電流を供給するよう設定され、かつ、前記周辺回路に対応して複数個が設けられるものであることを特徴とする半導体集積回路装置。

【請求項 1 2】

請求項 1 1 において、

前記第 2 回路には、前記周辺回路の隙間に形成された前記第 2 層目と第 3 層目の金属配線層が交差する半導体領域上に形成されたキャパシタに比べて小さな容量値にされたキャパシタが接続されるものであることを特徴とする半導体集積回路装置。

【請求項 1 3】

四角形の領域内に形成された半導体集積回路装置であって、前記半導体集積回路装置の第 1 辺を横切る線に沿って延びる第 1 領域と、前記第 1 辺の隣辺である第 2 辺を横切る線に沿って延びる第 2 領域を備え、

前記半導体集積回路装置はメモリアレイと周辺回路を含み、

前記第 1 領域と第 2 領域は、前記周辺回路を形成するために設けられ、

前記周辺回路は外部電源電圧を受けて内部電源電圧を出力する電源回路を有し、

前記電源回路の出力部に安定化容量が接続され、

前記安定化容量の容量値の半分以上を形成する容量が前記第 1 領域と第 2 領域とが交差する領域に設けられることを特徴とする半導体集積回路装置。

【請求項 1 4】

請求項 1 3 において、

前記電源回路は前記外部電源電圧を降圧して前記内部電源電圧を出力する降圧回路であることを特徴とする半導体集積回路装置。

【請求項 1 5】

請求項 1 4 において、

前記メモリアレイはセンスアンプを含み、

前記周辺回路はメインアンプを含み、

前記内部電源電圧は前記メインアンプの電源電圧とされることを特徴とする半導体集積回路装置。

【請求項 16】

請求項 15 において、

前記メモリアレイはダイナミック型メモリセルを含むことを特徴とする半導体集積回路装置。

【請求項 17】

半導体基板の第 1 方向に延びる長辺を有する四角形の第 1 領域と、

前記第 1 方向と交差する第 2 方向に延びる長辺を有し、前記第 1 領域と交差する四角形の第 2 領域と、

前記第 1 領域と前記第 2 領域で区切られる第 3、第 4、第 5 及び第 6 領域と有する半導体集積回路装置であって、

前記第 1 領域の長辺は、前記第 2 領域の長辺より短く、

前記第 3、第 4、第 5 及び第 6 領域は、複数のメモリセルを有し、

前記第 2 領域は、外部電源電圧を受け、内部電源電圧を形成する第 1 内部電源回路と、前記内部電源回路の出力ノードに接続される第 1 キャパシタとを含み、

前記第 1 領域と前記第 2 領域とが交差する領域は、前記内部電源回路の出力ノードに接続される第 2 キャパシタを含み、

前記第 2 キャパシタの容量値は、前記第 1 キャパシタの容量値より大きいことを特徴とする半導体集積回路装置。

【請求項 18】

請求項 17 において、

前記第 2 領域は、前記内部電源電圧を形成する第 2 内部電源回路を更に有し、

前記第 2 内部電源回路から前記第 2 キャパシタまでの距離は、前記第 1 内部電源回路から前記第 2 キャパシタまでの距離より短く、

前記第 1 内部電源回路の出力電流は、前記第 2 内部電源回路の出力電流より大きいことを特徴とする半導体集積回路装置。

【請求項 19】

請求項 18 において、

前記第 1 領域は、前記複数のメモリセルに欠陥がある場合に、他のメモリセルと置き換えるための冗長回路を含むことを特徴とする半導体集積回路装置。

【請求項 20】

請求項 19 において、

前記第 1 領域は、前記第 1 方向に延在する複数の第 1 配線が設けられる第 1 配線層を有し、

前記第 2 領域は、前記第 2 方向に延在する複数の第 2 配線が設けられる第 2 配線層を有し、

前記複数の第 1 配線は、前記冗長回路に用いる信号を伝達し、

前記複数の第 2 配線は、前記第 2 領域に設けられる複数の回路に用いる信号を伝達することを特徴とする半導体集積回路装置。

【請求項 21】

半導体基板のほぼ中央部に設けられた第 1 キャパシタと、第 1 キャパシタより容量値の小さい第 2 キャパシタが電圧供給回路の出力端子に接続されていることを特徴とする半導体集積回路装置。