

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年6月9日(2005.6.9)

【公開番号】特開2000-77623(P2000-77623A)

【公開日】平成12年3月14日(2000.3.14)

【出願番号】特願平10-241607

【国際特許分類第7版】

H 01 L 27/108

H 01 L 21/8242

G 11 C 11/401

H 01 L 27/10

【F I】

H 01 L 27/10 6 8 1 F

H 01 L 27/10 4 8 1

G 11 C 11/34 3 7 1 K

H 01 L 27/10 6 8 1 E

【手続補正書】

【提出日】平成16年8月25日(2004.8.25)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板上に第1方向に延在する複数の第1配線を有する第1配線チャネルと、  
前記半導体基板上に前記第1方向と交差する第2方向に延在する複数の第2配線を有する第2配線チャネルと、  
内部電源電圧を形成するための電源供給回路と、  
前記内部電源電圧を安定させるために前記電源供給回路に接続される複数のキャパシタとを具備し、  
前記第1配線チャネルと前記第2配線チャネルは、異なる配線層に形成され、  
前記複数のキャパシタの全容量値の半分以上は、前記第1配線チャネルと前記第2配線チャネルの交差領域に設けられることを特徴とする半導体集積回路装置。

【請求項2】

請求項1において、

前記電源供給回路は、前記内部電源電圧を供給するために外部電源電圧を降圧する降圧回路であることを特徴とする半導体集積回路装置。

【請求項3】

半導体基板上に形成される第1配線層と、

前記半導体基板上に形成され、前記第1配線層に重なる第2配線層と、

前記半導体基板上に形成され、前記第2配線層に重なる第3配線層と、

前記第2配線層に配置され、第1方向に延在する複数の第1配線を有する第1配線領域と、

前記第3配線層に配置され、前記第1方向と交差する第2方向に延在する複数の第2配線を有する第2配線領域と、

内部電源電圧を供給するために設けられる電源供給回路と、

前記内部電源電圧を安定させるために前記電源供給回路の出力ノードに接続される複数

のキャパシタとを具備し、

前記複数のキャパシタの全容量値の半分以上は、前記第1配線領域と前記第2配線領域が交差する領域に形成されることを特徴とする半導体集積回路装置。

【請求項4】

請求項3において、

前記複数のキャパシタの夫々の一つの電極は、前記半導体基板に形成された拡散層であることを特徴とする半導体集積回路装置。

【請求項5】

請求項4において、

前記複数のキャパシタの夫々の他の一つの電極は、前記半導体基板に形成された前記拡散層を有するMOSFETのゲート電極であることを特徴とする半導体集積回路装置。

【請求項6】

請求項4において、

前記第1配線層に形成される配線の抵抗値は、前記第2配線の抵抗値より大きいことを特徴とする半導体集積回路装置。

【請求項7】

第1方向に延長される複数の第1の配線チャンネルを含む第1の金属配線層と、

前記第1方向とは直交する第2方向に延長される複数の第2の配線チャンネルを含む第2の金属配線層と、

外部端子から供給された電源電圧を受け、前記電源電圧とは異なる第1内部電圧を形成し、前記第1電圧を出力ノードから出力する内部電源回路と、を具備し、

前記内部電源回路は、前記出力ノードに安定化容量が接続され、前記安定化容量の容量値の半分以上を前記第2層目と第3層目の金属配線層が交差する半導体領域上に形成されたキャパシタが占めるようにしてなることを特徴とする半導体集積回路装置。

【請求項8】

請求項7において、

前記第1内部電圧は、降圧した電圧であり、かかる降圧電圧は、前記第2の配線チャンネルに沿って形成される内部回路の動作電圧として用いられるものであることを特徴とする半導体集積回路装置。

【請求項9】

請求項8において、

前記半導体基板の第1方向の中央部において第2方向に複数のボンディングパッドが並べて配置され、かかるボンディングパッドに沿って前記第2の配線チャンネルが形成され、

前記第2の配線チャンネルに沿ってアドレス入力回路、データ入出力回路を含む周辺回路が設けられ、

前記半導体チップの第2方向の中央部において第1方向に前記第1の配線チャンネルが形成され、

前記第1の配線チャンネルに沿って不良救済のための冗長回路が形成され、

前記第1と第2の配線チャンネルにより分割された4つのエリアにメモリアレイが構成されることを特徴とする半導体集積回路装置。

【請求項10】

請求項9において、

前記降圧電圧を形成する内部電源回路は、

第1導電型の差動MOSFETと、前記差動MOSFETの共通化されたソースに設けられて定常的に動作電流を供給する第1の電流源と、前記差動MOSFETのドレインに設けられてアクティブ負荷回路を構成する電流ミラー形態にされた第2導電型のMOSFETからなる第1差動回路と、

前記第1差動回路の出力信号がゲートに供給された第2導電型の出力MOSFETと、前記出力MOSFETのドレインに設けられ、負荷回路を構成する抵抗素子とを備え

前記第1差動回路の一方の入力に前記第1内部電圧に対応された基準電圧を供給し、前記出力MOSFETのドレインから前記第1内部電圧にされた出力電圧を得るように前記第1差動回路の他方の入力に前記負荷回路で形成した負帰還電圧を供給する第1回路と、

第1導電型の差動MOSFETと、前記差動MOSFETの共通化されたソースに設けられて内部回路の動作時に動作電流を流すようにされた第2の電流源と、前記差動MOSFETのそれぞれのドレインに設けられたダイオード形態の第2導電型の第1、第2MOSFETとからなる第2差動回路と、

前記第1MOSFETと電流ミラー形態にされた第2導電型の第3MOSFET及び前記第2MOSFETと電流ミラー形態にされた第2導電型の第4MOSFETと、前記第3と第4MOSFETのドレインに設けられて、アクティブ負荷回路を構成する電流ミラー形態にされた第1導電型のMOSFETからなる出力駆動回路と、

前記出力駆動回路の出力信号がゲートに供給された第2導電型の出力MOSFETと、前記出力MOSFETのドレインに設けられ、負荷回路を構成する抵抗素子とを備え、

前記第2差動回路の一方の入力に前記第1内部電圧に対応された基準電圧を供給し、前記出力MOSFETのドレインから前記第1内部電圧にされた出力電圧を得るように前記第2差動回路の他方の入力に前記負荷回路で形成した負帰還電圧を供給する第2回路とからなることを特徴とする半導体集積回路装置。

#### 【請求項11】

請求項10において、

前記第1回路は、内部回路のスタンバイ時の電流に対応した電流を供給するよう設定され、かつ、前記第2層目と第3層目の金属配線層が交差する半導体領域上に形成されたキャパシタに隣接して設けられ、

前記第2回路は、前記内部回路が動作を行う時の電流に対応した電流を供給するよう設定され、かつ、前記周辺回路に対応して複数個が設けられるものであることを特徴とする半導体集積回路装置。

#### 【請求項12】

請求項11において、

前記第2回路には、前記周辺回路の隙間に形成された前記第2層目と第3層目の金属配線層が交差する半導体領域上に形成されたキャパシタに比べて小さな容量値にされたキャパシタが接続されるものであることを特徴とする半導体集積回路装置。

#### 【請求項13】

四角形の領域内に形成された半導体集積回路装置であって、前記半導体集積回路装置の第1辺を横切る線に沿って延びる第1領域と、前記第1辺の隣辺である第2辺を横切る線に沿って延びる第2領域を備え、

前記半導体集積回路装置はメモリアレイと周辺回路を含み、

前記第1領域と第2領域は、前記周辺回路を形成するために設けられ、

前記周辺回路は外部電源電圧を受けて内部電源電圧を出力する電源回路を有し、

前記電源回路の出力部に安定化容量が接続され、

前記安定化容量の容量値の半分以上を形成する容量が前記第1領域と第2領域とが交差する領域に設けられることを特徴とする半導体集積回路装置。

#### 【請求項14】

請求項13において、

前記電源回路は前記外部電源電圧を降圧して前記内部電源電圧を出力する降圧回路であることを特徴とする半導体集積回路装置。

#### 【請求項15】

請求項14において、

前記メモリアレイはセンスアンプを含み、

前記周辺回路はメインアンプを含み、

前記内部電源電圧は前記メインアンプの電源電圧とされることを特徴とする半導体集積回路装置。

【請求項 1 6】

請求項 1 5において、

前記メモリアレイはダイナミック型メモリセルを含むことを特徴とする半導体集積回路装置。

【請求項 1 7】

半導体基板の第 1 方向に延びる長辺を有する四角形の第 1 領域と、

前記第 1 方向と交差する第 2 方向に延びる長辺を有し、前記第 1 領域と交差する四角形の第 2 領域と、

前記第 1 領域と前記第 2 領域で区切られる第 3 、第 4 、第 5 及び第 6 領域と有する半導体集積回路装置であって、

前記第 1 領域の長辺は、前記第 2 領域の長辺より短く、

前記第 3 、第 4 、第 5 及び第 6 領域は、複数のメモリセルを有し、

前記第 2 領域は、外部電源電圧を受け、内部電源電圧を形成する第 1 内部電源回路と、前記内部電源回路の出力ノードに接続される第 1 キャパシタとを含み、

前記第 1 領域と前記第 2 領域とが交差する領域は、前記内部電源回路の出力ノードに接続される第 2 キャパシタとを含み、

前記第 2 キャパシタの容量値は、前記第 1 キャパシタの容量値より大きいことを特徴とする半導体集積回路装置。

【請求項 1 8】

請求項 1 7において、

前記第 2 領域は、前記内部電源電圧を形成する第 2 内部電源回路を更に有し、

前記第 2 内部電源回路から前記第 2 キャパシタまでの距離は、前記第 1 内部電源回路から前記第 2 キャパシタまでの距離より短く、

前記第 1 内部電源回路の出力電流は、前記第 2 内部電源回路の出力電流より大きいことを特徴とする半導体集積回路装置。

【請求項 1 9】

請求項 1 8において、

前記第 1 領域は、前記複数のメモリセルに欠陥がある場合に、他のメモリセルと置き換えるための冗長回路を含むことを特徴とする半導体集積回路装置。

【請求項 2 0】

請求項 1 9において、

前記第 1 領域は、前記第 1 方向に延在する複数の第 1 配線が設けられる第 1 配線層を有し、

前記第 2 領域は、前記第 2 方向に延在する複数の第 2 配線が設けられる第 2 配線層を有し、

前記複数の第 1 配線は、前記冗長回路に用いる信号を伝達し、

前記複数の第 2 配線は、前記第 2 領域に設けられる複数の回路に用いる信号を伝達することを特徴とする半導体集積回路装置。

【請求項 2 1】

半導体基板のほぼ中央部に設けられた第 1 キャパシタと、第 1 キャパシタより容量値の小さい第 2 キャパシタが電圧供給回路の出力端子に接続されていることを特徴とする半導体集積回路装置。