

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-11558

(P2014-11558A)

(43) 公開日 平成26年1月20日(2014.1.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO4N 5/357 (2011.01)	HO4N 5/335 570	4M118
HO4N 9/07 (2006.01)	HO4N 9/07 A	5C024
HO1L 27/146 (2006.01)	HO1L 27/14 F	5C065

審査請求 未請求 請求項の数 6 O L (全 25 頁)

(21) 出願番号	特願2012-145582 (P2012-145582)	(71) 出願人	000000376 オリンパス株式会社 東京都渋谷区幡ヶ谷2丁目43番2号
(22) 出願日	平成24年6月28日 (2012.6.28)	(74) 代理人	100106909 弁理士 棚井 澄雄
		(74) 代理人	100064908 弁理士 志賀 正武
		(74) 代理人	100094400 弁理士 鈴木 三義
		(74) 代理人	100086379 弁理士 高柴 忠夫
		(74) 代理人	100129403 弁理士 増井 裕士
		(74) 代理人	100139686 弁理士 鈴木 史朗

最終頁に続く

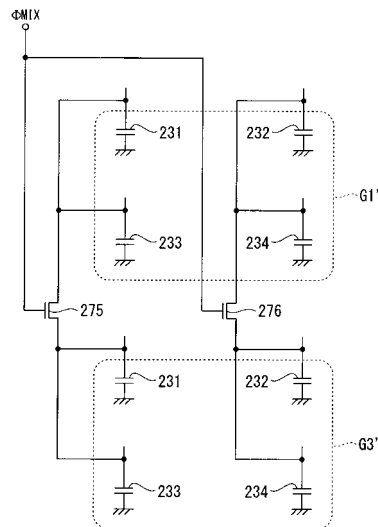
(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】 画質の低下を低減する。

【解決手段】 第1の基板には、第1～第n (nは2以上の整数) の色のうちいずれかの色に対応する色信号を生成する光電変換素子が配置されている。第1の基板に接続された第2の基板において、アナログメモリ231、232、233、234は、光電変換素子により生成された色信号を蓄積する。平均化回路275、276は、複数のアナログメモリに蓄積された各色信号を平均化する。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

第 1 の基板と第 2 の基板とが電氣的に接続されている固体撮像装置であって、
 前記第 1 の基板は、行列状に配置された複数の第 1 の画素を備え、
 前記第 2 の基板は、行列状に配置された複数の第 2 の画素を備え、
 前記複数の第 1 の画素のそれぞれは、第 1 ~ 第 n (n は 2 以上の整数) の色のうちいずれかの色に対応する色信号を生成する光電変換素子を有し、
 前記複数の第 2 の画素のそれぞれは、
 前記光電変換素子により生成された色信号を蓄積する信号蓄積回路を有し、
 当該固体撮像装置は、

10

同一の列に配置された 2 以上の前記第 2 の画素の前記信号蓄積回路に蓄積された各色信号を平均化する平均化回路と、
 平均化された前記色信号を前記第 2 の画素の外部に出力する出力回路と、
 を有し、

第 m (m は 1 ~ n のいずれかの整数) の色に対応する色信号を生成する前記光電変換素子を有する前記第 1 の画素が、第 m の色に対応する前記第 1 の画素であって、

第 m (m は 1 ~ n のいずれか) の色に対応する色信号を蓄積する前記信号蓄積回路を有する前記第 2 の画素が、第 m の色に対応する前記第 2 の画素であって、

前記第 2 の基板において、同一の色に対応する 2 以上の前記第 2 の画素が同一の列に配置されていることを特徴とする固体撮像装置。

20

【請求項 2】

前記平均化回路は、同一の列に配置された、同一の色に対応する 2 以上の前記第 2 の画素の前記信号蓄積回路に蓄積された前記色信号を平均化することを特徴とする請求項 1 に記載の固体撮像装置。

【請求項 3】

前記第 1 の画素は複数の第 1 のグループに分類され、1 つの前記第 1 のグループは複数の前記第 1 の画素を含み、

前記第 2 の画素は、複数の前記第 1 のグループのそれぞれに対応付けられた複数の第 2 のグループに分類され、1 つの前記第 2 のグループは複数の前記第 2 の画素を含み、

1 つの前記第 1 のグループにおいて、第 1 ~ 第 n の色のうち所定の色に対応する 2 以上の前記第 1 の画素が異なる列に配置され、

30

前記第 2 のグループにおいて、前記所定の色に対応する 2 以上の前記第 2 の画素が同一の列に配置され、

前記平均化回路は、同一の列に配置された、前記所定の色に対応する 2 以上の前記第 2 の画素の前記信号蓄積回路に蓄積された前記色信号を平均化することを特徴とする請求項 2 に記載の固体撮像装置。

【請求項 4】

前記所定の色に対応する 2 以上の前記第 2 の画素が同一の列に隣接して配置されていることを特徴とする請求項 3 に記載の固体撮像装置。

【請求項 5】

前記平均化回路は、前記信号蓄積回路に前記色信号が蓄積された後、蓄積された各色信号を、前記第 2 のグループ毎に異なるタイミングで平均化することを特徴とする請求項 3 に記載の固体撮像装置。

40

【請求項 6】

前記出力回路は、前記第 2 の画素を列方向に間引いた一部の前記第 2 の画素から、平均化された色信号を出力することを特徴とする請求項 2 に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素を構成する回路素子が配置された複数の基板が電氣的に接続されている

50

固体撮像装置に関する。

【背景技術】

【0002】

近年、パーソナルコンピュータの急速な普及により、画像入力機器としてのデジタルカメラの需要が拡大している。デジタルカメラの画質を決定する要素は幾つかあるが、それらの要素の中でも撮像素子の画素数は、撮影画像の解像度を決定する大きな要素である。そのため、最近では1200万以上の画素を持ったデジタルカメラが商品化されている。

【0003】

撮像素子として、CMOS (Complementary Metal Oxide Semiconductor) 等のMOS型イメージセンサに代表される増幅型固体撮像装置や、CCD (Charge Coupled Device) イメージセンサに代表される電荷転送型固体撮像装置が知られている。これらの固体撮像装置は、デジタルスチルカメラ、デジタルビデオカメラなどに広く用いられている。近年、カメラ付き携帯電話やPDA (Personal Digital Assistant) などのモバイル機器に搭載される固体撮像装置として、電源電圧が低いMOS型固体撮像装置が消費電力の観点などから多く用いられている。

10

【0004】

従来、このようなMOS型固体撮像装置において、複数の画素が配列された画素領域が形成された半導体チップと、信号処理回路が形成された半導体チップとを電気的に接続して1つのデバイスとして構成した固体撮像装置が種々提案されている。例えば、特許文献1では、単位画素セルまたは複数画素をまとめたセル毎に配線層側にマイクロパッドを形成した半導体チップと、半導体チップのマイクロパッドに対応する位置の配線層側にマイクロパッドを形成した信号処理チップとをマイクロバンプによって接続した固体撮像装置が開示されている。

20

【0005】

図10は、従来の固体撮像装置の構成を示している。従来の固体撮像装置は、MOS型イメージセンサを有する第1の基板201と、信号処理回路を有する第2の基板202とを上下に重ねて構成される。第1の基板201には、第2の基板202と接続される面とは反対側の面から光が入射する。すなわち、第1の基板201は、基板の表面側に配線層が形成され、この配線層が形成された表面と反対側の裏面側から光が入射するように構成される。

30

【0006】

第1の基板201の配線層には、後述するように単位画素からなるセル毎に、あるいは複数画素をまとめたセル毎に多数のマイクロパッド203が形成されている。また、第2の基板202の配線層側の面には、第1の基板201のマイクロパッド203に対応する多数のマイクロパッド204が形成されている。第1の基板201と第2の基板202は、互いにマイクロパッド203およびマイクロパッド204が対向するように重ねて配置されている。マイクロパッド203とマイクロパッド204は、マイクロバンプ205を介して電気的に接続されて一体化されている。マイクロパッド203、204は、通常のパッドよりも小さいマイクロパッドで形成される。

40

【0007】

第2の基板202は、第1の基板201より大きい面積となるように形成される。この第2の基板202の表面において、第1の基板101の外側に対応する位置には、通常のパッド206が配置されている。このパッド206は、2つの基板を含む系以外の系とのインターフェイスを構成する。

【0008】

図11は、第1の基板201の構成を示している。第1の基板201は、複数の画素セル207が2次元状に配置された画素部208と、画素セル207を制御する制御回路209とを有する。

【0009】

50

図12は、第1の基板201の画素セル207における回路構成を示している。ここでは4画素で1つの画素セルを構成している。画素セル207は、4つの光電変換素子221A, 221B, 221C, 221Dを有している。光電変換素子221A, 221B, 221C, 221Dは、それぞれ対応する4つの転送トランジスタ222A, 222B, 222C, 222Dのソースに接続される。転送トランジスタ222A, 222B, 222C, 222Dのゲートは、転送パルスが供給される転送配線227A, 227B, 227C, 227Dに接続される。転送トランジスタ222A, 222B, 222C, 222Dのドレインは、リセットトランジスタ223のソースに共通に接続される。また、転送トランジスタ222A, 222B, 222C, 222Dのドレインとリセットトランジスタ223のソースとの間の、いわゆるフローティングディフュージョンと呼ばれる電荷保持部FDが増幅トランジスタ224のゲートに接続される。

【0010】

リセットトランジスタ223のドレインは電源配線232に接続され、リセットトランジスタ223のゲートは、リセットパルスが供給されるリセット配線228に接続される。活性化トランジスタ225のドレインは電源配線232に接続され、活性化トランジスタ225のソースは増幅トランジスタ224のドレインに接続される。活性化トランジスタ225のゲートは、活性化パルスが供給される活性化配線229に接続される。増幅トランジスタ224のソースは注入トランジスタ230のドレインに接続される。注入トランジスタ230のソースはグランド電位に接続され、注入トランジスタ230のゲートは、注入パルスが供給される注入配線231に接続される。増幅トランジスタ224と注入トランジスタ230との接続の midpoint が出力端子226に接続される。

【0011】

光電変換素子221A, 221B, 221C, 221Dは、例えばフォトダイオードであり、入射した光に基づく信号電荷を生成(発生)し、生成(発生)した信号電荷を保持・蓄積する。転送トランジスタ222A, 222B, 222C, 222Dは、光電変換素子221A, 221B, 221C, 221Dに蓄積された信号電荷を電荷保持部FDに転送するトランジスタである。転送トランジスタ222A, 222B, 222C, 222Dのオン/オフは、制御回路209から転送配線227A, 227B, 227C, 227Dを介して供給される転送パルスによって制御される。電荷保持部FDは、増幅トランジスタ224の入力部を構成しており、光電変換素子221A, 221B, 221C, 221Dから転送された信号電荷を一時的に保持・蓄積する浮遊拡散容量である。

【0012】

リセットトランジスタ223は、電荷保持部FDをリセットするトランジスタである。リセットトランジスタ223のオン/オフは、制御回路209からリセット配線228を介して供給されるリセットパルスによって制御される。リセットトランジスタ223と転送トランジスタ222A, 222B, 222C, 222Dを同時にオンにすることによって、光電変換素子221A, 221B, 221C, 221Dをリセットすることも可能である。

【0013】

増幅トランジスタ224は、ゲートに入力される、電荷保持部FDに蓄積されている信号電荷に基づく信号を増幅した増幅信号をソースから出力するトランジスタである。活性化トランジスタ225および注入トランジスタ230は、増幅トランジスタ224を駆動する電流を増幅トランジスタ224に供給するトランジスタである。活性化トランジスタ225のオン/オフは、制御回路209から活性化配線229を介して供給される活性化パルスによって制御され、注入トランジスタ230のオン/オフは、制御回路209から注入配線231を介して供給される注入パルスによって制御される。

【0014】

光電変換素子221A, 221B, 221C, 221D、転送トランジスタ222A, 222B, 222C, 222D、リセットトランジスタ223、増幅トランジスタ224、活性化トランジスタ225、注入トランジスタ230により、4画素をまとめた1つの

画素セル 207 が構成される。なお、本従来例においては、第 1 の基板 201 上には、基板外に読み出す信号を出力するための垂直信号線は存在しない。

【0015】

次に、図 13 を参照して、画素セル 207 の動作を説明する。まず、注入配線 231 を介して注入パルス P_n1 が印加されて注入トランジスタ 230 がオンとなり、出力端子 226 の電位が 0 V に固定される。続いて、リセット配線 228 を介してリセットパルス P_r が印加されてリセットトランジスタ 223 がオンとなり、電荷保持部 FD の電位がハイレベル（電源電位）にリセットされる。電荷保持部 FD の電位がハイレベルになると、増幅トランジスタ 224 はオンとなる。続いて、注入パルス P_n1 の印加が解除されて注入トランジスタ 230 がオフとなつてから、活性化配線 229 を介して活性化パルス P_k1 が印加されて活性化トランジスタ 225 がオンとなる。活性化トランジスタ 225 がオンとなることで、出力端子 226 の電位は電荷保持部 FD の電位に対応する電位まで上昇する。このときの出力端子 226 の電位をリセットレベルと呼ぶ。

10

【0016】

続いて、活性化パルス P_k1 の印加が解除されて活性化トランジスタ 225 がオフとなった後、転送配線 227A を介して転送パルス P_t1 が印加されて転送トランジスタ 222A がオンとなり、対応する光電変換素子 221A の信号電荷が電荷保持部 FD に転送される。続いて、注入配線 231 を介して注入パルス P_n2 が印加されて注入トランジスタ 230 がオンとなり、出力端子 226 の電位が 0 V となる。続いて、活性化配線 229 を介して活性化パルス P_k2 が印加されて活性化トランジスタ 225 がオンになると、出力端子 226 の電位は、電荷保持部 FD の電位に対応する電位まで上昇する。このときの出力端子 226 の電位を信号レベルと呼ぶ。

20

【0017】

出力端子 226 の電位に基づく信号はマイクロバンプ 205 を通り、第 2 の基板 202 に入る。第 2 の基板 202 では信号レベルとリセットレベルの差が検出され、その差に応じたアナログ信号をデジタル化した後、デマルチプレクスしてメモリに格納し、順次固体撮像装置から出力される。ここでは、4 つの光電変換素子 221A, 221B, 221C, 221D のうち、1 個の光電変換素子 221A の信号を読み出す動作を説明した。同様の動作が、他の 3 つの光電変換素子 221B, 221C, 221D についても順番に行われる。

30

【0018】

上記の動作により、光電変換素子 221A, 221B, 221C, 221D 間で若干の感光タイミングの差はあるものの、画面内で感光タイミングがほぼ揃うことになり、画素部 208 の上の方と下の方で露光の同時性を実現でき、信号の読み出し時に大きな画質劣化を起こすことなく、画像処理スピードも向上できるとされている。

【先行技術文献】

【特許文献】

【0019】

【特許文献 1】特開 2006 - 49361 号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0020】

上述した従来技術では、4 つの光電変換素子 221A, 221B, 221C, 221D 間で若干の感光タイミングの差はあるものの、画面内で感光タイミングがほぼ揃うことになり、画素部 208 の上の方と下の方で露光の同時性を実現することができる。この露光の同時性を実現するために、上述した従来技術における固体撮像装置は、画素から出力されたアナログ信号をデジタル信号に変換する AD 変換回路と、光電変換素子と同数のデジタル信号を保持するメモリとを有する。

【0021】

ビューファインダーにライブビュー画像を表示するモードや、HDTV 用の動画像を記

50

録するモードによる動作では、毎秒60フレーム以上、場合によっては毎秒120フレームが必要になることが想定される。近年のデジタルカメラの高画素化により、全画素から信号を高フレームレートで読み出すためには、多くの読み出し回路を並列的に動作させる必要があり、チップ面積の増大や消費電力の増加により実現が非常に困難である。

【0022】

一方、ライブビュー画像表示や、HDTV動画モードにおいては、1200万画素や1600万画素といった画素数は必要ない。そのため、画素から信号を読み出すときに、画素を間引いて信号を読み出す方式が考えられる。しかし、間引きを行うとモアレなどが発生し、画質が低下する。

【0023】

本発明は、上述した課題に鑑みてなされたものであって、画質の低下を低減することを目的とする。

【課題を解決するための手段】

【0024】

本発明は、第1の基板と第2の基板とが電氣的に接続されている固体撮像装置であって、前記第1の基板は、行列状に配置された複数の第1の画素を備え、前記第2の基板は、行列状に配置された複数の第2の画素を備え、前記複数の第1の画素のそれぞれは、第1～第n（nは2以上の整数）の色のうちいずれかの色に対応する色信号を生成する光電変換素子を有し、前記複数の第2の画素のそれぞれは、前記光電変換素子により生成された色信号を蓄積する信号蓄積回路を有し、当該固体撮像装置は、同一の列に配置された2以上の前記第2の画素の前記信号蓄積回路に蓄積された各色信号を平均化する平均化回路と、平均化された前記色信号を前記第2の画素の外部に出力する出力回路と、を有し、第m（mは1～nのいずれかの整数）の色に対応する色信号を生成する前記光電変換素子を有する前記第1の画素が、第mの色に対応する前記第1の画素であって、第m（mは1～nのいずれか）の色に対応する色信号を蓄積する前記信号蓄積回路を有する前記第2の画素が、第mの色に対応する前記第2の画素であって、前記第2の基板において、同一の色に対応する2以上の前記第2の画素が同一の列に配置されていることを特徴とする固体撮像装置である。

【0025】

また、本発明の固体撮像装置において、前記平均化回路は、同一の列に配置された、同一の色に対応する2以上の前記第2の画素の前記信号蓄積回路に蓄積された前記色信号を平均化することを特徴とする。

【0026】

また、本発明の固体撮像装置において、前記第1の画素は複数の第1のグループに分類され、1つの前記第1のグループは複数の前記第1の画素を含み、前記第2の画素は、複数の前記第1のグループのそれぞれに対応付けられた複数の第2のグループに分類され、1つの前記第2のグループは複数の前記第2の画素を含み、1つの前記第1のグループにおいて、第1～第nの色のうち所定の色に対応する2以上の前記第1の画素が異なる列に配置され、前記第2のグループにおいて、前記所定の色に対応する2以上の前記第2の画素が同一の列に配置され、前記平均化回路は、同一の列に配置された、前記所定の色に対応する2以上の前記第2の画素の前記信号蓄積回路に蓄積された前記色信号を平均化することを特徴とする。

【0027】

また、本発明の固体撮像装置において、前記所定の色に対応する2以上の前記第2の画素が同一の列に隣接して配置されていることを特徴とする。

【0028】

また、本発明の固体撮像装置において、前記平均化回路は、前記信号蓄積回路に前記色信号が蓄積された後、蓄積された各色信号を、前記第2のグループ毎に異なるタイミングで平均化することを特徴とする。

【0029】

10

20

30

40

50

また、本発明の固体撮像装置において、前記出力回路は、前記第 2 の画素を列方向に間引いた一部の前記第 2 の画素から、平均化された色信号を出力することを特徴とする。

【発明の効果】

【0030】

本発明によれば、平均化の対象となった 2 つ以上の画素のそれぞれに含まれる信号蓄積回路に蓄積された各色信号を平均化することによって、画素から出力された各信号が構成する画像においてモアレの発生を抑制することができると共に、信号に含まれるランダムノイズ成分を低減することができる。したがって、画質の低下を低減することができる。

【図面の簡単な説明】

【0031】

【図 1】本発明の一実施形態による固体撮像装置を適用した撮像装置の構成を示すブロック図である。

【図 2】本発明の一実施形態による固体撮像装置の断面図である。

【図 3】本発明の一実施形態による固体撮像装置の構成を示すブロック図である。

【図 4】本発明の一実施形態による固体撮像装置の構成を示すブロック図である。

【図 5】本発明の一実施形態による固体撮像装置の画素が構成するグループを示す参考図である。

【図 6】本発明の一実施形態による固体撮像装置が備える画素の回路構成を示す回路図である。

【図 7】本発明の一実施形態による固体撮像装置が備える画素間に配置される回路の構成を示す回路図である。

【図 8】本発明の一実施形態による固体撮像装置が備える画素の動作を示すタイミングチャートである。

【図 9】本発明の一実施形態による固体撮像装置が備える画素の動作を示すタイミングチャートである。

【図 10】従来の固体撮像装置の構成を示す断面図である。

【図 11】従来の固体撮像装置が有する第 1 の基板の構成を示す構成図である。

【図 12】従来の固体撮像装置が有する第 1 の基板の画素セルの回路構成を示す回路図である。

【図 13】従来の固体撮像装置が有する画素の動作を示すタイミングチャートである。

【発明を実施するための形態】

【0032】

以下、図面を参照し、本発明の実施形態を説明する。図 1 は、本実施形態による固体撮像装置を適用した撮像装置の一例としてデジタルカメラの構成を示している。本発明の一態様に係る撮像装置は、撮像機能を有する電子機器であればよく、デジタルカメラのほか、デジタルビデオカメラ、内視鏡等であってもよい。図 1 に示すデジタルカメラ 10 は、レンズ部 1、レンズ制御装置 2、固体撮像装置 3、駆動回路 4、メモリ 5、信号処理回路 6、記録装置 7、制御装置 8、および表示装置 9 を備える。

【0033】

レンズ部 1 はズームレンズやフォーカスレンズを備えており、被写体からの光を固体撮像装置 3 の受光面に被写体像として結像する。レンズ制御装置 2 は、レンズ部 1 のズーム、フォーカス、絞りなどを制御する。レンズ部 1 を介して取り込まれた光は固体撮像装置 3 の受光面で結像される。固体撮像装置 3 は、受光面に結像された被写体像を画像信号に変換して出力する。固体撮像装置 3 の受光面には、複数の画素が行方向および列方向に 2 次元的に配列されている。

【0034】

駆動回路 4 は、固体撮像装置 3 を駆動し、その動作を制御する。メモリ 5 は、画像データを一時的に記憶する。信号処理回路 6 は、固体撮像装置 3 から出力された画像信号に対して、予め定められた処理を行う。信号処理回路 6 によって行われる処理には、画像信号の増幅、画像データの各種の補正、画像データの圧縮などがある。

10

20

30

40

50

【0035】

記録装置7は、画像データの記録または読み出しを行うための半導体メモリなどによって構成されており、着脱可能な状態でデジタルカメラ10に内蔵される。表示装置9は、動画像（ライブビュー画像）の表示、静止画像の表示、記録装置7に記録された動画像や静止画像の表示、デジタルカメラ10の状態の表示などを行う。

【0036】

制御装置8は、デジタルカメラ10全体の制御を行う。制御装置8の動作は、デジタルカメラ10が内蔵するROMに格納されているプログラムに規定されている。制御装置8は、このプログラムを読み出して、プログラムが規定する内容に従って、各種の制御を行う。

10

【0037】

図2は固体撮像装置3の断面構造を示している。固体撮像装置3は、画素を構成する回路要素（光電変換素子や、トランジスタ、容量等）が配置された2枚の基板（第1基板20、第2基板21）が重なった構造を有する。画素を構成する回路要素は第1基板20と第2基板21に分配して配置されている。第1基板20と第2基板21は、画素の駆動時に2枚の基板間で電気信号を授受可能なように電氣的に接続されている。

【0038】

第1基板20の2つの主面（側面よりも相対的に表面積が大きい表面）のうち、光Lが照射される側の主面側に光電変換素子が形成されており、第1基板20に照射された光は光電変換素子に入射する。第1基板20の2つの主面のうち、光Lが照射される側の主面とは反対側の主面には、第2基板21と接続するための接続部250が形成されている。第1基板20に配置されている光電変換素子で発生した信号電荷に基づく信号は、接続部250を介して第2基板21へ出力される。図2に示す例では第1基板20と第2基板21の主面の面積が異なるが、第1基板20と第2基板21の主面の面積が同じであってもよい。

20

【0039】

図3は、第1基板20における固体撮像装置3の構成を示している。図3に示すように、固体撮像装置3は、画素部200Aおよび垂直走査回路300Aを備えている。画素部200Aは、2次元の行列状に配列された画素100Aを有する。図3では4行4列に画素100Aが配置されているが、画素の配列はこれに限らず、行数および列数は2以上であればよい。画素100Aの配列は、赤色（R）、緑色（Gr, Gb）、青色（B）に対応した4画素を配列の単位とするベイヤー配列である。画素100Aの色は、画素100A上に配置されるカラーフィルタの色に対応している。例えば、画素100A上にRのカラーフィルタが配置される場合、画素100AはRに対応している。画素100A内の光電変換素子（後述する光電変換素子201, 202, 203, 204）は、画素100A上に配置されたカラーフィルタの色に対応した信号電荷を蓄積する。

30

【0040】

垂直走査回路300Aは行単位で画素部200Aの駆動制御を行う。この駆動制御を行うために、垂直走査回路300Aは、行数と同じ数の単位回路301A-1, 301A-2, 301A-3, 301A-4で構成されている。各単位回路301A-i（i=1, 2, 3, 4）は、1行分の画素100Aを制御するための制御信号を、行毎に設けられている信号線110Aへ出力する。信号線110Aは画素100Aに接続されており、単位回路301A-iから出力された制御信号を画素100Aに供給する。図3では、各行に対応する各信号線110Aが1本の線で表現されているが、各信号線110Aは複数の信号線を含む。

40

【0041】

図4は、第2基板21における固体撮像装置3の構成を示している。図4に示すように、固体撮像装置3は、画素部200B、垂直走査回路300B、列処理回路350、水平走査回路400、および出力アンプ410を備えている。

【0042】

50

画素部 200B は、2次元の行列状に配列された画素 100B と、列毎に設けられた電流源 130 とを有する。図 4 では 4 行 4 列に画素 100B が配置されているが、画素の配列はこれに限らず、行数および列数は 2 以上であればよい。画素 100B に対応する色の配列は、画素 100A に対応する色の配列と異なっている。具体的には、B に対応する画素 100B が 1 列目に配置され、Gr に対応する画素 100B が 2 列目に配置され、R に対応する画素 100B が 3 列目に配置され、Gr に対応する画素 100B が 4 列目に配置されている。これにより、画素部 200B の全体として、同一の色に対応した画素 100B が同一の列に配置されている。画素 100B の色は、画素 100B に蓄積される信号電荷を発生した画素 100A の色に対応している。例えば、R に対応する画素 100A で発生した信号電荷を蓄積する画素 100B は R に対応している。

10

【0043】

画素 100B は、列毎に配置された垂直信号線 120 に接続されている。電流源 130 は垂直信号線 120 に接続されており、画素 100B 内の増幅トランジスタ（後述する第 2 増幅トランジスタ 241, 242, 243, 244）とソースフォロア回路を構成する。

【0044】

垂直走査回路 300B は行単位で画素部 200B の駆動制御を行う。この駆動制御を行うために、垂直走査回路 300B は、行数と同じ数の単位回路 301B-1, 301B-2, 301B-3, 301B-4 で構成されている。各単位回路 301B-i (i=1, 2, 3, 4) は、1 行分の画素 100B を制御するための制御信号を、行毎に設けられている信号線 110B へ出力する。信号線 110B は画素 100B に接続されており、単位回路 301B-i から出力された制御信号を画素 100B に供給する。図 4 では、各行に対応する各信号線 110B が 1 本の線で表現されているが、各信号線 110B は複数の信号線を含む。制御信号により選択された行の画素 100B の画素信号は垂直信号線 120 へ出力されるようになっている。

20

【0045】

列処理回路 350 は、垂直信号線 120 に出力された画素信号に対してノイズ抑圧などの信号処理を行う。各列に対応して設けられた列処理回路 350 には出力チャンネル 430（水平信号線、出力信号線）が接続され、出力チャンネル 430 には出力アンプ 410 が接続されている。水平走査回路 400 は、垂直信号線 120 に出力されて列処理回路 350 によって処理された 1 行分の画素 100B の画素信号を水平方向の並びの順で時系列に出力アンプ 410 へ出力する。出力アンプ 410 は、入力された画素信号を増幅し、画像信号として固体撮像装置 3 の外部へ出力する。

30

【0046】

本実施形態では列処理回路 350、水平走査回路 400、出力アンプ 410 が第 2 基板 21 に配置されているが、これらが第 1 基板 20 に配置されていてもよい。また、列処理回路 350、水平走査回路 400、出力アンプ 410 のそれぞれを構成する回路要素が第 1 基板 20 と第 2 基板 21 に分散して配置されていてもよい。

【0047】

本実施形態では、固体撮像装置 3 が有する全画素からなる領域を画素信号の読み出し対象領域とするが、固体撮像装置 3 が有する全画素からなる領域の一部を読み出し対象領域としてもよい。読み出し対象領域は、少なくとも有効画素領域の全画素を含むことが望ましい。また、読み出し対象領域は、有効画素領域の外側に配置されているオプティカルブラック画素（常時遮光されている画素）を含んでもよい。オプティカルブラック画素から読み出した画素信号は、例えば暗電流成分の補正に使用される。

40

【0048】

本実施形態では、複数の画素 100A が 1 つの接続部 250 を共有すると共に、複数の画素 100B が 1 つの接続部 250 を共有する。また、1 つの接続部 250 を共有する複数の画素 100A が同一のグループを構成すると共に、1 つの接続部 250 を共有する複数の画素 100B が同一のグループを構成する。図 5 は、画素 100A が構成するグルー

50

ブおよび画素100Bが構成するグループの例を示している。図5(a)は、画素100Aが構成するグループを示し、図5(b)は、画素100Bが構成するグループを示している。図5では画素部200A, 200Bを構成する画素100A, 100Bのうち一部の画素100A, 100Bの配列を示しているが、残りの画素100A, 100Bの配列も、図5に示す配列と同様である。

【0049】

図5(a)に示すように第1基板20では、1行4列に配置された4つの画素100Aが1つの接続部250を共有する。具体的には、図5(a)の配列における1行目の1, 3列目に配置されているBに対応する画素100A-1, 100A-3と、1行目の2, 4列目に配置されているGbに対応する画素100A-2, 100A-4とが接続部250-1を共有する。これらの4つの画素100A-1, 100A-2, 100A-3, 100A-4はグループG1を構成する。また、図5(a)の配列における2行目の1, 3列目に配置されているGrに対応する2つの画素100Aと、2行目の2, 4列目に配置されているRに対応する2つの画素100Aとが接続部250-2を共有する。これらの4つの画素100AはグループG2を構成する。

10

【0050】

また、図5(a)の配列における3行目の1, 3列目に配置されているBに対応する2つの画素100Aと、3行目の2, 4列目に配置されているGbに対応する2つの画素100Aとが接続部250-3を共有する。これらの4つの画素100AはグループG3を構成する。また、図5(a)の配列における4行目の1, 3列目に配置されているGrに対応する2つの画素100Aと、4行目の2, 4列目に配置されているRに対応する2つの画素100Aとが接続部250-4を共有する。これらの4つの画素100AはグループG4を構成する。

20

【0051】

図5(b)に示すように第2基板21では、2行2列に配置された4つの画素100Bが1つの接続部250を共有する。具体的には、図5(b)の配列における1, 2行目の1列目に配置されているBに対応する画素100B-1, 100B-3と、1, 2行目の2列目に配置されているGbに対応する画素100B-2, 100B-4とが接続部250-1を共有する。これらの4つの画素100B-1, 100B-2, 100B-3, 100B-4はグループG1'を構成する。また、図5(b)の配列における1, 2行目の3列目に配置されているRに対応する2つの画素100Bと、1, 2行目の4列目に配置されているGrに対応する2つの画素100Bとが接続部250-2を共有する。これらの4つの画素100BはグループG2'を構成する。

30

【0052】

また、図5(b)の配列における3, 4行目の1列目に配置されているBに対応する2つの画素100Bと、3, 4行目の2列目に配置されているGbに対応する2つの画素100Bとが接続部250-3を共有する。これらの4つの画素100BはグループG3'を構成する。また、図5(b)の配列における3, 4行目の3列目に配置されているRに対応する2つの画素100Bと、3, 4行目の4列目に配置されているGrに対応する2つの画素100Bとが接続部250-4を共有する。これらの4つの画素100BはグループG4'を構成する。

40

【0053】

上記のように、第1基板20における4つのグループ内の合計16画素に対して、第2基板21における4つのグループ内の合計16画素がそれぞれ対応するように、接続部250およびグループの配置が決定される。

【0054】

グループG1内のそれぞれの画素100AとグループG1'内のそれぞれの画素100Bとが対応している。つまり、グループG1内の画素100Aで発生した信号電荷は接続部250-1を介してグループG1'内の画素100Bに入力され蓄積される。また、グループG2内のそれぞれの画素100AとグループG2'内のそれぞれの画素100Bと

50

が対応している。つまり、グループG2内の画素100Aで発生した信号電荷は接続部250-2を介してグループG2'内の画素100Bに入力され蓄積される。

【0055】

グループG3内のそれぞれの画素100AとグループG1'内のそれぞれの画素100Bとが対応している。つまり、グループG3内の画素100Aで発生した信号電荷は接続部250-3を介してグループG1'内の画素100Bに入力され蓄積される。また、グループG4内のそれぞれの画素100AとグループG4'内のそれぞれの画素100Bとが対応している。つまり、グループG4内の画素100Aで発生した信号電荷は接続部250-4を介してグループG4'内の画素100Bに入力され蓄積される。

【0056】

垂直走査回路300A, 300Bは、グループG1内のそれぞれの画素100AとグループG1'内のそれぞれの画素100Bとを対応付け、グループG2内のそれぞれの画素100AとグループG2'内のそれぞれの画素100Bとを対応付け、グループG3内のそれぞれの画素100AとグループG3'内のそれぞれの画素100Bとを対応付け、グループG4内のそれぞれの画素100AとグループG4'内のそれぞれの画素100Bとを対応付け、画素100A, 100Bを制御する制御信号を生成し、信号線110A, 110Bを介して画素100A, 100Bへ出力する。

【0057】

次に、画素100A, 100Bの構成を説明する。図6は、1つの接続部250を共有する4つの画素100Aと4つの画素100Bの回路構成を示している。第1基板20に配置された4つの画素100Aで構成されるグループは、光電変換素子201, 202, 203, 204と、第1転送トランジスタ211, 212, 213, 214と、電荷保持部230(フローティングディフュージョン)と、第1リセットトランジスタ220と、第1増幅トランジスタ240と、電流源280とを有する。第2基板21に配置された4つの画素100Bで構成されるグループは、クランプ容量260と、第2転送トランジスタ271, 272, 273, 274と、第2リセットトランジスタ221, 222, 223, 224と、アナログメモリ231, 232, 233, 234と、第2増幅トランジスタ241, 242, 243, 244と、選択トランジスタ291, 292, 293, 294とを有する。図6に示す各回路要素の配置位置は実際の配置位置と必ずしも一致するわけではない。

【0058】

図5(a)のグループG1内の画素100Aと図6の各回路要素との対応関係は以下の通りである。画素100A-1は、光電変換素子201と、第1転送トランジスタ211と、電荷保持部230と、第1リセットトランジスタ220と、第1増幅トランジスタ240と、電流源280とを有する。画素100A-2は、光電変換素子202と、第1転送トランジスタ212と、電荷保持部230と、第1リセットトランジスタ220と、第1増幅トランジスタ240と、電流源280とを有する。画素100A-3は、光電変換素子203と、第1転送トランジスタ213と、電荷保持部230と、第1リセットトランジスタ220と、第1増幅トランジスタ240と、電流源280とを有する。画素100A-4は、光電変換素子204と、第1転送トランジスタ214と、電荷保持部230と、第1リセットトランジスタ220と、第1増幅トランジスタ240と、電流源280とを有する。電荷保持部230と、第1リセットトランジスタ220と、第1増幅トランジスタ240と、電流源280とは、4つの画素100Aで共有されている。図5(a)のグループG2, G3, G4内の画素100Aと図6の各回路要素との対応関係も上記と同様である。

【0059】

図5(b)のグループG1'内の画素100Bと図6の各回路要素との対応関係は以下の通りである。画素100B-1は、クランプ容量260と、第2転送トランジスタ271と、第2リセットトランジスタ221と、アナログメモリ231と、第2増幅トランジスタ241と、選択トランジスタ291とを有する。画素100B-2は、クランプ容量

10

20

30

40

50

260と、第2転送トランジスタ272と、第2リセットトランジスタ222と、アナログメモリ232と、第2増幅トランジスタ242と、選択トランジスタ292とを有する。画素100B-2は、クランプ容量260と、第2転送トランジスタ273と、第2リセットトランジスタ223と、アナログメモリ233と、第2増幅トランジスタ243と、選択トランジスタ293とを有する。画素100B-6は、クランプ容量260と、第2転送トランジスタ274と、第2リセットトランジスタ224と、アナログメモリ234と、第2増幅トランジスタ244と、選択トランジスタ294とを有する。クランプ容量260は4つの画素100Bで共有されている。図5(b)のグループG2', G3', G4'内の画素100Bと図6の各回路要素との対応関係も上記と同様である。

【0060】

光電変換素子201, 202, 203, 204の一端は接地されている。第1転送トランジスタ211, 212, 213, 214のドレイン端子は光電変換素子201, 202, 203, 204の他端に接続されている。第1転送トランジスタ211, 212, 213, 214のゲート端子は垂直走査回路300Aに接続されており、転送パルス TX1-1, TX1-2, TX1-3, TX1-4が供給される。

【0061】

電荷保持部230の一端は第1転送トランジスタ211, 212, 213, 214のソース端子に接続されており、電荷保持部230の他端は接地されている。第1リセットトランジスタ220のドレイン端子は電源電圧VDDに接続されており、第1リセットトランジスタ220のソース端子は第1転送トランジスタ211, 212, 213, 214のソース端子に接続されている。第1リセットトランジスタ220のゲート端子は垂直走査回路300Aに接続されており、リセットパルス RST1が供給される。

【0062】

第1増幅トランジスタ240のドレイン端子は電源電圧VDDに接続されている。第1増幅トランジスタ240の入力部であるゲート端子は第1転送トランジスタ211, 212, 213, 214のソース端子に接続されている。電流源280の一端は第1増幅トランジスタ240のソース端子に接続されており、電流源280の他端は接地されている。一例として、ドレイン端子が第1増幅トランジスタ240のソース端子に接続され、ソース端子が接地され、ゲート端子が垂直走査回路300Aに接続されたトランジスタで電流源280を構成してもよい。クランプ容量260の一端は、接続部250を介して第1増幅トランジスタ240のソース端子および電流源280の一端に接続されている。

【0063】

第2転送トランジスタ271, 272, 273, 274のドレイン端子はクランプ容量260の他端に接続されている。第2転送トランジスタ271, 272, 273, 274のゲート端子は垂直走査回路300Bに接続されており、転送パルス TX2-1, TX2-2, TX2-3, TX2-4が供給される。第2リセットトランジスタ221, 222, 223, 224のドレイン端子は電源電圧VDDに接続されており、第2リセットトランジスタ221, 222, 223, 224のソース端子は第2転送トランジスタ271, 272, 273, 274のソース端子に接続されている。第2リセットトランジスタ221, 222, 223, 224のゲート端子は垂直走査回路300Bに接続されており、リセットパルス RST2-1, RST2-2, RST2-3, RST2-4が供給される。

【0064】

アナログメモリ231, 232, 233, 234の一端は第2転送トランジスタ271, 272, 273, 274のソース端子に接続されており、アナログメモリ231, 232, 233, 234の他端は接地されている。第2増幅トランジスタ241, 242, 243, 244のドレイン端子は電源電圧VDDに接続されている。第2増幅トランジスタ241, 242, 243, 244の入力部を構成するゲート端子は第2転送トランジスタ271, 272, 273, 274のソース端子に接続されている。選択トランジスタ291, 292, 293, 294のドレイン端子は第2増幅トランジスタ241, 242, 2

10

20

30

40

50

43, 244のソース端子に接続されている。選択トランジスタ291, 293のソース端子は奇数列の垂直信号線120に接続され、選択トランジスタ292, 294のソース端子は偶数列の垂直信号線120に接続されている。選択トランジスタ291, 292, 293, 294のゲート端子は垂直走査回路300Bに接続されており、選択パルスSEL1, SEL2, SEL3, SEL4が供給される。上述した各トランジスタに関しては極性を逆にし、ソース端子とドレイン端子を上記と逆にしてもよい。

【0065】

光電変換素子201, 202, 203, 204は、例えばフォトダイオードであり、入射した光に基づく信号電荷を生成（発生）し、生成（発生）した信号電荷を保持・蓄積する。第1転送トランジスタ211, 212, 213, 214は、光電変換素子201, 202, 203, 204に蓄積された信号電荷を電荷保持部230に転送するトランジスタである。第1転送トランジスタ211, 212, 213, 214のオン/オフは、垂直走査回路300Aからの転送パルスTX1-1, TX1-2, TX1-3, TX1-4によって制御される。電荷保持部230は、光電変換素子201, 202, 203, 204から転送された信号電荷を一時的に保持・蓄積する浮遊拡散容量である。

10

【0066】

第1リセットトランジスタ220は、電荷保持部230をリセットするトランジスタである。第1リセットトランジスタ220のオン/オフは、垂直走査回路300AからのリセットパルスRST1によって制御される。第1リセットトランジスタ220と第1転送トランジスタ211, 212, 213, 214を同時にオンにすることによって、光電変換素子201, 202, 203, 204をリセットすることも可能である。電荷保持部230/光電変換素子201, 202, 203, 204のリセットは、電荷保持部230/光電変換素子201, 202, 203, 204に蓄積されている電荷量を制御して電荷保持部230/光電変換素子201, 202, 203, 204の状態（電位）を基準状態（基準電位、リセットレベル）に設定することである。

20

【0067】

第1増幅トランジスタ240は、ゲート端子に入力される、電荷保持部230に蓄積されている信号電荷に基づく信号を増幅した増幅信号をソース端子から出力するトランジスタである。電流源280は、第1増幅トランジスタ240の負荷として機能し、第1増幅トランジスタ240を駆動する電流を第1増幅トランジスタ240に供給する。第1増幅トランジスタ240と電流源280はソースフォロワ回路を構成する。

30

【0068】

クランプ容量260は、第1増幅トランジスタ240から出力される増幅信号の電圧レベルをクランプ（固定）する容量である。第2転送トランジスタ271, 272, 273, 274は、クランプ容量260の他端の電圧レベルをサンプルホールドし、アナログメモリ231, 232, 233, 234に蓄積するトランジスタである。第2転送トランジスタ271, 272, 273, 274のオン/オフは、垂直走査回路300Bからの転送パルスTX2-1, TX2-2, TX2-3, TX2-4によって制御される。

【0069】

第2リセットトランジスタ221, 222, 223, 224は、アナログメモリ231, 232, 233, 234をリセットするトランジスタである。第2リセットトランジスタ221, 222, 223, 224のオン/オフは、垂直走査回路300BからのリセットパルスRST2-1, RST2-2, RST2-3, RST2-4によって制御される。アナログメモリ231, 232, 233, 234のリセットは、アナログメモリ231, 232, 233, 234に蓄積されている電荷量を制御してアナログメモリ231, 232, 233, 234の状態（電位）を基準状態（基準電位、リセットレベル）に設定することである。アナログメモリ231, 232, 233, 234は、第2転送トランジスタ271, 272, 273, 274によってサンプルホールドされたアナログ信号を保持・蓄積する。

40

【0070】

50

アナログメモリ231, 232, 233, 234の容量は、電荷保持部230の容量よりも大きな容量に設定される。アナログメモリ231, 232, 233, 234には、単位面積当たりのリーク電流(暗電流)の少ない容量であるMIM(Metal Insulator Metal)容量やMOS(Metal Oxide Semiconductor)容量を使用することがより望ましい。これによって、ノイズに対する耐性が向上し、高品質な信号が得られる。

【0071】

第2増幅トランジスタ241, 242, 243, 244は、ゲート端子に入力される、アナログメモリ231, 232, 233, 234に蓄積されている信号電荷に基づく信号を増幅した増幅信号をソース端子から出力するトランジスタである。第2増幅トランジスタ241, 242, 243, 244と、垂直信号線120に接続された電流源130とはソースフォロワ回路を構成する。選択トランジスタ291, 292, 293, 294は、画素100Bを選択し、第2増幅トランジスタ241, 242, 243, 244の出力を垂直信号線120に伝えるトランジスタである。選択トランジスタ291, 292, 293, 294のオン/オフは、垂直走査回路300Bからの選択パルスSEL1, SEL2, SEL3, SEL4によって制御される。

10

【0072】

前述したように、第2リセットトランジスタ221および選択トランジスタ291が配置されている画素100Bは図5(b)の画素100B-1に対応し、第2リセットトランジスタ222および選択トランジスタ292が配置されている画素100Bは図5(b)の画素100B-2に対応しており、画素100B-1と画素100B-2は同一行に配置されている。後述するように、信号の読み出しが行われる期間における第2リセットトランジスタ221, 222の動作は同時に行われるので、第2リセットトランジスタ221, 222の両方にリセットパルスRST2-1が供給されてもよい。また、後述するように、信号の読み出しが行われる期間における選択トランジスタ291, 292の動作は同時に行われるので、選択トランジスタ291, 292の両方に選択パルスSEL1が供給されてもよい。

20

【0073】

第1基板20と第2基板21の間には、接続部250が配置されている。第1基板20の第1増幅トランジスタ240から出力された増幅信号は、接続部250を介して第2基板21へ出力される。

30

【0074】

図6では、接続部250が第1増幅トランジスタ240のソース端子および電流源280の一端とクランプ容量260の一端との間の経路に配置されているが、これに限らない。接続部250は、第1転送トランジスタ211, 212, 213, 214から第2転送トランジスタ271, 272, 273, 274までの電氣的に接続された経路上のどこに配置されていてもよい。

【0075】

例えば、第1転送トランジスタ211, 212, 213, 214のソース端子と、電荷保持部230の一端、第1リセットトランジスタ220のソース端子、および第1増幅トランジスタ240のゲート端子との間の経路に接続部250が配置されていてもよい。あるいは、クランプ容量260の他端と、第2転送トランジスタ271, 272, 273, 274のドレイン端子との間の経路に接続部250が配置されていてもよい。

40

【0076】

図7は、第2基板21に配置された画素100B間に配置される回路の構成のうち、図5のグループG1', G3'内の画素100Bに関する回路の構成のみを示している。第2基板21には、画素100Bの複数のアナログメモリに蓄積されている信号電荷を平均化する平均化処理を行う平均化トランジスタ275, 276が配置されている。

【0077】

平均化トランジスタ275のソース端子およびドレイン端子の一方はグループG1'内

50

の画素 100B のアナログメモリ 231, 233 の一端に接続されている。平均化トランジスタ 275 のソース端子およびドレイン端子の他方はグループ G3' 内の画素 100B のアナログメモリ 231, 233 の一端に接続されている。図示していないが、アナログメモリ 231, 233 の一端は第 2 転送トランジスタ 271, 273 のソース端子に接続されている。平均化トランジスタ 275 のゲート端子は垂直走査回路 300B に接続されており、平均化パルス MIX が供給される。

【0078】

平均化トランジスタ 276 のソース端子およびドレイン端子の一方はグループ G1' 内の画素 100B のアナログメモリ 232, 234 の一端に接続されている。平均化トランジスタ 276 のソース端子およびドレイン端子の他方はグループ G3' 内の画素 100B のアナログメモリ 232, 234 の一端に接続されている。図示していないが、アナログメモリ 232, 234 の一端は第 2 転送トランジスタ 272, 274 のソース端子に接続されている。平均化トランジスタ 276 のゲート端子は垂直走査回路 300B に接続されており、平均化パルス MIX が供給される。

10

【0079】

平均化トランジスタ 275 は、グループ G1' 内のアナログメモリ 231, 233 およびグループ G3' 内のアナログメモリ 231, 233 のそれぞれに蓄積されている信号電荷を平均化する。つまり、平均化トランジスタ 275 は、同一の列に配置されている B に対応する 4 つの画素 100B のアナログメモリに蓄積されている信号電荷を平均化する。平均化トランジスタ 275 のオン/オフは、垂直走査回路 300B からの選択パルス MIX によって制御される。

20

【0080】

平均化トランジスタ 276 は、グループ G1' 内のアナログメモリ 232, 234 およびグループ G3' 内のアナログメモリ 232, 234 のそれぞれに蓄積されている信号電荷を平均化する。つまり、平均化トランジスタ 276 は、同一の列に配置されている Gb に対応する 4 つの画素 100B のアナログメモリに蓄積されている信号電荷を平均化する。平均化トランジスタ 276 のオン/オフは、垂直走査回路 300B からの選択パルス MIX によって制御される。

【0081】

同様に、グループ G2' 内のアナログメモリ 231, 233 およびグループ G4' 内のアナログメモリ 231, 233 のそれぞれに蓄積されている信号電荷を平均化する平均化トランジスタと、グループ G2' 内のアナログメモリ 232, 234 およびグループ G4' 内のアナログメモリ 232, 234 のそれぞれに蓄積されている信号電荷を平均化する平均化トランジスタも配置されている。

30

【0082】

次に、図 8 を参照し、画素 100A および画素 100B の動作を説明する。図 8 は、垂直走査回路 300A, 300B から行毎に画素 100A, 100B に供給される制御信号を示している。ただし、転送パルス TX1-1, TX1-2, TX1-3, TX1-4 が供給される第 1 転送トランジスタ 211, 212, 213, 214 のそれぞれが配置されている同一グループ内の 4 つの画素 100A は同一行の異なる列に配置されているので、垂直走査回路 300A から同一行について 4 種類の転送パルス TX1-1, TX1-2, TX1-3, TX1-4 が供給される。以下では、図 6 に示した 4 つの画素 100A で構成されるグループおよび 4 つの画素 100B で構成されるグループの単位で動作を説明する。

40

【0083】

[期間 T1 の動作]

まず、リセットパルス RST1 が “L” (Low) レベルから “H” (High) レベルに変化することで、第 1 リセットトランジスタ 220 がオンとなる。同時に、転送パルス TX1-1 が “L” レベルから “H” レベルに変化することで、第 1 転送トランジスタ 211 がオンとなる。これによって、光電変換素子 201 がリセットされる。

50

【 0 0 8 4 】

続いて、リセットパルス R S T 1 および転送パルス T X 1 - 1 が “ H ” レベルから “ L ” レベルに変化することで、第 1 リセットトランジスタ 2 2 0 および第 1 転送トランジスタ 2 1 1 がオフとなる。これによって、光電変換素子 2 0 1 のリセットが終了し、露光（信号電荷の蓄積）が開始される。上記と同様にして、光電変換素子 2 0 2 , 2 0 3 , 2 0 4 が順にリセットされ、露光が開始される。図 7 では、転送パルス T X 1 - 1 , T X 1 - 2 , T X 1 - 3 , T X 1 - 4 が “ H ” レベルになるタイミングでリセットパルス R S T 1 が “ H ” レベルになっているが、光電変換素子 2 0 1 , 2 0 2 , 2 0 3 , 2 0 4 をリセットする期間中、リセットパルス R S T 1 が常に “ H ” レベルであってもよい。

10

【 0 0 8 5 】

[期間 T 2 の動作]

続いて、リセットパルス R S T 2 - 1 が “ L ” レベルから “ H ” レベルに変化することで、第 2 リセットトランジスタ 2 2 1 がオンとなる。これによって、アナログメモリ 2 3 1 がリセットされる。同時に、転送パルス T X 2 - 1 が “ L ” レベルから “ H ” レベルに変化することで、第 2 転送トランジスタ 2 7 1 がオンとなる。これによって、クランプ容量 2 6 0 の他端の電位が電源電圧 V D D にリセットされると共に、第 2 転送トランジスタ 2 7 1 がクランプ容量 2 6 0 の他端の電位のサンプルホールドを開始する。

【 0 0 8 6 】

続いて、リセットパルス R S T 1 が “ L ” レベルから “ H ” レベルに変化することで、第 1 リセットトランジスタ 2 2 0 がオンとなる。これによって、電荷保持部 2 3 0 がリセットされる。続いて、リセットパルス R S T 1 が “ H ” レベルから “ L ” レベルに変化することで、第 1 リセットトランジスタ 2 2 0 がオフとなる。これによって、電荷保持部 2 3 0 のリセットが終了する。電荷保持部 2 3 0 のリセットを行うタイミングは露光期間中であればよいが、露光期間の終了直前のタイミングで電荷保持部 2 3 0 のリセットを行うことによって、電荷保持部 2 3 0 のリーク電流によるノイズをより低減することができる。

20

【 0 0 8 7 】

続いて、リセットパルス R S T 2 - 1 が “ H ” レベルから “ L ” レベルに変化することで、第 2 リセットトランジスタ 2 2 1 がオフとなる。これによって、アナログメモリ 2 3 1 のリセットが終了する。この時点でクランプ容量 2 6 0 は、第 1 増幅トランジスタ 2 4 0 から出力される増幅信号（電荷保持部 2 3 0 のリセット後の増幅信号）をクランプしている。

30

【 0 0 8 8 】

[期間 T 3 の動作]

まず、転送パルス T X 1 - 1 が “ L ” レベルから “ H ” レベルに変化することで、第 1 転送トランジスタ 2 1 1 がオンとなる。これによって、光電変換素子 2 0 1 に蓄積されている信号電荷が、第 1 転送トランジスタ 2 1 1 を介して電荷保持部 2 3 0 に転送され、電荷保持部 2 3 0 に蓄積される。これによって、露光（信号電荷の蓄積）が終了する。期間 T 1 における露光開始から期間 T 3 における露光終了までの期間が露光期間（信号蓄積期間）である。続いて、転送パルス T X 1 - 1 が “ H ” レベルから “ L ” レベルに変化することで、第 1 転送トランジスタ 2 1 1 がオフとなる。

40

【 0 0 8 9 】

続いて、転送パルス T X 2 - 1 が “ H ” レベルから “ L ” レベルに変化することで、第 2 転送トランジスタ 2 7 1 がオフとなる。これによって、第 2 転送トランジスタ 2 7 1 がクランプ容量 2 6 0 の他端の電位のサンプルホールドを終了する。

【 0 0 9 0 】

[期間 T 4 の動作]

上述した期間 T 2 , T 3 の動作は、1つのグループを構成する4つの画素 1 0 0 A のうち1つの画素 1 0 0 A の動作である。期間 T 4 では、残りの3つの画素 1 0 0 A について

50

、期間 T 2 , T 3 の動作と同様の動作が行われる。各画素の露光期間の長さを同一とすることがより望ましい。

【 0 0 9 1 】

以下では、アナログメモリ 2 3 1 の一端の電位の変化について説明する。アナログメモリ 2 3 2 , 2 3 3 , 2 3 4 の一端の電位の変化についても同様である。電荷保持部 2 3 0 のリセットが終了した後に光電変換素子 2 0 1 から電荷保持部 2 3 0 に信号電荷が転送されることによる電荷保持部 2 3 0 の一端の電位の変化を V_{fd} 、第 1 増幅トランジスタ 2 4 0 のゲインを α_1 とすると、光電変換素子 2 0 1 から電荷保持部 2 3 0 に信号電荷が転送されることによる第 1 増幅トランジスタ 2 4 0 のソース端子の電位の変化 V_{amp1} は $\alpha_1 \times V_{fd}$ となる。

10

【 0 0 9 2 】

アナログメモリ 2 3 1 と第 2 転送トランジスタ 2 7 1 の合計のゲインを α_2 とすると、光電変換素子 2 0 1 から電荷保持部 2 3 0 に信号電荷が転送された後の第 2 転送トランジスタ 2 7 1 のサンプルホールドによるアナログメモリ 2 3 1 の一端の電位の変化 V_{mem} は $\alpha_2 \times V_{amp1}$ 、すなわち $\alpha_1 \times \alpha_2 \times V_{fd}$ となる。アナログメモリ 2 3 1 のリセットが終了した時点のアナログメモリ 2 3 1 の一端の電位は電源電圧 V_{DD} であるため、光電変換素子 2 0 1 から電荷保持部 2 3 0 に信号電荷が転送された後、第 2 転送トランジスタ 2 7 1 によってサンプルホールドされたアナログメモリ 2 3 1 の一端の電位 V_{mem} は以下の (1) 式となる。(1) 式において、 $V_{mem} < 0$ 、 $V_{fd} < 0$ である。

20

$$\begin{aligned} V_{mem} &= V_{DD} + V_{mem} \\ &= V_{DD} + \alpha_1 \times \alpha_2 \times V_{fd} \dots (1) \end{aligned}$$

【 0 0 9 3 】

また、 α_2 は以下の (2) 式となる。(2) 式において、 C_L はクランプ容量 2 6 0 の容量値であり、 C_{SH} はアナログメモリ 2 3 1 の容量値である。ゲインの低下をより小さくするため、クランプ容量 2 6 0 の容量 C_L はアナログメモリ 2 3 1 の容量 C_{SH} よりも大きいことがより望ましい。

【 0 0 9 4 】

【 数 1 】

$$\alpha_2 = \frac{C_L}{C_L + C_{SH}} \dots (2)$$

30

【 0 0 9 5 】

[期間 T 5 の動作]

まず、平均化パルス MIX が “ L ” レベルから “ H ” レベルに変化することで、平均化トランジスタ 2 7 5 , 2 7 6 がオンとなる。これによって、アナログメモリ 2 3 1 , 2 3 3 のそれぞれの一端の電位が同一となると共に、アナログメモリ 2 3 2 , 2 3 4 のそれぞれの一端の電位が同一となり、各アナログメモリに蓄積されている信号電荷が平均化される。この動作は、平均化パルス MIX が “ H ” レベルから “ L ” レベルに変化することで終了する。

40

【 0 0 9 6 】

[期間 T 6 の動作]

期間 T 6 では、同一行に配置された 2 つの画素 1 0 0 B のアナログメモリ 2 3 1 , 2 3 2 に蓄積されている信号電荷に基づく信号が同時に読み出される。まず、選択パルス $SEL1$, $SEL2$ が “ L ” レベルから “ H ” レベルに変化することで、選択トランジスタ 2 9 1 , 2 9 2 がオンとなる。これによって、(1) 式に示した電位 V_{mem} に基づく信号が選択トランジスタ 2 9 1 , 2 9 2 を介して垂直信号線 1 2 0 へ出力される。

【 0 0 9 7 】

50

続いて、リセットパルス RST2-1, RST2-2が“L”レベルから“H”レベルに変化することで、第2リセットトランジスタ221, 222がオンとなる。これによって、アナログメモリ231, 232がリセットされ、リセット時のアナログメモリ231, 232の一端の電位に基づく信号が選択トランジスタ291, 292を介して垂直信号線120へ出力される。

【0098】

続いて、リセットパルス RST2-1, RST2-2が“H”レベルから“L”レベルに変化することで、第2リセットトランジスタ221, 222がオフとなる。続いて、選択パルス SEL1, SEL2が“H”レベルから“L”レベルに変化することで、選択トランジスタ291, 292がオフとなる。

10

【0099】

列処理回路350は、(1)式に示した電位Vmemに基づく信号と、アナログメモリ231, 232をリセットしたときのアナログメモリ231, 232の一端の電位に基づく信号との差分をとった差分信号を生成する。この差分信号は、(1)式に示した電位Vmemと電源電圧VDDとの差分に基づく信号であり、光電変換素子201, 202に蓄積された信号電荷が電荷保持部230に転送された直後の電荷保持部230の一端の電位と、電荷保持部230の一端がリセットされた直後の電荷保持部230の電位との差分Vfdに基づく信号である。したがって、アナログメモリ231, 232をリセットすることによるノイズ成分と、電荷保持部230をリセットすることによるノイズ成分を抑圧した、光電変換素子201, 202に蓄積された信号電荷に基づく信号成分を得ることができる。

20

【0100】

列処理回路350から出力された信号は、水平走査回路400によって、出力チャンネル430, 440を介して出力アンプ410, 420へ出力される。出力アンプ410, 420は、入力された信号を処理し、画像信号として出力する。以上で、1つのグループを構成する4つの画素100Bのうち同一行に配置された2つの画素100Bからの信号の読み出しが終了する。

【0101】

上記の動作により、図5(b)の1列目に配置されたBに対応する画素100Bのうち1行目の画素100BからBに対応する画素信号が出力され、図5(b)の2列目に配置されたGbに対応する画素100Bのうち1行目の画素100BからGbに対応する画素信号が出力され、図5(b)の3列目に配置されたRに対応する画素100Bのうち1行目の画素100BからRに対応する画素信号が出力され、図5(b)の1列目に配置されたGrに対応する画素100Bのうち1行目の画素100BからGrに対応する画素信号が出力される。それぞれの画素信号は、列方向に隣接する4つの画素100Bの平均化処理により得られる画素信号である。したがって、画素100Bを列方向に間引いた一部の画素100Bから、平均化された画素信号が出力される。

30

【0102】

上記の動作では、列方向に隣接する4つの画素100Bで平均化処理が行われ、4行当たり1行の割合で画素100Bから信号が読み出される。このため、第2基板21において列方向に隣接する2つのグループの両方の画素100Bで平均化処理が行われ、2つのグループのうち一方のグループの2つの画素100Bのみから信号が読み出される。例えば、図5(b)ではグループG1'とグループG3'が列方向に隣接しており、これらのグループ内の画素100Bで平均化処理が行われた後、グループG1'の画素100B-1, 100B-2から信号が読み出されるが、グループG1', G3'内の他の画素100Bからは信号が読み出されない。

40

【0103】

したがって、グループG1'内の画素100Bでは図8の期間T5, T6の動作が行われるが、グループG3'内の画素100Bでは図8の期間T5の動作が行われ、期間T6の動作は行われない。グループG2', G4'についても同様であり、グループG2'内

50

の画素 100B では図 8 の期間 T5, T6 の動作が行われるが、グループ G4' 内の画素 100B では図 8 の期間 T5 の動作が行われ、期間 T6 の動作は行われない。

【0104】

上記の動作では、光電変換素子 201, 202, 203, 204 から電荷保持部 230 に転送された信号電荷を電荷保持部 230 が各画素 100A の読み出しタイミングまで保持していなければならない。電荷保持部 230 が信号電荷を保持している期間中にノイズが発生すると、電荷保持部 230 が保持している信号電荷にノイズが重畳され、信号品質 (S/N) が劣化する。

【0105】

電荷保持部 230 が信号電荷を保持している期間 (以下、保持期間と記載) 中に発生するノイズの主な要因は、電荷保持部 230 のリーク電流による電荷 (以下、リーク電荷と記載) と、光電変換素子 201, 202, 203, 204 以外の部分に入射する光に起因する電荷 (以下、光電荷と記載) である。単位時間に発生するリーク電荷と光電荷をそれぞれ q_{id} 、 q_{pn} とし、保持期間の長さを t_c とすると、保持期間中に発生するノイズ電荷 Q_n は $(q_{id} + q_{pn}) t_c$ となる。

10

【0106】

電荷保持部 230 の容量を C_{fd} 、アナログメモリ 231, 232, 233, 234 の容量を C_{mem} とし、 C_{fd} と C_{mem} の比 (C_{mem} / C_{fd}) を A とする。また、前述したように、第 1 増幅トランジスタ 240 のゲインを 1 、アナログメモリ 231, 232, 233, 234 と第 2 転送トランジスタ 271, 272, 273, 274 の合計のゲインを 2 とする。露光期間中に光電変換素子 201, 202, 203, 204 で発生した信号電荷を Q_{ph} とすると、露光期間の終了後にアナログメモリ 231, 232, 233, 234 に保持される信号電荷は $A \times 1 \times 2 \times Q_{ph}$ となる。

20

【0107】

光電変換素子 201, 202, 203, 204 から電荷保持部 230 に転送された信号電荷に基づく信号は第 2 転送トランジスタ 271, 272, 273, 274 によってサンプルホールドされ、アナログメモリ 231, 232, 233, 234 に格納される。したがって、電荷保持部 230 に信号電荷が転送されてからアナログメモリ 231, 232, 233, 234 に信号電荷が格納されるまでの時間は短く、電荷保持部 230 で発生したノイズは無視することができる。アナログメモリ 231, 232, 233, 234 が信号電荷を保持している期間に発生するノイズを上記と同じ Q_n と仮定すると、S/N は $A \times 1 \times 2 \times Q_{ph} / Q_n$ となる。

30

【0108】

一方、容量蓄積部に保持された信号電荷を、増幅トランジスタを介して画素から読み出す場合の S/N は Q_{ph} / Q_n となる。したがって、本実施形態の S/N は従来技術の S/N の $A \times 1 \times 2$ 倍となる。 $A \times 1 \times 2$ が 1 よりも大きくなるようにアナログメモリ 231, 232, 233, 234 の容量値を設定する (例えば、アナログメモリ 231, 232, 233, 234 の容量値を電荷保持部 230 の容量値よりも十分大きくする) ことによって、信号品質の劣化を低減することができる。

【0109】

本実施形態では、画素 100A で構成されるグループに関しては、垂直方向の位置 (以下、垂直位置と記載) によらず各グループの動作のタイミングは同一である。また、画素 100B で構成されるグループに関しては、垂直位置が異なる各グループの動作のタイミングは、動作の期間毎に応じたタイミングとなる。図 9 は、画素 100A, 100B が n 行に配置されている場合のグループ単位の動作のタイミングを模式的に示している。図 9 の垂直方向の位置が画素 100A, 100B の配列における垂直位置すなわち行位置を示し、水平方向の位置が時間位置を示している。図 9 は、画素 100A, 100B の配列がより一般的な n 行 \times n 列である場合に対応している。

40

【0110】

リセット期間は図 7 の期間 T1 に相当し、信号転送期間は図 7 の期間 T2, T3, T4

50

に相当し、平均化処理期間は図7の期間T5に相当し、読み出し期間は図7の期間T6に相当する。画素100Aで構成されるグループに関しては、垂直位置によらず各グループのリセット期間および信号転送期間は同一である。一方、画素100Bで構成されるグループに関しては、垂直位置が異なる各グループの信号転送期間は同一であるが平均化処理期間および読み出し期間は異なる。上述した動作では、同一のグループ内の画素毎に露光のタイミングが異なるが、複数のグループの全体では露光の同時性を実現することができる。

【0111】

上記では、列方向に隣接する4つの画素100Bで平均化処理が行われるが、平均化処理の対象となる画素100Bの数は4つでなくてもよい。例えば、列方向に隣接する2つの画素100Bで平均化処理を行う、あるいは列方向に隣接する8つの画素100Bで平均化処理を行うようにしてもよい。

10

【0112】

上述したように、本実施形態によれば、複数の画素100Bのそれぞれに含まれる信号蓄積回路(アナログメモリ)に蓄積された各信号(信号電荷)を平均化することによって、画素から出力された各信号が構成する画像においてモアレの発生を抑制することができる。また、平均化を行うことによって、信号に含まれるランダムノイズ成分を低減することができる。したがって、本実施形態によれば、画質の低下を低減することができる。

【0113】

本実施形態では、同一色に対応した4つの画素100Bが垂直方向(列方向)に隣接しており、これらの4つの画素100Bのアナログメモリに蓄積されている信号電荷が平均化される。このように垂直方向に隣接した画素100Bの信号電荷を平均化することによって、平均化トランジスタ275, 276のレイアウトを簡素化することができる。また、垂直方向に隣接する、同一色に対応した2つの画素100B間でクロストークが発生したとしても、異なる色に対応した2つの画素100B間でクロストークが発生する場合と比較して、クロストークによる画質の低下を低減することができる。

20

【0114】

本実施形態では、垂直方向に並んだ4つの画素100Bのうち1つの画素100Bのみから平均化された信号が出力される。これによって、信号の読み出しを行う垂直方向の行数が画素配列の行数の4分の1となるので、全ての行の信号の読み出しを行う場合と比較して、高速に信号を読み出すことができ、消費電力を低減することができる。また、第2基板21における垂直位置が同一である複数のグループにおいて、同一の行にある画素100Bから信号が読み出されるため、平均化された信号を読み出す制御を行毎に行うことができ、信号の読み出しに係る制御が容易になる。

30

【0115】

また、複数の画素間で一部の回路要素を共有しているため、複数の画素間で回路要素を共有しない場合と比較して、チップ面積を低減することができる。さらに、複数の画素間で第1増幅トランジスタ240および電流源280を共有しているため、同時に動作する電流源の数を抑えることができる。このため、多数の電流源が同時に動作することによる電源電圧の電圧降下やGND(グランド)電圧の上昇等の発生を低減することができる。

40

【0116】

また、画素の全ての回路要素を1枚の基板に配置する場合と比較して、第1基板20の光電変換素子の面積を大きくすることが可能となるため、感度が向上する。さらに、アナログメモリを用いることによって、第2基板21に設ける信号蓄積用の領域の面積を小さくすることができる。

【0117】

また、アナログメモリ231, 232, 233, 234を設けたことによって、信号品質の劣化を低減することができる。特に、アナログメモリの容量値を電荷保持部の容量値よりも大きくする(例えば、アナログメモリの容量値を電荷保持部の容量値の5倍以上にする)ことによって、アナログメモリが保持する信号電荷が、電荷保持部が保持する信号

50

電荷よりも大きくなる。このため、アナログメモリのリーク電流による信号劣化の影響を小さくすることができる。

【0118】

また、クランプ容量260および第2転送トランジスタ271, 272, 273, 274を設けることによって、第1基板20で発生するノイズの影響を低減することができる。第1基板20で発生するノイズには、第1増幅トランジスタ240に接続される回路(例えば第1リセットトランジスタ220)の動作に由来して第1増幅トランジスタ240の入力部で発生するノイズ(例えばリセットノイズ)や、第1増幅トランジスタ240の動作特性に由来するノイズ(例えば第1増幅トランジスタ240の回路閾値のばらつきによるノイズ)等がある。

10

【0119】

また、アナログメモリ231, 232, 233, 234をリセットしたときの信号と、光電変換素子201, 202, 203, 204から電荷保持部230へ信号電荷を転送することによって発生する第1増幅トランジスタ240の出力の変動に応じた信号とを時分割で画素100Bから出力し、画素100Bの外部で各信号の差分処理を行うことによって、第2基板21で発生するノイズの影響を低減することができる。第2基板21で発生するノイズには、第2増幅トランジスタ241, 242, 243, 244に接続される回路(例えば第2リセットトランジスタ221, 222, 223, 224)の動作に由来して第2増幅トランジスタ241, 242, 243, 244の入力部で発生するノイズ(例えばリセットノイズ)等がある。

20

【0120】

本発明に係る第1の画素は例えば画素100Aに対応する。本発明に係る第2の画素は例えば画素100Bに対応する。本発明に係る信号蓄積回路は例えばアナログメモリ231, 232, 233, 234に対応する。本発明に係る平均化回路は例えば平均化トランジスタ275, 276に対応する。本発明に係る出力回路は例えば選択トランジスタ291, 292, 293, 294に対応する。

【0121】

以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。上記では、2枚の基板が接続部で接続されている固体撮像装置の構成を示したが、3枚以上の基板が接続部で接続されていてもよい。3枚以上の基板が接続部で接続される固体撮像装置の場合、3枚以上の基板のうち2枚の基板が第1の基板と第2の基板に相当する。

30

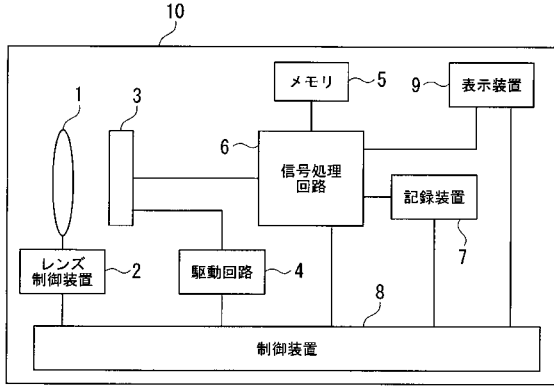
【符号の説明】

【0122】

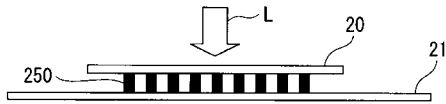
1・・・レンズ部、2・・・レンズ制御装置、3・・・固体撮像装置、4・・・駆動回路、5・・・メモリ、6・・・信号処理回路、7・・・記録装置、8・・・制御装置、9・・・表示装置、100A, 100B・・・画素、130, 280・・・電流源、200A, 200B・・・画素部、201, 202, 203, 204・・・光電変換素子、211, 212, 213, 214・・・第1転送トランジスタ、220・・・第1リセットトランジスタ、221, 222, 223, 224・・・第2リセットトランジスタ、230・・・電荷保持部、231, 232, 233, 234・・・アナログメモリ、240・・・第1増幅トランジスタ、241, 242, 243, 244・・・第2増幅トランジスタ、250・・・接続部、251, 253マイクロパッド、252・・・マイクロポンプ、260・・・クランプ容量、271, 272, 273, 274・・・第2転送トランジスタ、275, 276・・・平均化トランジスタ、291, 292, 293, 294・・・選択トランジスタ、300A, 300B・・・垂直走査回路、350・・・列処理回路、400・・・水平走査回路、410・・・出力アンプ、430・・・出力チャンネル

40

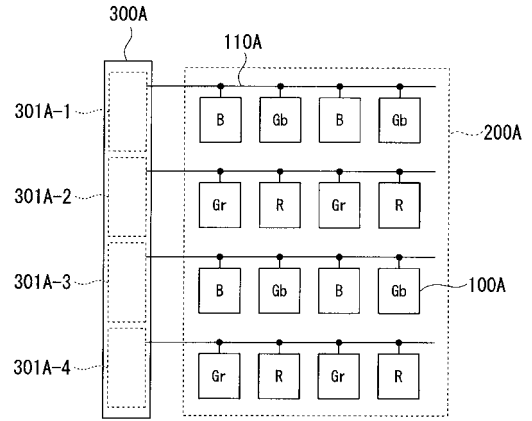
【 図 1 】



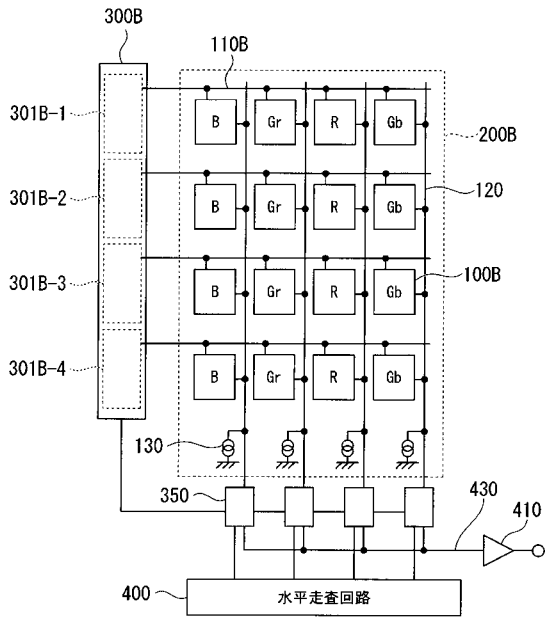
【 図 2 】



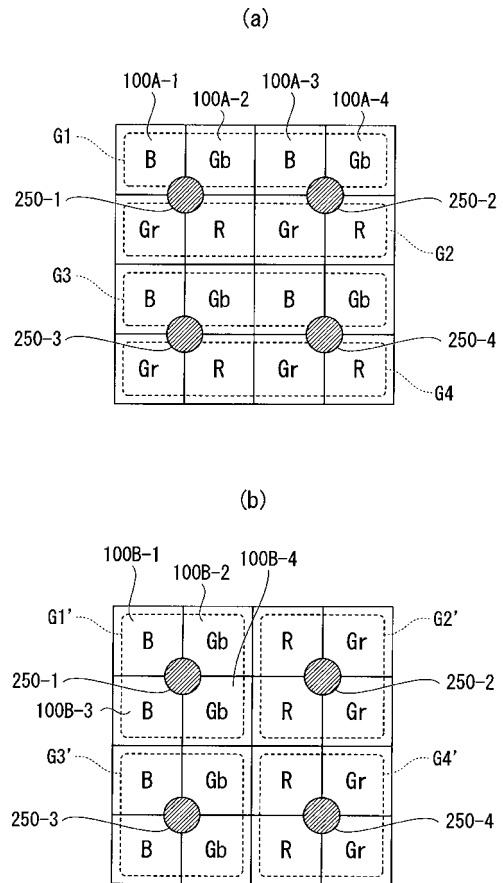
【 図 3 】



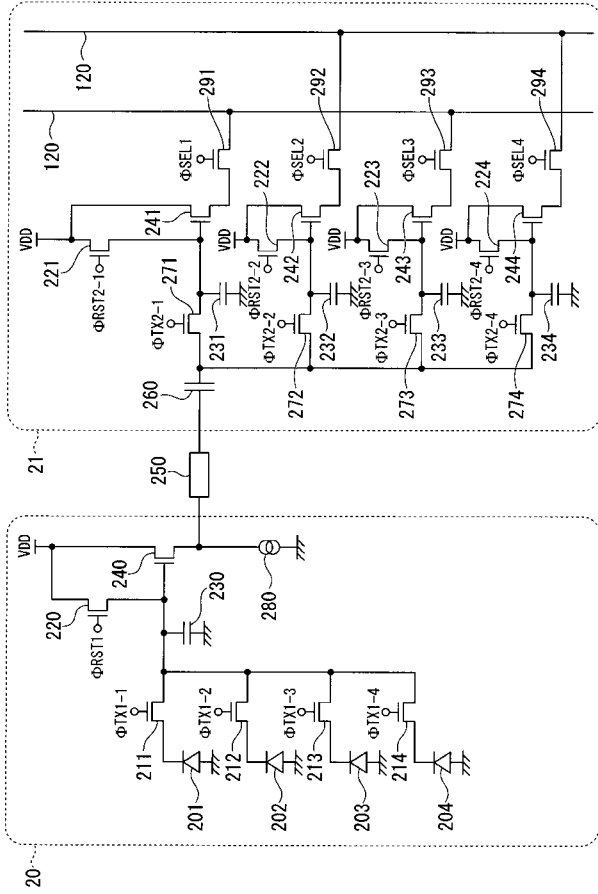
【 図 4 】



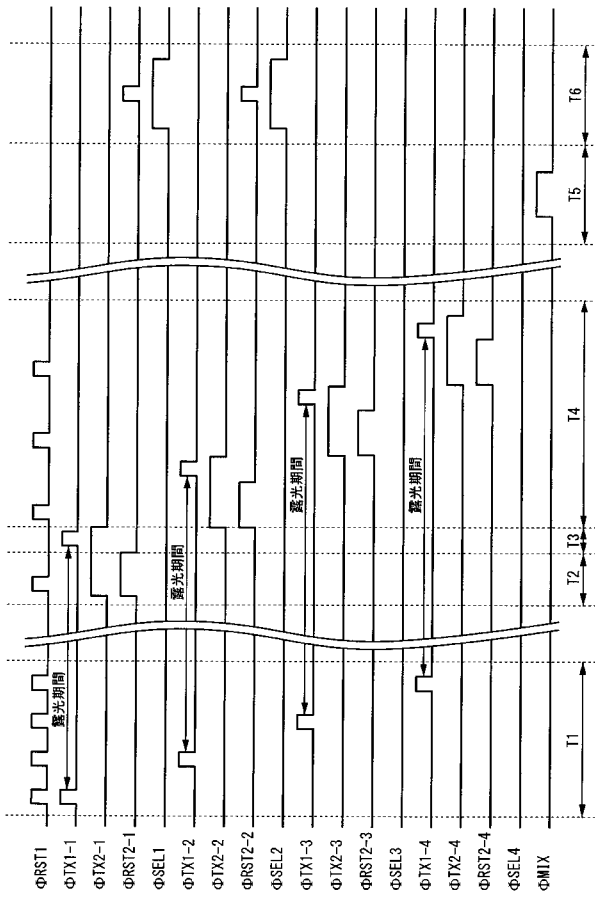
【 図 5 】



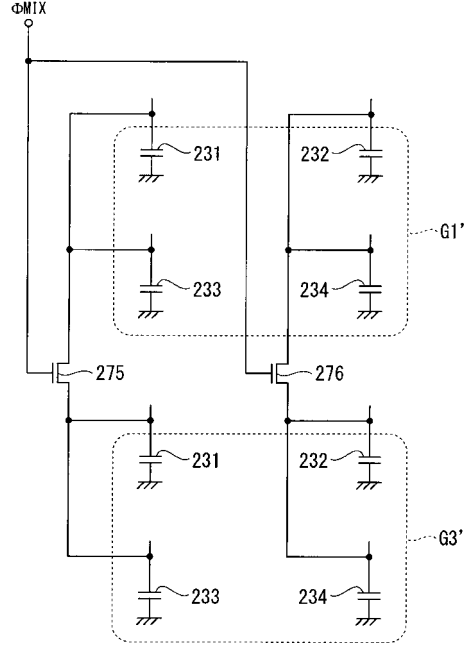
【図 6】



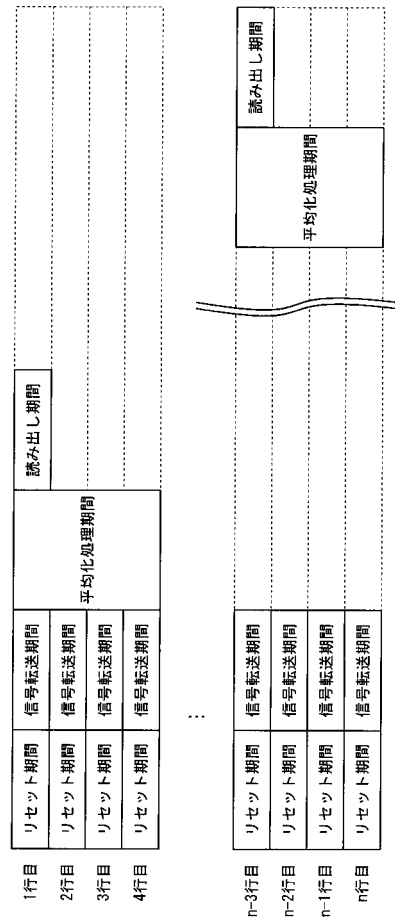
【図 8】



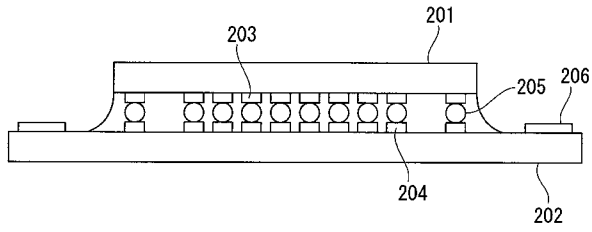
【図 7】



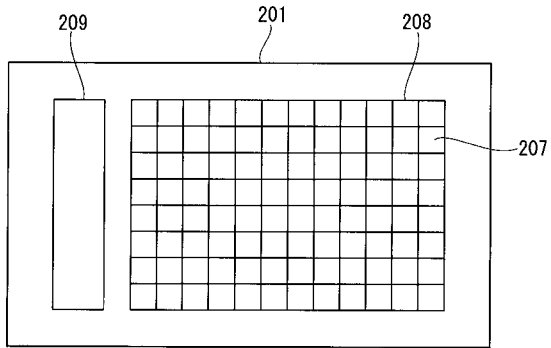
【図 9】



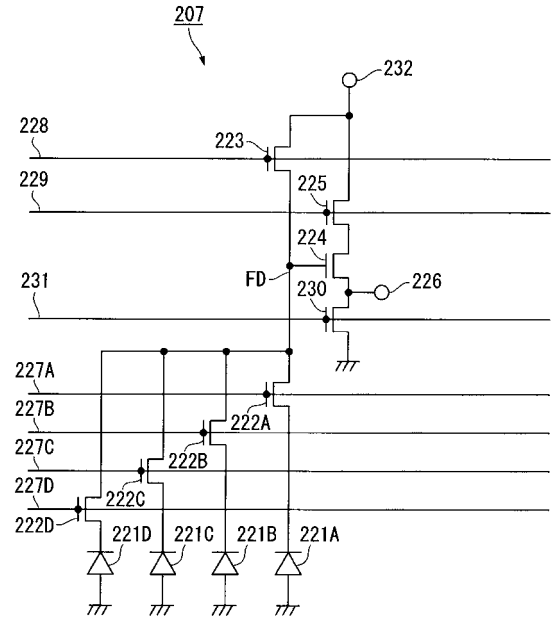
【図10】



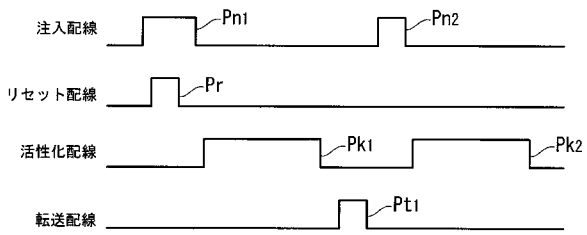
【図11】



【図12】



【図13】



フロントページの続き

(74)代理人 100161702

弁理士 橋本 宏之

(72)発明者 中島 慎一

東京都渋谷区幡ヶ谷 2 丁目 4 3 番 2 号 オリパス株式会社内

Fターム(参考) 4M118 BA14 BA19 DD04 DD12 FA06 FA33 GC07 GC08 GC14 HA22

HA25 HA29

5C024 AX01 BX01 CX03 DX01 HX31 JX41

5C065 AA01 AA03 BB13 CC01 DD17 EE06 GG24